

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 630 035**

51 Int. Cl.:

G21C 17/00 (2006.01)

G21C 17/10 (2006.01)

G21C 17/108 (2006.01)

G06F 11/34 (2006.01)

G05B 23/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **01.06.2009 PCT/JP2009/002429**

87 Fecha y número de publicación internacional: **10.12.2009 WO09147820**

96 Fecha de presentación y número de la solicitud europea: **01.06.2009 E 09758087 (2)**

97 Fecha y número de publicación de la concesión europea: **19.04.2017 EP 2302639**

54 Título: **Dispositivo de control de procedimiento digital**

30 Prioridad:

02.06.2008 JP 2008144554

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

17.08.2017

73 Titular/es:

KABUSHIKI KAISHA TOSHIBA (100.0%)

1-1 Shibaura 1-chome

Minato-kuTokyo 105-8001, JP

72 Inventor/es:

YANAGISAWA, MASATAKA y

SATO, TOSHIFUMI

74 Agente/Representante:

FÚSTER OLAGUIBEL, Gustavo Nicolás

ES 2 630 035 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de control de procedimiento digital

5 **Campo técnico**

La presente invención se refiere a un dispositivo de control de procesamiento digital y particularmente a un dispositivo de control de procesamiento digital adecuado para controlar la potencia de salida de un reactor nuclear.

10 **Antecedentes de la técnica**

El documento JP 2007 003399 A divulga un sistema de control de intervalo de potencia para un reactor nuclear y tiene como objetivo mejorar el mantenimiento y la fiabilidad reduciendo una pérdida de una función y limitando un intervalo de perturbación incluso cuando un dispositivo de circuito está parcialmente perturbado.

15 Para un reactor nuclear de agua en ebullición, lo que se ha desarrollado en los últimos años es un dispositivo en el que la FPGA (*field programmable gate array* (matriz de puertas programable de campo)) se aplica a un controlador de intervalo de potencia (PRM), que se usa para medir un flujo de neutrones dentro de un reactor nuclear en estado de funcionamiento de salida de potencia, un controlador de neutrones de intervalo de puesta en marcha (SRNM) y similares. La FPGA es un tipo de elemento lógico integrado que puede escribir un circuito lógico único.

20 Tal como se muestra en la FIG. 2, un controlador de intervalo de potencia media (APRM), un controlador de intervalo de potencia local (LPRM) y similares que componen el controlador de intervalo de potencia (PRM) descrito anteriormente componen módulos, cada uno de los cuales está compuesto por una variedad de placas. Los componentes como conjunto componen un dispositivo de control de procesamiento digital que controla la potencia de salida de un reactor nuclear. El dispositivo de control de procesamiento digital está compuesto por una pluralidad de módulos (véase el documento de patente 1).

30 **Lista de referencias****Documento de patente**

Documento de patente 1: publicación abierta a consulta de solicitud de patente japonesa n.º 2007-3399

35 **Divulgación de la invención****Problemas que va a solucionar la invención**

40 En el caso de módulos convencionales, las placas se han desarrollado para cada módulo. Por lo tanto, se requiere mantenimiento e inspección para cada módulo. Por tanto, una placa usada en un módulo dado no puede aplicarse a otro módulo. Por consiguiente, por ejemplo, cuando se encuentra como resultado del mantenimiento y de la inspección de un módulo que se necesita sustituir una placa, es necesario usar una placa para el módulo descrito anteriormente. Por lo tanto, es necesario preparar diversos tipos de placas de sustitución de acuerdo con los tipos de los módulos. Por tanto, el mantenimiento y la inspección son complejos y caros.

45 Por lo tanto, el objetivo de la presente invención es proporcionar un dispositivo de control de procesamiento digital con eficiencia económica y mantenimiento mejorados en el que se reduce el número de tipos de placa requerido gracias a las placas versátiles.

50 **Medios para solucionar el problema**

El problema de la invención se soluciona mediante el contenido de la reivindicación independiente. Se divulgan realizaciones ventajosas mediante las reivindicaciones dependientes.

55 Para solucionar el problema descrito anteriormente, de acuerdo con un ejemplo, se proporciona un dispositivo de control de procesamiento digital que comprende: una pluralidad de módulos, cada uno de los cuales incluye una placa base montada con una FPGA de control principal y una FPGA de control de una subplaca y conectada a un conector y una subplaca de procesamiento de I/F hombre-máquina montada con una FPGA de procesamiento de I/F; y una placa madre conectada a cada uno de una pluralidad de los módulos, en el que: cada subplaca de la pluralidad de los módulos está montada con un dispositivo de almacenamiento que almacena información de I/F hombre-máquina de la subplaca; y cada FPGA de la pluralidad de los módulos escribe datos de transmisión a una región predeterminada de una zona de transmisión y tiene un protocolo de transmisión común para compartir datos de transmisión entre módulos.

65 De acuerdo con otro ejemplo, se proporciona un dispositivo de control de procesamiento digital que comprende: una pluralidad de módulos, cada uno de los cuales incluye una placa base montada con una FPGA de control principal y

una FPGA de control de una subplaca y conectada a un conector y una subplaca de procesamiento de I/F hombre-máquina; y una placa madre conectada a cada uno de la pluralidad de los módulos, en el que cada placa base de la pluralidad de los módulos está montada con un dispositivo de almacenamiento que almacena información de I/F hombre-máquina de la subplaca.

5 De acuerdo con aún otro ejemplo, se proporciona un dispositivo de control de procesamiento digital que comprende: una pluralidad de módulos, cada uno de los cuales incluye una placa base montada con una FPGA de control principal y conectada a un conector y una subplaca de procesamiento de I/O montada con una FPGA de procesamiento de I/O y un elemento de entrada/salida; y una placa madre conectada a cada uno de la pluralidad de los módulos, en el que: cada subplaca de la pluralidad de los módulos está montada con un dispositivo de almacenamiento que almacena información de I/O asociada con el exterior de la subplaca; y cada FPGA de la pluralidad de los módulos escribe datos de transmisión a una región predeterminada de una zona de transmisión y tiene un protocolo de transmisión común para compartir datos de transmisión entre los módulos.

15 De acuerdo con aún otro ejemplo, se proporciona un dispositivo de control de procesamiento digital que comprende: una pluralidad de módulos, cada uno de los cuales incluye una placa base montada con una FPGA de control principal y conectada a un conector y una subplaca de procesamiento de I/O montada con una FPGA de procesamiento de I/O y un elemento de entrada/salida; y una placa madre conectada a cada uno de la pluralidad de los módulos, en el que: al menos una de las subplacas de la pluralidad de los módulos está montada con un elemento de entrada/salida y no está montada con ninguna de una FPGA de procesamiento de I/O, una EPROM y una EEPROM; una FPGA de control principal de la placa base del módulo tiene una función de realizar un procedimiento de entrada/salida externo; y cada FPGA de la pluralidad de los módulos escribe datos de transmisión a una región predeterminada de una zona de transmisión y tiene un protocolo de transmisión común para compartir datos de transmisión entre módulos.

25 **Ventajas de la invención**

De acuerdo con la presente invención, es posible reducir el número de tipos de placa requerido gracias a las placas versátiles así como mejorar la eficiencia económica y el mantenimiento.

30 **Breve descripción de los dibujos**

La FIG. 1 es un diagrama que ilustra la configuración de un dispositivo de control de procesamiento digital de acuerdo con un primer modo de realización de la presente invención.

35 La FIG. 2 es un diagrama que ilustra la configuración de un dispositivo de control de procesamiento digital compuesto por una pluralidad de módulos.

La FIG. 3 es un diagrama que ilustra la configuración de un dispositivo de control de procesamiento digital de acuerdo con un cuarto modo de realización de la presente invención.

La FIG. 4 es un diagrama que ilustra la configuración de un dispositivo de control de procesamiento digital de acuerdo con un quinto modo de realización de la presente invención.

45 **Mejor modo de llevar a cabo la invención**

A continuación se describe un dispositivo de control de procesamiento digital de acuerdo con un modo de realización de la presente invención, con referencia a los dibujos adjuntos. Los componentes idénticos o similares están representados mediante los mismos símbolos y no se describirán repetidamente.

50 [Primer modo de realización]

Se describirá un primer modo de realización de la presente invención con referencia a las FIGS. 1 y 2.

55 En general, tal como se muestra en la FIG. 2, un dispositivo de control que controla un flujo de neutrones en un reactor nuclear está compuesto por una pluralidad de módulos. Por ejemplo, el dispositivo de control está compuesto por una pluralidad de módulos que incluyen un controlador de intervalo de potencia media (APRM), que sirve como módulo A, un controlador de intervalo de potencia local (LPRM), que sirve como módulo B, un módulo de I/O (entrada/salida), que sirve como módulo C, y similares.

60 La FIG. 1 muestra un ejemplo de la configuración de uno de los módulos, un módulo 101. El módulo 101 incluye una placa base 1, que está conectada a un conector 4 que está conectado a la placa madre 200; una subplaca de procesamiento de I/F (interfaz) hombre-máquina 2, que está conectada a la placa base 1 a través de una I/F de conexión de subplaca 5; y una subplaca de procesamiento de I/O 3, que se conecta a la placa base 1 a través de una I/F de conexión de subplaca 7. La placa base 1 y las subplacas 2 y 3 están conectadas a través de líneas de suministro de potencia y líneas de transmisión.

La placa base 1 incluye una FPGA de control hombre-máquina 21, una FPGA de control principal 22, una memoria intermedia de interfaz externa 23, una EEPROM 24 (*Electrically Erasable and Programmable Read-Only Memory* (memoria de solo lectura programable y borrrable eléctricamente)) para almacenar parámetros que pueden cambiar, una EPROM 25 (*Erasable Programmable Read-Only Memory* (memoria de solo lectura programable borrrable)) para almacenar parámetros que no cambian tales como los datos iniciales, y similares.

De manera similar, sobre la subplaca de procesamiento de I/F hombre-máquina 2, se proporcionan una FPGA de procesamiento de I/F hombre-máquina 26, una EEPROM 27 y una EPROM 28. Sobre la subplaca de procesamiento de I/O 3, se proporcionan una FPGA de procesamiento de I/O 29, una EEPROM 30 y una EPROM 31.

Para que se realice la transmisión entre las placas, cada una de las FPGA 22, 26 y 29 asigna zonas de transmisión a las que se escriben los datos. El contenido de las zonas de transmisión se divide por ejemplo en las siguientes cinco zonas (A1) a (A5).

(A1) Zona de datos de escritura de control principal de placa base

(A2) Zona de datos de escritura de control hombre-máquina de placa base

(A3) Zona de datos de procesamiento de I/F hombre-máquina

(A4) Zona de datos de procesamiento de I/O

(A5) Otra zona de datos de escritura de información de módulo

Puesto que el contenido de las zonas de transmisión asignadas se comparte, cada una de las FPGA 22, 26 y 29 hace referencia a los datos requeridos para realizar un procedimiento de I/F hombre-máquina y un procedimiento de I/O.

Por ejemplo, cuando la subplaca es la subplaca de procesamiento de I/F hombre-máquina 2, se configura una tabla donde se escriben los datos que se intercambian con la subplaca 2 con las mismas especificaciones que las memorias y los registros. La siguiente información de I/F hombre-máquina se asigna a la tabla: si se usa o no un primer LED (*Light Emitting Diode* (diodo emisor de luz)) (no mostrado); si se usa o no un segundo LED (no mostrado); si se visualiza o no el primer LED; si se visualiza o no el segundo LED; si se usa o no un primer conmutador (no mostrado); y si se usa o no un segundo conmutador (no mostrado). Por lo tanto, se hace posible la transmisión de datos en formatos de transmisión similares incluso a cualquiera de las subplacas que son diferentes en cuanto al número de LED o conmutadores. De manera similar, se pueden transmitir datos incluso si los datos son datos en serie o en paralelo.

Incluso cuando la subplaca es la subplaca de procesamiento de I/O 3, se asigna de manera similar un canal. La transmisión es posible incluso si las subplacas son diferentes en cuanto al número de entradas/salidas digitales y similares.

De acuerdo con el presente primer modo de realización, cada una de la placa base 1, la subplaca de procesamiento de I/F hombre-máquina 2 y la subplaca de procesamiento de I/O 3 está montada con las FPGA. Cada FPGA asigna zonas de transmisión a las que se escriben los datos. El contenido de las zonas de transmisión asignadas se comparte. Por lo tanto, es posible para cada FPGA realizar el procedimiento de I/F hombre-máquina y el procedimiento de I/O haciendo referencia a los datos requeridos. Como resultado, incluso si se cambia la configuración de la subplaca, es posible conseguir un módulo de entrada/salida y módulo de I/F hombre máquina para una parte externa que soporte el cambio.

Por ejemplo, un procedimiento de transmisión/visualización en la subplaca de procesamiento de I/F hombre-máquina 2 se realiza basándose en la EPROM (o EEPROM) en la subplaca que almacena información de I/F hombre-máquina, tal como el estado de si se usan o no los conmutadores de la subplaca 2, y el estado de visualización del LED. Por lo tanto, el procedimiento mediante la FPGA de la subplaca 2 se determina de manera única, y se mejora además la versatilidad de las placas 1 a 3. Como resultado, incluso cuando un módulo falla, es posible efectuar con prontitud operaciones de mantenimiento, reparación e inspección tales como la sustitución de placas dado que las placas son muy versátiles.

El módulo 100 del presente primer modo de realización incluye la placa base 1, la subplaca de procesamiento de I/F hombre-máquina 2, y la subplaca de procesamiento de I/O 3. Sin embargo, la subplaca de procesamiento de I/O 3 no es indispensable. Es decir, el módulo puede estar compuesto por la placa base 1 y la subplaca de procesamiento de I/F hombre-máquina 2. Incluso en este caso, pueden obtenerse efectos similares a aquellos descritos anteriormente.

[Segundo modo de realización]

De acuerdo con el primer modo de realización descrito anteriormente, la FPGA está montada sobre cada una de las placas 1 a 3. De acuerdo con el presente segundo modo de realización, las FPGA no están montadas sobre las subplacas 2 o 3, sino solamente sobre la placa base 1 (no mostrada).

5 En este caso, por ejemplo, un procedimiento de transmisión/visualización en la subplaca de procesamiento de I/F hombre-máquina 2 se realiza basándose en la EPROM (o EEPROM) en la placa base que almacena información de I/F hombre-máquina, tal como el estado de si se usan o no los conmutadores de la subplaca 2 o los LED.

10 De acuerdo con el presente segundo modo de realización, el procedimiento mediante la FPGA de la placa base 1 se determina de manera única, y se mejora además la versatilidad de la base y de las subplacas.

[Tercer modo de realización]

15 De acuerdo con el presente tercer modo de realización, se proporciona una subplaca de diagnóstico (no mostrada) para confirmar y captar el estado de la placa base 1 e información dentro de una zona de transmisión de datos. Es decir, tal como se muestra en la FIG. 1, están conectados pasadores de prueba 6 a las FPGA 21 y 22 de la placa base 1 y transmiten la información de estado de la placa base 1 y la información dentro de una zona de transmisión de datos a la subplaca de diagnóstico a través de la I/F de conexión de subplaca 5.

20 De acuerdo con el presente tercer modo de realización, es posible captar el estado de la subplaca de I/O y otros módulos a partir del estado de la placa base 1 y de la información dentro de una zona de transmisión de datos, haciendo posible llevar a cabo un diagnóstico de cada placa dentro de un módulo.

25 [Cuarto modo de realización]

Se describirá un cuarto modo de realización de la presente invención con referencia a la FIG. 3.

30 En un módulo 101 de la FIG. 3, la FPGA de procesamiento de I/O 29 de la subplaca 3 almacena el estado de una señal de entrada desde el exterior que un elemento de I/O 35 de la subplaca 3 ha aceptado e informa a la FPGA 22 de la placa base 1 del estado de entrada (un procedimiento de entrada desde el exterior). La placa base 1 transmite información de solicitud de salida externa a la subplaca 3. En la FPGA de señal de procesamiento de I/O 29 de la subplaca 3, se realiza un procedimiento de señal para emitirla al exterior (un procedimiento de salida al exterior). La placa base 1 y la subplaca 3 están conectadas junto con una pluralidad de líneas de señal para transmitir información.

En el caso de entrada de contacto:

40 Se consigue un módulo en el que: en la subplaca de procesamiento de I/O, para señales de una I/O externa 36 (una entrada de contacto de una pluralidad de canales, por ejemplo), se detecta el estado de entrada del contacto en la FPGA de procesamiento de I/O 29 a través de una memoria 37 intermedia y el elemento de I/O 35 (donde se monta una pluralidad de fotoacopladores); se transmite el estado de entrada del contacto a la placa base 1 usando señales en paralelo o señales en serie de encendido/apagado de secuencia de bits; y se realiza un procedimiento de señal en la FPGA de control principal 22.

45 En el caso de salida de contacto:

50 Para efectuar la salida de contacto de la I/O externa 36, que es por ejemplo una pluralidad de canales, se consigue un módulo en el que: se recibe una solicitud desde la FPGA 22 de la placa base 1 mediante la FPGA de procesamiento de I/O 29 de la subplaca 3 (usando señales en serie o en paralelo); y se realiza la salida de contacto al exterior a través del elemento de I/O 35 (donde están montados una pluralidad de relés photoMOS) y una memoria intermedia.

55 En el caso de entrada analógica (1):

60 Cuando una I/O externa, que es por ejemplo una corriente eléctrica, entra, se consigue un módulo en el que: con la FPGA de procesamiento de I/O 29 de la subplaca 3 que está dotado de una función de conversión A/D, se transmiten datos de entrada digitalizados a la placa base 1 (se transmite un nivel de entrada con señales en serie o en paralelo); y se realiza un procedimiento de señal en la FPGA de control principal 22.

En el caso de entrada analógica (2):

65 En la entrada analógica (1) descrita anteriormente, se consigue un módulo en el que: con un elemento de conversión A/D que está montado sobre el elemento de I/O 35, se reciben datos digitalizados mediante la FPGA de procesamiento de I/O 29 de la subplaca 3 y se transmiten a la placa base 1; y se realiza un procedimiento de señal en la FPGA de control principal 22.

En el caso de salida analógica (1):

5 Se consigue un módulo en el que: en respuesta a una solicitud desde la placa base 1, la FPGA de procesamiento de I/O 29 de la subplaca 3 se dota de una función de conversión D/A, y se realiza salida analógica al exterior.

En el caso de salida analógica (2):

10 En la salida analógica (1) descrita anteriormente, se consigue un módulo en el que: con un elemento de conversión D/A que está montado sobre el elemento de I/O 35, se realiza la salida analógica desde la FPGA de procesamiento de I/O 29 de la subplaca 3 a través de un convertor D/A y una memoria intermedia en respuesta a una solicitud desde la placa base 1.

15 En el caso de entrada/salida de transmisión externa (RS488, por ejemplo):

Se consigue un módulo en el que: cuando los datos de la señal en serie entran en la I/O externa 36, la FPGA de procesamiento de I/O 29 de la subplaca 3 se dota de una función de I/F de procesamiento de señal de la placa base 1, y se realiza un procedimiento de entrada/salida de transmisión externa.

20 También es posible conseguir un módulo que tiene una pluralidad de funciones de I/O en la FPGA de procesamiento de I/O 29 donde una pluralidad de las funciones de I/O externas descritas anteriormente están montadas de acuerdo con una tabla de funciones establecida en la EPROM 31 o EEPROM 30.

25 Por lo demás, de acuerdo con el presente modo de realización, la FPGA de control hombre-máquina 21 de la FIG. 3 no es indispensable.

[Quinto modo de realización]

30 Se describirá un quinto modo de realización de la presente invención con referencia a la FIG. 4.

En un módulo 102 del presente modo de realización, se monta un elemento de I/O 40 en lugar de la FPGA de procesamiento de I/O 29 de la subplaca 3 del cuarto modo de realización (FIG. 3); la FPGA de control principal 22 de la placa base 1 se dota de una función de procesamiento de datos. De esta manera, se consigue un módulo de I/O.

35 En el caso de entrada de contacto (se monta un fotoacoplador como elemento de I/O 40):

Se monta un fotoacoplador en el elemento de I/O 40 de una subplaca 3a. Se realiza un procedimiento aritmético de una señal de entrada desde el fotoacoplador en la FPGA 22 de la placa base 1. Por lo tanto, es posible conseguir un módulo que realiza un procedimiento de entrada de contacto externo.

40 En el caso de salida de contacto (se monta un relé photoMOS como elemento de I/O 40):

45 Se monta un relé photoMOS en el elemento de I/O 40 de la subplaca 3a. La FPGA 22 de la placa base 1 se dota de una función de hacer que el relé photoMOS realice salida de contacto. Por lo tanto, es posible conseguir un módulo de salida de contacto externo.

Entrada analógica (se monta un elemento de conversión A/D como elemento de I/O 40):

50 Se monta un elemento de conversión A/D en el elemento de I/O 40 de la subplaca 3a. La FPGA 22 de la placa base 1 se dota de una función de realizar un procedimiento de entrada de datos desde el elemento de conversión A/D. Por lo tanto, es posible conseguir un módulo de entrada analógica.

Salida analógica (se monta un elemento de conversión D/A como elemento de I/O 40):

55 Se monta un elemento de conversión D/A en el elemento de I/O 40 de la subplaca 3a. La FPGA 22 de la placa base 1 se dota de una función de realizar un procedimiento de salida de datos hasta el elemento de conversión D/A. Por lo tanto, es posible conseguir un módulo de salida analógica.

60 Transmisión externa (RS488, por ejemplo) (se monta un elemento de procesamiento de transmisión RS485 como elemento de I/O 40):

65 Se monta un elemento de procesamiento de transmisión RS485 en el elemento de I/O 40 de la subplaca 3a. La FPGA 22 de la placa base 1 se dota de una función de procesamiento de datos de entrada/salida de datos de transmisión. Por lo tanto, es posible conseguir un módulo de transmisión externa.

Por lo demás, de acuerdo con el presente modo de realización, la FPGA de control hombre-máquina 21 de la FIG. 4

no es indispensable.

Explicación de los símbolos de referencia

- 5 1: Placa base
- 2: Subplaca de procesamiento de I/F hombre-máquina
- 3, 3a: Subplaca de procesamiento de I/O
- 10 4: Conector
- 5, 7: I/F de conexión de subplaca
- 15 6: Pasador de prueba
- 21: FPGA de control hombre-máquina
- 22: FPGA de control principal
- 20 23: Memoria intermedia de interfaz externa
- 24: EEPROM
- 25 25: EPROM
- 26: FPGA de procesamiento de I/F hombre-máquina
- 27: EEPROM
- 30 28: EPROM
- 29: FPGA de procesamiento de I/O
- 35 30: EEPROM
- 31: EPROM
- 35: Elemento de I/O
- 40 36: I/O externa
- 37: Memoria intermedia
- 45 40: Elemento de I/O
- 101, 102: Módulo
- 200: Placa madre
- 50

REIVINDICACIONES

1. Dispositivo de control de procesamiento digital para controlar un flujo de neutrones en un reactor nuclear, comprendiendo el dispositivo:
- 5 una pluralidad de módulos (101, 102), cada uno de los cuales incluye: una placa base (1) montada con una FPGA de control principal (22) y una FPGA de control hombre-máquina (21) y conectada a un conector (4), y una subplaca de procesamiento de I/F hombre-máquina (2) montada con una FPGA de procesamiento de I/F (26), estando conectada la subplaca (2) a la placa base (1) a través de una I/F de conexión de subplaca (5); y
- 10 una placa madre (200) conectada a la pluralidad de los módulos (101, 102) a través del conector (4), en el que:
- 15 la pluralidad de módulos (101, 102) incluyen un módulo de control de intervalo de potencia media, un módulo de control de intervalo de potencia local, y un módulo de I/O, caracterizado por que,
- 20 cada una de las subplacas (2) de la pluralidad de los módulos (101, 102) está montada con un dispositivo de almacenamiento (27, 28) que almacena información de I/F hombre-máquina de la subplaca (2);
- 25 cada una de las FPGA de control principal 22 y de las FPGA de procesamiento de I/F (26) de la pluralidad de los módulos (101, 102) están configuradas para escribir datos de transmisión a una región predeterminada de una zona de transmisión y tiene un protocolo de transmisión común para compartir datos de transmisión entre módulos (101, 102),
- 30 para que se realice la transmisión entre las placas base (1) y las subplacas (2), las FPGA de control principal 22 y las FPGA de procesamiento de I/F (26) están configuradas cada una para asignar una zona de transmisión a la que se escriben los datos,
- 35 el contenido de la zona de transmisión de cada uno de los módulos (101, 102) está dividido en una pluralidad de zonas que incluyen: una zona de datos de escritura de control principal de placa base, una zona de datos de escritura de control hombre-máquina de placa base, una zona de datos de procesamiento de I/F hombre-máquina, y una zona de datos para escribir información de los otros módulos, y
- 40 el contenido de las zonas de transmisión asignadas se comparte, tal que las FPGA de control principal 22 y las FPGA de procesamiento de I/F (26) hacen referencia a los datos requeridos para realizar un procedimiento de I/F hombre-máquina.
2. Dispositivo de control de procesamiento digital de acuerdo con la reivindicación 1, en el que
- 45 cada una de la pluralidad de módulos (101, 102) incluye además:
- 50 una subplaca de procesamiento de I/O (3) montada con una FPGA de procesamiento de I/O (29) y un dispositivo de almacenamiento (30, 31) que almacena información de I/O asociada con el exterior de la subplaca de procesamiento de I/O (3), estando conectada la subplaca de procesamiento de I/O (3) a la placa base (1) a través de una I/F de conexión de subplaca (7); y
- 55 cada una de las FPGA de procesamiento de I/O (29) de la pluralidad de los módulos (101, 102) está configurada para escribir datos de transmisión a la región predeterminada de la zona de transmisión y tiene el protocolo de transmisión común para compartir datos de transmisión entre los módulos (101, 102).
3. Dispositivo de control de procesamiento digital de acuerdo con una cualquiera de las reivindicaciones 1 a 2, que comprende además
- una subplaca de diagnóstico que puede conectarse a y separarse de las FPGA (21, 22) de la placa base (1) de al menos uno de la pluralidad de los módulos (101, 102) y llevar a cabo un diagnóstico después de recibir el estado de la placa base (1) e información dentro de una zona de transmisión de datos cuando está conectada.

FIG.1

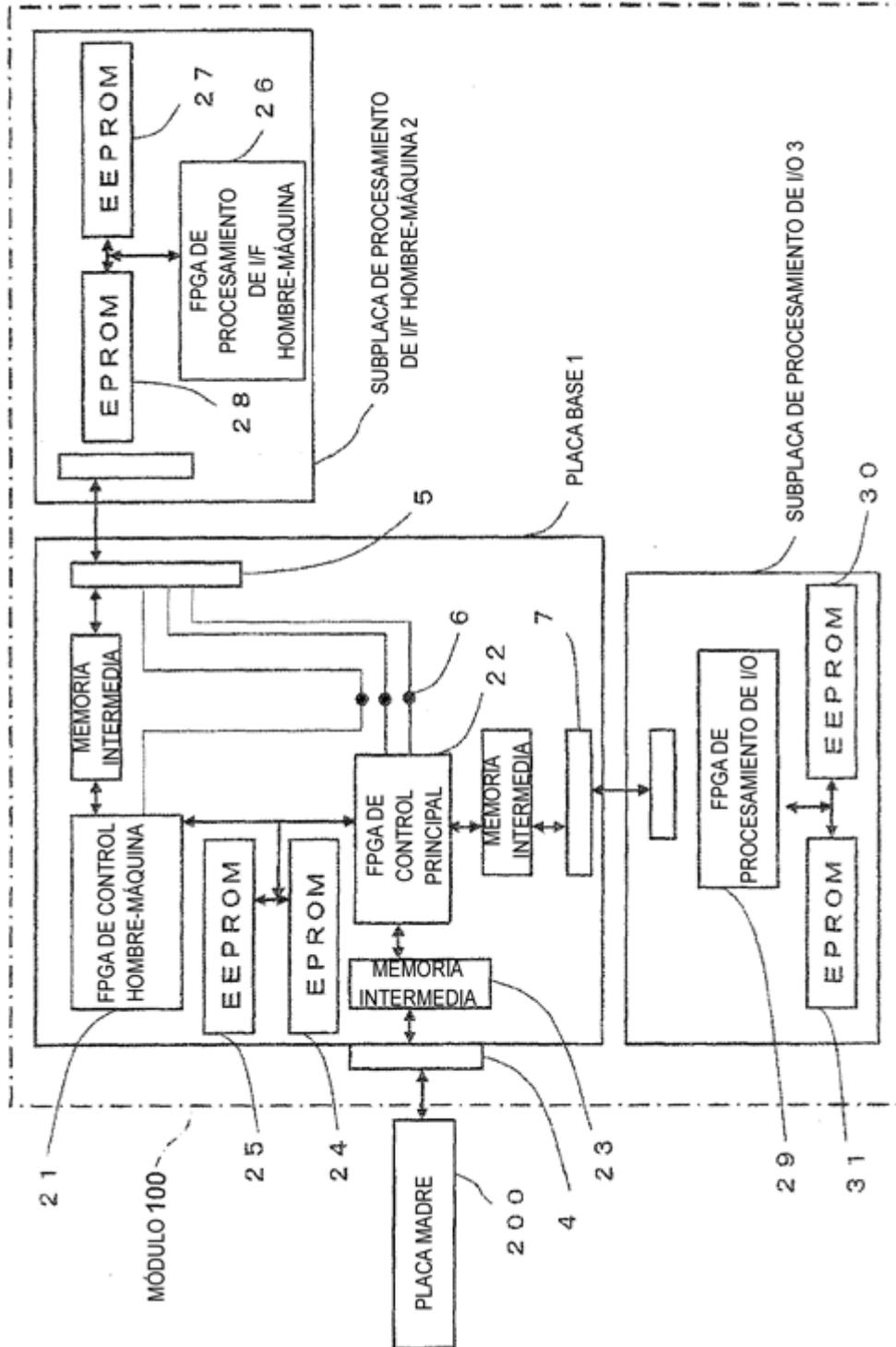


FIG.2

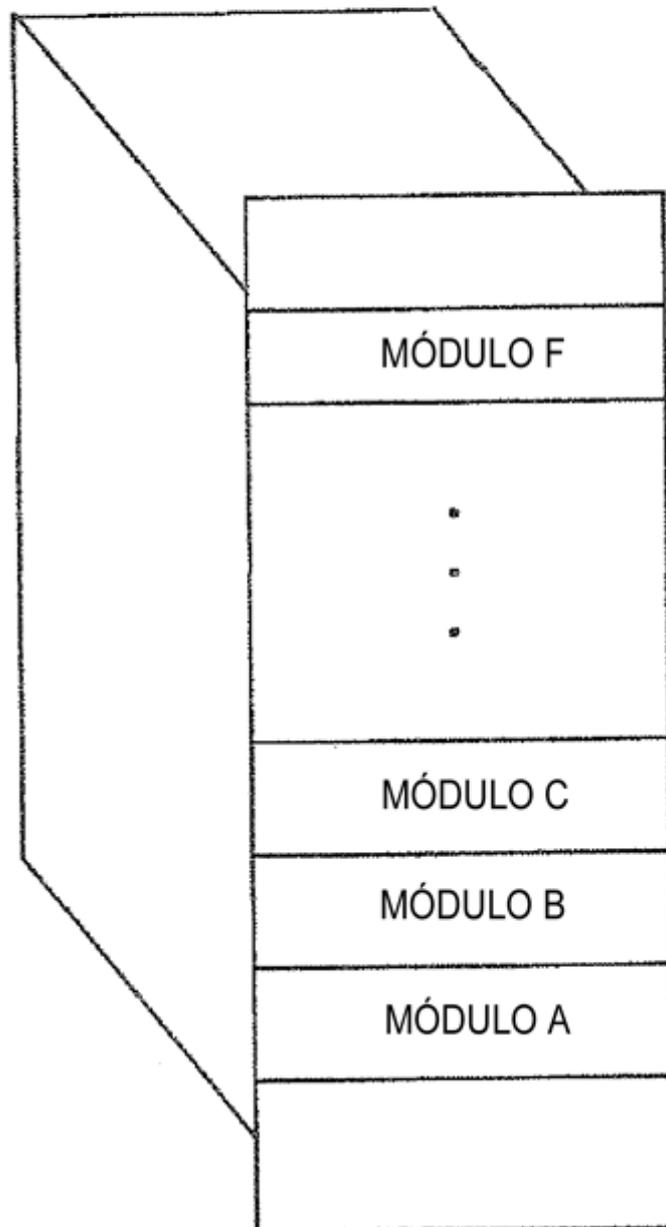


FIG.3

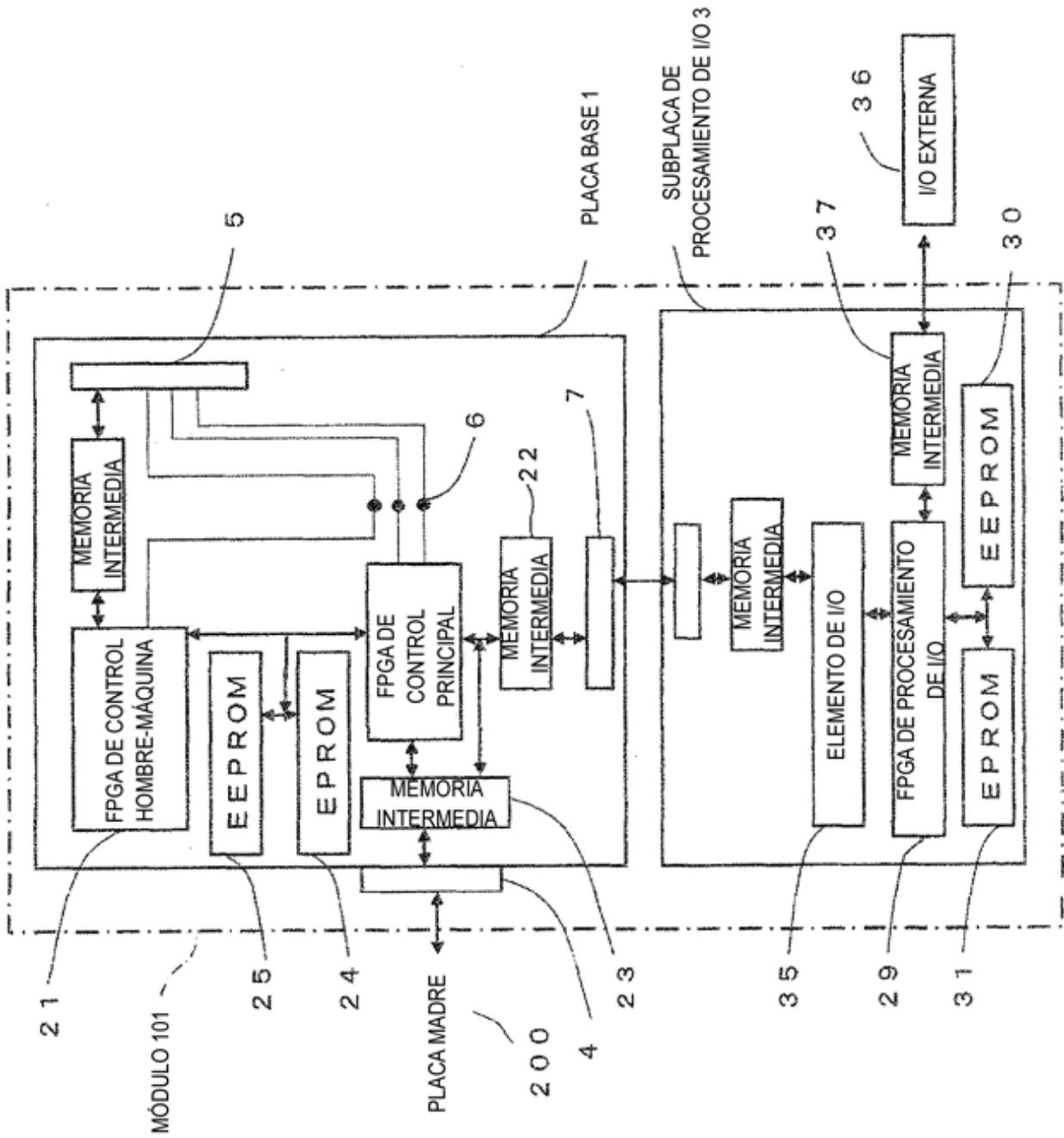


FIG.4

