

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 632 283**

51 Int. Cl.:

H04B 3/06

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **07.03.2014 PCT/US2014/021994**

87 Fecha y número de publicación internacional: **12.09.2014 WO14138646**

96 Fecha de presentación y número de la solicitud europea: **07.03.2014 E 14713350 (8)**

97 Fecha y número de publicación de la concesión europea: **19.04.2017 EP 2965216**

54 Título: **Circuito de control en modo de tensión para sistemas de N fases**

30 Prioridad:

07.03.2013 US 201361774425 P
06.03.2014 US 201414199064

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
12.09.2017

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US

72 Inventor/es:

LEE, CHULKYU;
WILEY, GEORGE ALAN y
SENGOKU, SHOICHIRO

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 632 283 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de control en modo de tensión para sistemas de N fases.

5 ANTECEDENTES**Campo**

10 La presente divulgación se refiere en general a comunicaciones de datos de alta velocidad y, más particularmente, a comunicaciones asimétricas entre componentes de dispositivos electrónicos y, en particular, a codificación y decodificación multifase.

Antecedentes

15 Las interfaces de alta velocidad se usan frecuentemente entre circuitos y componentes de dispositivos inalámbricos móviles y de otros aparatos complejos. Por ejemplo, ciertos dispositivos pueden incluir dispositivos de procesamiento, comunicaciones, almacenamiento y/o visualización que interactúan entre sí a través de enlaces de comunicaciones. Algunos de estos dispositivos, incluyendo la memoria dinámica síncrona de acceso aleatorio (SDRAM), pueden ser capaces de proporcionar o consumir datos e información de control a velocidades de reloj del procesador. Otros dispositivos, como controladores de pantalla, pueden requerir cantidades variables de datos a velocidades de actualización de vídeo relativamente bajas.

25 Las interfaces de alta velocidad están limitadas a menudo por la inclinación del reloj y están sometidas a interferencias. Las señales de alta frecuencia se transmiten a menudo usando interfaces diferenciales para proporcionar un rechazo en modo común a las señales críticas. En dispositivos tales como los dispositivos de memoria, que transmiten y reciben grandes cantidades de datos a través de datos amplios y buses de control, las interfaces pueden ser caras y pueden consumir una energía y bienes raíces significativos en una placa de circuito.

30 El documento US 2008/212709 divulga una interfaz en serie de alta velocidad que usa una modulación trifásica para codificar conjuntamente datos e información de reloj. En un modo de realización, la interfaz en serie de alta velocidad usa menos conductores de señal que los sistemas convencionales que tienen conductores independientes para datos e información de reloj. En otro modo de realización, la interfaz en serie permite que los datos se transmitan a cualquier velocidad sin que el extremo receptor tenga conocimiento previo de la velocidad de transmisión de datos. En otro aspecto, la interfaz en serie de alta velocidad usa la modulación trifásica codificada por polaridad para codificar conjuntamente datos e información de reloj.

SUMARIO

40 Los modos de realización divulgados en el presente documento proporcionan sistemas, procedimientos y aparatos para comunicar entre dos dispositivos que pueden estar colocados en un aparato electrónico y acoplados de forma comunicativa a través de uno o más enlaces de datos.

45 En un aspecto de la divulgación, un procedimiento para la transferencia de datos incluye asignar datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables, codificar la secuencia de símbolos en tres señales y accionar cada uno de tres terminales de acuerdo con una de las tres señales. Cada una de las tres señales puede estar en una de tres fases para cada símbolo que vaya a transmitirse. Las tres señales están en fases diferentes entre sí durante la transmisión de cada símbolo. El accionamiento de cada uno de los tres terminales puede incluir encender un primer transistor y apagar un segundo transistor cuando una correspondiente de las tres señales esté en una primera fase, de tal manera que el terminal se acciona hacia un primer nivel de tensión cuando el primer transistor está encendido. El accionamiento de cada uno de los tres terminales puede incluir encender el segundo transistor y apagar el primer transistor cuando la correspondiente de las tres señales esté en una segunda fase, de tal manera que el terminal se acciona hacia un segundo nivel de tensión cuando el segundo transistor está encendido. El accionamiento de cada uno de los tres terminales puede incluir apagar el primer transistor y el segundo transistor cuando la correspondiente de las tres señales esté en una tercera fase.

55 En un aspecto de la divulgación, el terminal se desplaza hacia un tercer nivel de tensión cuando tanto el primer transistor como el segundo transistor estén apagados. El tercer nivel de tensión puede estar dentro de un intervalo de tensión limitado por el primer nivel de tensión y el segundo nivel de tensión.

60 En un aspecto de la divulgación, el accionamiento de cada uno de los tres terminales incluye encender un tercer transistor y encender un cuarto transistor cuando la correspondiente de las tres señales esté en una tercera fase. El terminal se empuja hacia un tercer nivel de tensión cuando el tercer transistor está encendido y el cuarto transistor está encendido. El tercer nivel de tensión se sitúa dentro de un intervalo de tensión limitado por el primer nivel de tensión y el segundo nivel de tensión. El tercer transistor y el cuarto transistor pueden apagarse cuando la correspondiente de las tres señales esté en la primera fase o en la segunda fase. El encendido del tercer transistor hace que el terminal correspondiente se acople a la primera tensión a través de una primera impedancia y el

encendido del cuarto transistor hace que el terminal correspondiente se acople a la segunda tensión a través de una segunda impedancia. La primera impedancia y la segunda impedancia pueden seleccionarse para proporcionar una impedancia deseada en el terminal.

- 5 En un aspecto de la divulgación, la información se codifica en la rotación de fase en cada transición entre símbolos en la secuencia de símbolos. Para cada símbolo transmitido, dos señales de las tres señales están en la primera fase o en la segunda fase y la información puede codificarse en la polaridad relativa de estas dos señales.

10 En un aspecto de la divulgación, un aparato incluye medios para asignar datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables, medios para codificar la secuencia de símbolos en tres señales y medios para accionar cada uno de tres terminales de acuerdo con una correspondiente de las tres señales. Cada una de las tres señales está en una de tres fases para cada símbolo que vaya a transmitirse. Las tres señales están en fases diferentes entre sí durante la transmisión de cada símbolo. Los medios para accionar cada uno de los tres terminales pueden configurarse para encender un primer transistor y apagar un segundo transistor cuando una correspondiente de las tres señales esté en una primera fase, de tal manera que el terminal correspondiente se acciona hacia un primer nivel de tensión cuando el primer transistor está encendido; encender el segundo transistor y apagar el primer transistor cuando la correspondiente de las tres señales esté en una segunda fase, de tal manera que el terminal correspondiente se acciona hacia un segundo nivel de tensión cuando el segundo transistor está encendido; y apagar el primer transistor y el segundo transistor cuando la correspondiente de las tres señales esté en una tercera fase.

25 En un aspecto de la divulgación, un transmisor incluye un circuito de procesamiento configurado para asignar datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables y codificar la secuencia de símbolos en tres señales y un controlador de línea configurado para accionar uno de tres terminales de acuerdo con una de las tres señales. Cada una de las tres señales está en una de tres fases para cada símbolo transmitido. Las señales están en fases diferentes entre sí durante la transmisión de cada símbolo. El accionamiento de uno de los tres terminales durante cada intervalo de símbolos puede incluir uno de encender un primer transistor y apagar un segundo transistor cuando una correspondiente de las tres señales esté en una primera fase, de tal manera que el terminal correspondiente se acciona hacia un primer nivel de tensión cuando el primer transistor está encendido; encender el segundo transistor y apagar el primer transistor cuando la correspondiente de las tres señales esté en una segunda fase, de tal manera que el terminal correspondiente se acciona hacia un segundo nivel de tensión cuando el segundo transistor está encendido; y apagar el primer transistor y el segundo transistor cuando la correspondiente de las tres señales esté en una tercera fase.

35 En un aspecto de la divulgación, un medio de almacenamiento legible por procesador almacena o mantiene una o más instrucciones. Cuando se ejecutan mediante al menos un circuito de procesamiento, las instrucciones pueden hacer que al menos un circuito de procesamiento asigne datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables, codificar la secuencia de símbolos en tres señales y accionar cada uno de tres terminales de acuerdo con una de las tres señales. Cada una de las tres señales puede estar en una de tres fases para cada símbolo que vaya a transmitirse. Las señales pueden estar en fases diferentes entre sí durante la transmisión de cada símbolo. Para cada terminal, el terminal puede accionarse encendiendo un primer transistor y apagando un segundo transistor cuando una correspondiente de las tres señales esté en una primera fase, de tal manera que el terminal se acciona hacia un primer nivel de tensión cuando el primer transistor está encendido; encender el segundo transistor y apagar el primer transistor cuando la correspondiente de las tres señales esté en una segunda fase, de tal manera que el terminal se acciona hacia un segundo nivel de tensión cuando el segundo transistor está encendido; y apagar el primer transistor y el segundo transistor cuando la correspondiente de las tres señales esté en una tercera fase.

50 BREVE DESCRIPCIÓN DE LOS DIBUJOS:

La FIG. 1 representa un aparato que emplea un enlace de datos codificado por polaridad de N fases entre dispositivos dentro del aparato.

55 La FIG. 2 ilustra una arquitectura de sistema para un aparato que emplea un enlace de datos codificado por polaridad de M fases.

La FIG. 3 ilustra un ejemplo de un codificador de datos por polaridad de N fases.

60 La FIG. 4 ilustra la señalización en una interfaz codificada por polaridad de N fases.

La FIG. 5 es un diagrama de estado que ilustra transiciones de estado en el ejemplo de un enlace de comunicación trifásico de 3 cables .

65 La FIG. 6 ilustra un decodificador de datos por polaridad trifásico.

La FIG. 7 ilustra un controlador para la codificación de datos por polaridad de N fases de M cables.

La FIG. 8 es un dibujo esquemático que muestra un modelo de un codificador que transmite símbolos que usan 6 cables con 2 pares de cables accionados para cada estado.

5 La FIG. 9 es un dibujo esquemático que muestra un modelo de un circuito de codificación por polaridad trifásica.

La FIG. 10 ilustra un controlador de capa física convencional usado para transmitir señales diferenciales.

10 La FIG. 11 incluye ejemplos de interfaces de línea usadas para accionar un cable de señal en un sistema trifásico.

La FIG. 12 es un diagrama de flujo que ilustra un procedimiento de transferencia de datos.

15 La FIG. 13 es un diagrama que ilustra un ejemplo de una implementación de hardware para un transmisor de una señal codificada por polaridad de N fases.

DESCRIPCIÓN DETALLADA

20 Ahora se describen diversos aspectos con referencia a los dibujos. En la descripción siguiente, para los propósitos de explicación, se exponen numerosos detalles específicos con el fin de proporcionar una comprensión exhaustiva de uno o más aspectos. Sin embargo, puede resultar evidente que dicho(s) aspecto(s) puede(n) practicarse sin estos detalles específicos.

25 Como se usa en esta solicitud, los términos "componente", "módulo", "sistema" y similares están destinados a incluir una entidad relacionada con el ordenador, tal como, pero sin limitarse a, hardware, firmware, una combinación de hardware y software, software o software en ejecución. Por ejemplo, un componente puede ser, pero no está limitado a ser, un proceso que se ejecute en un procesador, un procesador, un objeto, un ejecutable, un hilo de ejecución, un programa y/o un ordenador. A modo de ilustración, tanto una aplicación que se ejecute en un dispositivo informático como el dispositivo informático puede ser un componente. Uno o más componentes pueden residir dentro de un proceso y/o hilo de ejecución y un componente puede localizarse en un dispositivo informático y/o distribuirse entre dos o más dispositivos informáticos. Además, estos componentes pueden ejecutarse a partir de diversos medios legibles por ordenador que tengan diversas estructuras de datos almacenadas en los mismos. Los componentes pueden comunicarse por medio de procesos locales y/o remotos tales como de acuerdo con una señal que tenga uno o más paquetes de datos, tales como datos de un componente que interactúe con otro componente en un sistema local, en un sistema distribuido y/o a través de una red tal como Internet con otros sistemas por medio de la señal.

40 Además, el término "o" está destinado a significar una "o" inclusiva en lugar de una "o" exclusiva. Es decir, a menos que se especifique de otra forma, o resulte evidente a partir del contexto, la frase "X emplea A o B" está destinada a significar cualquiera de las permutaciones inclusivas naturales. Es decir, la frase "X emplea A o B" se cumple en cualquiera de las instancias siguientes: X emplea A; X emplea B; o X emplea tanto A como B. Además, los artículos "un" y "una", como se usan en esta solicitud, y las reivindicaciones adjuntas deberían interpretarse en general para significar "uno o más", a menos que se especifique de otra forma o resulte evidente a partir del contexto que vaya a dirigirse a una forma singular.

45 Ciertos ejemplos divulgados se refieren a sistemas y aparatos que emplean procedimientos de codificación y decodificación de datos multifase que implican una pluralidad de conductores (es decir, M conductores o cables). Los M conductores incluyen típicamente tres o más conductores y cada conductor puede denominarse cable, aunque los M conductores pueden incluir trazas conductoras en una placa de circuito o dentro de una capa conductora de un dispositivo de circuito integrado (IC) semiconductor. Los M conductores pueden estar divididos en una pluralidad de grupos de transmisión, codificando cada grupo una porción de un bloque de datos que vayan a transmitirse. Se define un sistema de codificación de N fases en el cual se codifican bits de datos en transiciones de fase y cambios de polaridad en los M conductores. En un ejemplo, un sistema de codificación de N fases para un sistema de 3 cables puede incluir tres estados de fase y dos polaridades, proporcionando 6 estados y 5 transiciones posibles desde cada estado. Los cambios deterministas de tensión y/o corriente pueden detectarse y descodificarse para extraer datos de los M conductores. La decodificación no depende de conductores independientes, o los pares de conductores y la información de temporización pueden obtenerse directamente de transiciones de fase y/o por polaridad en los M conductores. La transferencia de datos por polaridad de N fases puede aplicarse a cualquier interfaz de señalización, tal como interfaces eléctricas, ópticas y de radiofrecuencia (RF) por ejemplo.

60 Ciertos aspectos de la invención pueden ser aplicables a los enlaces de comunicaciones desplegados entre componentes electrónicos, que pueden incluir subcomponentes de dispositivos tales como teléfonos, dispositivos informáticos móviles, aparatos, electrónica del automóvil, sistemas de aviónica, etc. Con referencia a la FIG. 1, por ejemplo, un aparato 100 que emplee la codificación de N fases de M cables puede incluir un circuito de procesamiento 102 que esté configurado para controlar el funcionamiento del aparato 100. El circuito de procesamiento 102 puede acceder y ejecutar aplicaciones de software y circuitos lógicos de control y otros

dispositivos dentro del aparato 100. En un ejemplo, el aparato 100 puede incluir un dispositivo de comunicación inalámbrica que comunique a través de un transceptor de comunicaciones RF 106 con una red de acceso por radio (RAN), una red de acceso central, Internet y/u otra red. El transceptor de comunicaciones 106 puede estar acoplado de forma operativa a un circuito de procesamiento 102. El circuito de procesamiento 102 puede incluir uno o más dispositivos IC, tales como un IC de aplicaciones específicas (ASIC) 108. El ASIC 108 puede incluir uno o más dispositivos de procesamiento, circuitos lógicos, y así sucesivamente. El circuito de procesamiento 102 puede incluir y/o estar acoplado al almacenamiento legible por procesador 112 que puede mantener instrucciones y datos que pueden ejecutarse por el circuito de procesamiento 102. El circuito de procesamiento 102 puede controlarse mediante uno o más de un sistema de funcionamiento y de una capa de interfaz de programación de aplicaciones (API) 110 que soporte y permita la ejecución de módulos de software que residan en el almacenamiento 112 del dispositivo inalámbrico. El almacenamiento 112 puede incluir una memoria de solo lectura (ROM) o una memoria de acceso aleatorio (RAM), una memoria de solo lectura programable borrable eléctricamente (EEPROM), un dispositivo de memoria flash o cualquier dispositivo de memoria que pueda usarse en sistemas de procesamiento y en plataformas informáticas. El circuito de procesamiento 102 puede incluir y/o acceder a una base de datos local 114 que pueda mantener parámetros de funcionamiento y otra información usada para configurar y hacer funcionar el aparato 100. La base de datos local 114 puede implementarse usando uno o más de un módulo o servidor de base de datos, una memoria flash, un medio magnético, una EEPROM, un medio óptico, una cinta, un disco blando o duro o similar. El circuito de procesamiento puede estar acoplado también de forma operativa a dispositivos externos tales como una antena 122, una pantalla 124, controles de operario, tales como un botón 128 y un teclado 126, entre otros componentes.

La FIG. 2 es un bloque esquemático 200 que ilustra ciertos aspectos de un aparato tal como un dispositivo móvil inalámbrico, un teléfono móvil, un sistema informático móvil, un teléfono inalámbrico, un ordenador portátil, un dispositivo informático de tablet, un reproductor multimedia, un dispositivo de videojuegos o similar. El aparato 200 puede incluir una pluralidad de dispositivos IC 202 y 230 que intercambien datos e información de control a través de un enlace de comunicaciones 220. El enlace de comunicaciones 220 puede usarse para conectar los dispositivos IC 202 y 230, los cuales pueden situarse muy próximos entre sí o situarse de forma física en partes diferentes del aparato 200. En un ejemplo, el enlace de comunicaciones 220 puede estar provisto en un portador de chip, un sustrato o una placa de circuito que lleve los dispositivos IC 202 y 230. En otro ejemplo, un primer dispositivo IC 202 puede estar situado en una sección de teclado de un teléfono plegable mientras que un segundo dispositivo IC 230 puede estar situado en una sección de pantalla del teléfono móvil. Una porción del enlace de comunicaciones 220 puede incluir un cable o una conexión óptica.

El enlace de comunicaciones 220 puede incluir múltiples canales 222, 224 y 226. Uno o más canales 226 pueden ser bidireccionales y pueden funcionar en modo semidúplex y/o en modo dúplex completo. Uno o más canales 224 pueden ser unidireccionales. El enlace de comunicaciones 220 puede ser asimétrico, proporcionando un ancho de banda más alto en una dirección. En un ejemplo descrito en el presente documento, un primer canal de comunicaciones 222 puede denominarse enlace directo 222, mientras que un segundo canal de comunicaciones 224 puede denominarse enlace inverso 224. El primer dispositivo IC 202 puede designarse como servidor, principal y/o transmisor, mientras que el segundo dispositivo IC 230 puede designarse como cliente, secundario y/o receptor, incluso aunque ambos dispositivos IC 202 y 230 estén configurados para transmitir y recibir en el enlace de comunicaciones 220. En un ejemplo, el enlace directo 222 puede funcionar a una velocidad de datos más alta cuando comunique datos desde un primer dispositivo IC 202 a un segundo dispositivo IC 230, mientras que el enlace inverso 224 puede funcionar a una velocidad de datos inferior cuando comunique datos desde el segundo dispositivo IC 230 al primer dispositivo IC 202.

Los dispositivos IC 202 y 230 pueden incluir cada uno un procesador u otro circuito o dispositivo de procesamiento y/o informático 206, 236. En un ejemplo, el primer dispositivo IC 202 puede realizar funciones básicas del aparato 200, que incluyan mantener comunicaciones inalámbricas a través de un transceptor inalámbrico 204 y una antena 214, mientras que el segundo dispositivo IC 230 puede soportar una interfaz de usuario que gestione o haga funcionar un controlador de pantalla 232 y puede controlar las operaciones de una cámara o dispositivo de entrada de vídeo usando un controlador de cámara 234. Otras características soportadas por uno o más de los dispositivos IC 202 y 230 pueden incluir un teclado, un componente de reconocimiento de voz y otros dispositivos de entrada o salida. El controlador de pantalla 232 puede incluir circuitos y controladores de software que soporten una pantalla tal como un panel de pantalla de cristal líquido (LCD), una pantalla táctil, un indicador y así sucesivamente. Los medios de almacenamiento 208 y 238 pueden incluir dispositivos de almacenamiento transitorios y/o no transitorios adaptados para mantener instrucciones y datos usados por los circuitos de procesamiento 206 y 236 respectivos y/u otros componentes de los dispositivos IC 202 y 230. La comunicación entre cada circuito de procesamiento 206, 236 y sus medios de almacenamiento 208 y 238 correspondientes y otros módulos y circuitos puede facilitarse mediante uno o más buses 212 y 242, respectivamente.

El enlace inverso 224 puede hacerse funcionar de la misma manera que el enlace directo 222. El enlace directo 222 y el enlace inverso 224 pueden ser capaces de transmitir a velocidades comparables o a velocidades diferentes, donde la velocidad puede expresarse como una velocidad de transferencia de datos y/o una velocidad de reloj. Las velocidades de datos directa e inversa pueden ser sustancialmente las mismas o pueden diferir en órdenes de magnitud, dependiendo de la solicitud. En algunas solicitudes, un único enlace bidireccional 226 puede soportar

comunicaciones entre el primer dispositivo IC 202 y el segundo dispositivo IC 230. El enlace directo 222 y/o el enlace inverso 224 pueden ser configurables para funcionar en un modo bidireccional cuando, por ejemplo, los enlaces directo e inverso 222 y 224 compartan las mismas conexiones físicas y funcionen de manera semidúplex.

5 En ciertos ejemplos, el enlace inverso 224 obtiene una señal de reloj del enlace directo 222 para los propósitos de sincronización, para los propósitos de control, para facilitar la gestión de energía y/o para simplificar el diseño. La señal de reloj puede tener una frecuencia que se obtiene dividiendo la frecuencia de un reloj de símbolos usado para transmitir señales en el enlace directo 222. El reloj de símbolos puede superponerse o codificarse de otra forma en símbolos transmitidos en el enlace directo 222. El uso de una señal de reloj derivada del reloj de símbolos permite la
10 sincronización rápida de los transmisores y receptores (transceptores 210, 240) y permite el inicio y la parada rápidos de señales de datos sin necesidad de entramado para permitir la formación y la sincronización.

En ciertos ejemplos, un único enlace bidireccional 226 puede soportar comunicaciones entre el primer dispositivo de procesamiento 202 y el segundo dispositivo de procesamiento 230. En algunas instancias, el primer dispositivo de
15 procesamiento 202 y el segundo dispositivo de procesamiento 230 proporcionan codificación y decodificación de datos, direcciones y señales de control transmitidas entre un dispositivo de procesamiento y dispositivos de memoria tales como la memoria dinámica de acceso aleatorio (DRAM).

En un ejemplo, uno o más de los buses 212 y/o 242 pueden proporcionar acceso a la SDRAM de velocidad de datos
20 dobles (DDR) usando una técnica de codificación de N fases de M cables. Los dispositivos de codificación por polaridad de N fases 210 y/o 240 pueden codificar múltiples bits por transición y pueden usarse múltiples conjuntos de cables para transmitir y recibir datos desde la SDRAM, señales de control, señales de dirección, etc.

En otro ejemplo, el enlace de comunicación 220 incluye una interfaz digital de alta velocidad, tal como una interfaz digital de pantalla móvil (MDDI), y uno o más enlaces de datos 222, 224 y 226 pueden usar la codificación por
25 polaridad de N fases. Los transceptores 210 y 240 pueden codificar y decodificar datos transmitidos en el enlace de comunicaciones 220. El uso de la codificación por polaridad de N fases proporciona una transferencia de datos de alta velocidad y puede consumir la mitad o menos de la energía de otras interfaces porque están activos menos conductores en los enlaces de datos codificados por polaridad de N fases 220. Los dispositivos de codificación por polaridad de N fases 210 y/o 240 pueden codificar múltiples bits por transición en la interfaz, que puede incluir un
30 bus. En un ejemplo, puede usarse una combinación de codificación por polaridad y trifásica para soportar un IC de controlador LCD de 80 tramas por segundo de matriz amplia de gráficos de vídeo (WVGA) sin una memoria intermedia de tramas, suministrando datos de píxeles a 810 Mbps para la actualización de la pantalla.

De acuerdo con ciertos aspectos divulgados en el presente documento, las características de un enlace de comunicaciones de polaridad de M cables de N fases pueden modificarse de forma dinámica para adaptarse a las
35 necesidades y circunstancias de funcionamiento cambiantes. Por ejemplo, puede aumentarse el número de cables usados para transmitir una señal de N fases para obtener un ancho de banda disponible más alto y/o el número de cables usados para transmitir una señal de N fases puede disminuirse para reducir el consumo de energía por los dispositivos IC 202 y 230. El número de cables usados para transmitir una señal de N fases en una dirección puede adaptarse independientemente del número de cables usados para transmitir una señal de N fases en la otra dirección. Los circuitos receptores y los circuitos transmisores en los controladores de capa física 210 y 240 pueden configurarse usando información de control transmitida cuando el enlace de comunicaciones 220 se active después de la hibernación o del encendido. La información de control puede transmitirse de acuerdo con un protocolo
45 predefinido. De este modo, un número mínimo de cables se activan para llevar un mensaje de control que especifique la configuración del enlace de comunicaciones 220, por ejemplo. El mensaje de control puede transmitirse de forma alternativa o adicionalmente con un comando de apagado, un comando de activación y/o en un preámbulo que preceda a cada transmisión. En algunos ejemplos, la configuración del enlace de comunicaciones 220 puede determinarse durante una secuencia de formación y/o sincronización. De este modo, los controladores de capa física de recepción 210 o 240 supervisan los cables u otros conductores disponibles para las transiciones correspondientes a una señal en N fases, con el fin de determinar qué cables/conductores están activos.
50

La FIG. 3 es un diagrama 300 que ilustra un ejemplo de un transmisor de codificación por polaridad de N fases de M cables, configurado para $M = 3$ y $N = 3$. El ejemplo de codificación trifásica de 3 cables se selecciona únicamente
55 para el propósito de simplificar las descripciones de ciertos aspectos de esta divulgación. Los principios y técnicas divulgados para los codificadores trifásicos de 3 cables pueden aplicarse en otras configuraciones de codificadores por polaridad de N fases de M cables

Cuando se use la codificación por polaridad de N fases, los conectores tales como los cables de señal 310a, 310b y
60 310c en un bus de M cables pueden estar no accionados, accionados positivos o accionados negativos. Un cable de señal no accionado 310a, 310b o 310c puede estar en un estado de alta impedancia. Un cable de señal no accionado 310a, 310b o 310c puede accionarse a un nivel de tensión que se sitúe sustancialmente a medio camino entre los niveles de tensión positiva y negativa proporcionados en los cables de señal accionados. Un cable de señal no accionado 310a, 310b o 310c puede no tener corriente fluyendo a través del mismo. En el ejemplo ilustrado en la
65 FIG. 3, cada cable de señal 310a, 310b y 310c puede estar en uno de tres estados (indicados como +1, -1, y 0) que usen los controladores 308. En un ejemplo, los controladores 308 pueden incluir controladores en modo de corriente

de nivel de unidad. En otro ejemplo, los controladores 308 pueden accionar tensiones de polaridad opuestas en dos señales 310a y 310b, mientras que la tercera señal 310c está en alta impedancia y/o tirada a tierra. Para cada intervalo de símbolos transmitidos, al menos una señal está en el estado no accionado (0), mientras que el número de señales accionadas positivas (estado +1) es igual al número de señales accionadas negativas (-1 estado), de tal manera que la suma de la corriente que fluye hacia el receptor es siempre cero. Para cada par de intervalos consecutivos de transmisión de símbolos, al menos un cable de señal 310a, 310b o 310c tiene un estado diferente en los dos intervalos de transmisión de símbolos.

En el ejemplo mostrado en la FIG. 3, los datos de 16 bits 318 se introducen en un asignador 302 que asigna los datos de entrada 318 a 7 símbolos 312 para transmitir de forma secuencial en los cables de señal 310a, 310b y 310c. Los 7 símbolos 312 pueden serializarse, usando convertidores paralelos en serie 304, por ejemplo. Un codificador 306 de N fases de M cables recibe 7 símbolos 312 producidos por el asignador, un símbolo cada vez, y calcula el estado de cada cable de señal 310a, 310b y 310c para cada intervalo de símbolos. El codificador 306 selecciona los estados de los cables de señal 310a, 310b y 310c basándose en el símbolo de entrada y a los estados previos de los cables de señal 310a, 310b y 310c.

El uso de la codificación de N fases de M cables permite que un número de bits se codifiquen en una pluralidad de símbolos donde los bits por símbolo no sean un número entero. En el ejemplo simple de un sistema de 3 cables, existen 3 combinaciones disponibles de 2 cables que pueden accionarse de forma simultánea y 2 combinaciones posibles de polaridad en el par de cables accionados de forma simultánea, dando 6 estados posibles. Puesto que cada transición se produce desde un estado de corriente, 5 de los 6 estados están disponibles en cada transición. Se requiere que el estado de al menos un cable cambie en cada transición. Con 5 estados, $\log_2(5) \cong 2,32$ bits pueden codificarse por símbolo. Por consiguiente, un asignador puede aceptar una palabra de 16 bits y convertirla a 7 símbolos porque 7 símbolos que lleven 2,32 bits por símbolo pueden codificar 16,24 bits. En otras palabras, una combinación de siete símbolos que codifique cinco estados tiene 5^7 (78125) permutaciones. Por consiguiente, los 7 símbolos pueden usarse para codificar las 2^{16} (65,536) permutaciones de 16 bits.

La FIG. 4 ilustra un ejemplo de señalización 400 que emplea un sistema de codificación de datos de modulación trifásica basándose en el diagrama de transición de estado circular 450. De acuerdo con el sistema de codificación de datos, una señal trifásica puede rotar en dos direcciones y puede transmitirse en tres conductores 310a, 310b y 310c. Cada una de las tres señales se acciona de forma independiente en los conductores 310a, 310b, 310c. Cada una de las tres señales incluye la señal trifásica, con cada señal en cada conductor 410a, 410b y 410c estando 120 grados fuera de fase relativos a las señales en los otros dos conductores 410a, 410b y 410c. En cualquier momento, cada uno de los tres conductores 310a, 310b, 310c está en uno diferente de los estados $\{+1, 0, -1\}$. En cualquier momento, cada uno de los tres conductores 310a, 310b, 310c en un sistema de 3 cables está en un estado diferente al de los otros dos cables. Cuando se usan más de tres conductores o cables, dos o más pares de cables pueden estar en el mismo estado. El sistema de codificación ilustrado codifica también información en la polaridad de los dos conductores 310a, 310b y/o 310c que se accionan de forma activa a los estados +1 y -1. La polaridad se indica en 408 para la secuencia de estados representada.

En cualquier estado de fase en el ejemplo de tres cables ilustrado, exactamente dos de los conductores 310a, 310b, 310c llevan una señal que es efectivamente una señal diferencial para ese estado de fase, mientras que el tercer conductor 310a, 310b o 310c está no accionado. El estado de fase para cada conductor 310a, 310b, 310c puede determinarse mediante la diferencia de tensión entre el conductor 310a, 310b o 310c y al menos otro conductor 310a, 310b y/o 310c o por la dirección del flujo de corriente o falta de flujo de corriente, en el conductor 310a, 310b o 310c. Como se muestra en el diagrama de transición de estado 450, se definen tres estados de fase (S_1 , S_2 y S_3). Una señal puede fluir en sentido horario desde el estado de fase S_1 hasta el estado de fase S_2 , el estado de fase S_2 hasta el estado de fase S_3 y/o el estado de fase S_3 hasta estado de fase S_1 , y la señal puede fluir en el sentido antihorario desde el estado de fase S_1 , al estado de fase S_3 , el estado de fase S_3 al estado de fase S_2 y/o el estado de fase S_2 al estado de fase S_1 . Para otros valores de N , las transiciones entre los N estados pueden definirse opcionalmente de acuerdo con un diagrama de estado correspondiente para obtener una rotación circular entre las transiciones de estado.

En el ejemplo de un enlace de comunicaciones trifásico de tres cables, pueden usarse rotaciones en sentido horario (S_1 a S_2), (S_2 a S_3) y/o (S_3 a S_1) en una transición de estado para codificar una lógica 1, mientras que pueden usarse las rotaciones en sentido antihorario del reloj (S_1 a S_3), (S_3 a S_2) y/o (S_2 a S_1) en la transición de estado para codificar una lógica 0. Por consiguiente, puede codificarse un bit en cada transición controlando si la señal está "rotando" en sentido horario o antihorario. Por ejemplo, puede codificarse una lógica 1 cuando los tres cables 310a, 310b, 310c realicen la transición desde el estado de fase S_1 al estado de fase S_2 y una lógica 0 puede codificarse cuando los tres cables 310a, 310b, 310c realicen la transición del estado de fase S_1 al estado de fase S_3 . En el ejemplo simple de tres cables representado, la dirección de rotación puede determinarse fácilmente basándose en cuál de los tres cables 310a, 310b, 310c no se acciona antes y después de la transición.

La información puede codificarse también en la polaridad de los conductores accionados 310a, 310b, 310c o en la dirección del flujo de corriente entre dos conductores 310a, 310b, 310c. Las señales 402, 404 y 406 ilustran niveles de tensión aplicados a los conductores 310a, 310b, 310c, respectivamente en cada estado de fase en un enlace

trifásico de tres cables. En cualquier momento, un primer conductor 310a, 310b, 310c se acopla a una tensión positiva (+V, por ejemplo), un segundo conductor 310a, 310b, 310c se acopla a una tensión negativa (-V, por ejemplo), mientras que el tercer conductor 310a, 310b, 310c puede estar en circuito abierto o por el contrario no estar conectado. Como tal, un estado de codificación de polaridad puede determinarse mediante el flujo de corriente
 5 entre el primer y segundo conductores 310a, 310b, 310c o las polaridades de tensión del primer y segundo conductores 310a, 310b, 310c. En algunos modos de realización, dos bits de datos pueden codificarse en cada transición de fase. Un decodificador puede determinar la dirección de rotación de fase de señal para obtener el primer bit, y el segundo bit puede determinarse basándose en la diferencia de polaridad entre dos de las señales 402, 404 y 406. El decodificador que tenga una dirección de rotación determinada puede determinar el estado de
 10 fase de corriente y la polaridad de la tensión aplicada entre los dos conectores activos 310a, 310b y/o 310c o la dirección del flujo de corriente a través de los dos conductores activos 310a, 310b y/o 310c.

En el ejemplo del enlace trifásico de tres cables descrito en el presente documento, puede codificarse un bit de datos en la rotación o en un cambio de fase en el enlace trifásico de tres cables y puede codificarse un bit adicional en la polaridad de dos cables accionados. Ciertos modos de realización codifican más de dos bits en cada transición de un sistema de codificación trifásico de tres cables permitiendo la transición a cualquiera de los estados posibles desde un estado de corriente. Dadas tres fases de rotación y dos polaridades para cada fase, se definen 6 estados, de tal manera que 5 estados están disponibles desde cualquier estado de corriente. Por consiguiente, pueden existir $\log_2(5) \cong 2,32$ bits por símbolo (transición) y el asignador puede aceptar una palabra de 16 bits y convertirla en 7
 15 símbolos.

La FIG. 5 es un diagrama de estado 500 que ilustra 6 estados y 30 transiciones de estado posibles en el ejemplo de un enlace de comunicación trifásico de 3 cables. La FIG. 5 se amplía en el diagrama de transición de estado 450 en la FIG. 4 representando todos los estados posibles 502, 504, 506, 512, 514 y 516. Estos estados 502, 504, 506, 512, 514 y 516 incluyen versiones de polaridad positiva y de polaridad negativa de los estados de fase S_1 , S_2 y S_3 ilustrados en el diagrama de transición de fase 450 de la FIG. 4. Para mayor claridad, el conjunto de estados de fase/polaridad está etiquetado alfabéticamente e incluye {+x, -x, +y, -y, +z, -z} donde, por ejemplo, +x y -x representan estados con la misma fase pero con una polaridad diferente. Como se muestra en el elemento de estado de modelo 520, cada estado 502, 504, 506, 512, 514 y 516 en el diagrama de estado 500 incluye un campo 522 que muestra el estado de tensión de las señales 402, 404 y 406 que se transmiten en los cables 310a, 310b y 310c, respectivamente. Por ejemplo, en el estado 502 (+x), la señal 402 = +1, la señal 404 = -1 y la señal 406 = 0. También se muestran en la FIG. 5 los 5 trayectos de transición posibles entre los estados 502, 504, 506, 512, 514 y 516, que incluyen, a modo de ejemplo, el trayecto de transición 524 entre el estado -x 512 y el estado -y 514.
 25

La FIG. 6 es un dibujo esquemático en bloque 600 que ilustra un ejemplo que muestra ciertos componentes de la capa física (PHY) en un receptor adaptado para conectarse a una interfaz trifásica. Los comparadores 602 y el decodificador 604 están configurados para proporcionar una representación digital del estado de cada una de tres líneas de transmisión 612a, 612b y 612c, así como el cambio en el estado de las tres líneas de transmisión en comparación con el estado transmitido en el período de símbolo anterior. Como puede verse a partir del ejemplo ilustrado, la tensión de cada conector 612a, 612b o 612c puede compararse con las tensiones de los otros dos conectores 612a, 612b y/o 612c para determinar el estado de cada conector 612a, 612b o 612c, de tal manera que la ocurrencia de una transición puede detectarse y descodificarse por el decodificador 604 basándose en las salidas de los comparadores 602. Siete estados consecutivos se montan en serie en convertidores paralelos 606, que producen conjuntos de 7 símbolos para procesarse mediante el desasignador 608 para obtener 16 bits de datos que
 35 puedan protegerse en la memoria intermedia FIFO 610.

Tabla 1.

Estado	Amplitud del cable			Salida Rx diferencial			Salida digital del receptor		
	A	B	C	A-B	B-C	C-A	Rx_AB	Rx_BC	Rx_CA
-x	+V	0	+V/2	+V	-V/2	-V/2	1	0	0
-x	0	+V	+V/2	-V	+V/2	+V/2	0	1	1
+y	+V/2	+V	0	-V/2	+V	-V/2	0	1	0
-y	+V/2	0	+V	+V/2	-V	+V/2	1	0	1
+z	0	+V/2	+V	-V/2	-V/2	+V	0	0	1
-z	+V	+V/2	0	+V/2	+V/2	-V	1	1	0

Con referencia también a la FIG. 5, la Tabla 1 ilustra las salidas de los receptores diferenciales 602 para cada cable 522 en el sistema de codificación por polaridad trifásica de 3 cables. En el ejemplo, los estados de cables 522 pueden codificarse en la amplitud de tensión en los tres cables 612a, 612b y 612c de tal manera que un estado +1 de un cable se representa como una tensión de +V voltios, que un estado de cable -1 se representa como 0 voltios y
 50

que el estado no accionado se representa o se aproxima como + V/2 voltios. Un receptor/decodificador puede configurarse para emitir un código en la salida digital del receptor para cada símbolo decodificado.

5 La FIG. 7 incluye un diagrama esquemático en bloque 700 que ilustra ciertos aspectos de un sistema de codificación de N fases de M cables y capacidades de codificación de bits para diversos valores de M y configuraciones del sistema de codificación de N fases de M cables. Los datos recibidos en un transmisor pueden asignarse a un número de símbolos que vayan a transmitirse de forma secuencial a través de un bus de M cables 708. El sistema de asignación puede determinar una configuración para el bus de M cables 708. En un ejemplo, una pluralidad de conectores en el bus de M cables 708 puede llevar la misma señal de N fases, desplazada un ángulo de fase
10 predeterminado. En otro ejemplo, el bus de M cables 708 puede subdividirse en grupos de G cables, donde cada grupo lleva señales diferentes de N fases. En este último ejemplo, un bus de 9 cables 708 puede configurarse como tres segmentos diferentes de bus de 3 cables. De acuerdo con ciertos aspectos, el asignador 704 puede adaptarse para definir de forma dinámica el sistema de codificación, para reconfigurar el bus de M cables 708 y para controlar el funcionamiento del accionador de N fases de M cables 706. En un ejemplo, el asignador 704 puede adaptarse para reconfigurar el sistema de codificación de N fases de M cables para proporcionar un ancho de banda deseado y/o limitar el consumo de energía. Por tanto, el asignador 704 puede activar y desactivar de forma selectiva porciones del bus de M cables 708 cuando la demanda de ancho de banda de datos sea baja y el asignador 704 puede activar porciones adicionales del bus de M cables 708 para obtener un ancho de banda aumentado.

20 En el receptor, se reciben símbolos de N fases y se acumulan desde el bus de M cables 708, típicamente sobre una pluralidad de ciclos de reloj de transmisión. Los símbolos acumulados pueden entonces decodificarse mediante un asignador de símbolos a bits 712. Los relojes de transmisión pueden obtenerse a partir de una o más porciones del bus de M cables 708 y la información de configuración puede comunicarse usando un grupo designado de conectores que proporcionen un canal principal. En el ejemplo del bus de 9 cables 708 configurado como tres
25 segmentos diferentes de bus de 3 cables, puede identificarse un segmento de bus como el canal principal con un sistema de codificación por defecto que vaya a usarse durante el encendido y la sincronización. Los comandos comunicados a través del bus pueden hacer que el transmisor y el receptor entren en una etapa de hibernación en uno o más de los segmentos de 3 cables.

30 La transferencia de datos de N fases puede usar más de tres cables de señal u otros conectores proporcionados en un medio de comunicación. El uso de los cables de señal adicionales que pueden accionarse de forma simultánea proporciona más combinaciones de estados y polaridades y permite que más bits de datos se codifiquen en cada transición entre estados. Esto puede mejorar de forma significativa el rendimiento del sistema, mientras que limita el consumo de energía en comparación con los enlaces de comunicaciones que usan múltiples pares diferenciales para transmitir bits de datos, mientras que proporcionan un ancho de banda mayor. El consumo de energía puede limitarse además configurando de forma dinámica el número de conectores activos para cada transmisión.

La FIG. 8 es un dibujo esquemático que muestra un modelo de un codificador que transmite símbolos que usan 6 cables con 2 pares de cables accionados para cada estado. Los 6 cables pueden etiquetarse de A a F, de tal manera que, en un estado, los cables A y F se accionen positivos, los cables B y E negativos y que C y D estén no accionados (o no lleven corriente). En el ejemplo, la señal de N fases puede tener 3 fases. Cada estado de fase puede tener una polaridad positiva o negativa. En el modelo ilustrativo, cada cable puede conectarse a una fuente de corriente positiva, a una fuente de corriente negativa o a ninguna fuente de corriente. La corriente fluye a través de un cable que tiene una impedancia Z_0 que es típicamente la impedancia característica del cable de transmisión.
45 Como se muestra en la FIG. 8, las corrientes positivas se cancelan mediante dos corrientes negativas.

Para seis cables, pueden existir:

$$C(6,4) = \frac{6!}{(6-4)! \cdot 4!} = 15$$

50 combinaciones posibles de cables accionados de forma activa, con:

$$C(4,2) = \frac{4!}{(4-2)! \cdot 2!} = 6$$

55 combinaciones diferentes de polaridad para cada estado de fase.

Las 15 combinaciones diferentes de cables accionados de forma activa pueden incluir:

ABCD ABCE ABCF ABDE ABDF
 AB EF ACDE ACDF ACEF ADEF
 BCDE BCDF BCEF BDEF CDEF

De los 4 cables accionados, las combinaciones posibles de dos cables accionados positivos (y los otros dos deben ser negativos). Las combinaciones de polaridad pueden incluir:

5

++-- +--+ +-+- -+-+ -++- --++

Por consiguiente, el número total de estados diferentes puede calcularse como $15 \times 6 = 90$. Para garantizar una transición entre símbolos sucesivos, 89 estados están disponibles para la transición desde cualquier estado de corriente y el número de bits que pueden codificarse en cada símbolo puede calcularse como: $\log_2(89) \cong 6,47$ bits por símbolo. En este ejemplo, una palabra de 32 bits puede codificarse mediante el asignador en 5 símbolos, dado que $5 \times 6,47 = 32,35$ bits.

10

La ecuación general para el número de combinaciones de cables que pueden accionarse para un bus de cualquier tamaño, en función del número de cables en el bus y el número de cables accionados de forma simultánea:

15

$$C(N_{wires}, N_{driven}) = \frac{N_{wires}!}{(N_{wires} - N_{driven})! \cdot N_{driven}!}$$

La ecuación para el número de combinaciones de polaridad para los cables que están accionados es:

20

$$C\left(N_{driven}, \frac{N_{driven}}{2}\right) = \frac{N_{driven}!}{\left(\left(\frac{N_{driven}}{2}\right)!\right)^2}$$

El número de bits por símbolo es:

25

$$\log_2\left(C(N_{wires}, N_{driven}) \cdot C\left(N_{driven}, \frac{N_{driven}}{2}\right) - 1\right)$$

La FIG. 7 incluye un gráfico 720 que muestra la codificación de bits para diversos valores de M (es decir, número de cables) y configuraciones de cables y pares de cables.

30

En algunos modos de realización, un codificador puede configurarse para aumentar el número de cables usados para la codificación de N fases cuando se requiera un aumento de ancho de banda. El ancho de banda puede cambiar cuando, por ejemplo, vaya a visualizarse un clip de vídeo a un usuario del aparato 100 o cuando tenga que transferirse una ráfaga de datos entre circuitos de procesamiento y/o dispositivos de memoria. Los cambios en el ancho de banda pueden corresponder también o ser relativos a las medidas de control de energía, así como a necesidades específicas de la aplicación. Por ejemplo, el aparato de la FIG. 2 puede reconfigurar de forma dinámica los conectores 220 para iniciar medidas de ahorro de energía que puedan conservar la vida útil de la batería cuando se reduzca la demanda de ancho de banda.

35

40

Cuando se requiera o se pida un ancho de banda aumentado o disminuido, un codificador puede aumentar o disminuir el número de conductores activos que vayan a usarse para la codificación de N fases. Dicha codificación adaptable puede permitir la provisión eficiente de energía de ancho de banda variable. En un ejemplo, pueden añadirse cables adicionales en unidades atómicas. Una unidad atómica puede incluir tres cables que empleen la codificación de polaridad trifásica (descrita en el presente documento). En otro ejemplo, pueden definirse estados de codificación adicionales añadiendo pares de cables a un bus de N fases de M cables. En otro ejemplo, pueden obtenerse estados de codificación adicionales añadiendo un único cable. De este modo, dos cables están no accionados para cada estado. La adición de un cable no accionado puede aumentar el consumo de energía menos que la adición de un par de cables accionados.

45

50

La FIG. 9 ilustra un modelo de un circuito de codificación por polaridad trifásica de 3 cables. La corriente se pasa a través de dos de tres cables de señal a través de los terminales 902, 904 y/o 906 correspondientes que pueden estar conectados a cables que tengan una impedancia característica (Z_0). No se pasa ninguna corriente a través del tercer cable de señal. Como se indica en el presente documento, cada estado de fase puede definirse como que tiene una polaridad positiva o una polaridad negativa, aunque el ejemplo de la FIG. 9 representa solamente la condición de polaridad positiva de cada estado de fase para simplificar la descripción. Para obtener un estado "+x",

la corriente se pasa 924, 926, 928 desde el terminal 902 al terminal 904. Para obtener un estado "+y", la corriente se pasa 934, 936, 938 desde el terminal 904 al terminal 906. Para obtener un estado "+z", la corriente pasa 944, 946, 948 desde el terminal 906 hasta el terminal 902. La señal no accionada puede empujarse hacia una tensión neutra por resistencias de terminación en el receptor.

5 De acuerdo con ciertos aspectos divulgados en el presente documento, se proporciona una interfaz de capa física de N fases (PHY de N fases) de M cables, para soportar una señal multifásica. Con referencia de nuevo a la FIG. 4, en un ejemplo, una señal trifásica 402, 404, 406 proporcionada en un cable 310a, 310b, 310c se define mediante dos señales activas de polaridad opuesta y mediante una señal no accionada en las cuales no se transmite corriente
10 y/o el cable 310a, 310b, 310c está en un circuito abierto. Una PHY trifásica puede codificar y decodificar la señal trifásica haciendo que la señal no accionada realice la transición a una tensión neutra (por ejemplo, 0 voltios) en ambos extremos del circuito de la línea de transmisión para impedir el flujo de corriente.

15 Las interfaces convencionales no tienen una información codificada en el estado no accionado. La FIG. 10 es un diagrama 1000 que ilustra una capa física diferencial convencional (DPHY) usada para transmitir señales. Los bits de datos se capturan por un registro 1002 o dispositivo similar. Los bits de datos pueden incluir un byte, una palabra u otro agrupamiento de bits. Los bits capturados se serian usando un registro de desplazamiento 1004 u otro convertidor paralelo en serie. El serializador 1004 se cronometra a la velocidad de transmisión de la interfaz. Un controlador diferencial 1006 convierte cada bit en una señal diferencial. El diferencial puede accionar dos cables de
20 señal 1008a y 1008b. En un ejemplo, los dos cables de señal 1008a, 1008b pueden accionarse a tensiones diferentes, que pueden tener polaridades opuestas. En otro ejemplo, se pasa una corriente en una dirección u otra entre los dos cables 1008a y 1008b. En algunas instancias, el controlador 1006 puede ser una memoria intermedia de tres estados que puede desconectarse de forma eficaz para permitir a un controlador diferente (no mostrado) accionar los cables 1008a y 1008b.

25 Una línea de controlador de línea diferencial 1010 puede incluir transistores 1012a, 1012b, 1014a y 1014b configurados para proporcionar un par de señales 1016a y 1016b que sean inversas efectivas entre sí para todos los estados de señalización. Una DPHY 1010 convencional no define un estado no accionado en el cual la información se codifique basándose en el estado del estado no accionado y el estado de dos o más cables.

30 La FIG. 11 ilustra los ejemplos 1100 y 1120 de interfaces de línea que pueden usarse para accionar un cable de señal en una PHY trifásica. En un ejemplo 1100, un transistor 1102 recibe una señal de subida y un transistor 1104 recibe una señal de bajada. Cuando el terminal de salida 1106 tenga que accionarse a un estado de señalización activo (+1 o -1), uno de los transistores 1102 o 1104 se activa y el terminal de salida 1106 se acciona de forma
35 activa a un estado de señalización o a otro. Cuando el terminal de salida 1106 tenga que estar no activado y en un estado de señalización inactivo (0), ni el control de subida ni el de bajada está activo y ambos transistores 1102 y 1104 están apagados. El terminal de salida 1106 se establece típicamente en el nivel de modo común de las líneas accionadas cuando ambos transistores 1102 y 1104 están apagados para obtener un estado de señalización inactivo (0). Sin embargo, el tiempo de instalación puede dar como resultado tiempos de desviación que sean más
40 largos para estados no accionados que para estados que se accionen de forma activa por un transistor 1102 o 1104. El tiempo de instalación y el tiempo de desviación correspondiente pueden mejorarse terminando la línea de transmisión o el terminal 1106. En un ejemplo, pueden proporcionarse un par de impedancias, que pueden ser resistivas, u otras cargas en el transmisor o en el receptor para hacer que un cable de señal o terminal 1106
45 adquiera más rápidamente un nivel de tensión neutra y para mantener el cable de señal o terminal 1106 en la tensión neutra.

En un segundo ejemplo 1120, puede proporcionarse una terminación activa para establecer más rápidamente un cable u otra línea de transmisión conectada a un terminal 1132 del circuito de control. En este ejemplo, un circuito de terminación adicional incluye dos transistores de terminación 1126 y 1128, que están encendidos cuando ni el transistor de elevación 1122 ni el transistor de desconexión 1124 están encendidos. Es decir, cuando tanto el transistor de subida 1122 como el transistor de bajada 1124 están apagados, los dos transistores de terminación 1126 y 1128 están apagados. La lógica de detección (aquí, una función NOR) 1130 determina cuándo ni el transistor 1122 ni el 1124 están activados y cuándo la lógica de detección activa los transistores de terminación 1126 y 1128
50 adicionales, haciendo de este modo que el cable de transmisión en el terminal de salida 1132 converja más rápidamente en el estado 0. Uno de los transistores de terminación 1126 o 1128 acopla el terminal de salida 1132 a través y la impedancia al nivel de tensión +1 y el segundo transistor de terminación 1128 o 1126 acopla el terminal de salida 1132 a través y la impedancia al nivel de tensión -1 de tal manera que la tensión en el terminal de salida 1132 se empuja hacia el nivel de tensión de estado 0. El estado 0 se define típicamente como un nivel de tensión entre los niveles de tensión de los estados +1 y -1. Las impedancias asociadas con los transistores de terminación
60 1126 o 1128 pueden seleccionarse de tal manera que el circuito de terminación coincida con la impedancia característica del cable de señal.

La FIG. 12 es un diagrama de flujo que ilustra un procedimiento de transferencia de datos. El procedimiento de transferencia de datos puede implicar la transmisión de una pluralidad de símbolos en señales multifásicas. Cada símbolo puede definir un estado de fase para cada señal y polaridad para ciertos pares de señales. El procedimiento puede realizarse mediante un transmisor.

En la etapa 1202, el transmisor puede asignar datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables.

- 5 En la etapa 1204, el transmisor puede codificar la secuencia de símbolos en tres señales. Cada una de las tres señales puede estar en una de tres fases para cada símbolo que vaya a transmitirse. Las tres señales pueden estar en fases diferentes entre sí durante la transmisión de cada símbolo.

- 10 En la etapa 1206, el transmisor puede accionar cada uno de los tres terminales de acuerdo con una de las tres señales.

Como se muestra en 1206', el accionamiento de cada uno de los tres terminales incluye una de una pluralidad de etapas realizadas para cada símbolo.

- 15 En la etapa 1208, el transmisor puede encender o activar de otra forma un primer transistor y apagar o desactivar de otra forma un segundo transistor cuando una correspondiente de las tres señales esté en una primera fase. El terminal correspondiente se acciona hacia un primer nivel de tensión cuando el primer transistor esté encendido.

- 20 En la etapa 1210, el transmisor puede encender o activar de otra forma un segundo transistor y apagar o desactivar de otra forma el primer transistor cuando la correspondiente de las tres señales esté en una segunda fase. El terminal correspondiente se acciona hacia un segundo nivel de tensión cuando el segundo transistor esté encendido.

- 25 En la etapa 1212, el transmisor puede apagar el primer transistor y el segundo transistor cuando la correspondiente de las tres señales esté en una tercera fase. El terminal correspondiente puede desviarse hacia un tercer nivel de tensión cuando el primer transistor esté apagado y el segundo transistor esté apagado. El tercer nivel de tensión puede estar dentro de un intervalo de tensión limitado por el primer nivel de tensión y el segundo nivel de tensión. El tercer transistor y el cuarto transistor pueden apagarse cuando la correspondiente de las tres señales esté en la primera fase o en la segunda fase.

- 30 De acuerdo con ciertos aspectos divulgados en el presente documento, accionar cada uno de los tres terminales puede incluir encender un tercer transistor y encender un cuarto transistor cuando la correspondiente de las tres señales esté en una tercera fase. El terminal correspondiente se empuja hacia un tercer nivel de tensión cuando el tercer transistor esté encendido y el cuarto transistor esté encendido. El tercer nivel de tensión puede estar dentro de un intervalo de tensión limitado por el primer nivel de tensión y el segundo nivel de tensión. El encendido del tercer transistor puede hacer que un terminal se acople a la primera tensión a través de una primera impedancia y el encendido del cuarto transistor puede hacer que el terminal se acople a la segunda tensión a través de una segunda impedancia. La primera impedancia y la segunda impedancia pueden seleccionarse para proporcionar una impedancia deseada en un terminal.

- 40 De acuerdo con ciertos aspectos divulgados en el presente documento, la información puede codificarse en rotación de fase en cada transición entre símbolos en la secuencia de símbolos. Dos señales de las tres señales pueden estar en la primera fase o en la segunda fase para cada símbolo que vaya a transmitirse y la información puede codificarse en polaridad relativa de las dos señales.

- 45 La FIG. 13 es un diagrama 1300 que ilustra un ejemplo de una implementación de hardware para un aparato que emplea un sistema de procesamiento 1302. El circuito de procesamiento 1302 puede implementarse con una arquitectura de bus, representada en general mediante el bus 1320. El bus 1320 puede incluir cualquier número de buses y puentes de interconexión que dependan de la solicitud específica del circuito de procesamiento 1302 y de las restricciones de diseño globales. El bus 1320 enlaza juntos diversos circuitos que incluyen uno o más procesadores y/o módulos de hardware, representados por el procesador 1310, los módulos 1304, 1306 y 1308 y el medio legible por ordenador 1318. El bus 1320 puede enlazar también diversos otros circuitos tales como fuentes de temporización, periféricos, reguladores de tensión y circuitos de gestión de energía, que son bien conocidos en la técnica y, por lo tanto, no se describirán más.

- 55 El circuito de procesamiento 1302 puede incluir o estar acoplado a controladores de línea 1312 y a lógica asociada. Los conductores de línea 1312 pueden estar acoplados a una pluralidad de cables 1314. Los controladores de línea 1312 proporcionan un medio para comunicarse con varios otros aparatos a través de un bus. El circuito de procesamiento 1302 incluye un procesador 1310 acoplado a un medio legible por ordenador 1318. El procesador 1310 es responsable del procesamiento general, que incluye la ejecución del software almacenado en el medio legible por ordenador 1318. El software, cuando se ejecuta mediante el procesador 1310, hace que el circuito de procesamiento 1302 realice las diversas funciones descritas anteriormente para cualquier aparato particular. El medio legible por ordenador 1318 puede usarse también para almacenar datos que se manipulen mediante el procesador 1310 cuando se ejecute el software. El sistema de procesamiento incluye además al menos uno de los módulos 1304, 1306 y 1308. Los módulos 1304, 1306 y 1308 pueden ser módulos de software que se ejecuten en el procesador 1310, residentes/almacenados en el medio legible por ordenador 1318, uno o más módulos de hardware acoplados al procesador 1310 o alguna combinación de los mismos.

En una configuración, el aparato 1300 incluye un módulo, circuito u otro medio 1304 que está configurado para asignar datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables, un módulo, circuito u otro medio 1306 que esté configurado para codificar la secuencia de símbolos en tres señales y un módulo, circuito u otro medio 1308 que está configurado para hacer que los conductores de línea 1312 accionen cada uno de los tres terminales de acuerdo con una de las tres señales. En un ejemplo, el módulo, circuito u otro medio 1308 está configurado para encender un primer transistor y apagar un segundo transistor cuando una correspondiente de las tres señales esté en una primera fase, para encender el segundo transistor y apagar el primer transistor cuando la correspondiente de las tres señales esté en una segunda fase y para apagar el primer transistor y el segundo transistor cuando la correspondiente de las tres señales esté en una tercera fase.

Se entiende que el orden o jerarquía específico de etapas en los procedimientos divulgados es una ilustración de aproximaciones a modo de ejemplo. El orden específico o la jerarquía de etapas en los procesos pueden rediseñarse basándose en preferencias de diseño. Las reivindicaciones del procedimiento adjuntas presentan elementos de las diversas etapas en un orden de muestra y no están destinados a limitarse al orden o jerarquía específico presentado.

REIVINDICACIONES

1. Un procedimiento de transferencia de datos que comprende:
- 5 asignar (1202) datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables;
- codificar (1204) la secuencia de símbolos en tres señales, en la que cada una de las tres señales está en una de tres fases para cada símbolo que vaya a transmitirse y en la que las señales están en fases diferentes entre sí durante la transmisión de cada símbolo; y
- 10 accionar (1206) cada uno de tres terminales de acuerdo con una de las tres señales, **caracterizado por que** el accionamiento de cada uno de los tres terminales comprende:
- 15 encender (1208) un primer transistor (1102) y apagar un segundo transistor (1104) cuando una correspondiente de las tres señales esté en una primera fase, en el que cada uno de los tres terminales se acciona hacia un primer nivel de tensión cuando el primer transistor está encendido;
- encender (1210) el segundo transistor (1104) y apagar el primer transistor (1102) cuando la correspondiente de las tres señales esté en una segunda fase, en el que cada uno de los tres terminales se acciona hacia un segundo nivel de tensión cuando el segundo transistor está encendido;
- 20 y
- apagar (1212) el primer transistor (1102) y el segundo transistor (1104) cuando la correspondiente de las tres señales esté en una tercera fase.
- 25 2. El procedimiento según la reivindicación 1, en el que:
- cada uno de los tres terminales se desplaza hacia un tercer nivel de tensión cuando el primer transistor (1102) está apagado y se desconecta el segundo transistor (1104), en el que el tercer nivel de tensión se sitúa dentro de un intervalo de tensión limitado por el primer nivel de tensión y el segundo nivel de tensión;
- 30 se codifica información en rotación de fase en cada transición entre símbolos en la secuencia de símbolos; o, para que cada símbolo se transmita, dos señales de las tres señales están en la primera fase o en la segunda fase y en el que se codifica información en polaridad relativa de las dos señales.
- 35 3. El procedimiento según la reivindicación 1, en el que el accionamiento de cada uno de los tres terminales comprende:
- 40 encender un tercer transistor (1126) y encender un cuarto transistor (1128) cuando la correspondiente de las tres señales esté en una tercera fase, en el que cada uno de los tres terminales se empuja hacia un tercer nivel de tensión cuando el tercer transistor (1126) está encendido y el cuarto transistor (1128) está encendido.
- 45 4. El procedimiento según la reivindicación 3, en el que:
- el tercer nivel de tensión está dentro de un intervalo de tensión limitado por el primer nivel de tensión y por el segundo nivel de tensión; o el tercer transistor (1126) está apagado y el cuarto transistor (1128) está apagado cuando la correspondiente de las tres señales está en la primera fase o en la segunda fase.
- 50 5. El procedimiento según la reivindicación 3, en el que el encendido del tercer transistor (1126) hace que cada uno de los tres terminales se acople a la primera tensión a través de una primera impedancia y el encendido del cuarto transistor (1128) hace que cada uno de los tres terminales se acople a la segunda tensión a través de una segunda impedancia.
- 55 6. El procedimiento según la reivindicación 5, en el que la primera impedancia y la segunda impedancia se seleccionan para proporcionar una impedancia deseada en cada uno de los tres terminales.
- 60 7. Un aparato, que comprende:
- medios para asignar (1304) datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables;
- 65 medios para codificar (1306) la secuencia de símbolos en tres señales, en el que cada una de las tres señales está en una de tres fases para cada símbolo que vaya a transmitirse y en la que las señales

están en fases diferentes entre sí durante la transmisión de cada símbolo; y

medios para accionar (1308) cada uno de tres terminales de acuerdo con una de las tres señales, **caracterizado por que** los medios para accionar (1308) cada uno de los tres terminales están configurados para:

encender un primer transistor (1102) y apagar un segundo transistor (1104) cuando una correspondiente de las tres señales esté en una primera fase, en el que cada uno de los tres terminales se acciona hacia un primer nivel de tensión cuando el primer transistor (1102) está encendido;

encender el segundo transistor (1104) y apagar el primer transistor (1102) cuando la correspondiente de las tres señales esté en una segunda fase, en el que cada uno de los tres terminales se acciona hacia un segundo nivel de tensión cuando el segundo transistor (1104) está encendido; y

apagar el primer transistor (1102) y el segundo transistor (1104) cuando la correspondiente de las tres señales esté en una tercera fase.

8. El aparato de la reivindicación 7, en el que:

cada uno de los tres terminales se desplaza hacia un tercer nivel de tensión cuando el primer transistor (1102) está apagado y se desconecta el segundo transistor (1104), en el que el tercer nivel de tensión se sitúa dentro de un intervalo de tensión limitado por el primer nivel de tensión y el segundo nivel de tensión;

se codifica información en rotación de fase en cada transición entre símbolos en la secuencia de símbolos; o, para que cada símbolo se transmita, dos señales de las tres señales están en la primera fase o en la segunda fase y en el que se codifica información en polaridad relativa de las dos señales.

9. El aparato de la reivindicación 7, en el que el accionamiento de cada uno de los tres terminales comprende: encender un tercer transistor (1126) y encender un cuarto transistor (1128) cuando la correspondiente de las tres señales esté en una tercera fase, en el que cada uno de los tres terminales se empujan hacia un tercer nivel de tensión cuando el tercer transistor (1126) está encendido y el cuarto transistor (1128) está encendido.

10. El aparato de la reivindicación 9, en el que:

el tercer nivel de tensión está dentro de un intervalo de tensión limitado por el primer nivel de tensión y por el segundo nivel de tensión; o

el tercer transistor (1126) está apagado y el cuarto transistor (1128) está apagado cuando la correspondiente de las tres señales está en la primera fase o en la segunda fase.

11. El aparato de la reivindicación 9, en el que cada uno de los tres terminales está acoplado a la primera tensión a través de una primera impedancia cuando el tercer transistor (1126) está encendido y cada uno de los tres terminales está acoplado a la segunda tensión a través de una segunda Impedancia cuando el cuarto transistor (1128) está encendido.

12. El aparato de la reivindicación 11, en el que la primera impedancia y la segunda impedancia se seleccionan para proporcionar una impedancia deseada en cada uno de los tres terminales.

13. El aparato de una cualquiera de las reivindicaciones 7 a 12, en el que el aparato comprende un transmisor, comprendiendo el transmisor:

una pluralidad de terminales accionados por controladores de línea; y en el que los medios para asignar, los medios para codificar y los medios para accionar comprenden:

un circuito de procesamiento (1302) configurado para:

asignar datos a una secuencia de símbolos que vayan a transmitirse en una pluralidad de cables; y

codificar la secuencia de símbolos en tres señales, en la que cada una de las tres señales está en una de tres fases para cada símbolo que vaya a transmitirse, y

en la que las señales están en fases diferentes entre sí durante la transmisión de cada símbolo; y un controlador de línea (1312) configurado para accionar uno de tres terminales de acuerdo con una de las tres señales, en el que el accionamiento del uno de los tres terminales comprende:

5 encender un primer transistor (1102) y apagar un segundo transistor (1104) cuando una correspondiente de las tres señales esté en una primera fase, en el que el uno de los tres terminales se acciona hacia un primer nivel de tensión cuando el primer transistor (1102) está encendido;

10 encender el segundo transistor (1104) y apagar el primer transistor (1102) cuando la correspondiente de las tres señales esté en una segunda fase, en el que el uno de los tres terminales se acciona hacia un segundo nivel de tensión cuando el segundo transistor está encendido (1104); y

apagar el primer transistor (1102) y el segundo transistor (1104) cuando la correspondiente de las tres señales esté en una tercera fase.

15 **14.** Un dispositivo de almacenamiento legible por procesador (1318) que tiene una o más instrucciones que, cuando se ejecutan mediante al menos un circuito de procesamiento, hacen que el al menos un circuito de procesamiento realice un procedimiento de acuerdo con una cualquiera de las reivindicaciones 1 a 6.

100 ↗

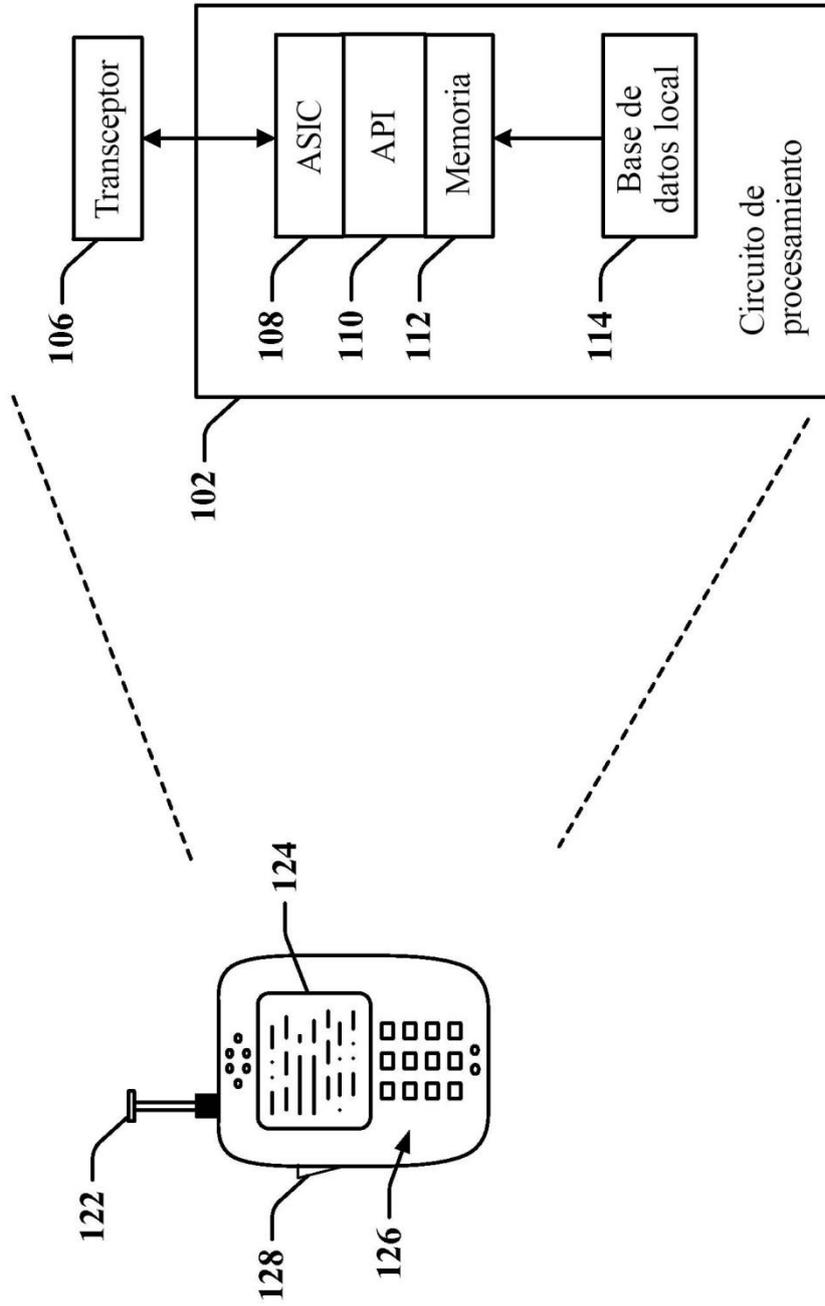


FIG. 1

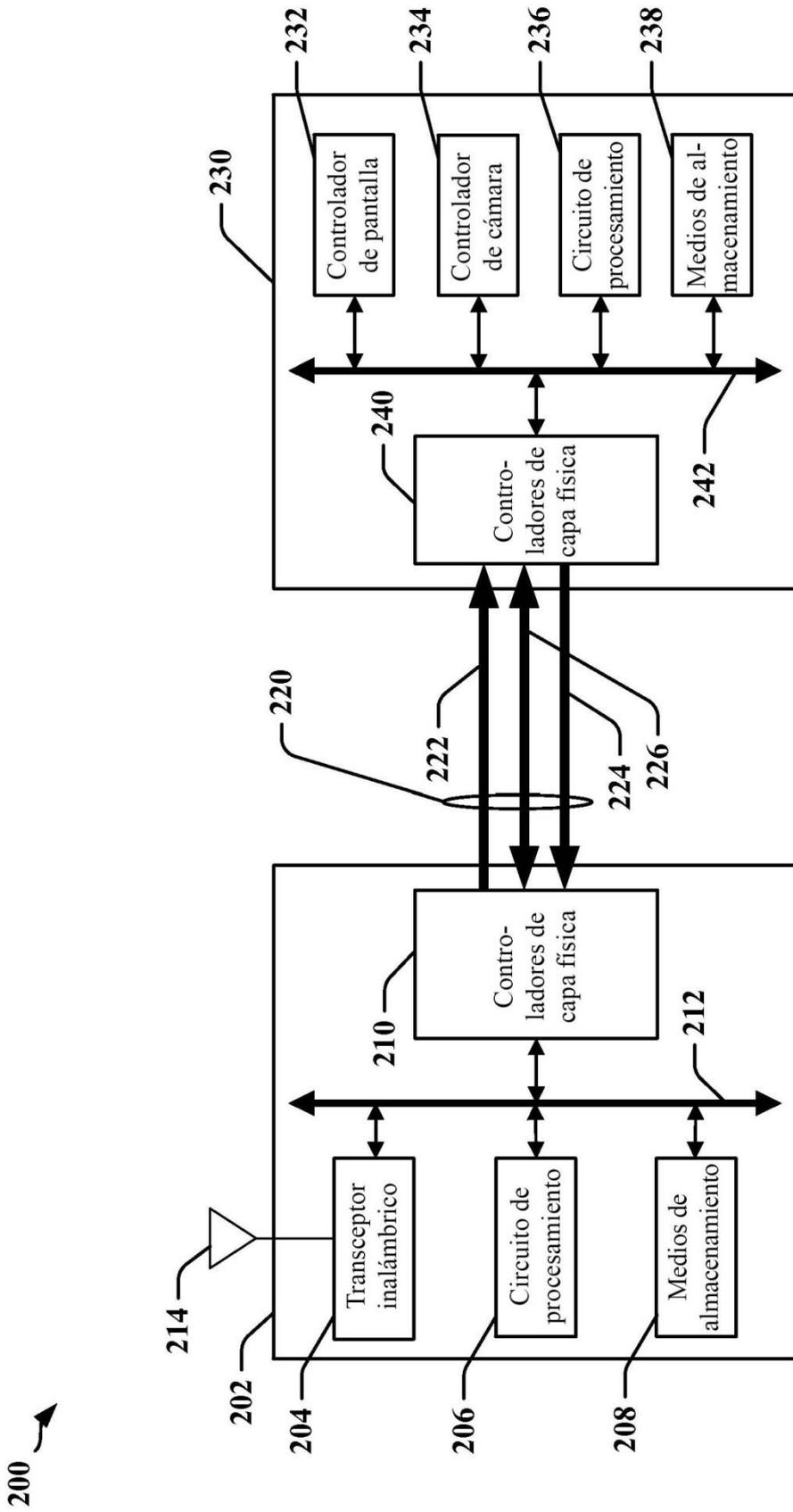


FIG. 2

300 ↗

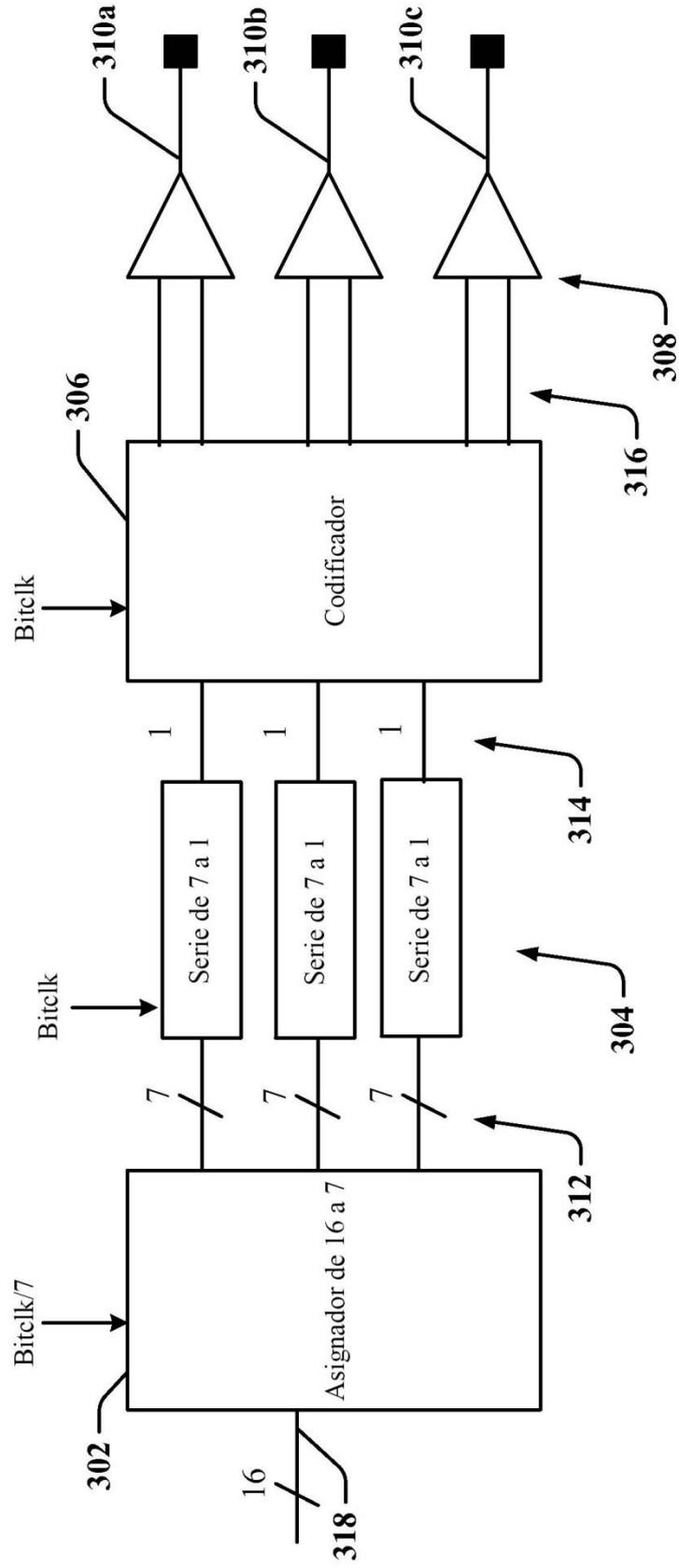


FIG. 3

ES 2 632 283 T3

500 →

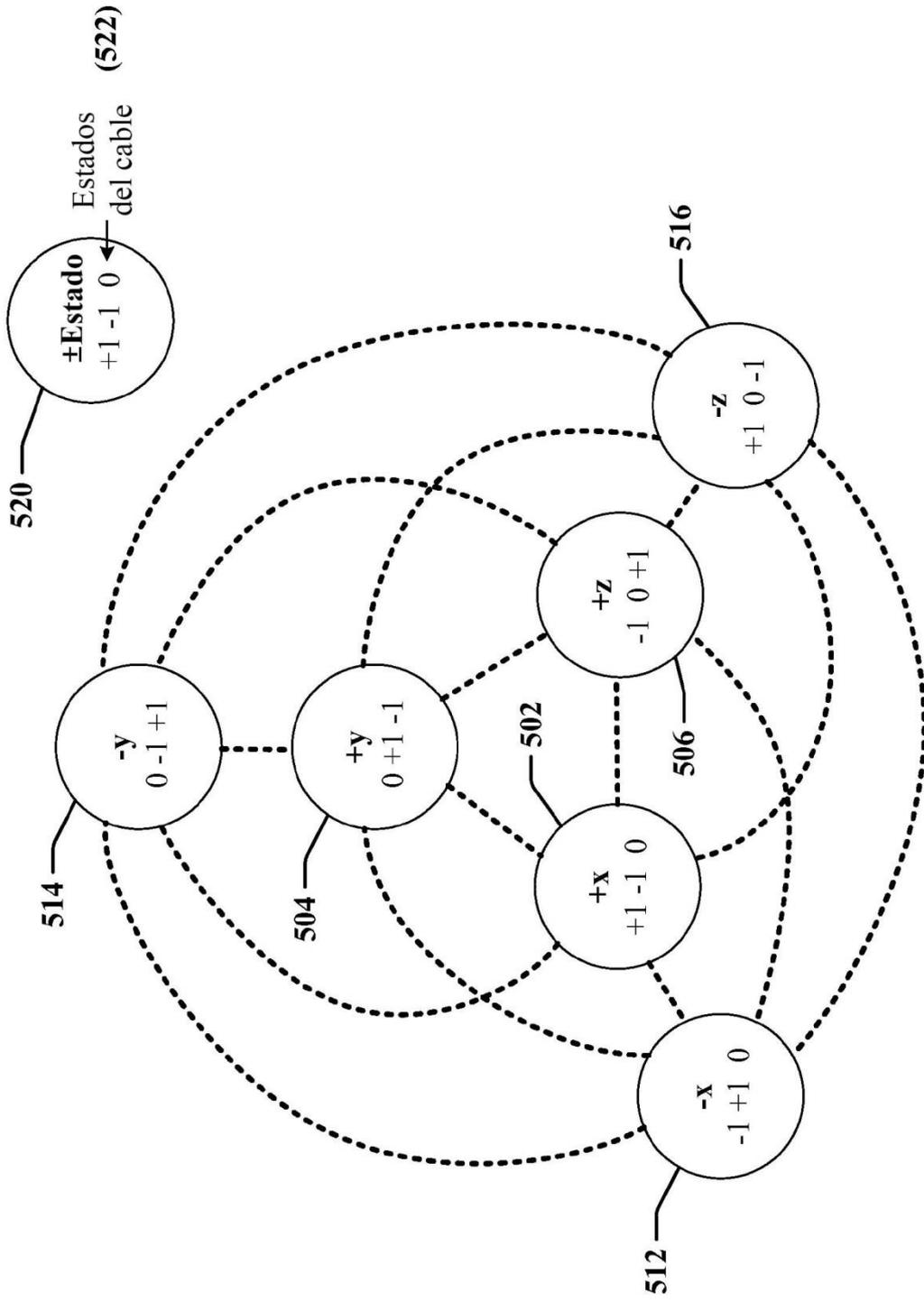


FIG. 5

ES 2 632 283 T3

600 ↗

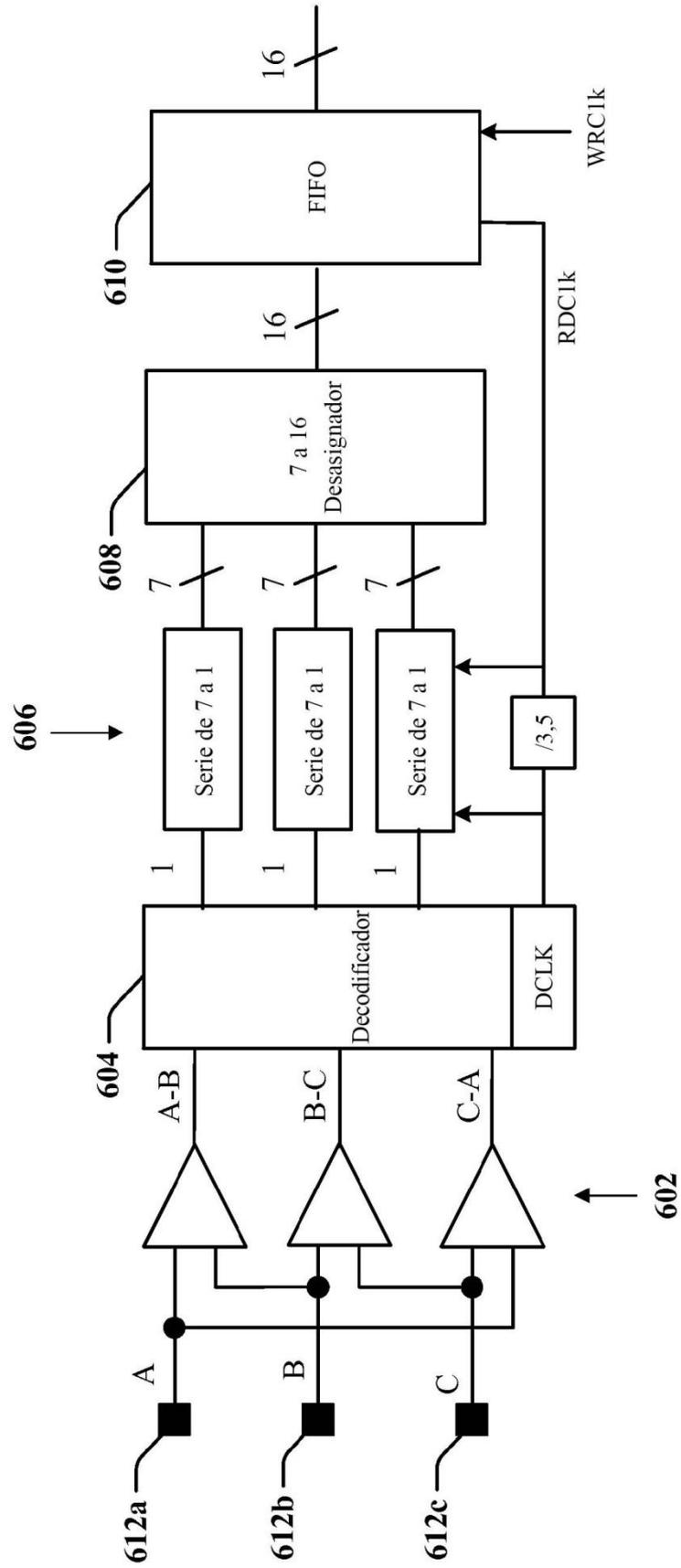


FIG. 6

ES 2 632 283 T3

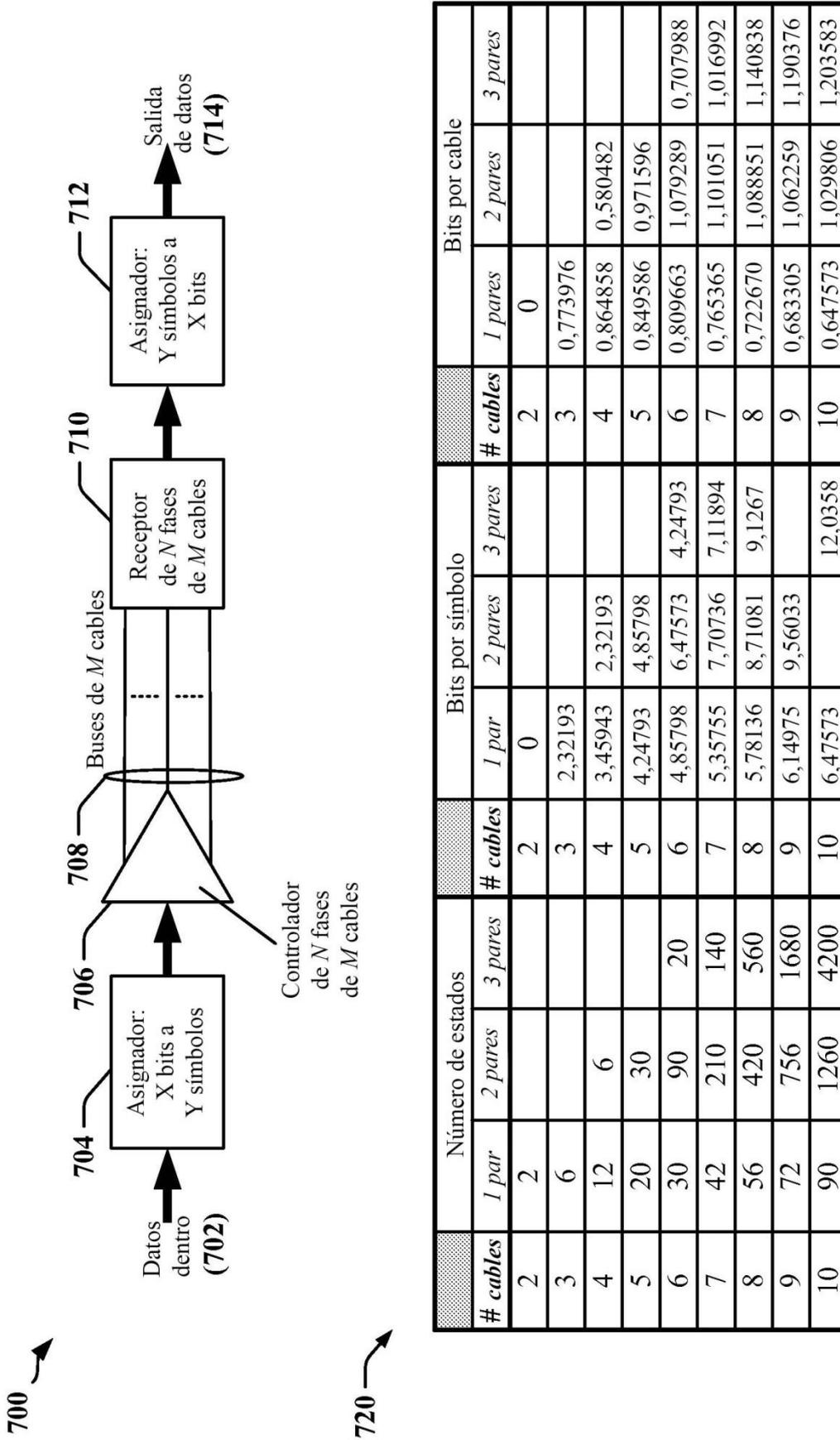


FIG. 7

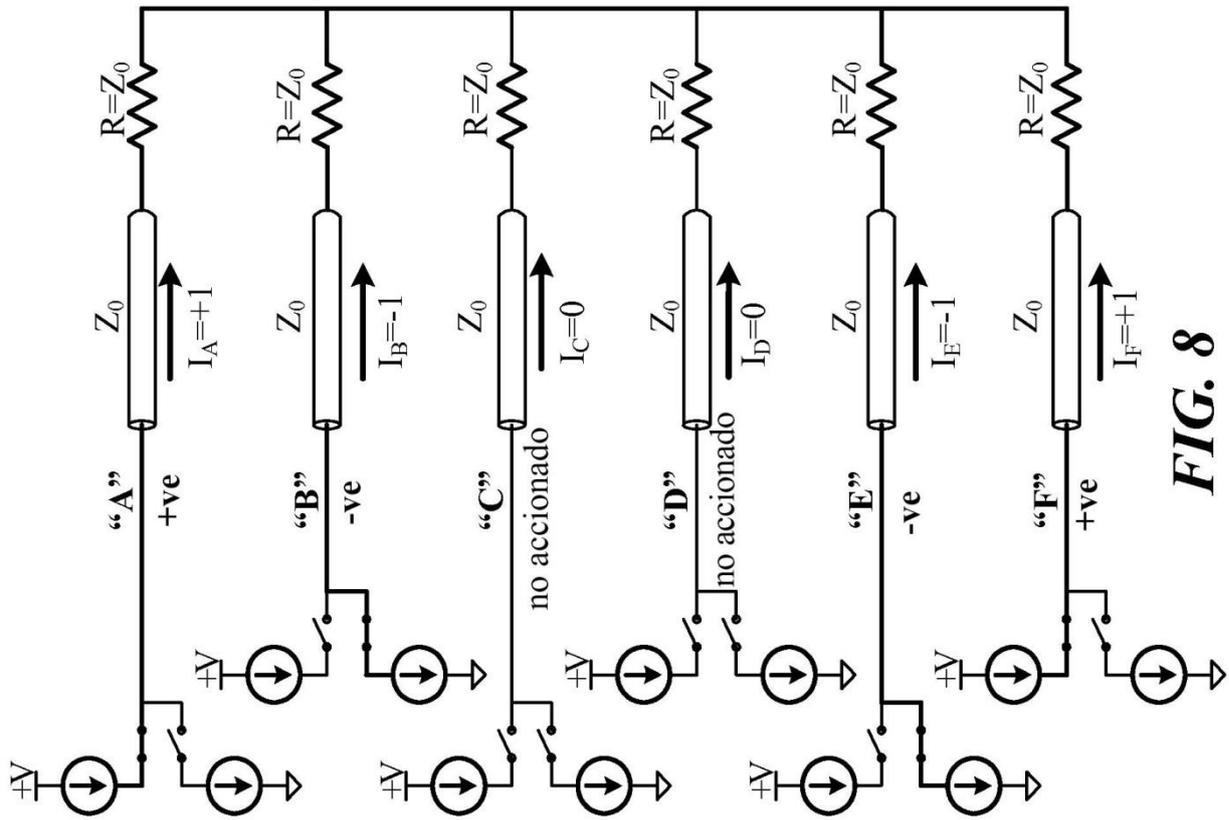


FIG. 8

800 ↗

900 →

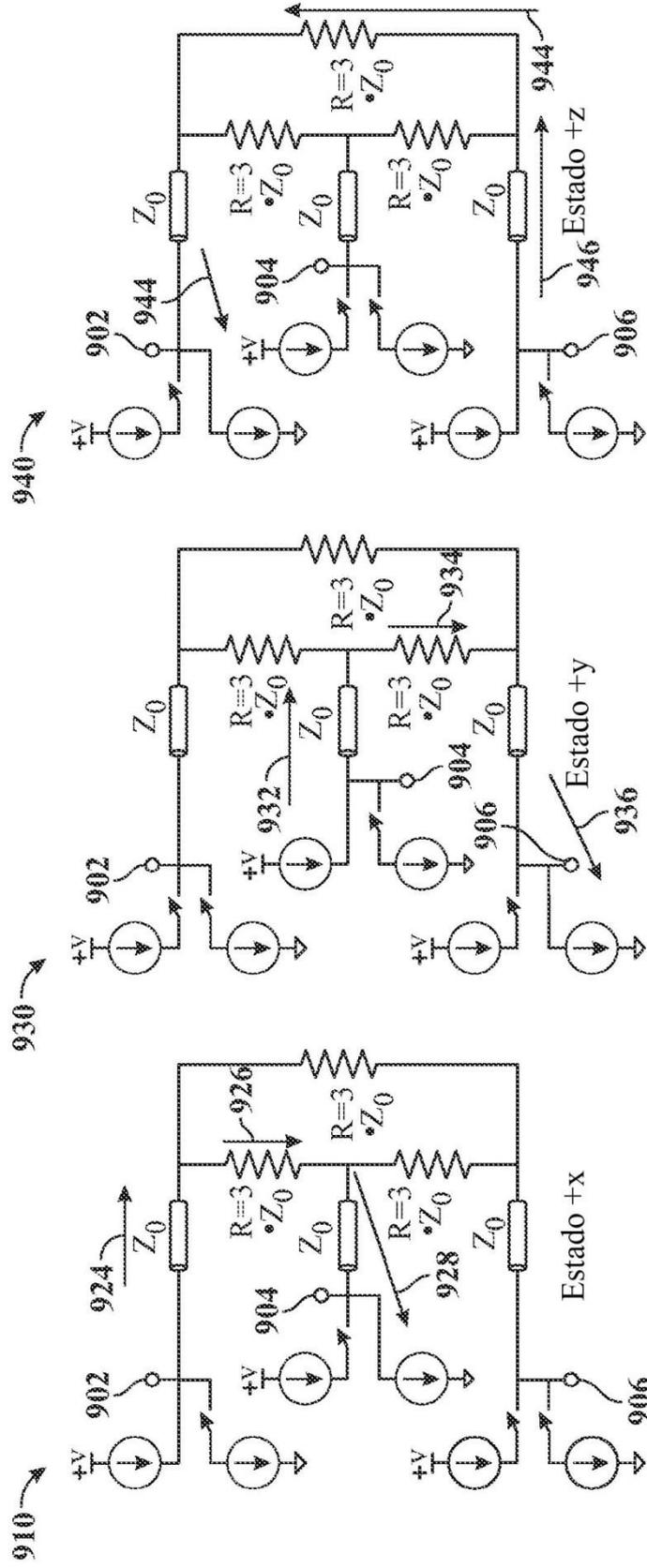
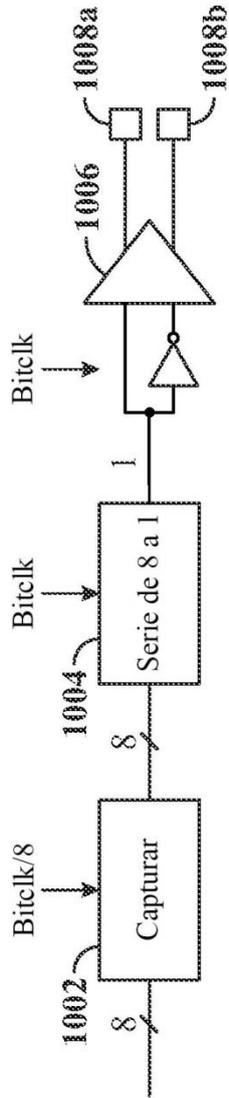


FIG. 9

ES 2 632 283 T3

1000 ↗



1010 ↗

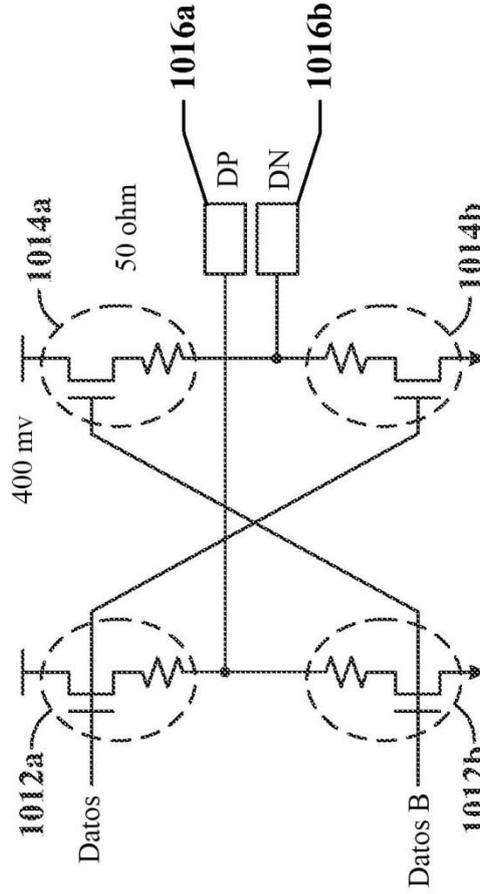
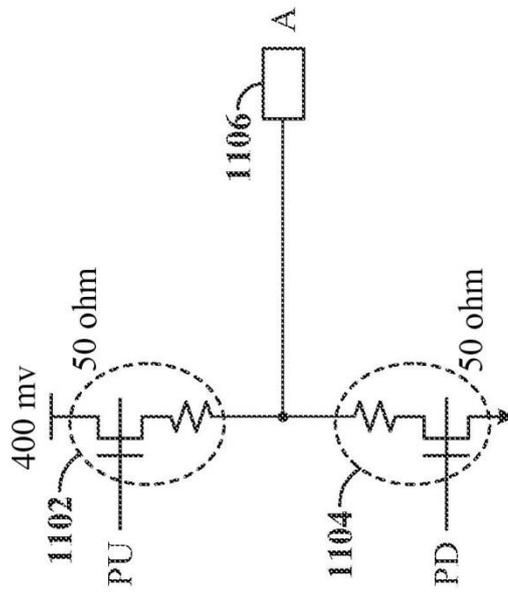


FIG. 10

1100 ↗



1120 ↗

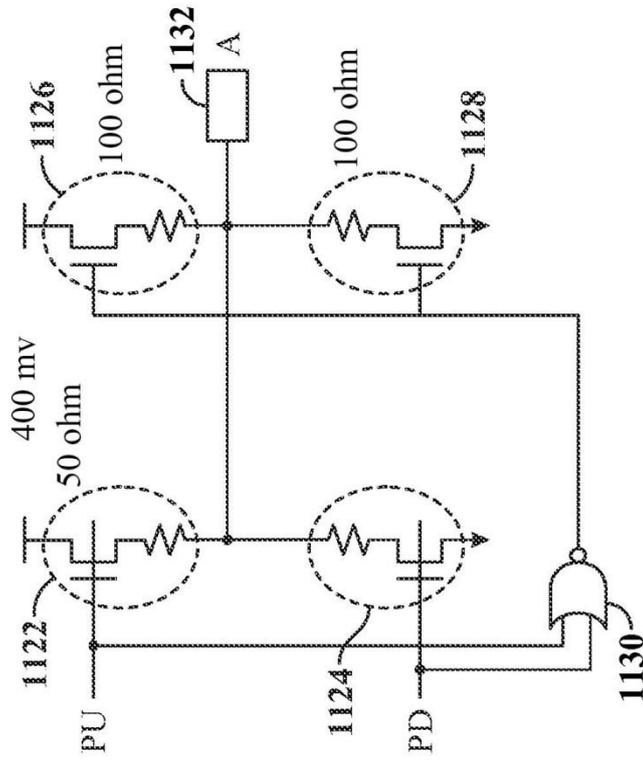


FIG. 11

1300 ↗

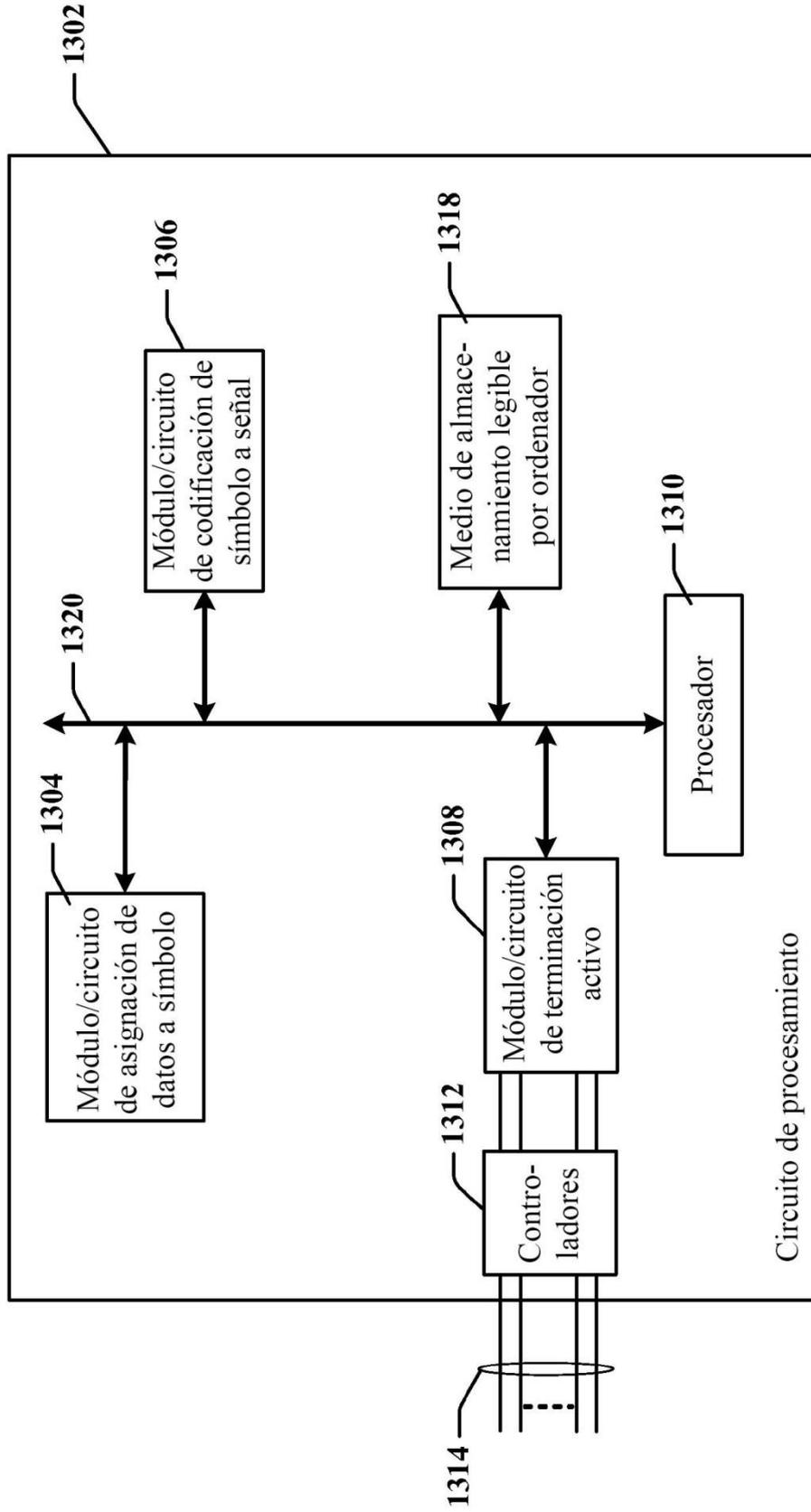


FIG. 13