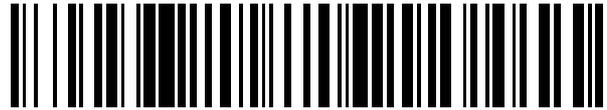


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 633 186**

51 Int. Cl.:

H04L 1/00 (2006.01)

H04L 27/06 (2006.01)

H03M 13/11 (2006.01)

H03M 13/29 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **03.04.2013 PCT/CN2013/073699**

87 Fecha y número de publicación internacional: **09.10.2014 WO14161171**

96 Fecha de presentación y número de la solicitud europea: **03.04.2013 E 13881405 (8)**

97 Fecha y número de publicación de la concesión europea: **14.06.2017 EP 2963830**

54 Título: **Método de decodificación, aparato de decodificación y sistema de comunicaciones**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
19.09.2017

73 Titular/es:
**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building, Bantian,
Longgang District
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:

**YU, FAN y
CHANG, DEYUAN**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 633 186 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método de decodificación, aparato de decodificación y sistema de comunicaciones

CAMPO TÉCNICO

5 La presente invención se refiere a tecnologías de codificación en el campo de las tecnologías de procesamiento de información y, en particular, a un método de decodificación, un aparato de decodificación y un sistema de comunicaciones basado en un sistema de modulación y decodificación.

ANTECEDENTES

10 El crecimiento explosivo de los servicios de Internet aumenta gradualmente el desarrollo de las tasas de transmisión de línea de una red de transporte óptica de 40 Gbps a 100 Gbps y luego a 400 Gbps, e incluso 1 Tbps. En un sistema de transmisión óptica de alta velocidad, se puede utilizar una manera de modulación de orden superior para obtener una mayor eficiencia espectral. Por ejemplo, por desplazamiento de frecuencia (FSK, Frequency-Shift Keying), por desplazamiento diferencial de fase (DPSK, Differential Phase Shift Keying), modulación de amplitud en cuadratura (QAM, Quadrature Amplitude Modulation) o puede ser utilizada otra manera de modulación de orden superior.

15 En un sistema de transmisión óptica con una tasa de o inferior a 100 Gbps se utilizan maneras de modulación digital de amplitud (OOK, On-Off Keying)/por desplazamiento de fase (QPSK, Quadrature Phase Shift Keying). Un proceso de corrección de errores hacia adelante (FEC, Forward Error Correction) y un proceso de modulación, se realizan por separado en un transmisor, de esta manera, se realiza la decodificación y la demodulación en un receptor. En un sistema de próxima generación de velocidad más alta, con el fin de utilizar más eficazmente el ancho de banda y la potencia, la codificación y la modulación deben ser tratadas como una totalidad y, por lo tanto, una tecnología de modulación y de codificación que está diseñada mediante la combinación de modulación de orden superior y codificación FEC, se convierte en una tecnología crítica en un sistema óptico de alta velocidad. La codificación multinivel (MLC, Multi-Level Coding) es un esquema de modulación y de codificación de alta eficiencia, el cual no aumenta el ancho de banda de la señal ni reduce una tasa efectiva de datos, de ese modo, se mejora eficazmente el rendimiento de transmisión de datos.

20 En un sistema MLC en la técnica anterior, un aparato de codificación en un extremo de transmisión clasifica los bits de información en diferentes niveles, donde se utiliza FEC con una tasa de bits diferente para la protección de la codificación en cada uno de los niveles y, después, la información obtenida mediante el mapeo se envía a un extremo de recepción, después de que cada uno de los niveles es mapeado a un diagrama de constelación de modulación de orden superior. Un aparato de decodificación en el extremo de recepción realiza por separado decodificación FEC en los diferentes niveles para los bits que se obtienen mediante el desmapeo de la información recibida. En una manera de decodificación multinivel (MSD, Medium Specific Decoding), la información que se obtiene mediante la decodificación de los bits de orden inferior se transfiere a una unidad de desmapeo de decodificación del siguiente nivel, lo cual reduce una BER del desmapeo del siguiente nivel y, después, se realiza la decodificación del siguiente nivel.

35 En la técnica anterior, se utiliza una codificación de corrección de errores de decisión blanda (SD FEC, Soft-Decision Forward Error Correction) para cada uno de los niveles en el sistema MLC. La implementación de esta manera es muy compleja. Especialmente en la aplicación de un sistema de transmisión óptica de alta velocidad, una sobrecarga de FEC está sujeta a una restricción mayor (aproximadamente en un intervalo de 7% a 30%). En este caso, una sobrecarga asignada a un FEC de tasa de bits alta utilizada para proteger un MSB es muy pequeña. SD FEC altamente complejos combinados con un gran todo, resultan en una cantidad muy grande de recursos para la implementación de todo el sistema, lo cual no es aplicable.

40 El documento US2003/039318 revela un sistema y método para realizar una modulación de amplitud en cuadratura mediante combinación de clases laterales e identificadores de clases laterales fuertemente codificados.

45 RESUMEN

En vista de esto, las realizaciones de la presente invención proporcionan un método de decodificación, un aparato de decodificación y un sistema de comunicaciones, con el fin de reducir la complejidad de la implementación.

De acuerdo con un primer aspecto, las realizaciones de la presente invención proporcionan un aparato de decodificación para decodificar información codificada multinivel que comprende diferentes bits de información protegidos usando códigos de componente con diferentes velocidades de bits, en donde el aparato de decodificación comprende: una unidad de desmapeo primaria, un decodificador de corrección de errores de decisión blanda, una primera unidad de desmapeo, un primer desintercalador, un primer decodificador de corrección de errores de decisión dura y una unidad de salida;

la unidad de desmapeo primaria está configurada para desmapear la información recibida por el aparato de decodificación y generar la información blanda de un componente de primer nivel para el decodificador de corrección de errores de decisión blanda;

el decodificador de corrección de errores de decisión blanda está configurado para realizar la decodificación de acuerdo con la información blanda recibida del componente de primer nivel y para generar la información blanda decodificada del componente de primer nivel;

la primera unidad de desmapeo está configurada para desmapear, utilizando la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda como información previa, la información recibida por el aparato de decodificación y generar para el primer desintercalador la información dura de un componente de segundo nivel que se obtiene mediante el desmapeo;

El primer desintercalador está configurado para desintercalar la información dura recibida del componente de segundo nivel y para generar la información dura desintercalada del componente de segundo nivel para el primer decodificador de corrección de errores de decisión dura;

el primer decodificador de corrección de errores de decisión dura está configurado para decodificar la información dura desintercalada del componente de segundo nivel y para generar la información dura decodificada del componente de segundo nivel; y

la unidad de salida está configurada para generar la información dura del componente de primer nivel que se obtiene después de realizar la decisión sobre la salida del decodificador de corrección de errores de decisión blanda y generar la información dura del componente de segundo nivel que se genera por el primer decodificador de corrección de errores de decisión dura; en donde

el componente de primer nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto al componente de segundo nivel.

En una primera manera posible de implementación del primer aspecto, si el número de iteraciones de decodificación utilizadas por el aparato de decodificación es mayor que 1, el aparato de decodificación incluye además un primer intercalador;

el primer intercalador está configurado para realizar el procesamiento de intercalación sobre la información dura del componente de segundo nivel que se genera por el primer decodificador de corrección de errores de decisión dura y generar para la unidad de desmapeo primaria la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación, de modo que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido; y

la unidad de desmapeo primaria está configurada, además, para realizar mediante el uso de la información dura del componente de segundo nivel que es generada por el primer intercalador en una iteración anterior como información previa, el desmapeo de una iteración actual del componente de primer nivel de la información recibida por el aparato de decodificación.

En una segunda manera posible de implementación de un segundo aspecto, el aparato de decodificación incluye además: un primer intercalador, una segunda unidad de desmapeo, un segundo desintercalador y un segundo decodificador de corrección de errores de decisión dura;

el primer intercalador está configurado para realizar el procesamiento de intercalación sobre la información dura del componente de segundo nivel que se genera por el primer decodificador de corrección de errores de decisión dura y generar para la segunda unidad de desmapeo la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación;

la segunda unidad de desmapeo está configurada para desmapear, mediante el uso de la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda y la información dura del componente de segundo nivel que se genera por el primer intercalador como información previa, la información recibida por el aparato de decodificación y generar información dura de un componente de tercer nivel que se obtiene mediante desmapeo;

el segundo desintercalador está configurado para desintercalar la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo y generar para el segundo decodificador de corrección de errores de decisión dura la información dura desintercalada del componente de tercer nivel;

el segundo decodificador de corrección de errores de decisión dura está configurado para decodificar la información dura desintercalada del componente de tercer nivel y generar la información dura decodificada del componente de tercer nivel; y

la unidad de salida está configurada, además, para la información dura del componente de tercer nivel que se genera por el segundo decodificador de corrección de errores de decisión dura; en donde el componente de segundo nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto al componente de tercer nivel.

- 5 Con referencia a la segunda manera posible de implementación del primer aspecto, si el número de iteraciones de decodificación utilizadas por el aparato de decodificación es mayor que 1, el aparato de decodificación incluye, además, un segundo intercalador;
- 10 el segundo intercalador está configurado para realizar el procesamiento de intercalación sobre la información dura del componente de tercer nivel que se genera por el segundo decodificador de corrección de errores de decisión dura y generar para la unidad de desmapeo primaria y la primera unidad de desmapeo, la información dura del componente de tercer nivel y que se obtiene mediante el procesamiento de intercalación de modo que la unidad de desmapeo primaria y la primera unidad de desmapeo realizan el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido;
- 15 el primer intercalador está configurado, además, para generar para la unidad de desmapeo primaria la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación, de modo que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza el umbral preestablecido;
- 20 la unidad de desmapeo primaria realiza, mediante el uso de la información dura del componente de segundo nivel que se genera por el primer intercalador en una iteración anterior y la información dura del componente de tercer nivel que se genera por el segundo intercalador en la iteración anterior como información previa, el desmapeo de una iteración actual del componente de primer nivel de la información recibida por el aparato de decodificación; y
- 25 la primera unidad de desmapeo realiza, mediante el uso de la información dura del componente de tercer nivel que se genera por el segundo intercalador en la iteración anterior y la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda en una iteración actual como información previa, el desmapeo de la iteración actual del componente de segundo nivel de la información recibida por el aparato de decodificación.

- En una tercera posible manera de implementación del primer aspecto, el aparato de decodificación incluye además:
- 30 un primer intercalador y una segunda unidad de desmapeo;
- el primer intercalador está configurado para realizar el procesamiento de intercalación sobre la información dura del componente de segundo nivel que se genera por el primer decodificador de corrección de errores de decisión dura y generar para la segunda unidad de desmapeo la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación;
- 35 la segunda unidad de desmapeo está configurada para desmapear, mediante el uso de la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda y la información dura del componente de segundo nivel que se genera por el primer intercalador como información previa, la información recibida por el aparato de decodificación y la información dura generada de un componente de tercer nivel que se obtiene mediante el desmapeo; y
- 40 la unidad de salida está configurada, además, para generar la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo, en donde El componente de segundo nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto al componente de tercer nivel.

- Con referencia a la tercera posible manera de implementación del primer aspecto, si el número de iteraciones de decodificación utilizadas por el aparato de decodificación es mayor que 1,
- 45 el primer intercalador está configurado, además, para generar para la unidad de desmapeo primaria la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación, de modo que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido; y
- 50 la segunda unidad de desmapeo está configurada, además, para generar para la unidad de desmapeo primaria y la primera unidad de desmapeo, la información dura del componente de tercer nivel que se obtiene mediante el desmapeo, de modo que la unidad de desmapeo primaria y la primera unidad de desmapeo realizan el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza el umbral preestablecido;
- 55 la unidad de desmapeo primaria realiza, mediante el uso de la información dura del componente de segundo nivel que se genera por el primer intercalador en una iteración anterior y la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo en la iteración anterior como información previa, el desmapeo de una iteración actual del componente de primer nivel de la información recibida por el aparato de decodificación; y

la primera unidad de desmapeo realiza, mediante el uso de la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo en la iteración anterior y la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda en una iteración actual como información previa, el desmapeo de la iteración actual del componente de segundo nivel de la información recibida por el aparato de decodificación.

De acuerdo con un segundo aspecto, las realizaciones de la presente invención proporcionan un sistema de comunicaciones, donde el sistema de comunicaciones incluye un aparato de codificación y el aparato de decodificación de acuerdo con el primer aspecto anterior.

En una primera manera posible de implementación del segundo aspecto, el aparato de codificación incluye: un codificador de corrección de errores de decisión blanda, un primer codificador de corrección de errores de decisión dura, un primer intercalador y una unidad de mapeo;

el codificador de corrección de errores de decisión blanda está configurado para codificar un componente de primer nivel de la información a ser procesada y generar el componente de primer nivel codificado de la información a ser procesada para la unidad de mapeo;

el primer codificador de corrección de errores de decisión dura está configurado para codificar un componente de segundo nivel de la información a ser procesada y generar el componente de segundo nivel codificado de la información a ser procesada para el primer intercalador;

el primer intercalador está configurada para realizar el procesamiento de intercalación sobre el componente de segundo nivel recibido y generar para la unidad de mapeo, el componente de segundo nivel que se obtiene mediante el procesamiento de intercalación; y

la unidad de mapeo está configurada para realizar el mapeo de modulación sobre los componentes de niveles y generar la información que se obtiene después del mapeo de modulación.

Con referencia a la primera manera posible de implementación del segundo aspecto, el aparato de codificación incluye además: un segundo codificador de corrección de errores de decisión dura y un segundo intercalador;

el segundo codificador de corrección de errores de decisión dura está configurado para codificar un componente de tercer nivel de la información a ser procesada y generar el componente de tercer nivel codificado de la información a ser procesada para el segundo intercalador; y

el segundo intercalador está configurado para realizar el procesamiento de intercalación sobre el componente de tercer nivel recibido y generar para la unidad de mapeo, el componente de tercer nivel que se obtiene mediante el procesamiento de intercalación.

Con referencia a la primera manera posible de implementación del segundo aspecto, un objeto sobre el cual la unidad de mapeo realiza el mapeo de modulación, incluye un componente de tercer nivel de la información a ser procesada.

De acuerdo con un tercer aspecto, las realizaciones de la presente invención proporcionan un método de codificación para decodificar información codificada multinivel que comprende diferentes bits de información protegidos usando códigos de componente con diferentes tasas de bits, donde el método de codificación incluye:

S1: desmapear la información recibida con el fin de obtener información blanda de un componente de primer nivel;

S2: realizar la decodificación de acuerdo con la información blanda recibida del componente de primer nivel, y generar la información blanda decodificada del componente de primer nivel;

S3: desmapear la información recibida usando la información blanda decodificada del componente de primer nivel como información previa, con el fin de obtener información dura de un componente de segundo nivel;

S4: desintercalarse y, después, decodificar la información dura del componente de segundo nivel, con el fin de obtener la información dura decodificada del componente de segundo nivel; y

S5: generar la información dura del componente de primer nivel que se obtiene después de realizar la decisión sobre la información blanda decodificada del componente de primer nivel y generar la información dura decodificada del componente de segundo nivel; en donde

el componente de primer nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto al componente de segundo nivel.

En una primera manera posible de implementación del tercer aspecto anterior, si el número de iteraciones de decodificación utilizadas en el método de decodificación es mayor que 1, después del paso S4 y antes del paso S5, el método incluye además:

S6: después de realizar el procesamiento de intercalación sobre la información dura decodificada del componente de segundo nivel, ir al paso S1 para comenzar una iteración siguiente hasta que el número de iteraciones alcanza un umbral preestablecido, donde:

5 durante cada una de las iteraciones a partir de una segunda iteración, el paso S1 se ejecuta mediante la realización del desmapeo de una iteración actual de la información recibida, mediante el uso de la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación en una iteración anterior como información previa.

En una segunda posible forma de implementación del tercer aspecto anterior, después del paso S4 y antes del paso S5, el método incluye además:

10 S7: realizar procesamiento de intercalación de la información dura decodificada del componente de segundo nivel;

15 S8: desmapear la información recibida mediante el uso de la información blanda decodificada del componente de primer nivel y la información dura del componente de segundo nivel que se obtiene después del proceso de intercalación en el paso S7 como información previa, con el fin de obtener información dura de un componente de tercer nivel;

S9: desintercalar y luego decodificar, por un segundo desintercalador, la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo, con el fin de obtener la información dura decodificada del componente de tercer nivel, donde:

20 la información dura decodificada del componente de tercer nivel es, además, generada en el paso S5; y el componente de segundo nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto al componente de tercer nivel.

Con referencia a la segunda manera posible de implementación del tercer aspecto, si el número de iteraciones de decodificación utilizadas en el método de decodificación es mayor que 1, después del paso S9 y antes del paso S5, el método incluye además:

25 S10: después de realizar el procesamiento de intercalación sobre la información dura decodificada del componente de tercer nivel, ir al paso S1 para comenzar una iteración siguiente hasta que el número de iteraciones alcanza un umbral preestablecido, donde:

30 durante cada una de las iteraciones a partir de una segunda iteración, el paso S1 se ejecuta mediante la realización del desmapeo de una iteración actual de la información recibida mediante el uso de la información dura del componente de segundo nivel y que se obtiene mediante el procesamiento de intercalación en una iteración anterior y la información dura del componente de tercer nivel que se obtiene en el paso S10 en la iteración anterior como información previa; y

35 el paso S3 se ejecuta mediante la realización del desmapeo de la iteración actual en la información, recibida por un aparato de decodificación, mediante el uso de la información dura del componente de tercer nivel que se obtiene en el paso S10 en una iteración anterior y decodifica la información blanda del primer nivel componente que se obtiene en una iteración actual como información previa.

En una tercera manera posible de implementación del tercer aspecto anterior, después del paso S4 y antes del paso S5, el método incluye además:

40 S11: realizar procesamiento de intercalación de la información dura decodificada del componente de segundo nivel; y

45 S12: desmapear la información recibida mediante el uso de la información blanda decodificada del componente de primer nivel y la información dura del componente de segundo nivel que se obtiene después del procesamiento de intercalación en el paso S11 como información previa, con el fin de obtener información dura de un componente de tercer nivel, donde:

la información dura decodificada del componente de tercer nivel es, además, generada en el paso S5; y el componente de segundo nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto al componente de tercer nivel.

Con referencia a la tercera manera posible de implementación del tercer aspecto, si el número de iteraciones de decodificación utilizadas en el método de decodificación es mayor que 1, después del paso S12 y antes del paso S5, el método incluye además:

50 ir al paso S1 para comenzar una iteración siguiente hasta que el número de iteraciones alcanza un umbral preestablecido; dónde

55 durante cada una de las iteraciones a partir de una segunda iteración, el paso S1 se ejecuta mediante la realización del desmapeo de una iteración actual de la información recibida mediante el uso de la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación en una iteración

anterior y la información dura del componente de tercer nivel que se obtiene en el paso S12 en la iteración anterior como información previa; y

- 5 el paso S3 se ejecuta mediante la realización del desmapeo de la iteración actual de la información recibida mediante el uso de la información dura del componente de tercer nivel que se obtiene en el paso S12 de una iteración anterior y la información blanda decodifica del componente de primer nivel que se obtiene en una iteración actual como información previa.

Con referencia a la segunda o tercera manera de implementación del tercer aspecto, el componente de segundo nivel es un bit menos significativo con respecto al componente de tercer nivel.

- 10 Se puede observar que a partir de las soluciones anteriores, de acuerdo con la presente invención, la codificación multinivel se implementa de una manera que combina codificación de corrección de errores de decisión blanda y codificación de corrección de errores de decisión dura, y la decodificación multinivel se implementa de una manera que combina decodificación de corrección de errores de decisión blanda y decodificación de corrección de errores de decisión dura, con el fin de integrar ventajas de las dos maneras: en comparación con una manera en la cual la codificación de corrección de errores de decisión blanda y la decodificación se realizan en múltiples niveles, una
15 manera en la cual la codificación de corrección de errores de decisión blanda y la decodificación se realizan en un solo nivel, reduce la complejidad del sistema y la sobrecarga de los recursos; y la realización de la codificación y decodificación de corrección de errores de decisión blanda en otros niveles en base a la realización de codificación y decodificación de corrección de errores de decisión blanda en un sólo nivel garantiza una ganancia de rendimiento, cumpliendo así el requisito de ganancia de un sistema de transmisión óptica de alta velocidad.

20 **BREVE DESCRIPCIÓN DE LOS DIBUJOS**

FIG. 1 es un diagrama esquemático de un sistema de comunicaciones de acuerdo con la Realización 1 de la presente invención;

FIG. 2 es un diagrama de mapeo basado en el mapeo de segmentación natural de acuerdo con la Realización 1 de la presente invención;

- 25 FIG. 3 es un diagrama de señalización de la codificación mediante un aparato de codificación de acuerdo con la Realización 1 de la presente invención;

FIG. 4 es un diagrama de señalización de una ronda de decodificación por un aparato de decodificación de acuerdo con la Realización 1 de la presente invención;

- 30 FIG. 5A y FIG. 5B son un diagrama de señalización de múltiples rondas de decodificación por un aparato de decodificación de acuerdo con la Realización 1 de la presente invención;

FIG. 6 es un diagrama esquemático de un sistema de comunicaciones de acuerdo con la realización 2 de la presente invención;

FIG. 7 es un diagrama de mapeo basado en el mapeo de segmentación natural de acuerdo con la Realización 2 de la presente invención;

- 35 FIG. 8 es un diagrama esquemático de un sistema de comunicaciones de acuerdo con la realización 3 de la presente invención;

FIG. 9 es un diagrama esquemático de un sistema de comunicaciones de acuerdo con la realización 4 de la presente invención;

- 40 FIG. 10 es un diagrama de mapeo basado en el mapeo de segmentación natural de acuerdo con la Realización 4 de la presente invención; y

FIG. 11 es un diagrama esquemático de un sistema de comunicaciones según la realización 5 de la presente invención.

DESCRIPCIÓN DE LAS REALIZACIONES

Para hacer los objetivos, soluciones técnicas y ventajas de la presente invención más claros, a continuación, se describe la presente invención en detalle con referencia a los dibujos adjuntos y las realizaciones.

5 En las realizaciones de la presente invención, un aparato de codificación en un sistema de comunicaciones codifica un componente de primer nivel de la información a ser procesada, de una manera de codificación de corrección de errores de decisión blanda, codifica un componente de segundo nivel de la información a ser procesada de una manera de codificación de corrección de errores de decisión dura y, luego, mapea y genera todos los niveles de componentes codificados. La información generada por el aparato de codificación se transmite a través de un canal y llega a un aparato de decodificación; y el aparato de decodificación desmapea y decodifica, de una manera de decodificación de corrección de errores de decisión blanda, el componente de primer nivel de la información recibida por el aparato de decodificación, desmapea y decodifica, de una manera de decodificación de corrección de errores de decisión dura, el componente de segundo nivel de la información recibida por el aparato de decodificación y utiliza un resultado de la decodificación de otro nivel de componente como información previa durante el desmapeo de cada uno de los niveles de componente. Adicionalmente, además de los dos niveles anteriores, la información a ser procesada puede clasificarse adicionalmente en más niveles, por ejemplo, puede haber un componente de tercer nivel y un componente de cuarto nivel. Aparte del componente de primer nivel y del componente de segundo nivel, otro nivel de componente se codifica y decodifica de una manera de corrección de errores de decisión dura; o no se codifica y decodifica, sólo se mapea en el aparato de codificación y se desmapea en el aparato de decodificación.

20 A continuación se describe en detalle, mediante el uso de varias realizaciones, un sistema, un aparato y un método proporcionado en la presente invención.

Realización 1

El mapeo de modulación de orden superior hace que diferentes tasas de error de bits, a bits en diferentes ubicaciones en un símbolo. Por ejemplo, en el mapeo 16QAM Gray (Gray), una tasa de error de bits (BER, Bit Error Rate) de bits menos significativos (LSB, Least Significant Bit) b0b2 es el doble de los bits más significativos (BER, Most Significant Bit) b1b3. Una idea central de MLC es proteger diferentes bits de información mediante el uso de códigos de componente con diferentes tasas, de ese modo implementa la optimización del rendimiento general. Los LSB que son propensos a error están protegidos mediante el uso de FEC de tasa de bits baja, que tienen una capacidad de corrección de error más alta; y los MSB están protegidos mediante el uso de FEC de tasa de bits alta, que tienen una capacidad de corrección de error más baja porque existe una distancia euclidiana más grande entre los MSB.

Esta realización se describe usando 16QAM como un ejemplo. En este caso, cada uno de los símbolos de 4 bits en la información a ser procesada se clasifica en dos niveles y cada dos bits se clasifican en un nivel. En este documento, la clasificación de bits está relacionada con una manera de mapeo de modulación. En la FIG. 2 se muestra una relación de mapeo en la realización, donde b0, b1, b2 y b3 están en una secuencia de bits de bajo a alto. Es decir, en la realización de la presente invención, cuando todos los niveles de los componentes se obtienen por clasificación, en general, un componente de primer nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto a un componente de segundo nivel, el componente de segundo nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto a un componente de tercer nivel y, por analogía, este principio se utiliza en todas las realizaciones siguientes y los detalles no se describen de nuevo. Por lo tanto, en la realización, el componente de primer nivel son los bits b0 y b2, que posteriormente se representa mediante el uso de b0/b2 y el componente de segundo nivel son los bits b1 y b3, que posteriormente se representa mediante el uso de b1/b3.

La FIG. 1 es un diagrama esquemático de un sistema de comunicaciones basado en un sistema de modulación y codificación de acuerdo con la Realización 1 de la presente invención, donde un aparato de codificación puede estar dispuesto en un extremo de transmisión de la información y un aparato de decodificación puede estar dispuesto en un extremo de recepción de la información. A continuación se describen por separado el aparato de codificación y el aparato de decodificación en el sistema de comunicaciones basado en un sistema de modulación y codificación. Como se muestra en la FIG. 1, el aparato de codificación incluye: un codificador de corrección de errores de decisión blanda, un codificador de corrección de errores de decisión dura, un intercalador y una unidad de mapeo.

50 Adicionalmente, hay que señalar que también se puede incluir una unidad de clasificación de bits en el aparato de codificación y está configurada para realizar la clasificación de bits en la información a ser procesada y, en la

realización, para clasificar la información en un primer componente b_0/b_2 y un segundo componente b_1/b_3 , y luego los envía, respectivamente, al codificador de corrección de errores de decisión blanda y al codificador de corrección de errores de decisión dura. Ciertamente, debido a que la unidad de clasificación bits también puede ser una unidad independiente que se encuentra fuera del aparato de codificación, la unidad de clasificación de bits no se muestra en la FIG. 1. Esto es cierto en todas las realizaciones siguientes y la clasificación de bits realizada en la información a ser procesada por una unidad de clasificación de bits, difiere de la realización sólo en el número de niveles y los detalles no se describen de nuevo en las realizaciones siguientes.

El procesamiento del componente de primer nivel b_0/b_2 de la información a ser procesada es: el codificador de corrección de errores de decisión blanda codifica b_0/b_2 de la información a ser procesada, cuando el codificador de corrección de errores de decisión blanda usa codificación SD FEC y, puede utilizar pero no se limita a, un codificador LDPC, un codificador Turbo o similares; a continuación, el codificador de corrección de errores de decisión blanda genera b_0/b_2 , que se obtiene mediante la codificación, para la unidad de mapeo.

El procesamiento del componente de segundo nivel b_1/b_3 de la información a ser procesada es: el codificador de corrección de errores de decisión dura codifica b_1/b_3 de la información a ser procesada, donde el codificador de corrección de errores de decisión dura utilizado en la realización de la presente invención, utiliza la codificación HD FEC y, puede utilizar pero no se limita a, un codificador RS, un codificador BCH o similares; a continuación, el codificador de corrección de errores de decisión dura genera b_1/b_3 codificado al intercalador; y el intercalador realiza un procesamiento de intercalación en b_1/b_3 , para reducir la difusión de error de bits cuando se realiza la decodificación y genera b_1/b_3 , que se obtiene mediante el procesamiento de intercalación, para la unidad de mapeo.

La unidad de mapeo realiza el mapeo de modulación sobre los componentes recibidos de los niveles (los cuales se agrupan en base a un mismo símbolo), es decir, b_0/b_2 y b_1/b_3 , y genera a la información que se obtiene después del mapeo de modulación. En la realización de la presente invención, la unidad de mapeo es una unidad de mapeo de 16QAM y, como se muestra en la FIG. 2, el mapeo de la modulación 16QAM se puede realizar de una manera de mapeo basada en la segmentación natural.

En la FIG. 3 se muestra un diagrama de flujo de un método de codificación del aparato de codificación anterior, los pasos en cajas de dos líneas de trazos en la FIG. 3 se realizan por separado, el procesamiento en dos niveles de componentes, los cuales, en general, se ejecutan simultáneamente.

Entonces, el extremo de transmisión en el cual se encuentra el aparato de codificación puede transmitir la información generada por la unidad de mapeo a través de, por ejemplo, un canal al extremo de recepción y el aparato de decodificación en el extremo de recepción realiza el procesamiento. Todavía, como se muestra en la FIG. 1, el aparato de decodificación incluye: una unidad de desmapeo primaria, un decodificador de corrección de errores de decisión blanda, una primera unidad de desmapeo, un desintercalador, un decodificador de corrección de errores de decisión dura y una unidad de salida.

El procesamiento del componente de primer nivel b_0/b_2 recibido por el aparato de decodificación es: la unidad de desmapeo primaria realiza el desmapeo de b_0/b_2 de la información recibida por el aparato de decodificación para obtener información blanda de b_0/b_2 y genera la información blanda de b_0/b_2 para el decodificador de corrección de errores de decisión blanda, donde en la realización de la presente invención, la información blanda se refiere a información de logaritmo de razón de verosimilitud (LLR, Log Likelihood Ratio); y el decodificador de corrección de errores de decisión blanda realiza la decodificación mediante el uso de b_0/b_2 de la información blanda y genera la información blanda decodificada de b_0/b_2 .

El procesamiento del componente de segundo nivel b_1/b_3 recibido por el aparato de decodificación es: un extremo de entrada de la primera unidad de desmapeo tiene una relación de conexión con un extremo de salida del decodificador de corrección de errores de decisión blanda; la primera unidad de desmapeo realiza, mediante el uso de la información blanda de b_0/b_2 que se genera por el decodificador de corrección de errores de decisión blanda como información previa (la cual puede ser utilizada como información correcta conocida para corregir o participar en el cálculo de demodulación), el desmapeo de b_1/b_3 de la información recibida por el anterior aparato de decodificación y genera la información dura de b_1/b_3 , que se obtiene mediante el desmapeo, para el desintercalador, donde el desmapeo realizado en el presente documento, en realidad, es calcular, de una manera auxiliar, probabilidades posteriores de b_1 y b_3 mediante el uso de un LLR de b_0 y un LLR de b_2 como información previa, con el fin de obtener información de bits de b_1/b_3 mediante la demodulación y la información dura involucrada en la realización de la presente invención es información de bits; y, después, el desintercalador desintercala la información dura de b_1/b_3 y genera la información dura desintercalada de b_1/b_3 para el decodificador

de corrección de errores de decisión dura; y el decodificador de corrección de errores de decisión dura decodifica la información dura de b1/b3 y genera la información dura decodificada de b1/b3.

Un algoritmo específico en la unidad de desmapeo primaria puede ser como sigue:

Un algoritmo específico en la unidad de desmapeo primaria es como sigue:

5 Debido a que el 16QAM es mapeo de modulación simétrica, la información procedente de un canal se puede clasificar en Rx y Ry que son simétricas en IQ y se calcula una probabilidad posterior. $p(M/N)$ es una probabilidad posterior que la condición M es cierta cuando se recibe N, donde un valor de N es Rx o Ry, por ejemplo, $p(b0=0/Rx)$ es una probabilidad posterior que es b0=0 cuando se recibe Rx; y $p(b1b0=00/Rx)$ es una probabilidad posterior que es b1b0=00 cuando se recibe Rx. Los significados de otros elementos son similares.

10

$$p(b0 = 0 / Rx) = p(b1b0 = 00 / Rx) + p(b1b0 = 10 / Rx)$$

$$p(b0 = 1 / Rx) = p(b1b0 = 01 / Rx) + p(b1b0 = 11 / Rx)$$

$$p(b2 = 0 / Ry) = p(b3b2 = 00 / Ry) + p(b3b2 = 10 / Ry)$$

$$p(b2 = 1 / Rx) = p(b3b2 = 01 / Ry) + p(b3b2 = 11 / Ry)$$

15 La información blanda de b0/b2 después de desmapear es LLR(b0) y LLR(b2), es decir, el logaritmo de coeficientes de probabilidad de los bits b0 y b2.

$$LLR(b0) = \log \frac{p(b0 = 0 / Rx)}{p(b0 = 1 / Rx)}$$

$$LLR(b2) = \log \frac{p(b2 = 0 / Ry)}{p(b2 = 1 / Rx)}$$

La implementación del algoritmo de desmapeo anterior puede simplificarse de acuerdo con un algoritmo tal como el mapa de logaritmos máximos.

20 Un algoritmo específico en la primera unidad de desmapeo es como sigue:

Una probabilidad posterior se calcula utilizando la información blanda de b0/b2 que se genera por el decodificador de corrección de errores de decisión blanda como información previa:

25

$$p(b1 = 0 / Rx) = p(b1b0 = 01 / Rx) + p(b1b0 = 00 / Rx) * \exp(LLR(b0))$$

$$p(b1 = 1 / Rx) = p(b1b0 = 11 / Rx) + p(b1b0 = 10 / Rx) * \exp(LLR(b0))$$

$$p(b3 = 0 / Ry) = p(b3b2 = 01 / Ry) + p(b3b2 = 00 / Ry) * \exp(LLR(b2))$$

$$p(b3 = 1 / Rx) = p(b3b2 = 11 / Ry) + p(b3b2 = 10 / Ry) * \exp(LLR(b2)) ;$$

la información blanda de b0/b2 después de desmapear es:

$$LLR(b1) = \log \frac{p(b1 = 0 / Rx)}{p(b1 = 1 / Rx)}$$

$$LLR(b3) = \log \frac{p(b3 = 0 / Ry)}{p(b3 = 1 / Rx)} ;$$

30 a continuación, la información dura HD(b1) y HD(b3) de b1/b3 después desmapear es respectivamente:

$$\text{si } LLR(b1) < 0, HD(b1) = 1; \text{ de lo contrario, } HD(b1) = 0; \text{ y}$$

$$\text{si } LLR(b3) < 0, HD(b3) = 1; \text{ de lo contrario, } HD(b3) = 0.$$

35 Si sólo hay una iteración de decodificación en el aparato de decodificación, es decir, un umbral predefinido para el número de iteraciones es 1, el procesamiento de decodificación termina aquí. En este caso, el contenido generado por la unidad de salida se determina por la salida del decodificador de corrección de errores de decisión blanda y la salida del decodificador de corrección de errores de decisión dura, es decir, la salida del decodificador de corrección de errores de decisión dura y el contenido después de realizar decisión sobre la salida del decodificador de corrección de errores de decisión blanda. Cabe señalar que la decisión que se realiza sobre la salida del decodificador de corrección de errores de decisión blanda, puede ser ejecutada por la unidad de salida, o puede ser

ejecutada por una unidad de decisión existente adicional, lo cual es cierto en todas las realizaciones siguientes y los detalles no se describen de nuevo.

En la FIG. 4 se muestra un correspondiente diagrama de señalización del aparato de decodificación.

5 Sin embargo, en muchos casos, puede haber múltiples rondas de iteraciones de decodificación en un aparato de decodificación, es decir, un umbral predefinido para el número de iteraciones es un valor mayor que 1 y deben realizarse múltiples iteraciones hasta que el número de iteraciones alcanza el umbral preestablecido para el número de iteraciones. En este caso, el proceso anterior es sólo un proceso de decodificación de una iteración y, con el fin de ser aplicable a múltiples iteraciones, un intercalador puede estar incluido en el aparato de decodificación en este caso y la intercalación, después de realizar el procesamiento de intercalación sobre la información dura de b1/b3 que se genera por el decodificador de corrección de errores de decisión dura, genera la información dura de b1/b3 y
10 que se obtiene mediante el procesamiento de intercalación para la unidad de desmapeo primaria, de modo que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración, hasta que el número de iteraciones alcanza un umbral preestablecido.

Un proceso de una segunda iteración es como sigue:

15 La unidad de desmapeo primaria realiza, mediante el uso de información dura de b1/b3 que se genera por el intercalador en una ronda previa, el desmapeo de b0/b2 de una iteración actual de la información recibida por el aparato de decodificación para obtener información blanda de b0/b2; y genera la información blanda de b0/b2 para el decodificador de corrección de errores de decisión blanda; y el decodificador de corrección de errores de decisión blanda realiza la decodificación mediante el uso de la información blanda de b0/b2 y genera la información blanda decodificada de b0/b2.
20

La primera unidad de desmapeo realiza, mediante el uso de la información blanda de b0/b2 que se genera por el decodificador de corrección de errores de decisión blanda como información previa, el desmapeo de b1/b3 en la información recibida por el anterior aparato de decodificación y genera la información dura de b1/b3 que se obtiene mediante el desmapeo para el desintercalador; entonces, el desintercalador desintercala la información dura de b1/b3 y genera la información dura desintercalada de b1/b3 para el decodificador de corrección de errores de decisión dura; el decodificador de corrección de errores de decisión dura decodifica la información dura de b1/b3 y genera la información decodificada dura de b1/b3; y el intercalador realiza el procesamiento de intercalación de la información dura de b1/b3 que se genera por el decodificador de corrección de errores de decisión dura y genera la información dura de b1/b3 que se obtiene mediante el procesamiento de intercalación para la unidad de desmapeo primaria, de manera que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido.
25
30

Un algoritmo específico en la unidad de desmapeo primaria durante una iteración es como sigue:

Probabilidades posteriores que se calculan mediante el uso de información dura de b1/b3 que se genera por la intercalación en una ronda anterior son:

35
$$\text{Si } HD(b1) = 0, p(b0 = 00/Rx) = p(b1b0 = 00/Rx), \text{ y}$$

$$p(b0 = 1/Rx) = p(b1b0 = 01/Rx);$$

de lo contrario,
$$p(b0 = 0/Rx) = p(b1b0 = 10/Rx), \text{ y}$$

$$p(b0 = 1/Rx) = p(b1b0 = 11/Rx), \text{ y}$$

$$\text{Si } HD(b3) = 0, p(b2 = 00/Ry) = p(b3b2 = 00/Ry),$$

40
$$\text{y } p(b2 = 1/Ry) = p(b3b2 = 01/Ry);$$

de lo contrario,
$$p(b2 = 0/Ry) = p(b3b2 = 10/Ry), \text{ y}$$

$$p(b_2 = 1 / R_x) = p(b_3 b_2 = 11 / R_y); \text{ y}$$

la información blanda LLR(b0) y LLR(b2) de b0/b2 después de desmapear es respectivamente:

$$LLR(b_0) = \log \frac{p(b_0 = 0 / R_x)}{p(b_0 = 1 / R_x)}$$

$$LLR(b_2) = \log \frac{p(b_2 = 0 / R_x)}{p(b_2 = 1 / R_x)}$$

5

la implementación del algoritmo de desmapeo anterior puede simplificarse de acuerdo con un algoritmo tal como el mapa de logaritmos máximos.

Si se incluye la segunda iteración anterior, en la FIG. 5A y la FIG. 5B se muestra un diagrama de señalización de decodificación ejecutado por el aparato de decodificación. Un proceso de una ronda posterior de iteración es la misma que la segunda ronda, la cual ni se describe en el presente documento de nuevo ni se muestra en la FIG. 5A y la FIG. 5B de nuevo. Después de que el número de iteraciones, finalmente, alcanza el umbral predefinido para el número de iteraciones, el procesamiento de decodificación termina. La unidad de salida utiliza la salida del decodificador de corrección de errores de decisión dura y el contenido después de realizar la decisión sobre la salida del decodificador de corrección de errores de decisión blanda, como contenido generado por el aparato de decodificación.

10

15

La solución en la Realización 1 se puede aplicar a un sistema mejorado de QPSK a 16QAM, donde sólo se utiliza un decodificador de corrección de errores de decisión blanda (por ejemplo, un decodificador LDPC) en un caso de modulación QPSK y cuando el sistema se actualiza a 16QAM, el sistema puede ser compatible con el decodificador de corrección de errores de decisión blanda que se utiliza en el caso de QPSK, con sólo los recursos de decisión dura añadidos y, por lo tanto, el gran todo se duplica mientras que la complejidad no lo es y se ahorran costos de actualización.

20

Realización 2

Esta realización se describe usando 32QAM como un ejemplo. Si se utiliza una manera de mapeo mostrada en la FIG. 7, cada uno de los símbolos de 5 bits en la información a ser procesada se puede clasificar en 3 niveles, donde un componente de primer nivel es los bits b0 y b1, el cual posteriormente se representa mediante el uso de b0/b1; un componente de segundo nivel es el bit b2; y un componente de tercer nivel es los bits b3 y b4, el cual posteriormente se representa mediante el uso de b3/b4. En este documento, b0, b1, b2, b3 y b4 están en una secuencia de bits de bajo a alto.

25

La FIG. 6 es un diagrama esquemático de un sistema de comunicaciones según la Realización 2 de la presente invención. De manera similar, un aparato de codificación puede estar dispuesto en un extremo de transmisión de la información y un aparato de decodificación puede estar dispuesto en un extremo de recepción de la información. A continuación se describe por separado el aparato de codificación y el aparato de decodificación en el sistema de comunicaciones. Como se muestra en la FIG. 6, el aparato de codificación incluye: un codificador de corrección de errores de decisión blanda, un primer codificador de corrección de errores de decisión dura, un primer intercalador, un segundo codificador de corrección de errores de decisión dura, un segundo intercalador y una unidad de mapeo.

30

35

El procesamiento del componente de primer nivel b0/b1 de la información a ser procesada es: el codificador de corrección de errores de decisión blanda codifica b0/b1 de la información a ser procesada, donde el codificador de corrección de errores de decisión blanda utiliza codificación SD FEC y, puede utilizar pero no se limita a, un codificador de LDPC, un codificador Turbo o similares; y, a continuación, el codificador de corrección de errores de decisión blanda genera b0/b1 que se obtiene mediante la codificación para la unidad de mapeo.

40

El procesamiento del componente de segundo nivel b2 de la información a ser procesada es: el primer codificador de corrección de errores de decisión dura codifica b2 de la información a ser procesada, donde el primer codificador

de corrección de errores de decisión dura y el segundo codificador de corrección de errores de decisión dura que se utilizan en la realización de la presente invención, utilizan codificación HD FEC y, pueden utilizar pero no se limitan a, un codificador RS, un codificador BCH o similares; a continuación, el primer codificador de corrección de errores de decisión dura genera el b2 codificado para el primer intercalador y el intercalador realiza el procesamiento de intercalación en b2 para reducir la difusión de error de bits cuando se realiza la decodificación y genera b2 que se obtiene mediante el procesamiento de intercalación para la unidad de mapeo.

El procesamiento del componente de tercer nivel b3/b4 de la información a ser procesada es: el segundo codificador de corrección de errores de decisión dura codifica b3/b4 de la información a ser procesada, entonces, el segundo codificador de corrección de errores de decisión dura genera el b3/b4 codificado para el segundo intercalador y el segundo intercalador realiza el procesamiento de intercalación en b3/b4 para reducir la difusión de error de bits cuando se realiza la decodificación y genera b3/b4 que se obtiene mediante el procesamiento de intercalación para la unidad de mapeo.

La unidad de mapeo realiza el mapeo de modulación sobre los componentes de niveles recibidos (los cuales se agrupan en base a un mismo símbolo), es decir, b0/b1, b2 y b3/b4, y genera la información que se obtiene después del mapeo de modulación. En la realización de la presente invención, la unidad de mapeo es una unidad de mapeo 32QAM; y el mapeo de modulación 32QAM se puede realizar de una manera de mapeo basado en la segmentación natural y un diagrama de asignación, en este caso, puede ser el que se muestra en la FIG. 7.

Entonces, el extremo de transmisión en el cual se encuentra el aparato de codificación, puede transmitir la información generada por la unidad de mapeo a través de, por ejemplo, un canal al extremo de recepción y el aparato de decodificación en el extremo de recepción realiza el procesamiento. Todavía como se muestra en la FIG. 6, el aparato de decodificación incluye: una unidad de desmapeo primaria, un decodificador de corrección de errores de decisión blanda, una primera unidad de desmapeo, un primer desintercalador, un primer decodificador de corrección de errores de decisión dura, un primer intercalador, una segunda unidad de desmapeo, un segundo desintercalador, un segundo decodificador de corrección de errores de decisión dura y una unidad de salida.

El procesamiento del componente de primer nivel b0/b1 recibido por el aparato de decodificación es: la unidad de desmapeo primaria realiza el desmapeo b0/b1 de la información recibida por el aparato de decodificación para obtener información blanda de b0/b1 y genera la información blanda de b0/b1 para el decodificador de corrección de errores de decisión blanda, donde en la realización de la presente invención, la información blanda se refiere a la información LLR; y el decodificador de corrección de errores de decisión blanda realiza la decodificación mediante el uso de la información blanda de b0/b1 y genera la información blanda decodificada de b0/b1.

El procesamiento del componente de segundo nivel b2 recibido por el aparato de decodificación es: un extremo de entrada de la primera unidad de desmapeo tiene una relación de conexión con un extremo de salida del decodificador de corrección de errores de decisión blanda; la primera unidad de desmapeo realiza, mediante el uso de la información blanda de b0/b1 que se genera por el decodificador de corrección de errores de decisión blanda como información previa, el desmapeo de b2 de la información recibida por el anterior aparato de decodificación y genera la información dura de b2 que se obtiene mediante el desmapeo para el primer desintercalador, donde el desmapeo realizado en el presente documento, en realidad, es calcular, de una manera auxiliar, una probabilidad posterior de b2 mediante el uso de un LLR de b0 y un LLR de b1 como información previa, con el fin de obtener información de bits de b2 mediante la demodulación y la información dura que participan en la realización de la presente invención es información de bits; entonces, el desintercalador desintercala la información dura de b2 y genera la información dura desintercalada de b2 para el primer decodificador de corrección de errores de decisión dura; y el primer decodificador de corrección de errores de decisión dura decodifica la información dura de b2 y genera la información dura decodificada de b2; y el primer intercalador realiza la intercalación de la información dura de b2 que se genera por el primer decodificador de corrección de errores de decisión dura y genera la información dura de b2 que se obtiene mediante la intercalación.

El procesamiento del componente de tercer nivel b3/b4 recibido por el aparato de decodificación es: la entrada de la primera unidad de desmapeo tiene una relación de conexión con la salida del decodificador de corrección de errores de decisión blanda y con la salida del primer intercalador; la segunda unidad de desmapeo realiza, mediante el uso de la información dura de b2 que se genera por el primer intercalador y la información blanda de b0/b1 que se genera por el decodificador de corrección de errores de decisión blanda como información previa, el desmapeo de b3/b4 de la información recibida por el anterior aparato de decodificación y genera la información dura de b3/b4 que se obtiene mediante el desmapeo para el segundo desintercalador; y, luego, el desintercalador desintercala la información dura de b3/b4 y genera la información dura desintercalada de b3/b4 para el segundo decodificador de

corrección de errores de decisión dura; y el segundo decodificador de corrección de errores de decisión dura decodifica la información dura de b3/b4 y genera la información dura decodificada de b3/b4.

5 Si sólo hay una iteración de decodificación en el aparato de decodificación, es decir, un umbral predefinido para el número de iteraciones es 1, el procesamiento de decodificación termina aquí. El contenido generado por la unidad de salida, es la salida del primer decodificador de corrección de errores de decisión dura, la salida del segundo decodificador de corrección de errores de decisión dura y el contenido después de realizar la decisión sobre la salida del decodificador de corrección de errores de decisión blanda.

10 Sin embargo, en muchos casos, puede haber múltiples rondas de iteraciones de decodificación en un aparato de decodificación, es decir, un umbral predefinido para el número de iteraciones es un valor mayor que 1, y múltiples iteraciones deban realizarse hasta que el número de iteraciones alcanza el umbral preestablecido para el número de iteraciones. En este caso, el proceso anterior es sólo un proceso de decodificación de una iteración y, con el fin de ser aplicable a múltiples iteraciones, un segundo intercalador también puede estar incluido en el aparato de decodificación y el segundo intercalador, después de realizar el procesamiento de intercalación sobre la información dura de b3/b4 que se genera por el segundo decodificador de corrección de errores de decisión dura la información dura de b3/b4 que se obtiene mediante el procesamiento de intercalación para la unidad de desmapeo primaria y para la primera unidad de desmapeo, de modo que la unidad de desmapeo primaria y la primera unidad de desmapeo realizan el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido. Adicionalmente, el primer intercalador, además, genera la información dura de b2 que se obtiene mediante el procesamiento de intercalación para la unidad de desmapeo primaria, de modo que la unidad de desmapeo primaria realiza el desmapeo de una iteración siguiente hasta que el número de iteraciones alcanza el umbral preestablecido.

Un proceso de una segunda iteración es como sigue:

25 La unidad de desmapeo primaria realiza, mediante el uso de información dura de b2 que se genera por el primer intercalador en una ronda previa y la información dura de b3/b4 que se genera por el segundo intercalador en la ronda anterior, el desmapeo de b0/b1 de una iteración actual de la información recibida por el aparato de decodificación para obtener información blanda de b0/b1 y genera la información blanda de b0/b1 para el decodificador de corrección de errores de decisión blanda; y el decodificador de corrección de errores de decisión blanda realiza la decodificación mediante el uso de la información blanda de b0/b1 y genera la información blanda decodificada de b0/b1.

30 La primera unidad de desmapeo realiza, mediante el uso de la información dura de b3/b4 que se genera por el segundo intercalador en la ronda anterior y la información blanda de b0/b1 que se genera por el decodificador de corrección de errores de decisión blanda en una ronda actual como información previa, el desmapeo de b2 de la ronda actual de la información recibida por el aparato de decodificación anterior y genera la información dura de b2 que se obtiene mediante el desmapeo para el primer desintercalador; entonces, el primer desintercalador desintercala la información dura de b2 y genera la información dura desintercalada de b2 para el primer decodificador de corrección de errores de decisión dura; y el primer decodificador de corrección de errores de decisión dura decodifica la información dura de b2 y genera la información decodificada dura de b2; y el primer intercalador realiza la intercalación de la información dura de b2 que se genera por el primer decodificador de corrección de errores de decisión dura y genera la información dura de b2 que se obtiene mediante la intercalación.

40 Adicionalmente, el primer intercalador genera la información dura de b2 para la unidad de desmapeo primaria, de modo que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza el umbral preestablecido.

45 La segunda unidad de desmapeo realiza, mediante el uso de la información dura de b2 que se genera por el primer intercalador y la información blanda de b0/b1 que se genera por el decodificador de corrección de errores de decisión blanda como información previa, el desmapeo de b3/b4 de la información recibida por el aparato de decodificación anterior y genera la información dura de b3/b4 que se obtiene mediante el desmapeo para el segundo desintercalador; entonces, el segundo desintercalador desintercala la información dura de b3/b4 y genera la información dura desintercalada de b3/b4 para el segundo decodificador de corrección de errores de decisión dura; el segundo decodificador de corrección de errores de decisión dura decodifica la información dura de b3/b4 y genera la información decodificada dura de b3/b4; y el segundo intercalador realiza un procesamiento de intercalación de la información dura de b3/b4 que se genera por el segundo decodificador de corrección de errores de decisión dura y genera la información dura de b3/b4 que se obtiene mediante el procesamiento de intercalación para la unidad de desmapeo primaria y la primera unidad de desmapeo, de modo que la unidad de desmapeo primaria y la primera

unidad de desmapeo realizan el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza el umbral preestablecido.

Un proceso de una iteración posterior es el mismo que la segunda ronda, el cual no se describe de nuevo. Puede verse que, partiendo de la segunda iteración, cada una de las unidades de desmapeo tiene dos entradas (es decir, información realimentada después de que se decodifican otros dos niveles de componentes) que se utilizan como información previa. Después de que el número de iteraciones, finalmente, alcanza el umbral predefinido para el número de iteraciones, el procesamiento de decodificación termina. La salida del primer decodificador de corrección de errores de decisión dura, la salida del segundo decodificador de corrección de errores de decisión dura y el contenido después de realizar la decisión sobre la salida del decodificador de corrección de errores de decisión blanda, se utilizan como contenido generado por la unidad de salida.

Realización 3

Esta realización se describe, todavía, utilizando 32QAM como un ejemplo y cada uno de los símbolos de 5 bits de la información a ser procesada se clasifica en 3 niveles, donde un componente de primer nivel es los bits b_0 y b_1 , el cual posteriormente se representa mediante el uso de b_0/b_1 ; un componente de segundo nivel es el bit b_2 ; y un componente de tercer nivel es los bits b_3 y b_4 , el cual posteriormente se representa mediante el uso de b_3/b_4 . En este documento, b_0 , b_1 , b_2 , b_3 y b_4 están en una secuencia de bits de bajo a alto. A diferencia de la Realización 2, la Realización 3 usa diferentes maneras de implementación para realizar la codificación y decodificación del componente de tercer nivel.

FIG. 8 es un diagrama esquemático de un sistema de comunicaciones de acuerdo con la realización 3 de la presente invención. Como se muestra en la FIG. 8, un aparato de codificación incluye: un codificador de corrección de errores de decisión blanda, un primer codificador de corrección de errores de decisión dura, un primer intercalador y una unidad de mapeo.

En este aparato de codificación, el procesamiento en el codificador de corrección de errores de decisión blanda, el primer codificador de corrección de errores de decisión dura, el primer intercalador y la unidad de mapeo son los mismos que los descritos en la Realización 2, es decir, el procesamiento del componente de primer nivel b_0/b_1 y el componente de segundo nivel b_2 de la información a ser procesada, es el mismo que el descrito en la realización 2, el cual no se describe en el presente documento de nuevo. Sin embargo, el procesamiento del componente de tercer nivel b_3/b_4 de la información a ser procesada es: el componente de tercer nivel b_3/b_4 de la información a ser procesada es generado directamente para la unidad de mapeo, es decir, no está codificado b_3/b_4 .

Para un aparato de decodificación, el aparato de decodificación incluye: una unidad de desmapeo primaria, un decodificador de corrección de errores de decisión blanda, una primera unidad de desmapeo, un primer desintercalador, un primer decodificador de corrección de errores de decisión dura, un primer intercalador, una segunda unidad de desmapeo y una unidad de salida.

Si sólo hay una iteración, el procesamiento en la unidad de desmapeo primaria, el decodificador de corrección de errores de decisión blanda, la primera unidad de desmapeo, el primer desintercalador, el primer decodificador de corrección de errores de decisión dura, el primer intercalador y la segunda unidad de desmapeo son los mismos que los descritos en la Realización 2, es decir, el procesamiento del componente de primer nivel b_0/b_1 y el componente de segundo nivel b_2 que son recibidos por el aparato de decodificación, son los mismos que los descritos en la Realización 2. El procesamiento del componente de tercer nivel b_3/b_4 recibido por el aparato de decodificación es: la segunda unidad de desmapeo realiza, mediante el uso de la información dura de b_2 que se genera por el primer intercalador y la información blanda de b_0/b_1 que se genera por el decodificador de corrección de errores de decisión blanda como información previa, el desmapeo de b_3/b_4 de la información recibida por el aparato de decodificación anterior y genera la información dura de b_3/b_4 que se obtiene mediante el desmapeo. Cuando sólo hay una iteración de decodificación, el contenido generado por la unidad de salida es la salida del primer decodificador de corrección de errores de decisión dura, la salida de la segunda unidad de desmapeo y el contenido después de realizar la decisión sobre la salida del decodificador de corrección de errores de decisión blanda.

Si hay múltiples rondas de iteraciones de decodificación, la Realización 3 difiere de la Realización 2 en: la segunda unidad de desmapeo genera la información dura de b_3/b_4 que se obtiene mediante el desmapeo para la unidad de desmapeo primaria y la primera unidad de desmapeo, de modo que la unidad de desmapeo primaria y la primera unidad de desmapeo realizan el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido. A partir de la segunda iteración, la unidad de desmapeo primaria realiza, mediante el uso de

información dura de b2 que se genera por el primer intercalador en una ronda previa y la información dura de b3/b4 que se genera por la segunda unidad de desmapeo en la ronda anterior, el desmapeo de b0/b1 de una iteración actual de la información recibida por el aparato de decodificación para obtener información blanda de b0/b1; y la primera unidad de desmapeo realiza, mediante el uso de la información dura de b3/b4 que se genera por la segunda

5 unidad de desmapeo en la ronda anterior y la información blanda de b0/b1 que se genera por el decodificador de corrección de errores de decisión blanda en una ronda actual como información previa, el desmapeo de b2 de la ronda actual de la información recibida por el aparato de decodificación anterior. Otros procesamientos son los mismos que el proceso de procesamiento en la primera ronda, los cuales no se describen de nuevo.

Después de que el número de iteraciones, finalmente, alcanza el umbral predefinido para el número de iteraciones, el procesamiento de decodificación termina. La salida del primer decodificador de corrección de errores de decisión dura, la salida de la segunda unidad de desmapeo y el contenido después de realizar la decisión sobre la salida del decodificador de corrección de errores de decisión blanda, se utilizan como contenido generado por la unidad de salida.

10

Realización 4

Esta realización se describe usando 64QAM como un ejemplo. En este caso, cada uno de los símbolos de 6 bits en la información a ser procesada, también, puede clasificarse en tres niveles. En la FIG. 9 se muestra un diagrama esquemático de un sistema de comunicaciones en la realización, donde las estructuras de un aparato de codificación y un aparato de decodificación en el sistema son similares a las de la Realización 2 y una manera de procesar cada uno de los niveles de componente también es similar a la de la Realización 2. En la Realización 4, si se utiliza una manera de mapeo de modulación basada en el mapeo de segmentación natural mostrada en la FIG. 10, la clasificación de todos los niveles de los componentes es: un componente de primer nivel es los bits b0 y b3, el cual se representa en la figura mediante el uso de b0/b3; un componente de segundo nivel es los bits b1 y b4, el cual se representa en la figura mediante el uso de b1/b4; y un componente de tercer nivel es los bits b2 y b5, el cual se representa en la figura mediante el uso de b2/b5. En este documento, b0, b1, b2, b3, b4 y b5 están en una secuencia de bits de bajo a alto. Es decir, el componente de primer nivel es los bits menos significativos que tienen una tasa de error de bits más alta con respecto al componente de segundo nivel y el componente de segundo nivel es los bits menos significativos que tienen una tasa de error de bits más alta con respecto al componente de tercer nivel.

15

20

25

Un proceso específico de procesamiento de los niveles de los componentes no se describe en el presente documento de nuevo y puede hacerse referencia a las descripciones en la Realización 2.

30

Realización 5

Esta realización se describe usando 64QAM como un ejemplo. En este caso, cada uno de los símbolos de 6 bits de la información a ser procesada, también, puede clasificarse en tres niveles. En la FIG. 11 se muestra un diagrama esquemático de un sistema de comunicaciones en la realización, donde las estructuras de un aparato de codificación y un aparato de decodificación en el sistema son similares a las de la Realización 3 y una manera de procesar cada uno de los niveles de componente también es similar a la de la Realización 3. En la Realización 5, si se utiliza una manera de mapeo de modulación basada en la segmentación natural mostrada en la FIG. 10, la clasificación de todos los niveles de los componentes es: un componente de primer nivel es los bits b0 y b3, el cual se representa en la figura mediante el uso de b0/b3; un componente de segundo nivel es los bits b1 y b4, el cual se representa en la figura mediante el uso de b1/b4; y un componente de tercer nivel es los bits b2 y b5, el cual se representa en la figura mediante el uso de b2/b5. En este documento, b0, b1, b2, b3, b4 y b5 están en una secuencia de bits de bajo a alto. Es decir, el componente de primer nivel es los bits menos significativos que tienen una tasa de error de bits más alta con respecto al componente de segundo nivel y el componente de segundo nivel es los bits menos significativos que tienen una tasa de error de bits más alta con respecto al componente de tercer nivel.

35

40

45

Un proceso específico de procesamiento de los niveles de los componentes no se describe en el presente documento de nuevo y puede hacerse referencia a las descripciones en la Realización 3.

En la presente invención, las realizaciones anteriores no están destinadas a enumerar de forma exhaustiva todas las situaciones posibles. Por ejemplo, cuando se utiliza la modulación de orden superior, la presente invención puede incluir, además, una manera de procesamiento para cuatro niveles, cinco niveles o incluso más niveles. Por ejemplo, cuando se utiliza 256QAM, cada uno de los símbolos comprende ocho bits y puede ser clasificado en cuatro niveles

50

de componentes, donde un componente de primer nivel es b0 y b4, un componente de segundo nivel es b1 y b5, un componente de tercer nivel es b2 y b6 y un componente de cuarto nivel es b3 y b7. En los cuatro niveles de componentes, los componentes de nivel bajo se codifican y decodifican mediante el uso de SD FEC, componentes de alto nivel se codifican y se decodifican mediante el uso de HD FEC o no se realiza la codificación, pero la decodificación se realiza de una manera decodificación multinivel combinada SD FEC y HD FEC. El método utilizado es similar a la de las realizaciones anteriores, donde más niveles se procesan basados en las realizaciones anteriores de la misma manera de implementación y los detalles no se describen aquí de nuevo.

Se puede observar a partir de las descripciones anteriores que, el sistema anterior, el aparato y el método proporcionado en las realizaciones de la presente invención tienen las siguientes ventajas:

1) La codificación multinivel se realiza de una manera que combina la codificación de corrección de errores de decisión blanda y la codificación de corrección de errores de decisión dura y la decodificación multinivel se implementa de una manera que combina la decodificación de corrección de errores decisión blanda y la decodificación de corrección de errores de decisión dura, con el fin de integrar ventajas de las dos maneras: en comparación con una manera donde la codificación y la decodificación de corrección de errores de decisión blanda se realizan en múltiples niveles, una manera donde la codificación y la decodificación de corrección de errores de decisión blanda se realizan en un solo nivel, reduce la complejidad del sistema y la sobrecarga de los recursos; y la realización de la codificación y de la decodificación de corrección de errores de decisión dura en otros niveles en base a la realización de la codificación y la decodificación de corrección de errores de decisión blanda en un sólo nivel garantiza una ganancia de rendimiento, cumpliendo así el requisito de ganancia de un sistema de transmisión óptica de alta velocidad; y

2) Se facilita la extensión a una modulación de orden superior, cumpliendo un requisito de uso de la modulación de orden superior.

En las diversas realizaciones proporcionadas en la presente invención, se debe entender que el sistema, aparato, y el método divulgados pueden implementarse de otras maneras. Por ejemplo, las realizaciones del aparato descritas son meramente ejemplares. Por ejemplo, la división de unidad es meramente la división de función lógica y, en la implementación real, puede ser otra división.

Las unidades descritas como partes separadas pueden estar o no estar físicamente separadas y las partes que se muestran como unidades pueden ser o no unidades físicas y pueden estar situadas en una posición o pueden estar distribuidas en una pluralidad de unidades de red. Algunas o todas las unidades se pueden seleccionar de acuerdo con las necesidades reales para alcanzar los objetivos de las soluciones de las realizaciones.

Adicionalmente, las unidades funcionales en las realizaciones de la presente invención pueden ser integradas en una unidad de procesamiento, o cada una de las unidades pueden existir sólo físicamente, o dos o más unidades están integradas en una unidad. La unidad integrada se puede implementar en forma de hardware, o puede ser implementada en forma de hardware, adicionalmente, a una unidad funcional de software.

Cuando la unidad integrada anterior se implementa en forma de una unidad funcional de software, la unidad integrada se puede almacenar en un medio de almacenamiento legible por ordenador. La unidad funcional de software se almacena en un medio de almacenamiento e incluye varias instrucciones para instruir a un dispositivo de ordenador (que puede ser un ordenador personal, un servidor o un dispositivo de red) o un procesador (procesador) para realizar una parte de los pasos de los métodos descritos en las realizaciones de la presente invención. El medio de almacenamiento anterior incluye: cualquier medio que puede almacenar código de programa, como una unidad flash USB, un disco duro extraíble, una memoria de sólo lectura (Read-Only Memory, ROM), una memoria de acceso aleatorio (Random Access Memory, RAM), un disco magnético o un disco óptico.

Las descripciones anteriores son meramente realizaciones ejemplares de la presente invención, pero no pretenden limitar la presente invención. Cualquier modificación, sustitución equivalente o mejora sin apartarse del principio de la presente invención, debe caer dentro del alcance de protección de las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un aparato de decodificación para la decodificación de información codificada multinivel que comprende diferentes bits de información protegidos utilizando códigos componente con diferentes tasas de bits, en donde el aparato de decodificación comprende: una unidad de desmapeo primaria, un decodificador de corrección de errores de decisión blanda, una primera unidad de desmapeo, un primer desintercalador, un primer decodificador de corrección de errores de decisión dura y una unidad de salida;
- 5 la unidad de desmapeo primaria está configurada para desmapear la información recibida por el aparato de decodificación y generar la información blanda obtenida de un componente de primer nivel, para el decodificador de corrección de errores de decisión blanda;
- 10 el decodificador de corrección de errores de decisión blanda está configurado para realizar la decodificación de acuerdo con la información blanda recibida del componente de primer nivel y generar la información blanda decodificada del componente de primer nivel;
- la primera unidad de desmapeo está configurada para desmapear, mediante el uso de la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda como información previa, la información recibida por el aparato de decodificación y generar para el primer desintercalador la información dura de un componente de segundo nivel;
- 15 el primer desintercalador está configurado para desintercalar la información dura recibida del componente de segundo nivel y generar la información dura desintercalada del componente de segundo nivel para el primer decodificador de corrección de errores de decisión dura;
- 20 el primer decodificador de corrección de errores de decisión dura está configurado para decodificar la información dura desintercalada del componente de segundo nivel y generar la información dura decodificada del componente de segundo nivel; y
- la unidad de salida está configurada para generar la información dura del componente de primer nivel que se obtiene después de realizar la decisión sobre la salida del decodificador de corrección de errores de decisión blanda y generar la información dura del componente de segundo nivel que se genera por el primer decodificador de corrección de errores de decisión dura; en donde
- 25 el componente de primer nivel es un bit menos significativo con respecto al componente de segundo nivel.
2. El aparato de decodificación de acuerdo con la reivindicación 1, en donde si el número de iteraciones de decodificación utilizadas por el aparato de decodificación es mayor que 1, el aparato de decodificación comprende además un primer intercalador;
- 30 el primer intercalador está configurada para realizar el procesamiento de intercalación sobre la información dura del componente de segundo nivel que se genera por el primer decodificador de corrección de errores de decisión dura y generar para la unidad de desmapeo primaria la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación, de modo que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido; y
- 35 la unidad de desmapeo primaria está configurada, además, para realizar, mediante el uso de la información dura del componente de segundo nivel que se genera por el primer intercalador en una iteración anterior como información previa, el desmapeo de una iteración actual del componente de primer nivel de la información recibido por el aparato de decodificación.
3. El aparato de decodificación de acuerdo con la reivindicación 1, en donde el aparato de decodificación comprende además: un primer intercalador, una segunda unidad de desmapeo, un segundo desintercalador y un segundo decodificador de corrección de errores de decisión dura;
- 40 el primer intercalador está configurado para realizar el procesamiento de intercalación sobre la información dura del componente de segundo nivel que se genera por el primer decodificador de corrección de errores de decisión dura y generar para la segunda unidad de desmapeo la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación;
- 45 la segunda unidad de desmapeo está configurada para desmapear, mediante el uso de la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda y la información dura del componente de segundo nivel que se genera por el primer intercalador como información previa, la información recibida por el aparato de decodificación y generar la información dura de un componente de tercer nivel que se obtiene mediante el desmapeo;
- 50 el segundo desintercalador está configurado para desintercalar la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo y generar para el segundo decodificador de corrección de errores de decisión dura la información dura desintercalada del componente de tercer nivel;
- 55 el segundo decodificador de corrección de errores de decisión dura está configurado para decodificar la información dura desintercalada del componente de tercer nivel y generar la información dura decodificada del componente de tercer nivel; y

la unidad de salida está configurada, además, para generar la información dura del componente de tercer nivel que se genera por el segundo decodificador de corrección de errores de decisión dura.

4. El aparato de decodificación de acuerdo con la reivindicación 3, en donde si el número de iteraciones de decodificación utilizadas por el aparato de decodificación es mayor que 1, el aparato de decodificación comprende además: un segundo intercalador;

el segundo intercalador está configurado para realizar el procesamiento de intercalación sobre la información dura del componente de tercer nivel que se genera por el segundo decodificador de corrección de errores de decisión dura y generar para la unidad de desmapeo primaria y para la primera unidad de desmapeo, la información dura del componente de tercer nivel y que se obtiene mediante el procesamiento de intercalación, de modo que la unidad de desmapeo primaria y la primera unidad de desmapeo realizan el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido;

el primer intercalador está configurado, además, para generar para la unidad de desmapeo primaria, la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación, de modo que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza el umbral preestablecido;

la unidad de desmapeo primaria realiza, mediante el uso de la información dura del componente de segundo nivel que se genera por el primer intercalador en una iteración anterior y la información dura del componente de tercer nivel que se genera por el segundo intercalador en la iteración anterior como información previa, el desmapeo de una iteración actual del componente de primer nivel de la información recibida por el aparato de decodificación; y

la primera unidad de desmapeo realiza, mediante el uso de la información dura del componente de tercer nivel que se genera por el segundo intercalador en la iteración anterior y la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda en una iteración actual como información previa, el desmapeo de la iteración actual del componente de segundo nivel de la información recibida por el aparato de decodificación.

5. El aparato de decodificación de acuerdo con la reivindicación 1, en donde el aparato de decodificación comprende además: un primer intercalador y una segunda unidad de desmapeo;

el primer intercalador está configurado para realizar el procesamiento de intercalación sobre la información dura del componente de segundo nivel que se genera por el primer decodificador de corrección de errores de decisión dura y genera para la segunda unidad de desmapeo la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación;

la segunda unidad de desmapeo está configurada para desmapear, mediante el uso de la información blanda del componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda y la información dura del componente de segundo nivel que se genera por el primer intercalador como información previa, la información recibida por el aparato de decodificación y generar la información dura de salida de un componente de tercer nivel que se obtiene mediante el desmapeo; y

la unidad de salida está configurada, además, para generar la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo;

en donde el componente de segundo nivel es un bit menos significativo que tiene una tasa de errores de bits más alta con respecto al componente de tercer nivel.

6. El aparato de decodificación de acuerdo con la reivindicación 5, en donde si el número de iteraciones de decodificación utilizadas por el aparato de decodificación es mayor que 1,

el primer intercalador está configurado, además, para generar para la unidad de desmapeo primaria la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación, de modo que la unidad de desmapeo primaria realiza el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza un umbral preestablecido; y

la segunda unidad de desmapeo está configurada, además, para generar para la unidad de desmapeo primaria y la primera unidad de desmapeo, la información dura del componente de tercer nivel que se obtiene mediante el desmapeo, de modo que la unidad de desmapeo primaria y la primera unidad de desmapeo realizan el desmapeo de una siguiente iteración hasta que el número de iteraciones alcanza el umbral preestablecido;

la unidad de desmapeo primaria realiza, mediante el uso de la información dura del componente de segundo nivel que se genera por el primer intercalador en una iteración anterior y la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo en la iteración anterior como información previa, el desmapeo de una iteración actual del componente de primer nivel de la información recibida por el aparato de decodificación; y

la primera unidad de desmapeo realiza, mediante el uso de la información dura del componente de tercer nivel que se genera por la segunda unidad de desmapeo en la iteración anterior y la información blanda del

componente de primer nivel que se genera por el decodificador de corrección de errores de decisión blanda en una iteración actual como información previa, el desmapeo de la iteración actual del componente de segundo nivel de la información recibida por el aparato de decodificación.

5 7. Un sistema de comunicaciones, en donde el sistema de comunicaciones comprende un aparato de codificación y el aparato de decodificación de acuerdo con una cualquiera de las reivindicaciones 1 a 6.

8. El sistema de comunicaciones según la reivindicación 7, en donde el aparato de codificación comprende: un codificador de corrección de errores de decisión blanda, un primer codificador de corrección de errores de decisión dura, un primer intercalador y una unidad de mapeo;

10 el codificador de corrección de errores de decisión blanda está configurado para codificar un componente de primer nivel de la información a ser procesada y generar el componente de primer nivel codificado de la información a ser procesada para la unidad de mapeo;

el primer codificador de corrección de errores de decisión dura está configurado para codificar un componente de segundo nivel de la información a ser procesada y generar el componente de segundo nivel codificado de la información a ser procesada para el primer intercalador;

15 el primer intercalador está configurado para realizar el procesamiento de intercalación sobre el componente de segundo nivel recibido y generar para la unidad de mapeo el componente de segundo nivel que se obtiene mediante el procesamiento de intercalación; y

la unidad de mapeo está configurada para realizar el mapeo de modulación sobre los componentes recibidos de niveles y generar la información que se obtiene después del mapeo de modulación.

20 9. El sistema de comunicaciones según la reivindicación 8, en donde, cuando se utiliza el aparato de decodificación de acuerdo con la reivindicación 3 o 4, el aparato de codificación comprende además: un segundo codificador de corrección de errores de decisión dura y un segundo intercalador;

25 el segundo codificador de corrección de errores de decisión dura está configurado para codificar un componente de tercer nivel de la información a ser procesada y generar el componente de tercer nivel codificado de la información a ser procesada para la segunda intercalador; y

el segundo intercalador está configurado para realizar el procesamiento de intercalación sobre el componente de tercer nivel recibido y generar para la unidad de mapeo el componente de tercer nivel que se obtiene mediante el procesamiento de intercalación.

30 10. El sistema de comunicaciones según la reivindicación 8, en donde un objeto sobre el cual la unidad de mapeo realiza el mapeo de modulación, comprende un componente de tercer nivel de la información a ser procesada.

11. Un método de decodificación para decodificación de información codificada multinivel que comprende diferentes bits de información protegidos que utiliza códigos de componente con diferentes tasa de bits, en donde el método de decodificación comprende:

35 S1: información recibida para desmapear, con el fin de obtener información blanda de un componente de primer nivel;

S2: realizar la decodificación de acuerdo con la información blanda recibida del componente de primer nivel, y generar la información blanda decodificada del componente de primer nivel;

40 S3: desmapeo de la información recibida mediante el uso de la información blanda decodificada del componente de primer nivel como información previa, con el fin de obtener información dura de un componente de segundo nivel;

S4: desintercalación y luego la decodificación de la información dura del componente de segundo nivel, con el fin de obtener la información dura decodificada del componente de segundo nivel; y

45 S5: generación de la información dura del componente de primer nivel que se obtiene después de realizar la decisión sobre la información blanda decodificada del componente de primer nivel y generar la información dura decodificada del componente de segundo nivel; en donde

el componente de primer nivel es un bit menos significativo con respecto al componente de segundo nivel.

12, El método de decodificación según la reivindicación 11, en donde si el número de iteraciones de decodificación utilizadas en el método de decodificación es mayor que 1, después del paso S4 y antes del paso S5, el método comprende además:

50 S6: después de realizar el procesamiento de intercalación sobre la información dura decodificada del componente de segundo nivel, ir al paso S1 para comenzar una iteración siguiente hasta que el número de iteraciones alcanza un umbral preestablecido; en donde

durante cada una de las iteraciones a partir de una segunda iteración, el paso S1 se ejecuta mediante la realización del desmapeo de una iteración actual de la información recibida mediante el uso de la información dura

del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación en una iteración anterior como información previa.

13. El método de decodificación según la reivindicación 11, en donde después del paso S4 y antes del paso S5, el método comprende además:

5 S7: realizar el procesamiento de intercalación sobre la información dura decodificada del componente de segundo nivel;

S8: desmapeo de la información recibida mediante el uso de la información blanda decodificada del componente de primer nivel y la información dura del componente de segundo nivel que se obtiene después del proceso de intercalación en el paso S7 como información previa, con el fin de obtener información dura de una

10 componente de tercer nivel; y
S9: desintercalación y luego decodificación, por un segundo desintercalador, de la información dura del componente de tercer nivel y que se genera por la segunda unidad de desmapeo, con el fin de obtener la información dura decodificada del componente de tercer nivel, en donde:

la información dura decodificada del componente de tercer nivel, además, se genera en el paso S5.

15 el componente de segundo nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto al componente de tercer nivel.

14 El método de decodificación según la reivindicación 11, en donde después del paso S4 y antes del paso S5, el método comprende además:

20 S11: la realización de procesamiento de intercalación de la información dura decodificada del componente de segundo nivel; y

S12: el desmapeo de la información recibida mediante el uso de la información blanda decodificada del componente de primer nivel y la información dura del componente de segundo nivel que se obtiene después del proceso de intercalación en el paso S11 como información previa, con el fin de obtener información dura de un componente de tercer nivel; donde

25 la información dura decodificada del componente de tercer nivel, además, se genera en el paso S5.

el componente de segundo nivel es un bit menos significativo que tiene una tasa de error de bits más alta con respecto al componente de tercer nivel.

15. El método de decodificación según la reivindicación 14, en donde si el número de iteraciones de decodificación utilizadas en el método de decodificación es mayor que 1, después del paso S12 y antes del paso S5, el método comprende además:

30 ir al paso S1 para comenzar una iteración siguiente hasta que el número de iteraciones alcanza un umbral preestablecido; en donde

durante cada una de las iteraciones a partir de una segunda iteración, el paso S1 se ejecuta mediante la realización del desmapeo de una iteración actual de la información recibida mediante el uso de la información dura del componente de segundo nivel que se obtiene mediante el procesamiento de intercalación en una iteración anterior y la información dura del componente de tercer nivel que se obtiene en el paso S12 en la iteración anterior como información previa; y

35 se ejecuta el paso S3 mediante la realización del desmapeo de la iteración actual de la información recibida mediante el uso de la información dura del componente de tercer nivel que se obtiene en el paso S12 de una iteración anterior y decodifica la información blanda del componente de primer nivel que se obtiene en una iteración actual como información previa.

40

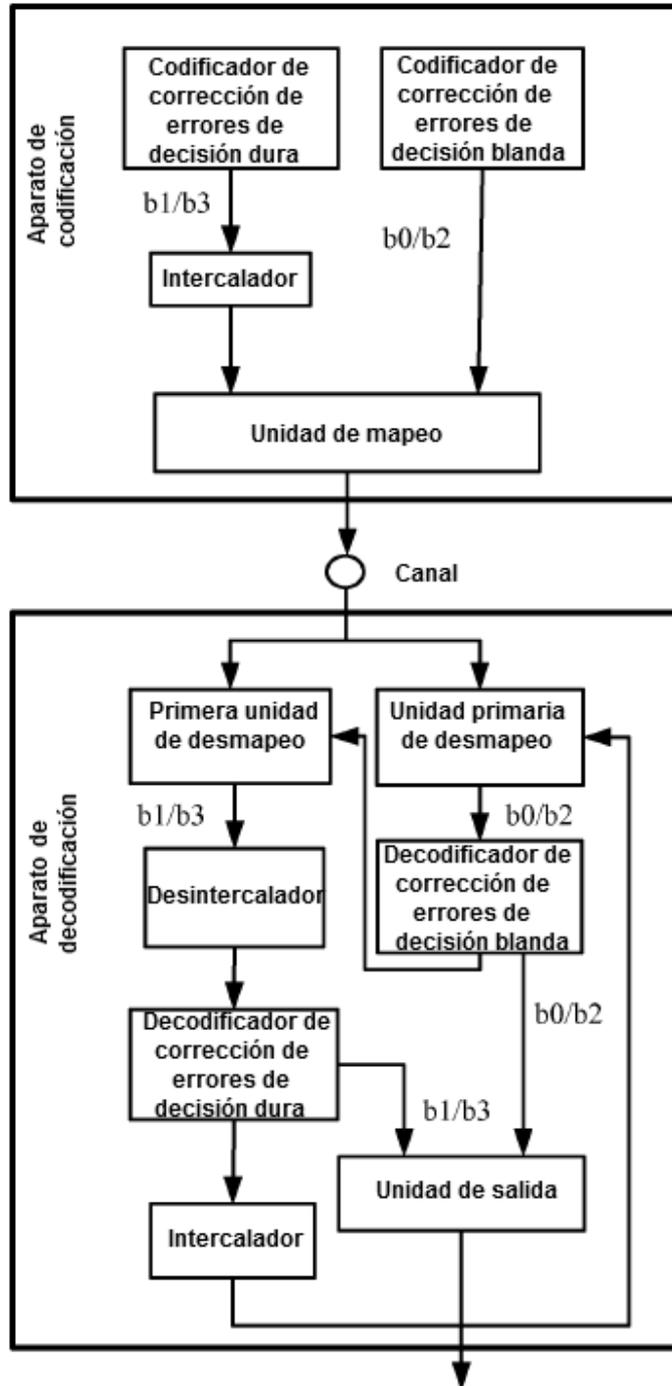


FIG. 1

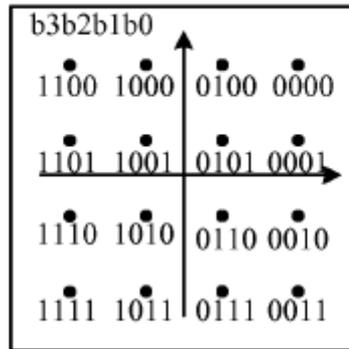


FIG. 2

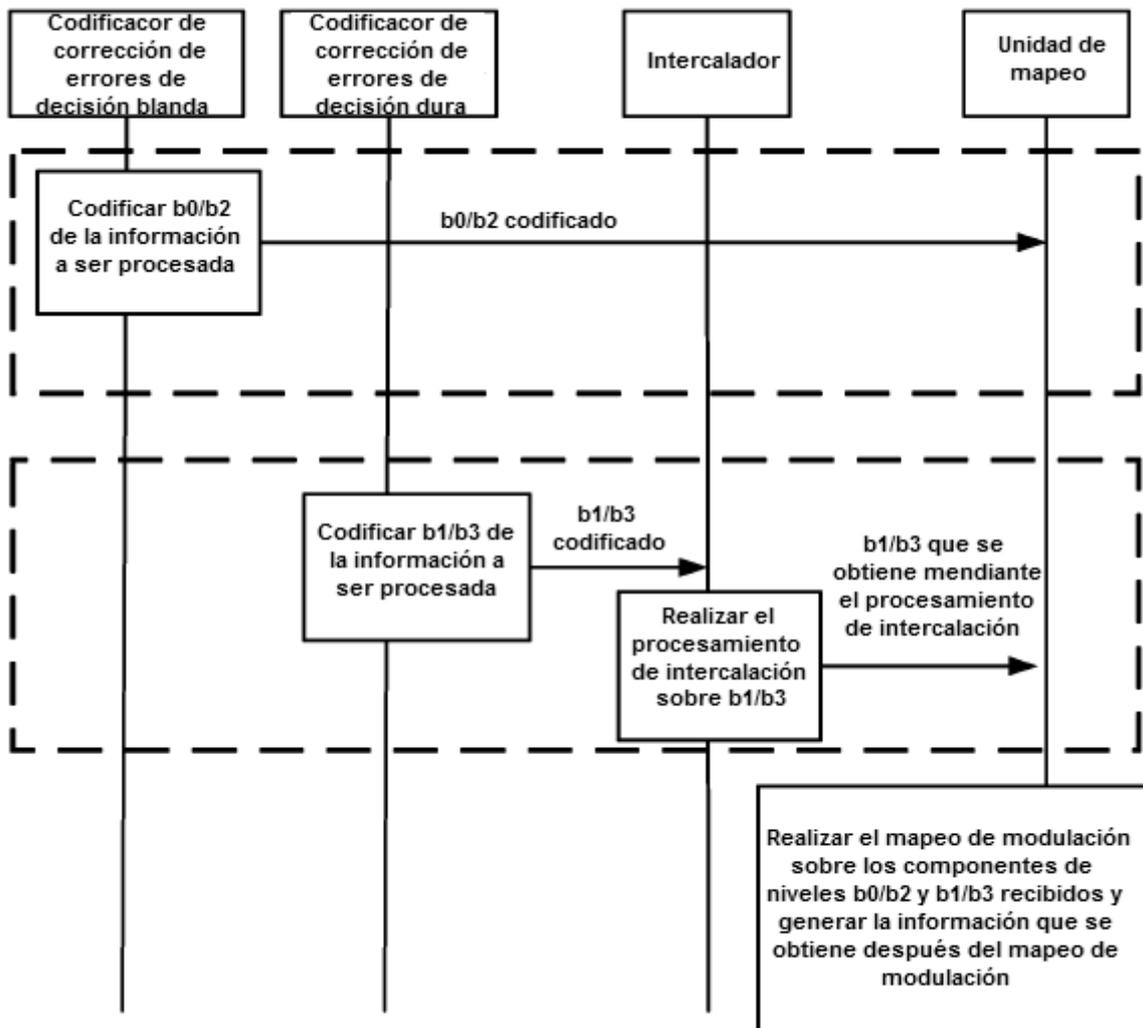


FIG. 3

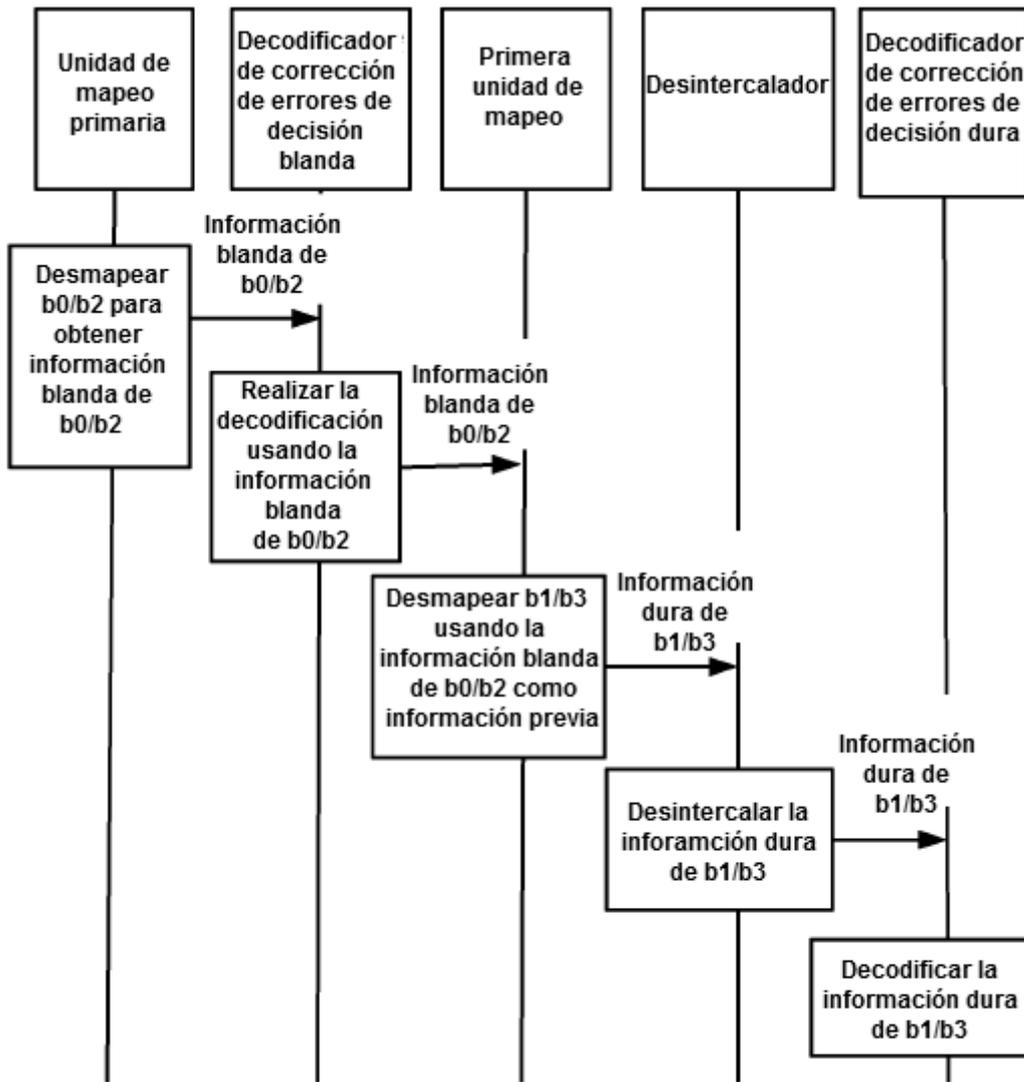


FIG. 4

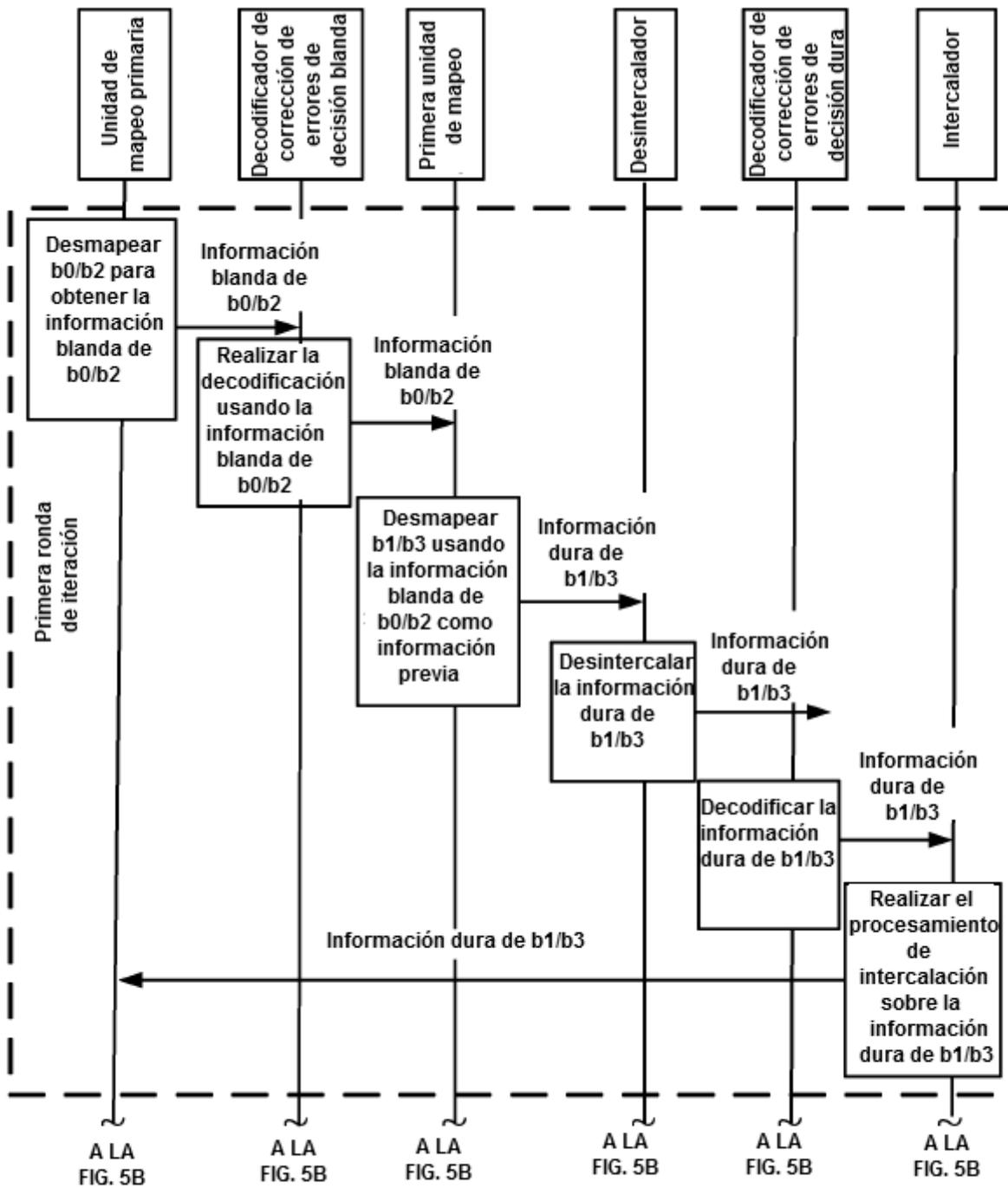


FIG. 5A

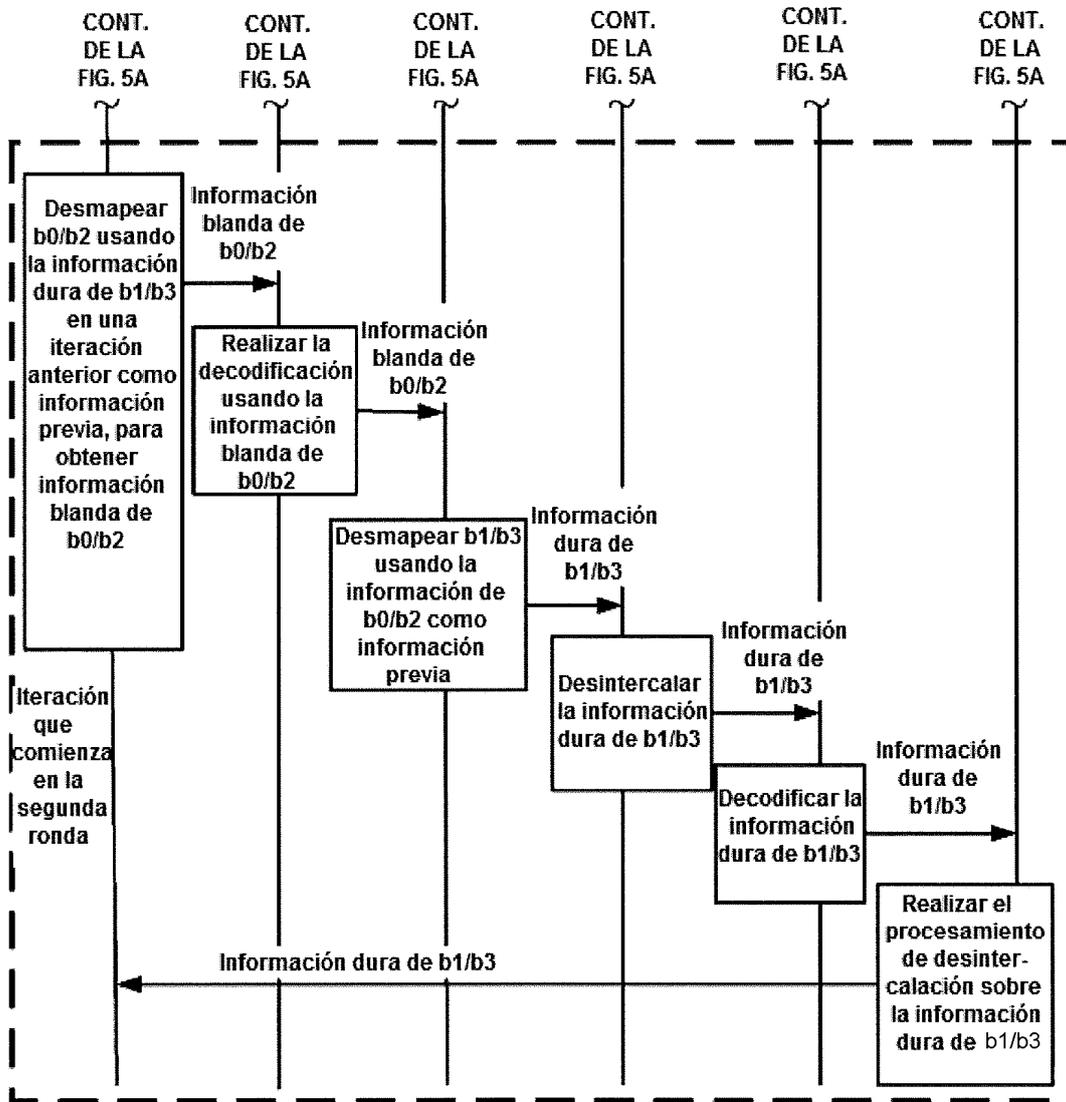


FIG. 5B

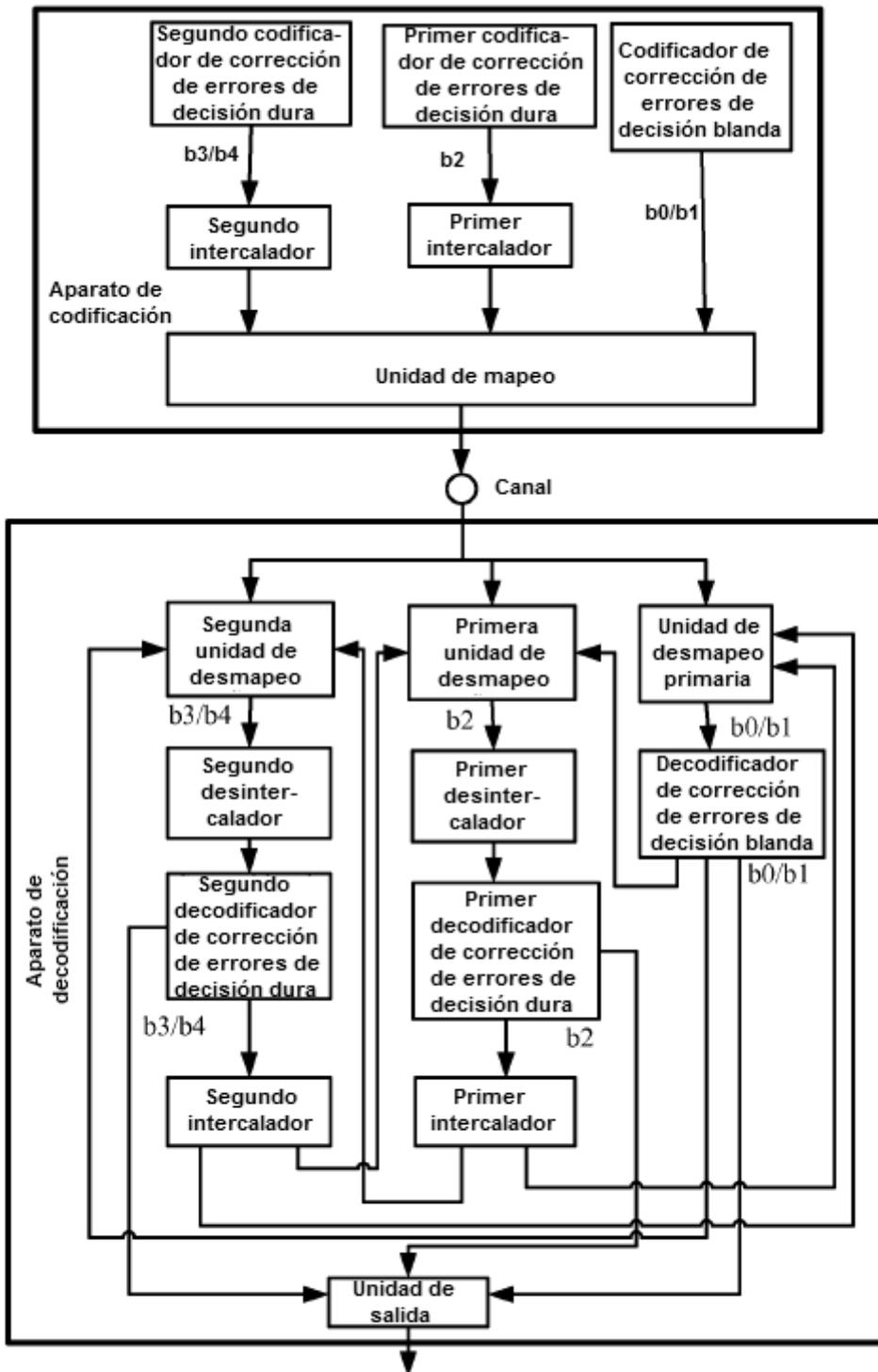


FIG. 6

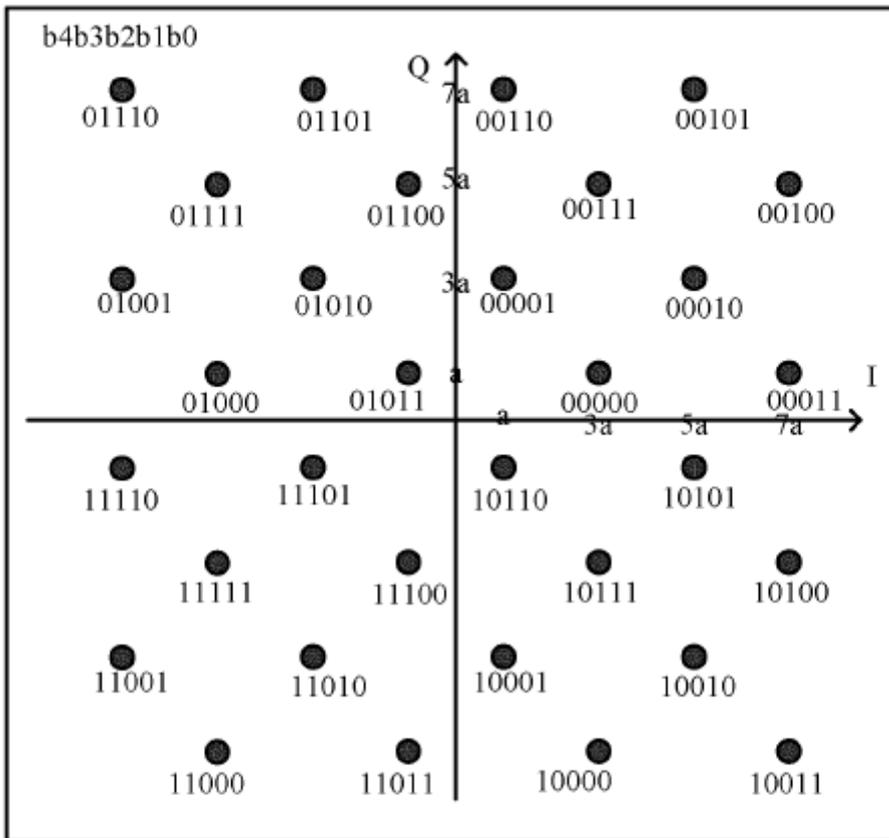


FIG. 7

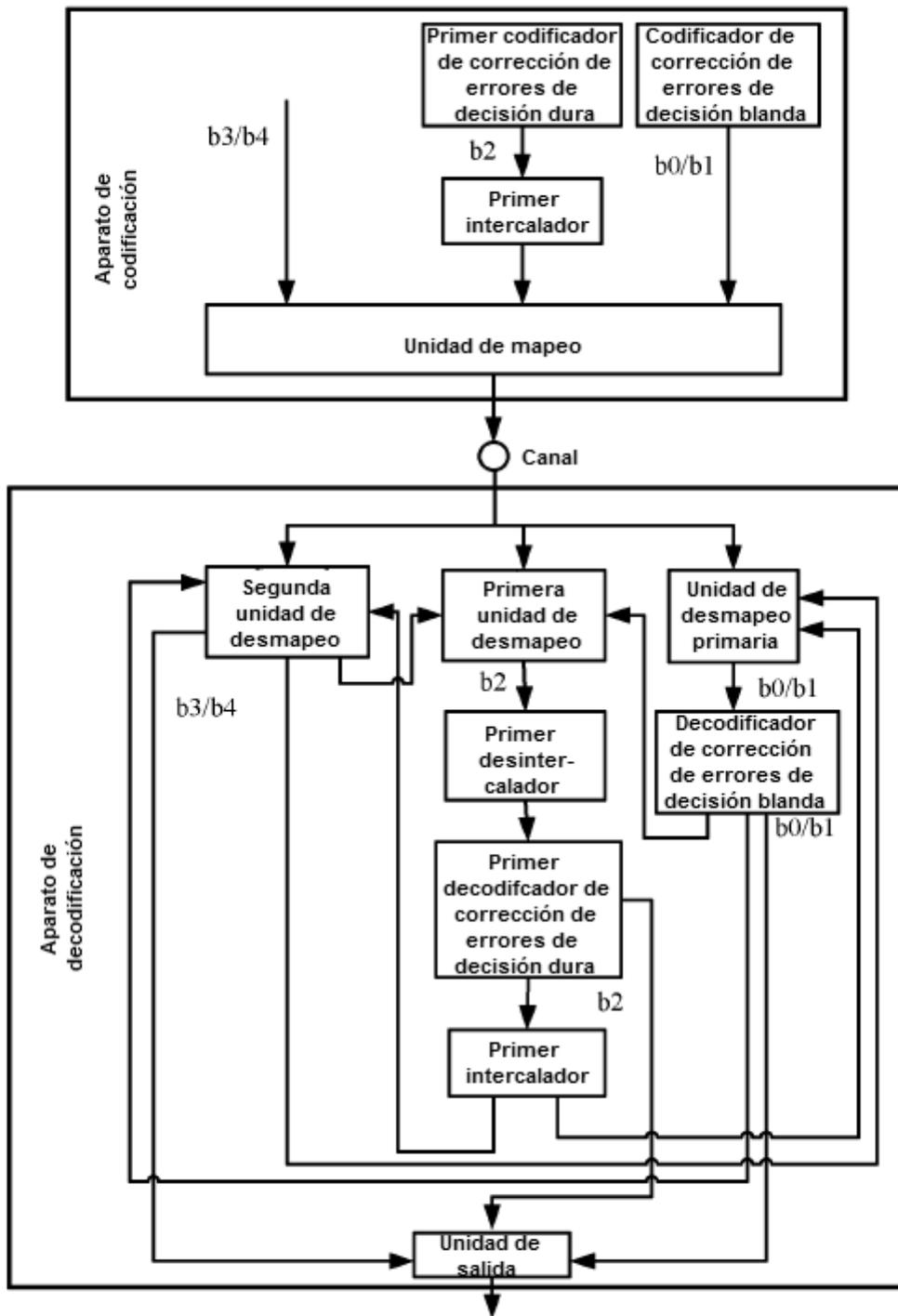


FIG. 8

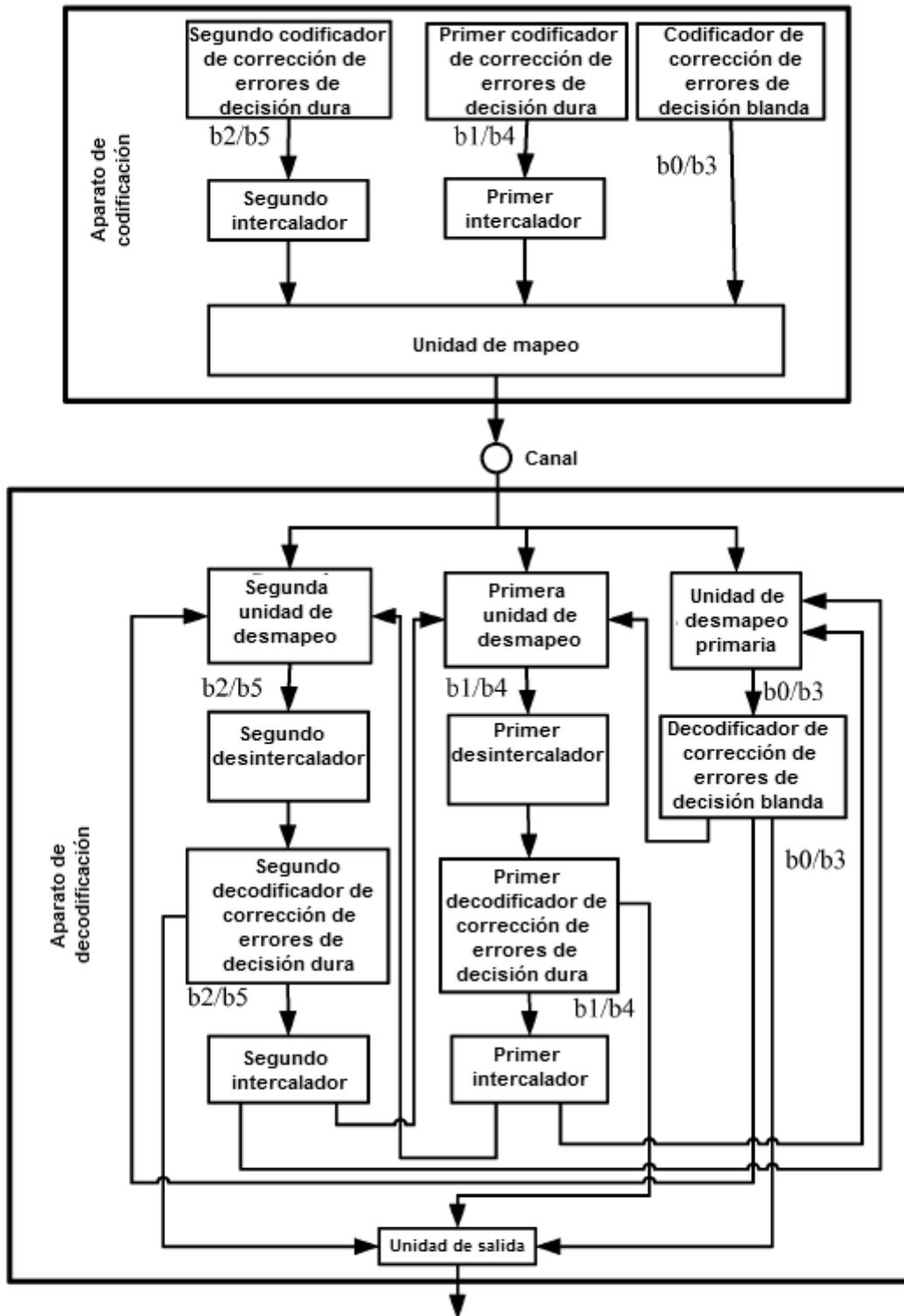


FIG. 9

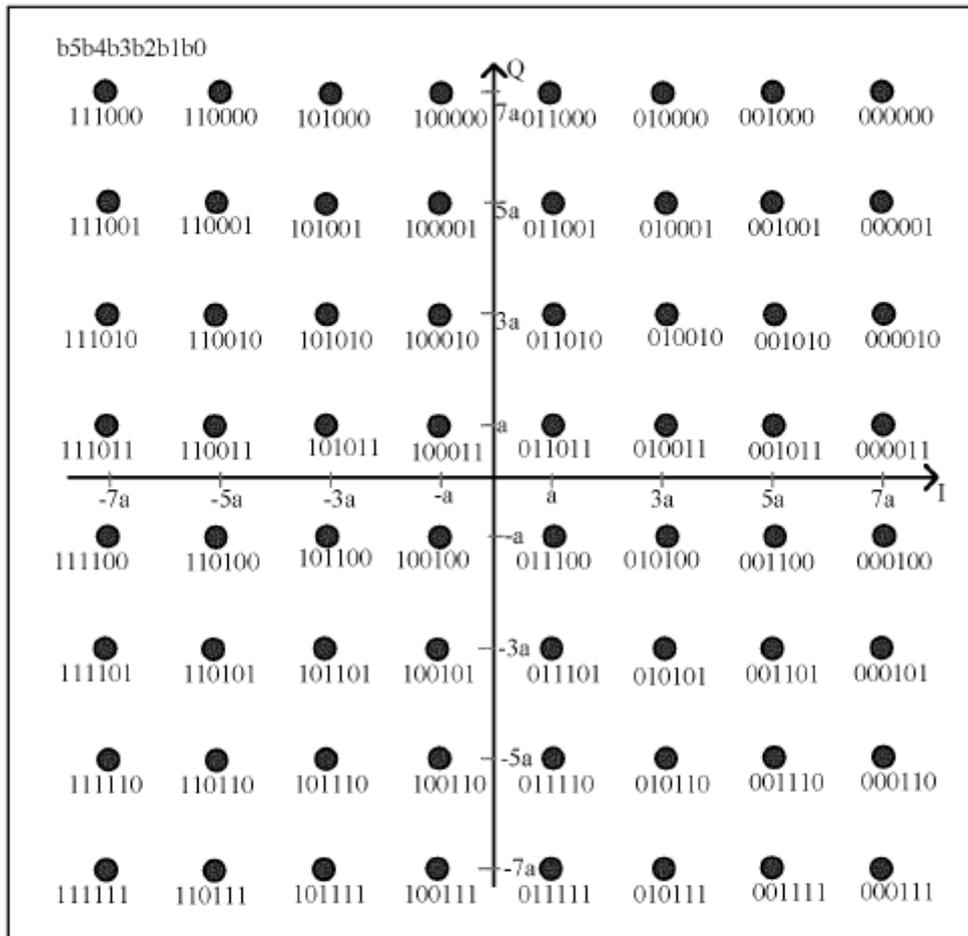


FIG. 10

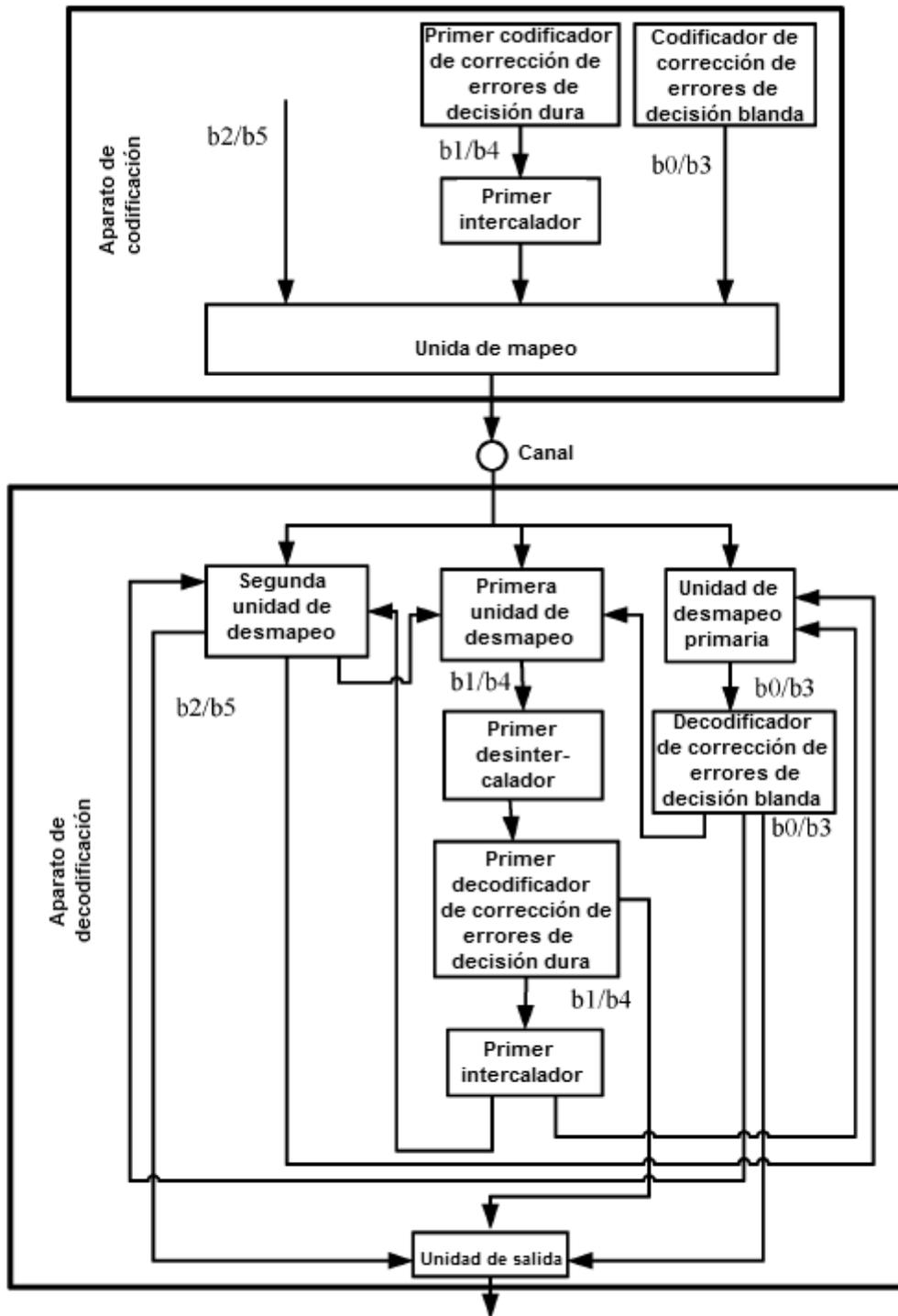


FIG. 11