

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 634 114**

51 Int. Cl.:

H03M 13/27 (2006.01)

H03M 13/11 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **25.02.2010** E 10250341 (4)

97 Fecha y número de publicación de la concesión europea: **31.05.2017** EP 2239855

54 Título: **Aparato receptor, método de recepción, programa y sistema de recepción**

30 Prioridad:

26.03.2009 JP 2009076031

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

26.09.2017

73 Titular/es:

**SONY CORPORATION (100.0%)
1-7-1 Konan Minato-ku
Tokyo 108-0075, JP**

72 Inventor/es:

**YOKOKAWA, TAKASHI y
SAKAI, HITOSHI**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 634 114 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato receptor, método de recepción, programa y sistema de recepción

Antecedentes de la invención

5 La presente invención se refiere a un aparato receptor, a un método de recepción, a un programa y a un sistema de recepción. Más en concreto, la invención se refiere a un aparato de recepción, a un método de recepción, a un programa y a un sistema de recepción para realizar un proceso de desintercalado temporal, tal como lo que sería, por ejemplo, adecuado para receptores compatibles con DVB-T.2.

10 Los sistemas de comunicación realizan comunicaciones fiables sobre canales de comunicación plagados de ruido recurriendo a la codificación. Por ejemplo, los sistemas inalámbricos, como las redes basadas en satélites, están expuestos a numerosas fuentes de ruido debido a factores geográficos y ambientales. Dichos canales de comunicación representan capacidades fijas que se definen en términos del número de bits por símbolo en una relación señal/ruido (SNR) dada y que constituyen un límite superior teórico conocido como el límite de Shannon. Como resultado, el diseño de la codificación tiene como objetivo alcanzar tasas que se acerquen al límite de Shannon. Este objetivo está estrechamente relacionado con los sistemas basados en satélites de ancho de banda limitado. Los últimos años han sido testigos del desarrollo de las técnicas de codificación conocidas como codificación turbo que ayudan a alcanzar niveles de rendimiento que se acercan al límite de Shannon. Específicamente, las técnicas desarrolladas incluyen Códigos Convolucionales Concatenados en Paralelo (PCCC) y Códigos Convolucionales Concatenados en Serie (SCCC). Aparte de estas técnicas de codificación turbo, los Códigos de Verificación de la Paridad de Baja Densidad (llamados codificación LDPC a continuación), una técnica de codificación tradicional conocida desde hace mucho tiempo, están llamando de nuevo hoy en día la atención.

15 La codificación LDPC fue propuesta primeramente por R. G. Gallager en "Low Density Parity Check Codes", Cambridge, Massachussets: M. I. T. Press, 1963. Más tarde, la técnica volvió a llamar la atención cuando fue discutida ilustrativamente por D. J. C. MacKay en "Good error correction codes based on very sparse matrices," presentado en IEEE Trans. Inf. Theory, IT-45 págs 399-431, 1999, y por M. G. Luby, M. Mitzenmacher, M. A. Shokrollahi y D. A. Spielman, en "Analysis of low density codes and improved designs using irregular graphs," en Proceedings of ACM Symposium on Theory of Computing, págs. 249-258, 1998.

20 Los estudios en los últimos años han puesto cada vez más de manifiesto que la codificación LDPC, cuando su longitud de código se prolonga, proporciona niveles de rendimiento que se acercan al límite de Shannon como la codificación turbo. Dado que su distribución mínima es proporcional a su longitud de código, la codificación LDPC ofrece una excelente tasa de errores de bloque y desarrolla poco los llamados fenómenos del piso del error, que se pueden observar en las características de descodificación mediante disposiciones de codificación turbo.

25 Las ventajas mencionadas anteriormente de la codificación LDPC han dado lugar a la adopción de esta técnica de codificación en DVB (Transmisión Digital de Video) -T.2 (DVB BlueBook A122 Rev, 1, Frame structure channel coding and modulation for a second generation digital terrestrial television broadcasting system (DVB-T2), 17 de Marzo, 2009 en el sitio de DVB el 1 de septiembre, 2008 <URL:http://www.dvb.org/technology/standards/>(Documento No Patente 1)). Es decir, DVB-T.2 es la segunda norma de transmisión terrestre de televisión digital que está siendo deliberada (al mes de Marzo 2009) por ETSI (Instituto de Normalización Europeo de Telecomunicación).

30 El documento US 2005/050284 describe un sistema y un método para intercalar datos en un dispositivo de comunicaciones. El sistema incluye una memoria para almacenar los símbolos de un bloque de datos, un módulo de lectura y un módulo de escritura, cada uno de los cuales está conectado a la memoria. El sistema también incluye un módulo lógico de intercalado acoplado a los módulos de lectura y escritura. El módulo lógico de intercalado determina una secuencia de intercalado que comprende una secuencia de direcciones de memoria. Cada dirección de memoria se comunica entonces secuencialmente con los módulos de lectura y escritura. Cuando el módulo de lectura recibe la dirección, el módulo de lectura lee el símbolo de los datos almacenados. Cuando el módulo de escritura recibe la dirección, el módulo de escritura escribe un símbolo de un bloque de datos próximo a la dirección vacante. El módulo lógico de intercalado repite estas etapas hasta que se ha leído cada símbolo del bloque almacenado y se ha escrito en la memoria cada símbolo del bloque siguiente de datos. Cada iteración sucesiva implica leer un símbolo desde una dirección de memoria e introducir un símbolo desde el siguiente bloque de datos disponible. También se describe un preprocesador. Cuando el preprocesador recibe un bloque de datos representado por una matriz con menores dimensiones que el intercalador de bloques, el preprocesador aumenta el bloque de datos para ajustarlo dentro de un bloque que tiene las mismas dimensiones que el intercalador de bloques.

35 Mihail Petrox, Centro Panasonic de I + D, Alemania: Block Frame Interleaving for Time Frequency Slicing", Organización DVB: T2_30I3_Panasonic_BlockInterleaving.ppt, 20 de noviembre de 2007, XP017817585 describe un método de intercalado de bloques utilizando un bloque intercalador que tiene R filas y C columnas, para realizar el intercalador temporal-frecuencia en DVB-T2.

El receptor compatible con DVB-T.2 incorpora un desintercalador temporal. Es decir, la señal de entrada al receptor

ha sufrido un proceso de intercalado de bloques (procedimiento de intercalado temporal) realizado a través de una pluralidad de códigos LDPC en el lado transmisor. Este proceso se lleva a cabo en unidades de celdas (en unidades de constelaciones en este caso). Por lo tanto, el desintercalador temporal realiza un "procedimiento de desintercalado" correspondiente al proceso de intercalado temporal en la señal de entrada.

- 5 Específicamente, el desintercalador temporal puede tener una memoria que almacene "a" celdas en la dirección de la columna y "b" celdas en la dirección de la fila. De este modo, el desintercalador temporal realiza el proceso de desintercalado temporal escribiendo datos de celdas suministrados sucesivamente a una dirección predeterminada de la memoria en unidades de N datos de celdas (N es un número entero de valor al menos 1) y leyendo sucesivamente los datos de celdas escritos desde la misma dirección.
- 10 En la descripción que sigue, cada área de almacenamiento, que es una celda larga en la dirección de la fila y que se extiende en la dirección de la columna, se denominará columna. Además, el número de unidades N en las que el desintercalador temporal escribe los datos de celda se denominará número de columnas N en la siguiente descripción.

Resumen de la invención

- 15 Sin embargo, el número de columnas N de los datos introducidos en el desintercalador temporal del receptor compatible con DVB-T.2 puede variar a intervalos de una trama T2. Esto significa que el proceso de desintercalado temporal puede no llevarse a cabo adecuadamente a menos que se realicen disposiciones apropiadas. Se ha reconocido la necesidad de técnicas para llevar a cabo tales disposiciones. Sin embargo, todavía no se ha cubierto la necesidad adecuadamente.
- 20 Las realizaciones de la presente invención se han hecho a la vista de las circunstancias anteriores y proporcionan un aparato receptor, un método de recepción, un programa y un sistema de recepción para realizar un desintercalado temporal adecuado para receptores compatibles con DVB-T.2.

Los aspectos y las realizaciones en particular y preferidas se exponen en las reivindicaciones.

- 25 Tal como se ha indicado anteriormente, tales realizaciones proporcionan disposiciones que permiten realizar un proceso de desintercalado temporal adecuado para receptores compatibles con DVB-T.2.

Las combinaciones de características de las reivindicaciones dependientes pueden combinarse con características de las reivindicaciones independientes según proceda y no meramente como se expone explícitamente en las reivindicaciones.

Breve descripción de los dibujos

- 30 A continuación se describirán las realizaciones de la invención con referencia a los dibujos adjuntos, a lo largo de los cuales se hace referencia a las mismas partes mediante referencias similares, y en las que:

La figura 1 es una vista esquemática que muestra una estructura típica de un aparato receptor ejecutado como una realización de la presente invención;

- 35 La figura 2 es una vista esquemática que muestra una estructura típica de una memoria utilizada por un desintercalador temporal del aparato receptor cuya estructura típica se ilustra en la figura 1;

La figura 3 es una vista esquemática que muestra un proceso típico realizado por el desintercalador temporal del aparato receptor en la figura 1;

La figura 4 es una vista esquemática que muestra un proceso típico realizado por el desintercalador temporal del aparato receptor de la figura 1;

- 40 La figura 5 es una vista esquemática que muestra un proceso típico realizado por el desintercalador temporal del aparato receptor de la figura 1;

La figura 6 es una vista esquemática que muestra un proceso típico realizado por el desintercalador temporal del aparato receptor de la figura 1;

- 45 La figura 7 es un diagrama de bloques que muestra un primer ejemplo de la estructura de un sistema de recepción aplicable al aparato receptor de la figura 1;

La figura 8 es un diagrama de bloques que muestra un segundo ejemplo de la estructura del sistema de recepción aplicable al aparato receptor de la figura 1;

La figura 9 es un diagrama de bloques que muestra un tercer ejemplo de la estructura del sistema de recepción aplicable al aparato receptor de la figura 1; y

La figura 10 es un diagrama de bloques que muestra una configuración típica del hardware del aparato receptor de una realización de la presente invención.

Descripción detallada de las realizaciones preferidas

[Estructura del aparato receptor de acuerdo con DVB-T.2]

5 La figura 1 muestra esquemáticamente una estructura típica de un aparato receptor ejecutada como una realización preferida de la presente invención.

10 En la radiodifusión digital bajo DVB-T.2, los códigos LDPC se convierten en símbolos de modulación ortogonal (modulación digital) tales como QPSK (Modulación por Desplazamiento de Fase en Cuadratura), y estos símbolos se mapean en puntos de constelación antes de ser transmitidos. De forma ilustrativa, el aparato receptor de la figura 1 adopta OFDM (Multiplexión por División Ortogonal en frecuencia) como sistema de modulación para la radiodifusión digital.

15 El aparato receptor de la figura 1 funciona como un aparato receptor de transmisiones digitales que cumple con la norma DVB-T.2. El aparato receptor compatible con DVB-T.2 está estructurado para incluir un dispositivo de desmodulación 11, un desintercalador en frecuencia 12, un desintercalador temporal 13, un desintercalador de celda 14, un dispositivo de conmutación 15, un dispositivo desmapeador 16, un desintercalador de bits 17, un decodificador LDPC 18, un decodificador BCH 19 y un dispositivo de control 20.

20 Las ondas emitidas procedentes de una estación de radiodifusión, no mostradas, se reciben en el aparato receptor de la figura 1. Dentro del aparato receptor, las ondas emitidas recibidas se convierten en una señal IF (Frecuencia Intermedia) mediante un sintonizador o similar, no mostrado, siendo reenviada la señal IF al dispositivo de desmodulación 11. El dispositivo de desmodulación 11 desmodula ortogonalmente la señal IF en una señal OFDM de banda base de salida y se envía al desintercalador en frecuencia 12.

25 A su vez, el desintercalador en frecuencia 12 realiza un proceso de desintercalado en frecuencia en la señal OFDM procedente del dispositivo de desmodulación 11. Es decir, el desintercalador en frecuencia 12 está diseñado para desintercalar lo intercalado de forma cerrada dentro de los símbolos OFDM. El proceso de desintercalado se lleva a cabo en unidades de celdas (en unidades de portadoras OFDM en este ejemplo).

De los elementos de la señal de salida Sa del desintercalador en frecuencia 12, el elemento de señal correspondiente al PLP (conducto de capa física) se lleva al desintercalador temporal 13. De los otros elementos de la señal de salida Sa, el elemento de señal correspondiente a L1 (incluido en el símbolo P2) se reenvía al dispositivo de conmutación 15.

30 Los PLPs indican flujos de datos y L1 representa los parámetros de transmisión de la Capa 1 (capa física) bajo DVB-T.2. Además de los parámetros de modulación y desmodulación, L1 incluye la posición y el tamaño de cada PLP y el sistema de corrección de errores en uso. En el caso de múltiples PLPs (llamados multi-PLPs más adelante), las posiciones y tamaños de los PLPs varían de una trama T2 a otra. Esto significa que a menos que se tome L1, cualquier PLP deseado no puede extraerse siguiendo un proceso de desintercalado en frecuencia. La trama T2 es la unidad de transmisión de datos en la capa física bajo DVB-T.2. Como tal, la trama T2 está compuesta por símbolos P1 y P2 así como por símbolos de datos que incluyen un PLP. L1 está incluido en un símbolo P2 de cada trama T2. Los detalles de L1 se describen ilustrativamente en el Documento No Patente 1 antes citado.

35 La señal Sa (excluida L1) procedente del desintercalador en frecuencia 12 y la entrada al desintercalador temporal 13, se someten a un proceso de intercalado de bloques (procedimiento de intercalado temporal) realizado a través de una pluralidad de códigos LDPC en el lado de transmisión. Este proceso se lleva a cabo en unidades de celdas (en unidades de constelaciones en este ejemplo). Entre paréntesis, cuando se menciona el desintercalador temporal 13, la señal Sa (excluida L1) introducida en el desintercalador temporal 13 será simplemente denominada señal de entrada Sa a partir de aquí. Así, el desintercalador temporal 13 realiza un proceso de desintercalado correspondiente al procedimiento de intercalado temporal sobre la señal de entrada Sa y alimenta el desintercalador de celdas 14 con la señal Sb resultante del proceso de desintercalado como una señal de salida.

40 Como se ha descrito anteriormente, la señal de entrada Sa al desintercalador temporal 13 es una señal en la que el número de columnas N puede variar de una trama T2 a otra.

45 Por esta razón, esta realización se proporciona ilustrativamente con la memoria (por ejemplo, la memoria 21 en la figura 2, que se abordará más adelante) que tiene tantas columnas como el número máximo de columnas "a" de la señal de entrada Sa. El período equivalente a uno, en el que escribir tantos datos de celdas como tiene el número máximo de columnas "a" de la señal de entrada Sa, se considera como una unidad. Si el número de columnas N de la señal de entrada Sa es menor que el número máximo de columnas "a", el período en el que escribir datos de celdas dentro de una unidad se predetermina como que corresponde a N columnas. En otras palabras, el período en el que la escritura de datos de celdas está inhibida se predetermina como que corresponde a las columnas (a - N).

50 En la descripción que sigue, el período en el que se escriben los datos de celdas se denominará período listo para

escribir, y el periodo en el que se inhibe la escritura de datos de celdas se denominará periodo de inhibición de escritura.

5 En el periodo listo para escribir, el dispositivo de control 20 hace que el desintercalador en frecuencia 12 suministre los siguientes datos de celdas listos para escribir al desintercalador temporal 13 como la señal de entrada Sa a este último. El desintercalador temporal 13 escribe los datos de celdas listos para escribir en la dirección de destino para una operación de escritura mientras se leen los datos previamente escritos desde la misma dirección de destino. Entonces el dispositivo de control 20 actualiza la dirección de destino a una nueva dirección. La técnica para actualizar la dirección de destino no se limita a nada específico. El modo en que la dirección de destino se actualiza típicamente se explicará más adelante con referencia a las figuras 3 a 6.

10 En el periodo de inhibición de escritura, el dispositivo de control 20 detiene el suministro de la señal de entrada Sa al desintercalador temporal 13. A su vez, el desintercalador temporal 13 lee los datos previamente escritos de la dirección de destino sin escribir ningún dato en esa dirección.

15 Obviamente, independientemente de que el período listo para escribir o de que el período de inhibición de escritura esté operativo, si no hay datos escritos en la dirección de destino, no se leerán datos de los mismos. En esta especificación, tal eventualidad también se incluye en la expresión "lectura de datos previamente escritos de la dirección de destino."

20 La técnica para realizar las series de procesos anteriormente mencionados realizada por el dispositivo de control 20 y por el desintercalador temporal 13 es parte de las disposiciones propuestas por la presente realización. En la descripción siguiente, esta técnica se denominará técnica de desintercalado temporal variable lista por columnas. La técnica de desintercalado temporal variable lista por columnas es una de las disposiciones eficaces para lograr el proceso de desintercalado temporal adecuado para los receptores compatibles con DVB-T.2. A continuación se describirán los detalles de la técnica de desintercalado temporal variable lista por columnas con referencia a las figuras 2 a 6.

25 La señal Sb procedente del desintercalador temporal 13 y la entrada al desintercalador de celdas 14 ha sufrido un proceso de intercalado (procedimiento de intercalado de celdas) cerrado dentro de códigos LDPC en el lado de transmisión. Este proceso se lleva a cabo en unidades de celdas (en unidades de constelaciones en este ejemplo). Por lo tanto, el desintercalador de celdas 14 realiza un proceso de desintercalado correspondiente al procedimiento de intercalado de celdas sobre la señal de entrada Sb y alimenta el dispositivo de conmutación 15 con la señal resultante del proceso de desintercalado.

30 De la manera descrita anteriormente, una señal de control de la transmisión correspondiente a la salida L1 del desintercalador en frecuencia 12 (la señal de control se denominará simplemente L1 a partir de aquí cuando sea apropiado) y una señal de datos correspondiente a la salida de PLP del desintercalador de celdas 14 (la señal de datos se denominará sencillamente los datos a partir de aquí, cuando sea apropiado) se suministran a la entrada del dispositivo de conmutación 15. Bajo el control del dispositivo de control 20, el dispositivo de conmutación 15 selecciona L1 o los datos como sus datos de salida.

35 Más específicamente, con esta realización en un estado normal bajo el control del dispositivo de control 20, el dispositivo de conmutación 15 envía la entrada de datos desde el desintercalador de celdas 14. Cuando L1 es la salida del desintercalador en frecuencia 12, el dispositivo de conmutación 15 bajo el control del dispositivo de control 20 envía L1 por medio de la gestión de interrupciones. Es decir, cuando L1 se envía desde el desintercalador en frecuencia 12, el dispositivo de control 20 interrumpe el funcionamiento del desintercalador temporal 13 y del desintercalador de celdas 14 y permite que L1 alcance el descodificador LDPC 18 a través del dispositivo de desmapeado 16 y del desintercalador de bits 17 de modo que el descodificador LDPC 18 pone L1 en descodificación LDPC.

40 El dispositivo de desmapeado 16 convierte los datos de salida del dispositivo de conmutación 15 en datos codificados LDPC en unidades de bits de signo y envía los datos convertidos al desintercalador de bits 17.

45 La salida de datos desde el dispositivo de desmapeado 16 y la entrada al desintercalador de bits 17 se somete a un proceso de desintercalado de bits, en unidades de bits de signo LDPC en el lado transmisor. De este modo, el desintercalador de bits 17 realiza un proceso de desintercalado de bits en los datos de entrada para obtener un código LDPC con su bit de signo revertido a la posición efectiva antes del proceso de intercalado de bits. La señal formada por dichos códigos LDPC se lleva al descodificador LDPC 18 como una señal de salida del desintercalador de bits 17.

50 Es decir, la señal de salida del desintercalador de bits 17 se convierte en la señal de entrada al descodificador LDPC 18. El descodificador LDPC 18 realiza entonces un proceso de descodificación LDPC sobre la señal de entrada utilizando una matriz de comprobación de conversión generada a partir de la matriz de comprobación utilizada en el proceso de codificación LDPC en el lado transmisor. Los datos resultantes del proceso de descodificación LDPC se llevan al descodificador BCH 19.

La salida de datos del decodificador LDPC 18 y la entrada al decodificador BCH 19 se somete a un proceso de codificación BCH (Bose-Chaudhuri-Hocquenghem) como proceso de corrección de errores en el lado transmisor. El decodificador BCH 19 descodifica así los datos codificados BCH y envía los datos adquiridos del proceso de descodificación hacia el exterior.

- 5 El dispositivo de control 20 controla las operaciones de los componentes que van desde el desintercalador en frecuencia 12 al dispositivo de conmutación 15, basándose normalmente en los datos del decodificador BCH 19.

De manera ilustrativa, el dispositivo de control 20 ejerce el control para llevar a cabo la técnica de desintercalado temporal variable lista por columnas.

[Explicación de la técnica de desintercalado temporal variable lista por columnas]

- 10 A continuación se explican ejemplos de la técnica de desintercalado temporal variable lista por columnas, en referencia a las figuras 2 a 7.

La figura 2 muestra esquemáticamente una estructura típica de una memoria 21 del desintercalador temporal 13.

En la figura 2, cada una de las cajas "0" a "b" que constituyen una forma rectangular de 3 por 4 representa una dirección. El número en cada dirección indica el número de dirección de esa dirección en la memoria 21.

- 15 La memoria 21 en la figura 2 tiene una capacidad lo suficientemente grande para alojar hasta 3 celdas en la dirección de la columna (es decir, sentido horizontal, lista para proceso de desintercalado temporal) y hasta para 4 celdas en la dirección de la fila (sentido vertical) en cada una de las 3 columnas.

- 20 El hecho de que la memoria 21 esté constituida por 3 columnas significa que el número de columnas máximo "a" es 3 en la señal de entrada Sa al desintercalador temporal 13. El número máximo de la columna "3" se supone que es 3 con fines de simplificación e ilustración. Obviamente, el número máximo de columnas "a" no está limitado a ningún número específico. En otras palabras, la memoria para su uso por el desintercalador temporal 13 no está estructuralmente limitada a la memoria 21 en la figura 2; la memoria sólo necesita tener una estructura que tenga el mismo número de columnas que el número máximo de columnas "a".

- 25 La figura 3 muestra un primer procedimiento del proceso de desintercalado realizado por el desintercalador temporal 13, es decir, el proceso en el que sólo tiene lugar la escritura de datos.

En el punto inicial del procedimiento de la figura 3, se supone que el número de columnas N (=número máximo de columnas "a") es 3 en la señal de entrada Sa.

- 30 En la figura 3, las formas rectangulares de 3 por 4 constituyen, el contenido registrado en la memoria 21. Dentro de cada forma rectangular de 3 por 4, cada caja de componentes indica una dirección, y el número en cada dirección representa los datos registrados. Cabe señalar que el número en cada dirección no representa un número de dirección (esto es diferente de la figura 2). De las direcciones (es decir, cajas), las mostradas sombreadas indican las direcciones de destino a procesar. En la esquina superior izquierda y encima de un signo de flecha a la izquierda de cada forma rectangular de 3 por 4, el número en una caja rectangular representa el número de dirección (es decir, el número de dirección de la dirección de destino a ser procesada), y el número en un círculo representa datos de escritura (es decir, datos de celda a escribir). Es decir, los datos compuestos por el número en el círculo deben escribirse en la dirección de la cual se muestra el número de dirección en la caja rectangular (es decir, dirección de destino). En este momento, se tienen que leer los datos previamente escritos en la dirección cuyo número de dirección se muestra en la caja rectangular. Los datos de lectura se muestran como un número encerrado en un triángulo sobre un signo de flecha (no mostrado en la figura 3) a la derecha de cada una de la forma rectangular de 3 por 4. La descripción en este párrafo se aplica también a las figuras 4 a 6.

- 40 En el ejemplo de la figura 3, las direcciones de destino se actualizan en orden ascendente de sus números de dirección (es decir, 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, "a" y "b", en ese orden).

- 45 Supóngase que los datos listos para escribir (es decir, la señal de entrada Sa al desintercalador temporal 13) están constituidos por (0, 1, 2), (3, 4, 5), (6, 7, 8) y (9, a, b), cada par de paréntesis indica un conjunto de datos de celda correspondientes al número máximo de columnas "a" (= 3 en este ejemplo). Es decir, la señal de entrada Sa en el ejemplo de la figura 3 incluye conjuntos de datos de celda cada uno formado por tres números, lo que indica que el número de columnas N es 3 (= máximo número de columnas "a").

- 50 En este caso, tal como se indica por las formas rectangulares y los números que las acompañan en la figura 3, los datos 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, "a" y "b" se escriben en las direcciones numeradas 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, "a" y "b", respectivamente.

Donde el estado anterior está vigente, supóngase que el número de columnas N se cambia de 3 a 2. Por ejemplo, se supone que la señal de entrada Sa al desintercalador temporal 13 está constituida por (0, 1, x), (2, 3, x), (4, 5, x), y (6, 7, x), el símbolo "x" en cada pareja de paréntesis indica la ausencia de datos. Cada par de paréntesis en los datos de entrada Sa contiene dos números, lo que indica que el número de columnas N es 2.

ES 2 634 114 T3

La figura 4 es una vista esquemática que explica un proceso típico realizado por el desintercalador temporal 13 después de que el número de columnas se haya cambiado de 3 a 2. El proceso de la figura 4 es continuación del de la figura 3.

5 En el ejemplo de la figura 4, las direcciones de destino se actualizan en orden ascendente de sus números de dirección (es decir, 0, 3, 6, 9, 1, 4, 7, "a," 2, 5, 8 y "b", en ese orden).

10 En este caso (esta descripción se aplica no sólo al ejemplo mostrado en la figura 4, sino también a los de las figuras 5 y 6, que se tratarán más adelante), el período equivalente a uno en el que escribir 3 datos de celdas correspondientes al número máximo de columnas "a" (= 3) de la señal de entrada Sa se considera como una unidad. Dentro de una unidad, el periodo en el que se escriben los primeros 2 datos de celdas se considera como período listo para escribir, y el periodo en el que se escribe el último elemento de datos de celda individual se considera como periodo de escritura,

15 En el periodo listo para escribir, tal como se ha descrito anteriormente, el dispositivo de control 20 hace que el desintercalador en frecuencia 12 suministre los siguientes datos de escritura al desintercalador temporal 13 como la señal de entrada Sa a este último. El tiempo de desintercalado 13 escribe los datos de escritura en la dirección de destino mientras se leen datos previamente escritos de la misma dirección de destino. El dispositivo de control 20 entonces actualiza la dirección de destino a una nueva dirección.

En la siguiente descripción, si la dirección con un número de dirección K (siendo K uno de los símbolos de 0 a b) es el destino para una operación de escritura, entonces dicha dirección puede denominarse dirección K cuando sea apropiado.

20 De manera ilustrativa, en el primer periodo listo para escribir, el escribir datos "0" se escribe en la dirección 0, y los datos previamente escritos "0" se recuperan desde la misma dirección 0 que los datos leídos.

En el siguiente período listo para escribir, los datos de escritura "1" se escriben en la dirección 3, y los datos previamente escritos "3" se recuperan de la misma dirección 3 que los datos leídos.

25 El siguiente período es el período de inhibición de escritura. El dispositivo de control 20, como se ha tratado anteriormente, detiene el suministro de la señal de entrada Sa al desintercalador de escritura 13 en el periodo de inhibición de escritura. A su vez, el desintercalador temporal 13 lee los datos previamente escritos de la dirección de destino sin escribir ningún dato a esa dirección.

30 Es decir, en el periodo de inhibición de escritura después de que la dirección de destino para el proceso se cambie de la dirección 0 en la dirección 6, no se escriben datos en la dirección 6 mientras que los datos escritos "6" se recuperan en la misma dirección 6 que los datos leídos.

Incidentalmente, el signo de equis (x) en cada círculo indica que la señal de entrada Sa al desintercalador temporal 13 no se detiene, es decir, que no se escribe nada en la dirección de destino.

Las operaciones descritas anteriormente que cubren 3 columnas se repiten seguidamente.

35 Es decir, en el período inicial listo para escribir durante las operaciones que cubren las 3 columnas siguientes, los datos de escritura "2" se escriben en la dirección 9 mientras que los datos previamente escritos "9" se recuperan de la misma dirección 9 que los datos leídos.

En el siguiente periodo listo para escribir, los datos escritos "3" se escriben en la dirección 1 mientras que los datos escritos anteriormente "1" se recuperan de la misma dirección 1 que los datos leídos.

40 En el siguiente período de inhibición de escritura, nada se escribe en la dirección 4 mientras que los datos previamente escritos "4" se recuperan de la misma dirección 4 que los datos leídos.

En el periodo inicial listo para escribir durante la operación que cubre las 3 columnas siguientes, los datos de escritura "4" se escriben en la dirección 7 mientras que los datos previamente escritos "7" se recuperan de la misma dirección 7 que los datos leídos.

45 En el siguiente período listo para escribir, los datos de escritura "5" se escriben en la dirección "a" mientras que los datos previamente escritos "a" se recuperan desde la misma dirección "a" que los datos leídos.

En el siguiente período de inhibición de escritura, nada se escribe en la dirección 2 mientras que los datos previamente escritos "2" se recuperan de la misma dirección 2 que los datos leídos.

50 En el periodo inicial listo para escribir durante las operaciones que cubren las 3 columnas siguientes, los datos de escritura "6" se escriben en la dirección 5 mientras que los datos previamente escritos "5" se recuperan de la misma dirección 5 que los datos leídos.

ES 2 634 114 T3

En el siguiente periodo listo para escribir, los datos de escritura "7" se escriben en la dirección 8 mientras que los datos previamente escritos "8" se recuperan de la misma dirección 8 que los datos leídos.

En el siguiente período de inhibición de escritura, nada se escribe en la dirección "b" mientras que los datos previamente escritos "b" se recuperan de la misma dirección "b" que los datos leídos.

- 5 Como resultado de las operaciones descritas anteriormente, la señal de entrada Sa al desintercalador temporal 13 se escribe en la memoria 21 en la forma de (0, 1, x), (2, 3, x), (4, 5, x) y (6, 7, x), mientras que la señal de salida Sb procedente del desintercalador temporal 13 se recupera de la memoria 21 en forma de (0, 3, 6, 9), (1, 4, 7, a) y (2, 5, 8, b). Es decir, cuando se trata de leer datos (es decir, la señal de salida Sb del desintercalador temporal 13), se considera que se debe realizar un proceso de desintercalado de tres columnas. Cuando se trata de escribir datos (es decir, la señal de entrada Sa al desintercalador temporal 13), se escriben los datos de la celda 2 mientras que se han recuperado los datos de la celda 3.

De forma ilustrativa, la señal de entrada Sa al desintercalador temporal 13 se suministra a continuación en forma de (0, 1, x), (2, 3, x), (4, 5, x) y (6, 7, x).

- 15 La figura 5 muestra un procedimiento típico de desintercalado, realizado por el desintercalador temporal 13 mientras que el número de columnas permanece siendo 2, que es menor que el número máximo de columnas 3 como se trató anteriormente. Este procedimiento es la continuación del de la figura 4.

En el ejemplo de la figura 5, las direcciones de destino se actualizan en orden ascendente de sus números de dirección (es decir, 0, 9, 7, 5, 3, 1, "a," 8, 6, 4, 2 y "b," en ese orden).

- 20 Es decir, en el período inicial listo para escribir en la figura 5, los datos de escritura "0" se escriben en la dirección 0 mientras que los datos previamente escritos "0" se recuperan desde la misma dirección 0 que los datos leídos.

En el siguiente periodo listo para escribir, los datos de escritura "1" se escriben en la dirección 9 mientras que los datos escritos anteriormente "2" se recuperan de la misma dirección 9 que los datos leídos.

En el siguiente período de inhibición de escritura, no se escribe nada en la dirección 7 mientras que los datos escritos anteriormente "4" son recuperados de la misma dirección 7 que los datos leídos.

- 25 Las operaciones descritas anteriormente que cubren 3 columnas se repiten a partir de aquí.

Es decir, en el periodo inicial de escritura durante las operaciones que cubren las 3 columnas siguientes, los datos de escritura "2" se escriben en la dirección 5 mientras que los datos "6" previamente escritos se recuperan de la misma dirección 5 que los datos leídos.

- 30 En el siguiente periodo listo para escribir, los datos de escritura "3" se escriben en la dirección 3 mientras que los datos "1" previamente escritos se recuperan desde la misma dirección 3 que los datos leídos.

En el siguiente período de inhibición de escritura, no hay nada para escribir en la dirección 1 mientras que los datos previamente escritos "3" se recuperan de la misma dirección 1 que los datos leídos.

- 35 Es decir, en el periodo inicial listo para escribir durante las operaciones que cubren las 3 columnas siguientes, los datos de escritura "4" se escriben en la dirección "a" mientras que los datos previamente escritos "5" se recuperan desde la misma dirección "a" que los datos leídos.

En el siguiente periodo listo para escribir, los datos de escritura "5" se escriben en la dirección 8 mientras que los datos escritos anteriormente "7" se recuperan de la misma dirección 8 que los datos leídos.

En el siguiente período de inhibición de escritura, no se escribe nada en la dirección 6 mientras que nada se recupera de la misma dirección 6 en la que no se escribieron datos anteriormente.

- 40 Cabe señalar que el signo de equis (x) en cada triángulo indica que no se recuperan datos de celda de la dirección de destino tales como la señal de salida Sb del desintercalador temporal 13, es decir, que no se escribió nada previamente en la dirección de destino.

En el periodo inicial listo para escribir durante la operación que cubre las 3 columnas siguientes, los datos a escribir "6" se escriben en la dirección 4 mientras que no se recuperan datos de la misma dirección 4, ya que no se escribieron previamente datos en la dirección 4.

- 45

En el siguiente período listo para escribir, los datos de escritura "7" se escriben en la dirección 2 mientras que no se recuperan datos de la misma dirección 2, ya que no se escribieron previamente datos en la dirección 2.

En el siguiente período de inhibición de escritura, nada se escribe en la dirección "b" mientras que no se recuperan datos de la misma dirección "b" ya que no se escribieron previamente datos en la dirección "b."

ES 2 634 114 T3

Como resultado de las operaciones descritas anteriormente, la señal de entrada Sa al desintercalador temporal 13 se escribe en la memoria 21 en la forma de (0, 1, x), (2, 3, x), (4, 5, x) y (6, 7, x) mientras que la señal de salida Sb procedente del desintercalador temporal 13 se recupera de la memoria 21 en la forma de (0, 2, 4, 6), (1, 3, 5, 7), y (x, x, x, x).

- 5 El signo de equis (x) en la señal de salida Sb del desintercalador temporal 13 indica la ausencia de datos. Es decir, el último par de paréntesis en la señal de salida Sb se llena de signos de equis (x), lo que significa que no se recuperan datos durante ese período.

- 10 Como se ha descrito anteriormente, cuando se trata de leer datos (es decir, la señal de salida Sb del desintercalador temporal 13), se considera que se tiene que realizar un proceso de desintercalado de dos columnas. Cuando se trata de escribir datos (es decir, la señal de entrada Sa al desintercalador temporal 13), se escriben los datos de 2 celdas mientras que se recuperan datos de 3 celdas.

Cuando se trata de escribir datos (es decir, la señal de salida Sb del desintercalador temporal 13), se escriben los datos de 2 celdas mientras que se recuperan datos de 3 celdas.

- 15 Donde esté vigente el estado anterior, supóngase ahora que el número de columnas N cambia de nuevo de 2 a 3. Por ejemplo, se supone que la señal de entrada Sa al desintercalador temporal 13 está compuesta por (0, 1, 2), (3, 4, 5), (6, 7, 8), y (9, a, b).

Como se ha descrito anteriormente, la figura 6 es una vista esquemática explicativa de un procedimiento típico realizado por el desintercalador temporal 13 después de que el número de columnas se cambie de 2 a 3. El procedimiento de la figura 6 es continuación del de la figura 5.

- 20 En el ejemplo de la figura 6, las direcciones de destino se actualizan en orden ascendente de sus números de dirección (es decir, 0, 5, "a," 4, 9, 3, 8, 2, 7, 1, 6 y "b" en ese orden).

En el ejemplo de la figura 6, el número de columnas N es 3. Debido a que el número de columnas N en este caso es igual al máximo número de columnas "a", todo el período se convierte en el período listo para escribir.

- 25 Es decir, en el período inicial listo para escribir, los datos de escritura "0" se escriben en la dirección 0 mientras que los datos "0" previamente escritos se recuperan de la misma dirección 0 que los datos leídos.

En el siguiente período listo para escribir, los datos de escritura "1" se escriben en la dirección 5 mientras que los datos "2" escritos anteriormente se recuperan desde la misma dirección 5 que los datos leídos.

En el siguiente período listo para escribir, los datos de escritura "2" se escriben en la dirección "a" mientras que los datos "4" previamente escritos se recuperan de la misma dirección "a" que los datos leídos.

- 30 En el siguiente periodo de escritura, los datos de escritura "3" se escriben en la dirección 4 mientras que los datos "6" previamente escritos se recuperan de la misma dirección 4 que los datos leídos.

En el siguiente período listo para escribir, los datos de escritura "4" se escriben en la dirección 9 mientras que los datos "1" previamente escritos se recuperan de la misma dirección 9 que los datos leídos.

- 35 En el siguiente periodo listo para escribir, los datos de escritura "5" se escriben en la dirección 3 mientras que los datos "3" previamente escritos se recuperan de la misma dirección 3 que los datos leídos.

En el siguiente periodo listo para escribir, los datos de escritura "6" se escriben en la dirección 8 mientras que los datos "5" previamente escritos se recuperan de la misma dirección 8 que los datos leídos.

En el siguiente período listo para escribir, los datos de escritura "7" se escriben en la dirección 2 mientras que los datos "7" previamente escritos se recuperan de la misma dirección 2 que los datos leídos.

- 40 En el siguiente periodo listo para escribir, los datos de escritura "8" se escriben en la dirección 7, mientras que no se recuperan datos de la misma dirección 7, puesto que no se escribieron previamente datos en la dirección 7.

En el siguiente período listo para escribir, los datos de escritura "9" se escriben en la dirección 1 mientras que no se recuperan datos de la misma dirección 1, ya que no se escribieron previamente datos en la dirección 1.

- 45 En el siguiente periodo listo para escribir, los datos de escritura "a" se escriben en la dirección 6 mientras que no se recuperan datos de la misma dirección 6, ya que no se escribieron previamente datos en la dirección 6.

En el siguiente período listo para escribir, los datos de escritura "b" se escriben en la dirección "b", mientras que no se recuperan datos de la misma dirección "b", ya que no se escribieron previamente datos en la dirección "b".

Como resultado de las operaciones secuenciales descritas anteriormente, la señal de entrada Sa al desintercalador temporal 13 se escribe en la memoria 21 en la forma de (0, 1, 2), (3, 4, 5), (6, 7, 8) y (9, a, b), mientras que la señal

de salida S_b procedente del desintercalador temporal 13 se recupera de la memoria 21 en la forma de (0, 2, 4, 6), (1, 3, 5, 7) y (x, x, x, x).

Como se ha descrito anteriormente, cuando se trata de leer datos (es decir, la señal de salida S_b del desintercalador temporal 13), se considera que se realiza un proceso de desintercalado de dos columnas.

5 [Estructura del sistema receptor]

La figura 7 es un diagrama de bloques que muestra un primer ejemplo de estructura del sistema de recepción aplicable al aparato receptor de la figura 1.

10 En la figura 7, el sistema receptor está constituido por un dispositivo de adquisición 101, un dispositivo de tratamiento de descodificación del canal 102 y un dispositivo de tratamiento de descodificación de la fuente de información 103.

15 El dispositivo de adquisición 101 adquiere una señal que incluye por lo menos códigos LDPC obtenidos por los datos objetivo de codificación LDPC tales como los datos de audio y video de los programas de radiodifusión. De forma ilustrativa, el dispositivo de adquisición 101 adquiere la señal procedente del canal tales como transmisiones terrestres digitales, transmisiones satelitales digitales, redes CATV (Televisión por Cable) y otras redes que incluyen Internet, no mostradas, y suministra la señal adquirida al dispositivo de tratamiento de descodificación del canal 102.

20 En el que la señal adquirida por el dispositivo de adquisición 101 ha sido transmitida de forma ilustrativa por estaciones de radiodifusión que utilizan ondas terrestres, ondas satelitales o redes CATV, el dispositivo de adquisición 101 se compone típicamente de un descodificador (STB) o similar. En el que la señal adquirida por el dispositivo de adquisición 101 ha sido transmitida por servidores web en forma de IPTV (Televisión por Protocolo de Internet), el dispositivo de adquisición 101 está constituido ilustrativamente por un interfaz de red (I/F) tal como una tarjeta de interfaz de red (NIC).

25 El dispositivo de tratamiento de descodificación del canal 102 realiza un proceso de descodificación del canal que incluye al menos un proceso de corrección de errores que pueden haberse producido sobre los canales en la señal adquirida por el dispositivo de adquisición del canal 101. El dispositivo de tratamiento de descodificación del canal 102 envía la señal así procesada al dispositivo de tratamiento de descodificación de la fuente de información 103.

La señal adquirida de los canales por el dispositivo de adquisición 101 ha sufrido al menos una codificación de corrección de errores dirigida a corregir cualquier error que se haya podido desarrollar en los canales. De este modo, el dispositivo de tratamiento de descodificación del canal 102 lleva a cabo un proceso de descodificación del canal tal como la descodificación de la corrección de errores sobre la señal adquirida.

30 Las técnicas típicas de codificación de corrección de errores incluyen: codificación LDPC y codificación Reed-Solomon. Con esta realización, se supone que se lleva a cabo por lo menos la codificación LDPC.

El tratamiento de descodificación del canal puede incluir desmodulación de señales moduladas.

35 Sobre la señal que ha sufrido el tratamiento de descodificación del canal, el dispositivo de tratamiento de descodificación de la fuente de información 103 realiza el tratamiento de descodificación de la fuente de información que incluye al menos un proceso de descomprimir la información comprimida.

40 La señal adquirida por el dispositivo de adquisición del canal 101 puede haber sido sometida a una codificación de compresión para reducir la cantidad de datos de video y de audio implicados. En ese caso, el dispositivo de tratamiento de descodificación de la fuente de información 103 realiza el tratamiento de descodificación de la fuente de información tal como la descompresión de la información comprimida sobre la señal que ha sido sometida al proceso de descodificación del canal.

Si la señal adquirida por el dispositivo de adquisición del canal 101 no ha sufrido codificación de compresión, entonces el dispositivo de tratamiento de la descodificación de la fuente de información 103 no descomprime la información comprimida.

45 Las técnicas de descompresión típicas incluyen la descodificación MPEG (Grupo de Expertos de Imágenes en Movimiento). El tratamiento del descodificador del canal puede incluir también el descifrado además de la descompresión de datos.

50 En el sistema estructurado del receptor como se ha descrito anteriormente, el dispositivo de adquisición 101 adquiere la señal típicamente compuesta de datos de video y audio que se ha sometido a codificación de compresión tal como la codificación MPEG, así como la codificación de corrección de errores, tal como la codificación LDPC. La señal así adquirida se envía al dispositivo de tratamiento de descodificación del canal 102.

El dispositivo de tratamiento de descodificación del canal 102 realiza como procesos de descodificación del canal los mismos procesos que los llevados a cabo por los componentes que van desde el dispositivo de desmodulación 11 al descodificador BCH 19 sobre la señal que proviene del dispositivo de adquisición 101. La señal resultante del

tratamiento de descodificación del canal se suministra al dispositivo de tratamiento de descodificación de la fuente de información 103.

5 El dispositivo de tratamiento de descodificación de la fuente de información 103 lleva a cabo el tratamiento de descodificación de la fuente de información tal como la descodificación MPEG en la señal procedente del dispositivo de tratamiento de descodificación del canal 102. Las imágenes y/o sonidos resultantes del proceso de descodificación de la fuente de información se envían a continuación.

El sistema receptor de la figura 7 descrito anteriormente se puede aplicar de forma ilustrativa a sintonizadores de TV o similares para recibir emisiones de televisión digital.

10 El dispositivo de adquisición 101, el dispositivo de tratamiento de descodificación del canal 102 y el dispositivo de tratamiento de descodificación de la fuente de información 103 pueden estructurarse como dispositivos independientes (hardware tipo IC (circuitos integrados)) o módulo de software.

15 Un conjunto de al menos dos dispositivos fuera del dispositivo de adquisición 101, del dispositivo de tratamiento de descodificación del canal 102 y del dispositivo de tratamiento de descodificación de la fuente de información 103 puede establecerse como un dispositivo independiente. Uno de tales conjuntos puede ilustrativamente estar compuesto por el dispositivo de adquisición 101 y por el dispositivo de tratamiento de descodificación del canal 102. Otro conjunto puede estar formado por el dispositivo de tratamiento de descodificación del canal 102 y por el dispositivo de tratamiento de descodificación de la fuente de información 103. Aún otro conjunto más puede estar constituido por el dispositivo de adquisición 101, por el dispositivo de tratamiento de descodificación del canal 102 y por el dispositivo de tratamiento de descodificación de la fuente de información 103.

20 La figura 8 es un diagrama de bloques que muestra un segundo ejemplo estructural del sistema receptor aplicable al aparato receptor de la figura 1.

En la figura 8, los componentes cuyos equivalentes se encuentran en la figura 7 se designan con los mismos números de referencia, y sus descripciones se omitirán cuando sea apropiado.

25 El sistema receptor de la figura 8 es común al de la figura 7 en que el sistema incluye el dispositivo de adquisición 101, el dispositivo de tratamiento de descodificación del canal 102 y el dispositivo de tratamiento de descodificación de la fuente de información 103. Lo que hace diferente al sistema receptor de la figura 8 del de la figura 7 es que el sistema incluye un dispositivo de salida 104 recién añadido.

30 El dispositivo de salida 104 puede estar constituido por un dispositivo para visualizar imágenes y/o por altavoces para emitir sonidos. Como tal, el dispositivo de salida 104 sirve para emitir las imágenes y sonidos derivados de la señal extraída del dispositivo de tratamiento 103 de descodificación de la fuente de información. Es decir, el dispositivo de salida 104 muestra las imágenes y/o emite los sonidos.

El sistema receptor de la figura 8 descrito anteriormente se puede aplicar de forma ilustrativa a los televisores para recibir emisiones de televisión digitales o a los receptores de radio o similares para recibir las emisiones de radio.

35 Cabe señalar que si la señal adquirida por el dispositivo de adquisición 101 no ha sido sometida a codificación de compresión, entonces la señal extraída del dispositivo de tratamiento de descodificación del canal 102 se envía directamente al dispositivo de salida 104.

La figura 9 es un diagrama de bloques que muestra un tercer ejemplo de estructura del sistema receptor aplicable al aparato receptor de la figura 1.

40 En la figura 9, los componentes cuyos equivalentes se encuentran en la figura 7 se designan con los mismos números de referencia, y sus descripciones se omitirán cuando sea apropiado.

El sistema receptor de la figura 9 es común al de la figura 7 en que el sistema incluye el dispositivo de adquisición 101 y el dispositivo de tratamiento de descodificación del canal 102.

45 Lo que hace que el sistema receptor de la figura 9 sea diferente del de la figura 7 es que el sistema no está equipado con el dispositivo de tratamiento de descodificación de la fuente de información 103 e incluye un dispositivo de grabación 105 recién añadido.

El dispositivo de grabación 105 registra (es decir, almacena) la salida de la señal desde el dispositivo de tratamiento de descodificación del canal 102 (tal como paquetes TS en formato MPEG) en medios de registro (almacenamiento) tales como discos ópticos, discos duros (discos magnéticos) o memorias flash.

50 El sistema receptor anteriormente descrito de la figura 9 se puede aplicar ilustrativamente a grabadores o similares para grabaciones de emisiones de TV.

En la figura 9, el sistema receptor puede estructurarse para incluir el dispositivo de tratamiento de descodificación de la fuente de información 103 de manera que la señal que es sometida a tratamiento de descodificación de la fuente de información, es decir, imágenes y sonidos descodificados, puede ser registrada por el dispositivo de registro 105.

[Aplicación de la presente realización a programas]

5 La serie de los procesos descritos anteriormente puede ser ejecutada por hardware o por software.

En tales casos, al menos parte de los sistemas receptores incluyendo el aparato receptor descrito anteriormente puede estar constituido ilustrativamente en la forma de un ordenador mostrado en la figura 10.

10 En la figura 10, una CPU (unidad central de proceso) 201 realiza diversos procesos de acuerdo con los programas contenidos en una ROM (memoria de sólo lectura) 202 o de acuerdo con los programas cargados en una RAM (memoria de acceso aleatorio) 203 desde un dispositivo de almacenamiento 208. La RAM 203 también puede contener los datos necesarios para que la CPU 201 realice los diversos procesos.

La CPU 201, la ROM 202 y la RAM 203 están interconectadas por medio de un bus 204. Un interfaz de entrada/salida 205 está también conectado al bus 204.

15 El interfaz de entrada/salida 205 está conectado a un dispositivo de entrada 206 típicamente compuesto por un teclado y un ratón y a un dispositivo de salida 207 constituido ilustrativamente por una unidad de visualización. El interfaz de entrada/salida 205 está además conectado a un dispositivo de comunicación 209 formado típicamente por un módem o un adaptador de terminal. El dispositivo de comunicación 209 controla las comunicaciones con otros dispositivos (no mostrados) a través de redes incluyendo Internet.

20 Un lector/grabador 210 está también conectado según se necesite al interfaz de entrada/salida 205. Una unidad de medios extraíble 211 tal como discos magnéticos, discos ópticos, discos magneto-ópticos o memorias de semiconductor pueden cargarse en la unidad 210. Los programas informáticos recuperados del medio extraíble, cargados, se instalan según se necesite en el dispositivo de almacenamiento 208.

25 En los procesos anteriormente descritos llevados a cabo mediante software, los programas que constituyen el software pueden incorporarse de antemano en el hardware específico del ordenador para ser utilizado o instalado desde una red o desde un medio de grabación a un ordenador personal de uso general o equipo similar capaz de ejecutar las diversas funciones basadas en los programas instalados.

30 Como se muestra en la figura 10, el medio de almacenamiento que contiene los programas ofrecidos a los usuarios no son sólo como medios extraíbles (medios de paquetes) 211 aparte de sus ordenadores y constituidos por discos magnéticos (incluyendo disquetes) que alojan el programa, discos ópticos (incluyendo CD-ROM (discos compactos en memoria de sólo lectura) y DVD (disco versátil digital)), discos magneto-ópticos (incluyendo MD (Mini-disco)), o memorias semiconductoras, sino también en forma de ROM 202 o de disco duro contenido en el dispositivo de almacenamiento 208, alojando cada uno los programas e incorporados de antemano en los ordenadores.

35 En esta especificación, las etapas que describen los programas almacenados en los medios de grabación representan no solo los procesos que se van a llevar a cabo en la secuencia descrita (es decir, sobre una base de series en el tiempo) sino que también son procesos que pueden realizarse paralelamente o individualmente y no cronológicamente.

En esta especificación, el término "sistema" se refiere a una configuración completa formada por una pluralidad de dispositivos de compresión y elementos de tratamiento.

REIVINDICACIONES

1. Un aparato receptor que comprende:
 - 5 un dispositivo de desintercalado (13) configurado para recibir una señal (Sa) de datos codificados LDPC en conjuntos de N elementos de datos, donde N puede variar de trama a trama, representando dicho LDPC el Control de Paridad de Baja Densidad y estando además el dispositivo de desintercalado configurado para llevar a cabo un proceso de desintercalado sobre la señal de datos (Sa) que ha sufrido un proceso de intercalado, mediante el uso de una memoria (21) que tiene un número de columnas "a" igual a un número máximo de elementos de datos en cada conjunto; y
 - 10 un dispositivo de control (20) configurado de manera que cuando N es un número entero menor que "a":
 - dicho dispositivo de control controla dicho dispositivo de desintercalado para escribir los elementos de datos de dicha señal de datos en una secuencia de direcciones de dicha memoria, mientras se leen los elementos de datos previamente escritos de dicha secuencia de direcciones, en un período de escritura y
 - 15 - dicho dispositivo de control además controla dicho dispositivo de desintercalado para detener la escritura de los elementos de datos de dicha señal de datos en dicha secuencia de direcciones de dicha memoria, mientras lee dichos elementos de datos previamente escritos de dicha secuencia de direcciones a menos que no existan datos escritos en las direcciones, en un período de inhibición de escritura,
 - estando configurado dicho dispositivo de control para controlar el dispositivo de desintercalado de manera que cuando N sea igual a "a", el periodo en el que escribir los "a" elementos de datos es un periodo listo para escribir.
- 20 2. El aparato receptor de acuerdo con la reivindicación 1, en el que el periodo en el cual escribir los "a" elementos de datos se determina que sea un ciclo;
 - dicho periodo de escritura se predetermina para que corresponda a dichos N elementos de datos dentro de dicho ciclo; y
 - 25 dicho periodo de inhibición de escritura se predetermina para que corresponda a (a – N) elementos de datos dentro de dicho ciclo.
3. El aparato receptor de acuerdo con la reivindicación 2, en el que el periodo correspondiente a los primeros N elementos de datos se predetermina para que sea dicho periodo de escritura y en el que el periodo correspondiente a los últimos (a - N) elementos de datos se predetermina para que sea dicho periodo de inhibición de escritura dentro de dicho ciclo.
- 30 4. El aparato receptor de acuerdo con la reivindicación 1, en el que dicho aparato receptor cumple con la norma de Difusión de Vídeo Digital T.2 conocida como DVB-T.2.
5. El aparato receptor de acuerdo con la reivindicación 1, en el que dicha señal de datos ha sufrido un proceso de intercalado de bloques por medio de una pluralidad de códigos LDPC.
- 35 6. Un método de recepción para su uso con un aparato receptor que incluye un dispositivo de desintercalado configurado para recibir una señal (Sa) de datos codificados LDPC en conjuntos de N elementos de datos, donde N puede variar de trama a trama, representando dicho LDPC el Control de Paridad de Baja Densidad, y estando el dispositivo de desintercalado configurado además para realizar un proceso de desintercalado sobre la señal de datos (Sa) que ha sufrido un proceso de intercalado, mediante el uso de una memoria que tiene un número de columnas "a" igual a un número máximo de elementos de datos en cada conjunto;
 - 40 en el que cuando N es un número entero menor que "a", dicho método de recepción comprende las etapas de:
 - controlar dicho dispositivo de desintercalado para escribir los elementos de datos de dicha señal de datos en una secuencia de direcciones de dicha memoria, mientras que se leen los elementos de datos previamente escritos de dicha secuencia de direcciones, en un período de escritura, y
 - 45 - controlar dicho dispositivo de desintercalado para detener la escritura de los elementos de datos de dicha señal de datos en dicha secuencia de direcciones de dicha memoria, mientras que se leen dichos elementos de datos previamente escritos de dicha secuencia de direcciones a menos que no existan datos escritos en las direcciones, en un período de inhibición de escritura,
 - 50 en el que cuando N es igual a "a", comprendiendo dicho método de recepción la etapa de controlar el dispositivo de desintercalado de modo que el período en el que se escriben los datos "a" sea un período listo para escritura.

7. Un programa para su uso en un ordenador para hacer que dicho ordenador realice el método según la reivindicación 6 cuando se ejecuta en dicho ordenador.

8. Un sistema receptor que comprende:

5 un dispositivo de descodificación del canal de transmisión (102) que comprende dicho aparato de recepción de acuerdo con la reivindicación 1;

10 un dispositivo de adquisición (101) configurado de manera que si dicha señal de datos codificada LDPC que ha sufrido un proceso de intercalado, representando dicho LDPC Comprobación de la Paridad de Baja Densidad, se transmite sobre un canal, entonces dicho dispositivo de adquisición adquiere dicha señal de datos, en el que dicho dispositivo de descodificación del canal de transmisión está configurado para realizar un proceso de descodificación del canal sobre dicha señal de datos adquirida por dicho dispositivo de adquisición sobre dicho canal, incluyendo al menos dicho proceso de descodificación del canal un proceso para corregir errores que pueden haberse producido sobre dicho canal, emitiendo adicionalmente dicho dispositivo de descodificación del canal una señal así procesada; y

15 un dispositivo de tratamiento de descodificación de la fuente de información (103) configurado para realizar un proceso de descodificación de la fuente de información sobre la salida de la señal desde dicho dispositivo de descodificación del canal, o desde un dispositivo de grabación (105) configurado para registrar la salida de la señal desde dicho dispositivo de descodificación del canal en un medio de grabación.

FIG. 1

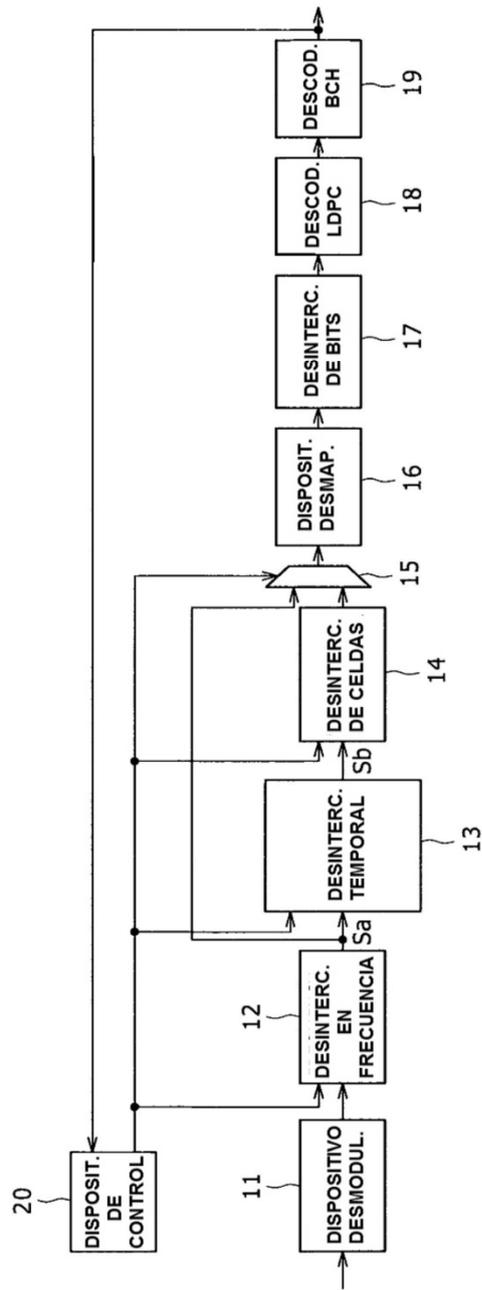


FIG. 2

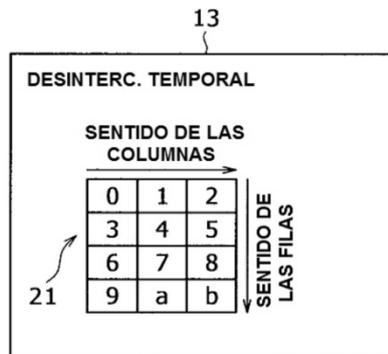


FIG. 3

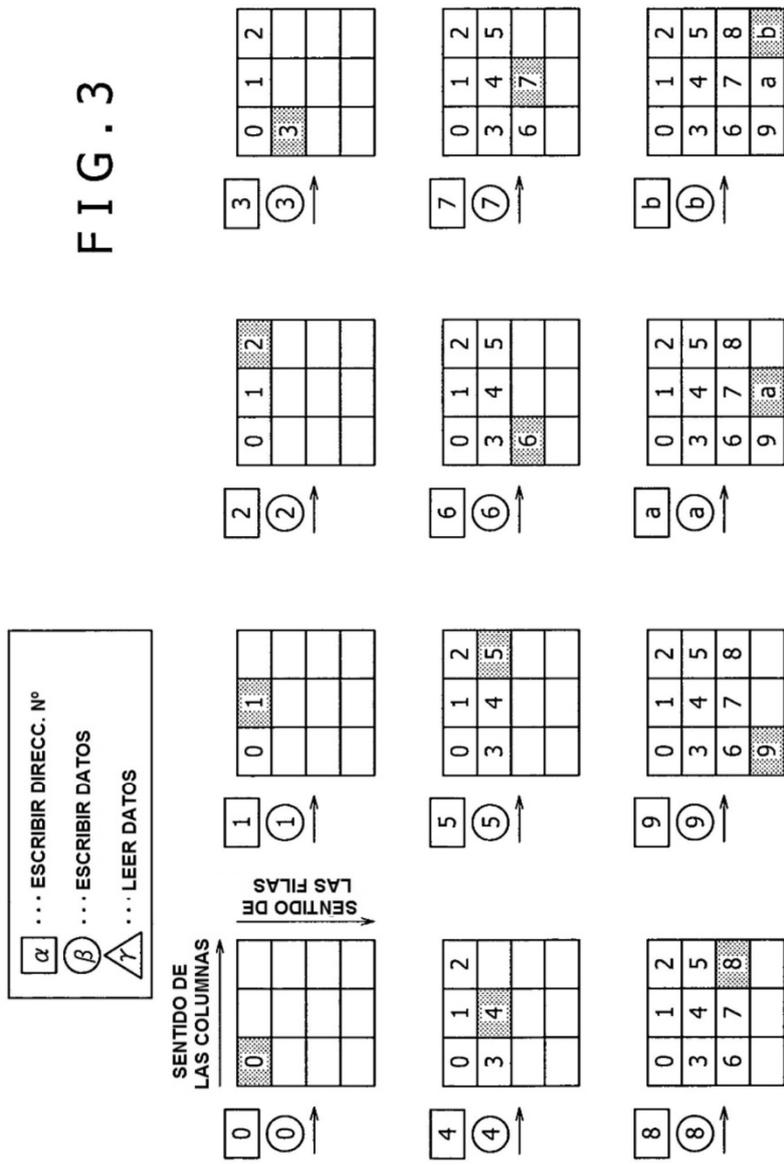


FIG. 4

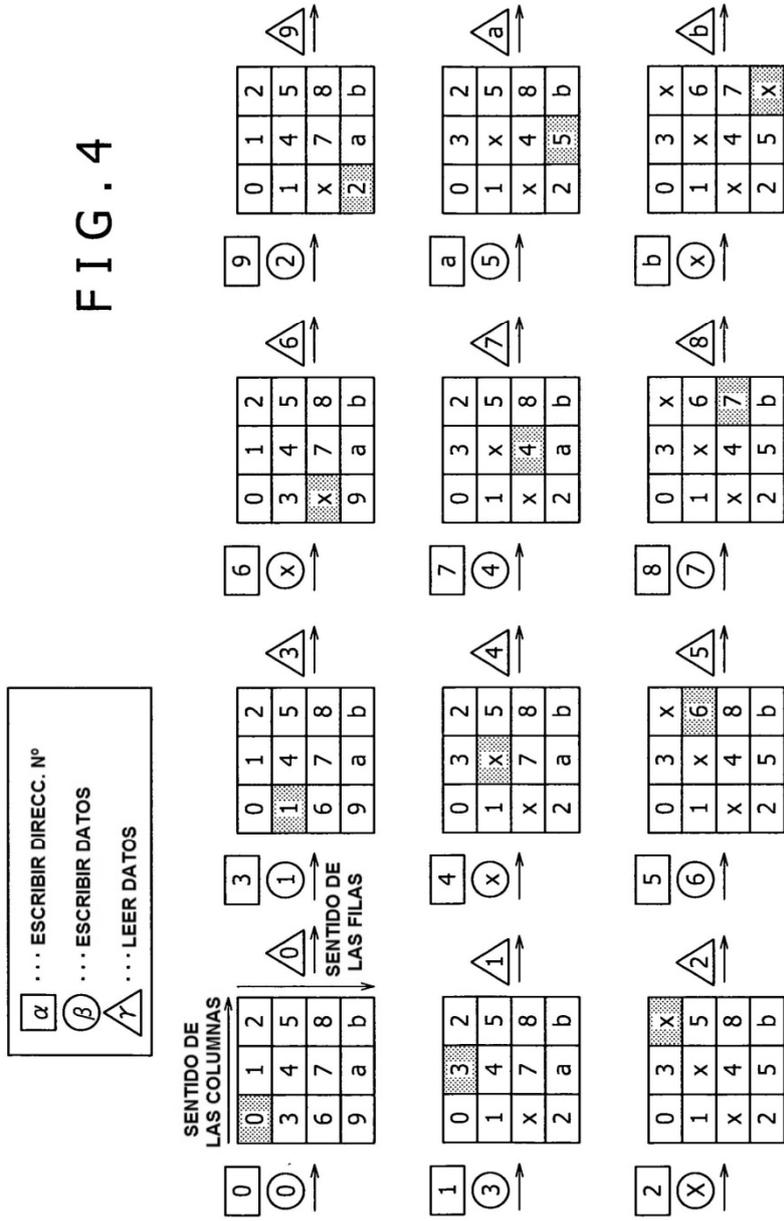


FIG. 5

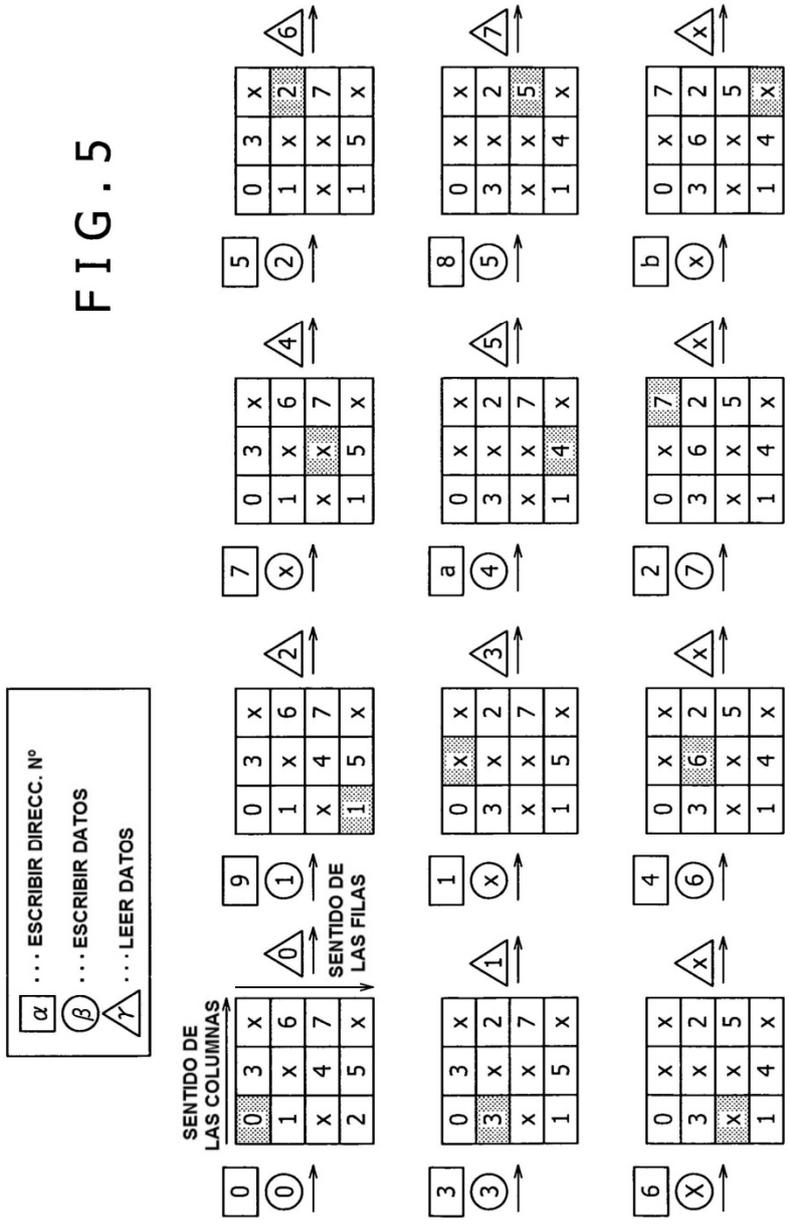


FIG. 6

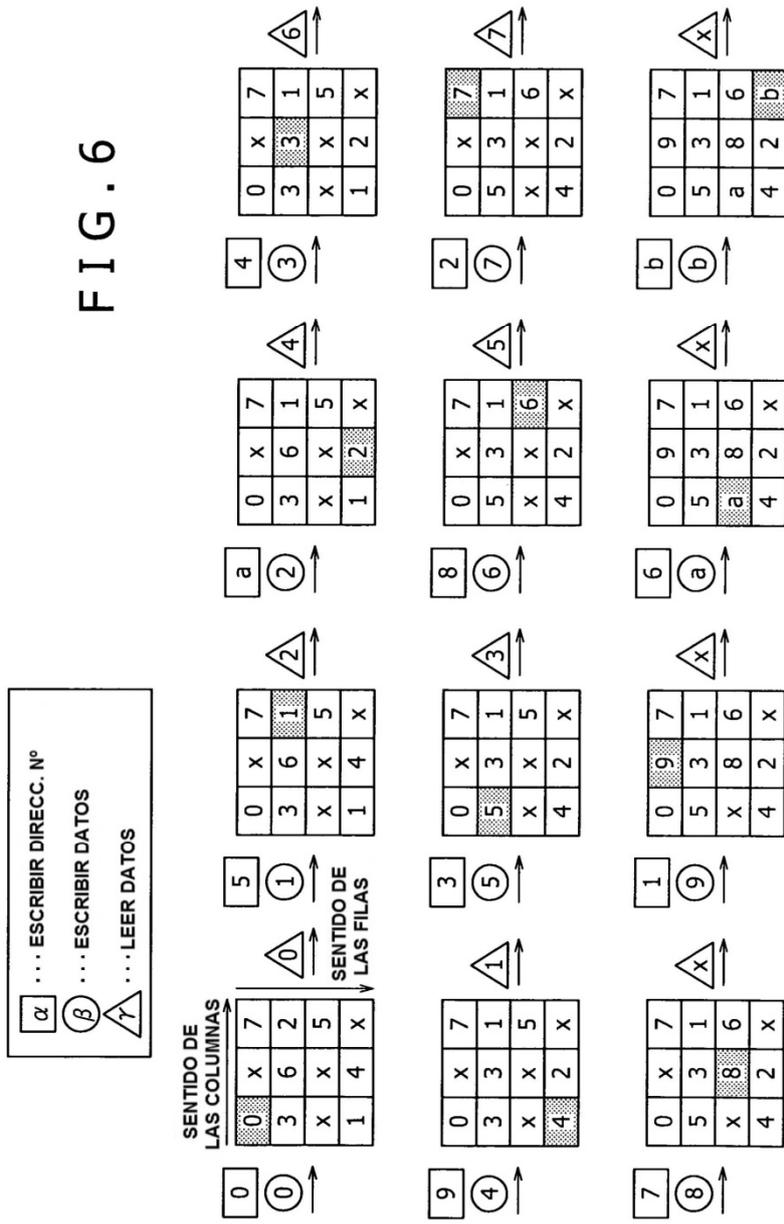


FIG. 7

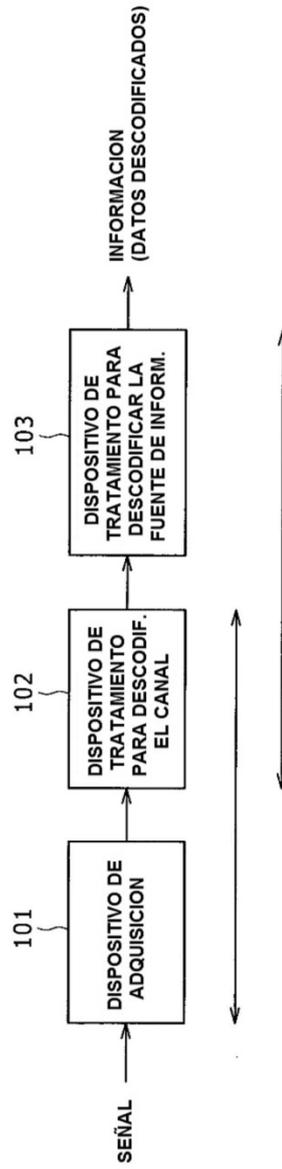


FIG. 8

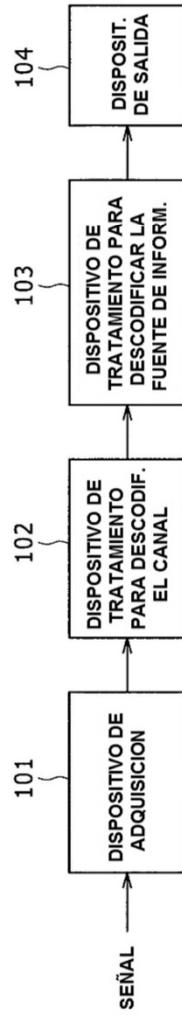


FIG. 9

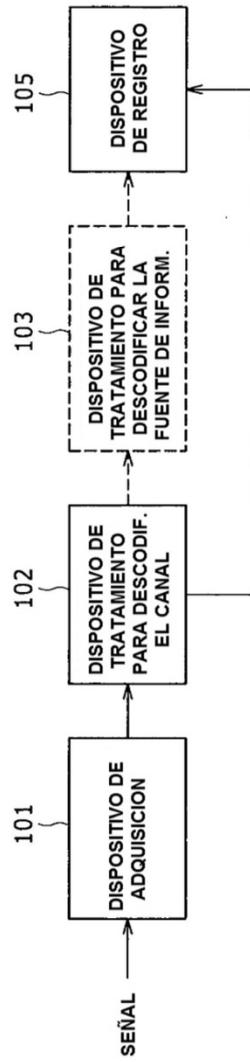


FIG. 10

