

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 634 655**

51 Int. Cl.:

H03K 19/003 (2006.01)

H03K 19/173 (2006.01)

G06F 11/20 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **23.07.2009 E 09009554 (8)**

97 Fecha y número de publicación de la concesión europea: **21.06.2017 EP 2161839**

54 Título: **Aparato de radio de aeronave y procedimiento con redundancia reconfigurable de manera dinámica**

30 Prioridad:

04.09.2008 DE 102008045717

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

28.09.2017

73 Titular/es:

**ROHDE & SCHWARZ GMBH & CO. KG (100.0%)
Mühldorfstrasse 15
81671 München, DE**

72 Inventor/es:

FOAG, JÜRGEN, DR.

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 634 655 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato de radio de aeronave y procedimiento con redundancia reconfigurable de manera dinámica

- 5 La invención se refiere a un aparato de radio de aeronave reconfigurable de manera dinámica y a un procedimiento para la reconfiguración dinámica.

10 Los aparatos basados en FPGA presentan habitualmente una baja tolerancia a la radiación. La radiación incidente hace que cambie la carga de las células de almacenamiento de la FPGA, lo que lleva a modificaciones en la funcionalidad de la FPGA. Habitualmente se monitorizan los errores en las FPGA mediante circuitos de tipo *watchdog* (perro guardián). Una posibilidad es por ejemplo comprobar si la FPGA emite una señal de reloj cíclica. Sin embargo, de este modo no es posible comprobar la funcionalidad exacta de la FPGA. Habitualmente, cuando se determina un error en circuitos basados en FPGA no puede llevarse a cabo una corrección de este error durante el funcionamiento. Son necesarias una desconexión del sistema y una reconfiguración de la FPGA para restablecer la funcionalidad.

20 Habitualmente, cuando se crean sistemas basados en FPGA se emplean FPGA con una capacidad mucho mayor de lo necesario para la funcionalidad básica planificada de los sistemas. Esto ocurre para poder realizar correcciones, modificaciones y ampliaciones funcionales posteriores sin tener que sustituir la FPGA. Sin embargo, esta capacidad excesiva está desaprovechada mientras no se realice una corrección o modificación de este tipo.

25 Además se conocen sistemas FPGA que, al detectar un error, realizan automáticamente una reconfiguración de la zona afectada. Así, el documento US 7.310.759 B1 muestra un sistema FPGA, que detecta la aparición de errores proporcionando de manera redundante copias de bloques funcionales idénticos, y realiza automáticamente una reconfiguración de zonas de configuración con errores de la FPGA. Además, la localización de zonas de configuración con errores de la FPGA se produce mediante una lectura de configuración realizada de manera continua y que consume muchos recursos. Para ello es necesario un procesador propio, que consume energía. Las desventajas de este sistema son su fiabilidad siempre mejorable, su alto consumo de energía y su estructura compleja.

30 El documento US 2007/0057693 A1 muestra un circuito reconfigurable con elementos de circuito reconfigurables redundantes. A este respecto, la distribución de los elementos de circuito es fija de antemano. La capacidad de configuración consiste en que en caso de que aparezca un error se retiran elementos de circuito individuales del circuito y se sustituyen por los elementos de circuito presentes de manera redundante.

35 El documento US 2006/0236209 A1 muestra un circuito reconfigurable de manera dinámica. A este respecto, cuando se detecta un bloque funcional defectuoso en un elemento de circuito reconfigurable, se reconfigura este bloque funcional y con ello se pone de nuevo en un estado funcional.

- 40 La invención se basa en el objetivo de proporcionar un aparato de radio de aeronave y un procedimiento para la reconfiguración dinámica de un aparato de radio de aeronave, que permitan un funcionamiento muy fiable.

45 Este objetivo se alcanza según la invención para el aparato de radio de aeronave y el procedimiento correspondiente mediante las características de las reivindicaciones independientes. Son objeto de las reivindicaciones dependientes que se refieren a las mismas perfeccionamientos ventajosos.

50 El aparato de radio de aeronave según la invención dispone de un elemento de circuito reconfigurable de manera dinámica con capacidad predeterminada. El aparato de radio de aeronave presenta varios estados funcionales con en cada caso varios bloques funcionales. El elemento de circuito reconfigurable de manera dinámica implementa al menos un bloque funcional. Cada bloque funcional implementado por el elemento de circuito reconfigurable de manera dinámica utiliza una capacidad determinada del elemento de circuito reconfigurable de manera dinámica. La diferencia de la capacidad predeterminada del elemento de circuito reconfigurable de manera dinámica y de la capacidad necesaria como máximo de los bloques funcionales de los estados funcionales forma una capacidad libre. La capacidad libre proporciona bloques funcionales redundantes. A este respecto, los bloques funcionales redundantes pueden reconfigurarse de manera dinámica. A este respecto, los bloques funcionales de los estados funcionales del aparato de radio de aeronave se valoran en función de determinados casos de aplicación según su relevancia para una seguridad del sistema. A este respecto, la capacidad libre proporciona los bloques funcionales redundantes en función de la relevancia para los determinados casos de aplicación de manera redundante.

60 Así, con una capacidad libre disponible se aumenta considerablemente la fiabilidad del aparato de radio de aeronave, sin limitar la posibilidad de ampliaciones futuras.

65 Preferiblemente la capacidad libre proporciona bloques funcionales de máxima relevancia con una redundancia doble, bloques funcionales de alta relevancia con una redundancia simple y bloques funcionales de baja relevancia sin redundancia. Así, es posible un aumento adicional de la fiabilidad con al mismo tiempo un ahorro de capacidad.

Ventajosamente casi toda la capacidad libre proporciona bloques funcionales redundantes. Así se consiguen la redundancia máxima posible y con ello, la fiabilidad máxima.

5 Preferiblemente el aparato de radio de aeronave presenta además un detector de errores. Preferiblemente el detector de errores detecta errores de los bloques funcionales implementados por el elemento de circuito reconfigurable de manera dinámica. El elemento de circuito reconfigurable de manera dinámica reconfigura preferiblemente bloques funcionales defectuosos sin interrupción del funcionamiento del aparato de radio de aeronave de manera dinámica. Así, se determinan y corrigen bloques funcionales con errores. De este modo se evita un funcionamiento con errores duradero. Esto aumenta adicionalmente la fiabilidad.

10 Ventajosamente el elemento de circuito reconfigurable de manera dinámica es una FPGA. Así, es posible la aplicación de la tecnología estándar.

15 Preferiblemente el aparato de radio de aeronave contiene además una memoria de errores. La memoria de errores registra ventajosamente la aparición de errores en diferentes zonas del elemento de circuito reconfigurable de manera dinámica. El aparato de radio de aeronave bloquea preferiblemente estas zonas al superar una determinada frecuencia de la aparición de errores en determinadas zonas del elemento de circuito reconfigurable de manera dinámica. El elemento de circuito reconfigurable de manera dinámica reconfigura los bloques funcionales, que están implementados por zonas bloqueadas, a zonas no bloqueadas. Así, dejan de utilizarse zonas de la FPGA propensas a errores, lo que aumenta adicionalmente la fiabilidad del sistema.

Ventajosamente la selección de los bloques funcionales en el momento del diseño del sistema se produce según prioridades de seguridad determinadas de antemano.

25 A continuación se describirá la invención a modo de ejemplo mediante el dibujo, en el que se representa un ejemplo de realización ventajoso de la invención. En el dibujo muestran:

la figura 1, un diagrama de bloques de un aparato de radio de aeronave a modo de ejemplo;

30 la figura 2, un diagrama de bloques de la programación de campo de FPGA de un primer ejemplo de realización del aparato de radio de aeronave según la invención;

la figura 3, un diagrama de bloques de la programación de campo de FPGA de un segundo ejemplo de realización del aparato de radio de aeronave según la invención;

35 la figura 4, un diagrama de bloques de la programación de campo de FPGA de un tercer ejemplo de realización del aparato de radio de aeronave según la invención;

40 la figura 5, un diagrama de bloques de la programación de campo de FPGA de un cuarto ejemplo de realización del aparato de radio de aeronave según la invención;

la figura 6, un diagrama de bloques de la programación de campo de FPGA de un quinto ejemplo de realización del aparato de radio de aeronave según la invención;

45 la figura 7, un diagrama de bloques de la programación de campo de FPGA de un sexto ejemplo de realización del aparato de radio de aeronave según la invención;

la figura 8, un diagrama de flujo de un primer ejemplo de realización del procedimiento según la invención, y

50 la figura 9, un diagrama de flujo de un segundo ejemplo de realización del procedimiento según la invención.

En primer lugar, mediante las figuras 1 - 4 se explicará la estructura general y el funcionamiento del dispositivo según la invención. A continuación, mediante las figuras 5 - 7 se mostrará la estructura y el funcionamiento en determinados casos de funcionamiento. Finalmente, mediante las figuras 8 - 9 se explicará el funcionamiento del procedimiento según la invención. Los elementos idénticos en representaciones similares en parte no se representan ni describen de nuevo.

60 La figura 1 muestra un diagrama de bloques de un aparato de radio de aeronave a modo de ejemplo. Una antena 4 está unida a un módulo de procesamiento 2. El módulo de procesamiento 2 está unido a un módulo de entrada/salida 3. Por medio del módulo de entrada/salida 3 se recibe información procedente del aparato de radio de aeronave 1 o se transmite al aparato de radio de aeronave 1. En el caso de la información puede tratarse de voz aunque también de datos digitales. El módulo de procesamiento 2 procesa la información. La información se recibe en forma de señales por la antena 4 o se envía desde la antena 4. Debido a la gran altitud del uso, el aparato de radio de aeronave 1 está expuesto a una radiación aumentada por radiación cósmica. Esto puede llevar a errores en el procesamiento en el módulo de procesamiento. Este tipo de errores pueden afectar al funcionamiento del aparato de radio de aeronave 1. En particular en el caso de utilizar FPGA en el módulo de procesamiento, como es habitual

en el caso de radio definida por software (SDR), son frecuentes los defectos por radiación cósmica, porque se puede cambiar la carga de las memorias de las FPGA por partículas altamente energéticas. Para subsanar tal error habitualmente es necesario un mantenimiento del aparato, en cuyo contexto ha de realizarse una nueva instalación del software y el firmware.

5 En la figura 2 se muestra un diagrama de bloques de la programación de campo de FPGA de un primer ejemplo de realización del aparato de radio de aeronave según la invención. El fragmento aquí mostrado corresponde funcionalmente a al menos una parte del módulo de procesamiento 2 de la figura 1. Un elemento de circuito reconfigurable de manera dinámica 11, en este caso una FPGA, está unido a una memoria de datos de configuración 10, una memoria de errores 25, un controlador de reconfiguración 12 y un detector de errores 13. El elemento de circuito reconfigurable 11 está unido además a las líneas 29. Las líneas 29 sirven para transmitir señales entre el elemento de circuito reconfigurable 11 y otros elementos de circuito no representados. Al mismo tiempo, estas líneas 29 captan las señales de entrada del detector de errores 13. La FPGA contiene un módulo de configuración 14 conectado directamente y una zona reconfigurable de manera dinámica 26. En este ejemplo, en la zona reconfigurable de manera dinámica 26 están implementados varios bloques funcionales 15 - 19 y varios bloques funcionales redundantes 20 - 23. Sin embargo, este ejemplo corresponde únicamente a un estado funcional. Para el funcionamiento de un aparato de radio de aeronave según la invención pueden utilizarse varios estados funcionales diferentes. Con el cambio entre estados funcionales se reconfigura la zona reconfigurable de manera dinámica 26. Se sustituyen, añaden o eliminan bloques funcionales. La reconfiguración tiene lugar durante el funcionamiento.

Los bloques funcionales 15 - 19 son en este caso bloques funcionales críticos para el funcionamiento. Es decir, estos bloques funcionales 15 - 19 son necesarios para el funcionamiento correcto del aparato de radio 1. Sin embargo, la zona 27 ocupada por los mismos en la FPGA es menor que la zona reconfigurable de manera dinámica 26. La capacidad libre 28 en la FPGA se utiliza para proporcionar bloques funcionales redundantes 20 - 23.

A este respecto, los bloques funcionales no tienen un tamaño, cantidad ni posición fijos. Cualquier cantidad de bloques funcionales de cualquier tamaño pueden crearse en cualquier posición dentro de la FPGA. La única limitación es la capacidad disponible de la FPGA. Los bloques funcionales 15 - 23 representados en este caso son solo bloques funcionales a modo de ejemplo de una posible configuración.

En la memoria de configuraciones 10 están almacenadas posibles configuraciones de la FPGA. Esta memoria presenta una alta resistencia a los errores. En particular, esta memoria es relativamente poco sensible frente a la radiación. Por ejemplo, la memoria de configuraciones 10 está compuesta por módulos de tipo *flash*.

El módulo de configuración 14 es una zona conectada directamente de la FPGA. En este caso, no es posible una reconfiguración. El módulo de configuración 14 contiene los circuitos necesarios para la reconfiguración.

Para conseguir una alta resistencia a los errores del aparato de radio de aeronave en cada caso se proporcionan bloques funcionales 16 - 18 particularmente críticos varias veces dentro de la FPGA. Así, los bloques funcionales 20 - 23 corresponden a los bloques funcionales 16 - 18. A este respecto, los bloques funcionales 16 y 18 están implementados con una redundancia simple como bloques funcionales 22 y 23. El bloque funcional 17 está implementado con una redundancia doble como bloques funcionales 20 y 21. También es posible una redundancia triple o de orden n.

Mediante el diseño redundante pueden detectarse o subsanarse errores. El bloque funcional 16 está presente de manera idéntica como bloque funcional 23. Mediante una facilitación doble es posible una detección de errores en las señales de salida de los bloques funcionales 16 y 23, cuando son diferentes. Sin embargo, así no es posible una corrección de errores, porque no puede determinarse, cuál de los bloques funcionales 16 y 23 proporciona un resultado erróneo. El bloque funcional 17 está presente adicionalmente como bloques funcionales redundantes 20 y 21 en una realización triple. Así, con señales de salida diferentes de los bloques funcionales 17, 20 y 21 puede determinarse el bloque funcional con errores, el bloque funcional con la señal de minorías. La señal de salida idéntica de los dos bloques funcionales que quedan se considera una señal de salida correcta. También es concebible una facilitación con una redundancia aún mayor para, por ejemplo, poder compensar dos bloques funcionales con errores.

El detector de errores 13 está compuesto por una serie de comparadores, que comparan las señales de salida de la FPGA entre sí. Así, compara las señales de salida de los bloques funcionales 16 y 23 entre sí. Del mismo modo, compara las señales de salida de los bloques funcionales 17, 20 y 21 entre sí. En caso de que el detector de errores determine una desviación de los valores iniciales de los bloques funcionales redundantes, entonces comunica un evento de error a la memoria de errores 25 y al controlador de reconfiguración 12. La memoria de errores 25 almacena el sitio en el que aparece el error en el elemento de circuito reconfigurable de manera dinámica 11.

El controlador de reconfiguración 12, partiendo del evento de error, activa la reconfiguración del bloque funcional en cuestión con errores. En caso de que pueda corregirse el error, entonces se continúa de manera ilimitada con el procesamiento de señales a través de la FPGA. En caso de que no pueda corregirse el error, entonces se repite la etapa correspondiente del procesamiento de señales tras la reconfiguración o por otro bloque funcional. El controlador de reconfiguración 12 comunica el bloque de configuración que va a reconfigurarse al módulo de configuración 14 en la FPGA, que realiza la verdadera reconfiguración.

El módulo de configuración 14 carga los datos necesarios para la reconfiguración desde la memoria de configuraciones 10 y genera bloques funcionales nuevos en la FPGA. Esto puede producirse en el caso de un error en la misma posición en la que ya anteriormente se había almacenado un bloque funcional idéntico. Además puede producirse una lectura de la memoria de errores 25. En caso de que se determine una cantidad elevada de errores para una determinada zona de la FPGA, entonces en esta zona no se generan bloques funcionales nuevos.

Mediante las figuras 3 - 6 se explica en más detalle el desarrollo detallado de una reconfiguración.

La figura 3 muestra un diagrama de bloques de un segundo ejemplo de realización del dispositivo según la invención. En este caso sólo se representa el elemento de circuito reconfigurable de manera dinámica 11 con el módulo de configuración 14 y la zona libremente reconfigurable 26. En la configuración actual están configurados los bloques de configuración 30₁, 31₁, 32, 30a, 30b, 31a, 31b, 32a y 32b. A este respecto, los bloques funcionales 30₁, 31₁ y 32 son bloques funcionales críticos para el funcionamiento. Los bloques funcionales 30a, 30b, 31a, 31b, 32a y 32b son copias redundantes de los bloques funcionales 30₁, 31₁ y 32. Como en este caso la capacidad libre 28 es muy grande, pueden ponerse a disposición todos los bloques funcionales críticos para el funcionamiento 30₁, 31₁ y 32 con una redundancia doble.

En caso de que la capacidad libre esté reducida, por otro estado funcional o una ampliación del estado funcional original, por ejemplo por una actualización del sistema, entonces ya no es posible una facilitación de una redundancia tan alta. Esto se representa mediante la figura 4.

En la figura 4 se muestra un diagrama de bloques de un tercer ejemplo de realización del dispositivo según la invención. Esta representación corresponde en gran parte a la representación de la figura 3. Los bloques funcionales 34, 35 y 36 adicionales, críticos para el funcionamiento, se añadieron en el estado funcional aquí representado. Esto lleva a una zona 27 más grande, ocupada por los bloques funcionales críticos para el funcionamiento. De este modo la capacidad libre 28 es menor. En este caso, sólo es suficiente para proporcionar una redundancia simple para los bloques funcionales 30₂, 31₂, 33₁ más importantes. Así, los bloques funcionales 30₂, 31₂ y 32 se implementan como copias redundantes 30a, 31a y 33a. Para determinar los bloques funcionales que se proporcionan y su redundancia, antes de la reconfiguración se realiza un análisis, en cuyo contexto se determina la relevancia de los respectivos bloques funcionales para la seguridad del sistema del aparato de radio de aeronave. Mediante la figura 7 se hará referencia a esto en más detalle.

La figura 5 muestra un diagrama de bloques de un cuarto ejemplo de realización del dispositivo según la invención. Esta representación corresponde en gran parte a la representación de la figura 4. En la posición del bloque funcional 34 de la figura 4, que en este caso tiene el bloque funcional con errores 40, mediante el detector de errores 13 de la figura 2 se detectaron en el pasado ya múltiples errores y se almacenaron en la memoria de errores 25 de la figura 2. En una nueva reconfiguración, esta posición ya no se utiliza por el módulo de configuración 14 tras la lectura de la memoria de errores 25, en caso de que estén disponibles recursos suficientes en otra posición en la FPGA. Como la capacidad libre 28 en esta configuración es suficientemente grande, el bloque funcional con errores 40 se reconfigura en una etapa posterior en otra zona de la FPGA. Esto se muestra mediante la figura 6.

En la figura 6 se muestra un diagrama de bloques de un quinto ejemplo de realización del dispositivo según la invención. En este caso se representa la situación de la figura 5 tras la reconfiguración para la eliminación del bloque funcional con errores 40. La posición, en la que estaba configurado el bloque funcional 40, ya no se sigue utilizando. Se detectó como propensa a errores. En su lugar se configura un bloque funcional 40a idéntico al bloque funcional 40 en otra posición en la FPGA. En caso de que el espacio disponible en la FPGA no sea suficiente, entonces debe sopesarse entre una reducción de la redundancia de bloques funcionales y una aceptación de una mayor probabilidad de errores al utilizar la posición original propensa a errores.

Para tomar esta decisión, adicionalmente pueden hacerse cálculos de probabilidad de errores o se puede recurrir a un orden de prioridad creado anteriormente. En el ejemplo representado en este caso se decidió a favor de la redundancia reducida. Así se reconfiguró el bloque funcional con errores 40 en otro lugar. Para compensar el sitio perdido se retiró la copia redundante del bloque funcional 33₁ de la figura 5, el bloque funcional 33a. Ahora sólo están presentes los bloques funcionales 30₂ y 31₂ en una forma con redundancia simple.

En la figura 7 se muestra un diagrama de bloques de un sexto ejemplo de realización del dispositivo según la invención. Los bloques funcionales 15 a 19 y los bloques funcionales redundantes 20 a 23 corresponden en gran parte a los bloques funcionales y los bloques funcionales redundantes de la figura 2. Para simplificar la asignación de los bloques funcionales a la situación dentro del elemento de circuito reconfigurable de manera dinámica 11 se

disponen bloques funcionales redundantes 20 a 23 en la misma columna de FPGA que los bloques funcionales 15 a 19 correspondientes. En el caso de redundancia simple, 2 bloques funcionales idénticos 16 y 23, 18 y 22 se encuentran en la misma columna. En el caso de redundancia doble, 3 bloques funcionales idénticos 17, 20, 21 se encuentran en la misma columna. La norma de asignación en caso de aparecer una zona con errores, es decir, la zona de reconfiguración de la función correspondiente, está depositada con ahorro de recursos en el controlador de reconfiguración 12 de la figura 2.

La figura 8 muestra un diagrama de flujo de un primer ejemplo de realización del procedimiento según la invención. En una primera etapa 50 se determinan los diferentes estados funcionales del aparato de radio de aeronave. A este respecto, un estado funcional es un estado especializado para una determinada función del aparato de radio de aeronave, por ejemplo un estado para el envío codificado. En una segunda etapa 51 se determinan los bloques funcionales necesarios para los diferentes estados funcionales. A este respecto son bloques funcionales unidades individuales necesarias para la función, por ejemplo un bloque de modulación BPSK.

A continuación, en una tercera etapa 52 tiene lugar una valoración de los bloques funcionales de los estados funcionales con respecto a su relevancia para la seguridad del sistema del aparato de radio de aeronave. Esto puede ocurrir en función de diferentes casos de aplicación. Así, por ejemplo, en un aterrizaje planificado del avión es crítica para la seguridad una funcionalidad del aparato de radio de aeronave diferente al caso de un vuelo de travesía. Se almacenan los resultados de esta valoración. En una cuarta etapa 53 opcional se determinan bloques con errores del elemento de circuito reconfigurable de manera dinámica 11, en este caso de la FPGA. Esto es relevante para las etapas siguientes, porque de este modo se pierde la capacidad disponible.

Así, como se describe mediante la figura 2, se lee de la memoria de errores la aparición frecuente de errores en determinadas zonas del elemento de circuito reconfigurable de manera dinámica y se bloquean las zonas correspondientes del elemento de circuito reconfigurable de manera dinámica.

En una quinta etapa 54 siguiente se determina la capacidad libre para cada estado funcional del aparato de radio de aeronave. Esto se produce mediante sustracción de la capacidad necesaria para los bloques funcionales determinados en la segunda etapa 51 y la capacidad de las zonas con errores determinadas en la cuarta etapa 53 opcional de la capacidad total del elemento de circuito reconfigurable de manera dinámica. A continuación, en una sexta etapa 55 se determina la redundancia que va a utilizarse. Orientado a la valoración realizada en la tercera etapa 52 de los bloques funcionales, en función del caso de aplicación respectivo se determinan los bloques funcionales de los estados funcionales individuales que deben ponerse a disposición de manera redundante en la capacidad libre disponible del elemento de circuito reconfigurable de manera dinámica. Así se proporcionan bloques funcionales muy relevantes con redundancia elevada, por ejemplo redundancia doble. Los bloques funcionales menos importantes se proporcionan solamente con una redundancia simple o sin redundancia. Cuanto menor sea la capacidad libre, menor será también la cantidad de bloques funcionales puestos a disposición de manera redundante. A este respecto, los bloques funcionales más relevantes se tratan con prioridad.

Las etapas 50 - 52 se realizan normalmente antes de la puesta en funcionamiento del aparato de radio de aeronave, por ejemplo en el contexto de una configuración previa por el fabricante. A este respecto, la etapa 52, la valoración de bloques, puede realizarse para tener en cuenta casos de aplicación específicos también durante el funcionamiento. Las etapas 53 - 55 también se realizan durante el funcionamiento.

La figura 9 muestra un segundo ejemplo de realización del procedimiento según la invención en un diagrama de bloques. Las etapas representadas en este caso son necesarias para poder realizar la etapa 53 de la figura 8. En una primera etapa 60 se detectan errores en las señales de salida de los bloques funcionales integrados en el elemento de circuito reconfigurable de manera dinámica. Las etapas siguientes sólo se realizan cuando en la primera etapa 60 se detecta un error. La detección de errores se produce por comparación de las señales de salida de los bloques funcionales redundantes. Alternativamente es posible una detección de errores más compleja mediante una comprobación de las señales de salida. Esta manera de proceder puede resultar ventajosa en particular en el caso de bloques funcionales no redundantes.

En una segunda etapa 61 opcional se almacena la aparición de errores. Para ello se emplea una memoria de errores resistente a los errores. Además de la aparición del error se determina y almacena la posición del error que ha aparecido en la FPGA. La determinación de la posición se produce recurriendo a la posición del bloque funcional en cuestión. En caso de que no pueda determinarse el bloque funcional exacto, en el que ha aparecido el error (véase más abajo), entonces se almacena como posición con errores la posición de los bloques funcionales implicados. No tiene lugar una determinación de la posición más precisa.

En una tercera etapa 62 opcional se bloquean zonas de la FPGA, en las que aparecen errores con frecuencia según la memoria de errores. Así, por ejemplo, en caso de superar un determinado umbral de la frecuencia de errores o densidad de errores una zona de la FPGA se clasifica como propensa a errores. Este bloqueo lleva a una reconfiguración de los bloques funcionales que se encuentran en las respectivas zonas a otras zonas en la etapa 63 siguiente.

En una cuarta etapa 63 tiene lugar una reconfiguración dinámica. Los bloques funcionales defectuosos se crean de nuevo en la misma posición o en una posición nueva. Mientras tanto, la FPGA restante sigue en funcionamiento. La funcionalidad del aparato de radio de aeronave no se limita. Cuando es posible determinar el bloque funcional exacto en el que ha aparecido el error, entonces sólo se reconfigura este bloque funcional. Éste es el caso por ejemplo cuando existe un bloque funcional particularmente crítico con una redundancia doble, es decir, en total 3 veces. Cuando se produce un resultado diferente, se reconfigura el bloque funcional diferente. Cuando no se puede determinar el bloque funcional exacto, en el que ha aparecido el error, entonces se reconfiguran todos los bloques funcionales en los que podría haber aparecido el error. Éste es el caso, por ejemplo con bloques funcionales con redundancia simple.

En una quinta etapa 64 opcional se repiten las etapas de cálculo, que se han interrumpido por un error, siempre que el error no haya podido compensarse debido a la redundancia. Los bloques funcionales reconfigurados realizan de nuevo los cálculos originales, en los que ha aparecido el error, partiendo de las señales de entrada originales y transmiten las señales de salida. Como la reconfiguración se produce muy rápidamente, la aparición de un error no lleva a una interrupción del funcionamiento del aparato de radio, sino únicamente a un retardo a corto plazo en el procesamiento interno de las señales, que sin embargo se compensa y no se percibe por el usuario.

La invención no está limitada al ejemplo de realización representado. Como ya se mencionó, pueden utilizarse diferentes elementos de circuito reconfigurables de manera dinámica. También es concebible el uso de bloques funcionales con redundancia múltiple. También es posible una combinación con circuitos de tipo *watchdog*. También es concebible un uso fuera de las aplicaciones de radio de aeronave. Es concebible su uso en particular, en entornos con alta radiación o requisitos de seguridad muy estrictos. Todas las características descritas anteriormente o características mostradas en las figuras pueden combinarse entre sí ventajosamente de manera aleatoria en el marco de la invención.

REIVINDICACIONES

1. Aparato de radio de aeronave (1) con un elemento de circuito reconfigurable de manera dinámica (11) con una capacidad predeterminada,
- 5 presentando el aparato de radio de aeronave (1) varios estados funcionales con en cada caso varios bloques funcionales (15 - 19, 30₁, 30₂, 31₁, 31₂, 32, 33, 34, 35, 36, 40, 40a),
implementando el elemento de circuito reconfigurable de manera dinámica (11) al menos un bloque funcional (15 - 19, 30₁, 30₂, 31₁, 31₂, 32, 33, 34, 35, 36, 40, 40a),
utilizando cada uno de los bloques funcionales (15 - 19, 30₁, 30₂, 31₁, 31₂, 32, 33, 34, 35, 36, 40, 40a)
- 10 implementados por el elemento de circuito reconfigurable de manera dinámica (11) una capacidad determinada del elemento de circuito reconfigurable de manera dinámica (11),
formando la diferencia de la capacidad predeterminada del elemento de circuito reconfigurable de manera dinámica (11) y de la capacidad necesaria como máximo de los bloques funcionales (15 - 19, 30₁, 30₂, 31₁, 31₂, 32, 33, 34, 35, 36, 40, 40a) de los estados funcionales una capacidad libre (28),
- 15 proporcionando la capacidad libre (28) bloques funcionales redundantes (20 - 23, 30a, 30b, 31a, 31b, 32a, 32b, 33a),
siendo los bloques funcionales redundantes (20 - 23, 30a, 30b, 31a, 31b, 32a, 32b, 33a) reconfigurables de manera dinámica, valorándose los bloques funcionales (15 - 19, 30₁, 30₂, 31₁, 31₂, 32, 33, 34, 35, 36, 40, 40a) de los estados funcionales del aparato de radio de aeronave (1) en función de determinados casos de aplicación según su relevancia para una seguridad del sistema,
- 20 proporcionando de manera redundante la capacidad libre (28) los bloques funcionales redundantes (20 - 23, 30a, 30b, 31a, 31b, 32a, 32b, 33a) en función de la relevancia para los determinados casos de aplicación.
2. Aparato de radio de aeronave según la reivindicación 1, **caracterizado**
por que la capacidad libre (28) proporciona con una redundancia doble bloques funcionales (17, 30₁, 31₁, 32) de máxima relevancia, por que la capacidad libre (28) proporciona con una redundancia simple bloques funcionales (16, 18, 30₂, 31₂, 33₁) de alta relevancia, y
por que la capacidad libre (28) proporciona sin redundancia bloques funcionales (19, 35, 36, 40, 40a) de baja relevancia.
- 25
- 30 3. Aparato de radio de aeronave según las reivindicaciones 1 o 2, **caracterizado por que** casi toda la capacidad libre (28) proporciona bloques funcionales redundantes (20 - 23, 30a, 30b, 31a, 31b, 32a, 32b, 33, 33a).
4. Aparato de radio de aeronave según una de las reivindicaciones 1 a 3, **caracterizado**
por que el aparato de radio de aeronave (1) presenta además un detector de errores (13),
35 **por que** el detector de errores (13) detecta errores de los bloques funcionales (15 - 19, 30, 31, 32, 33, 34, 35, 36, 40, 40a) implementados por el elemento de circuito reconfigurable de manera dinámica (11), y
por que el elemento de circuito reconfigurable de manera dinámica (11) reconfigura de manera dinámica bloques funcionales defectuosos (40) sin interrupción del funcionamiento del aparato de radio de aeronave (1).
- 40
5. Aparato de radio de aeronave según una de las reivindicaciones 1 a 4, **caracterizado por que** el elemento de circuito reconfigurable de manera dinámica (11) es una FPGA.
6. Aparato de radio de aeronave según una de las reivindicaciones 1 a 5, **caracterizado**
por que el aparato de radio de aeronave (1) contiene además una memoria de errores (25),
45 **por que** la memoria de errores registra la aparición de errores en diferentes zonas del elemento de circuito reconfigurable de manera dinámica (11),
por que el aparato de radio de aeronave (1), al superarse una determinada frecuencia de la aparición de errores en determinadas zonas del elemento de circuito reconfigurable de manera dinámica (11), las bloquea, y
por que el elemento de circuito reconfigurable de manera dinámica (11) reconfigura a zonas no bloqueadas los bloques funcionales (40) que están implementados por zonas bloqueadas.
- 50
7. Procedimiento para la reconfiguración dinámica de un aparato de radio de aeronave (1),
en el que el aparato de radio de aeronave (1) contiene un elemento de circuito reconfigurable de manera dinámica (11) con una capacidad predeterminada,
55 en el que el aparato de radio de aeronave (1) presenta varios estados funcionales con en cada caso varios bloques funcionales (15 - 19, 30, 31, 32, 33, 34, 35, 36, 40, 40a),
en el que al menos un bloque funcional (15 - 19, 30, 31, 32, 33, 34, 35, 36, 40, 40a) se implementa mediante el elemento de circuito reconfigurable de manera dinámica (11),
en el que cada bloque funcional (15 - 19, 30, 31, 32, 33, 34, 35, 36, 40, 40a) implementado mediante el elemento de
60 circuito reconfigurable de manera dinámica (11) utiliza una capacidad determinada del elemento de circuito reconfigurable de manera dinámica (11),
en el que la diferencia de la capacidad predeterminada del elemento de circuito reconfigurable de manera dinámica (11) y de la capacidad necesaria como máximo de los bloques funcionales (15 - 20, 30, 31, 32, 33, 34, 35, 36, 40, 40a) de los estados funcionales forma una capacidad libre (28),
65 en el que se proporcionan bloques funcionales redundantes (20 - 23, 30a, 30b, 31a, 31b, 32a, 32b, 33a) mediante la capacidad libre (28),

en el que los bloques funcionales redundantes (20 - 23, 30a, 30b, 31a, 31b, 32a, 32b, 33a) se reconfiguran de manera dinámica,

en el que los bloques funcionales (15 - 19, 30, 31, 32, 33, 33a, 34, 35, 36, 40, 40a) de los estados funcionales del aparato de radio de aeronave (1) se valoran en función de determinados casos de aplicación según su relevancia para una seguridad del sistema,

5 en el que los bloques funcionales redundantes (15 - 19, 30, 31, 32, 33, 33a, 34, 35, 36, 40, 40a) son proporcionados de manera redundante por la capacidad libre (28) en función de la relevancia para los determinados casos de aplicación.

10 8. Procedimiento según la reivindicación 7, **caracterizado por que** la capacidad libre (28) proporciona con una redundancia doble bloques funcionales (17, 30₁, 31₁, 32) de máxima relevancia,

por que la capacidad libre (28) proporciona con una redundancia simple bloques funcionales (16, 18, 30₂, 31₂, 33₁) de alta relevancia, y

15 **por que** la capacidad libre (28) proporciona sin redundancia bloques funcionales (19, 33₂, 34, 35, 36, 40, 40a) de baja relevancia.

9. Procedimiento según las reivindicaciones 7 u 8, **caracterizado por que** casi toda la capacidad libre (28) proporciona bloques funcionales redundantes (20 - 23, 30a, 30b, 31a, 31b, 32a, 32b, 33a).

20 10. Procedimiento según una de las reivindicaciones 7 a 9, **caracterizado por que** se detectan errores de los bloques funcionales (15 - 19, 30, 31, 32, 33, 34, 35, 36, 40, 40a) implementados por el elemento de circuito reconfigurable de manera dinámica (11), y

25 **por que** se reconfiguran de manera dinámica los bloques funcionales defectuosos (40) mediante el elemento de circuito reconfigurable de manera dinámica (11) sin interrupción del funcionamiento del aparato de radio de aeronave (1).

11. Procedimiento según una de las reivindicaciones 7 a 10, **caracterizado**

30 **por que** se registra la aparición de errores en diferentes zonas del elemento de circuito reconfigurable de manera dinámica (11),

por que al superarse una determinada frecuencia de la aparición de errores en determinadas zonas del elemento de circuito reconfigurable de manera dinámica (11) se bloquean estas zonas, y

por que los bloques funcionales (40) que están implementados por zonas bloqueadas se reconfiguran a zonas no bloqueadas.

35

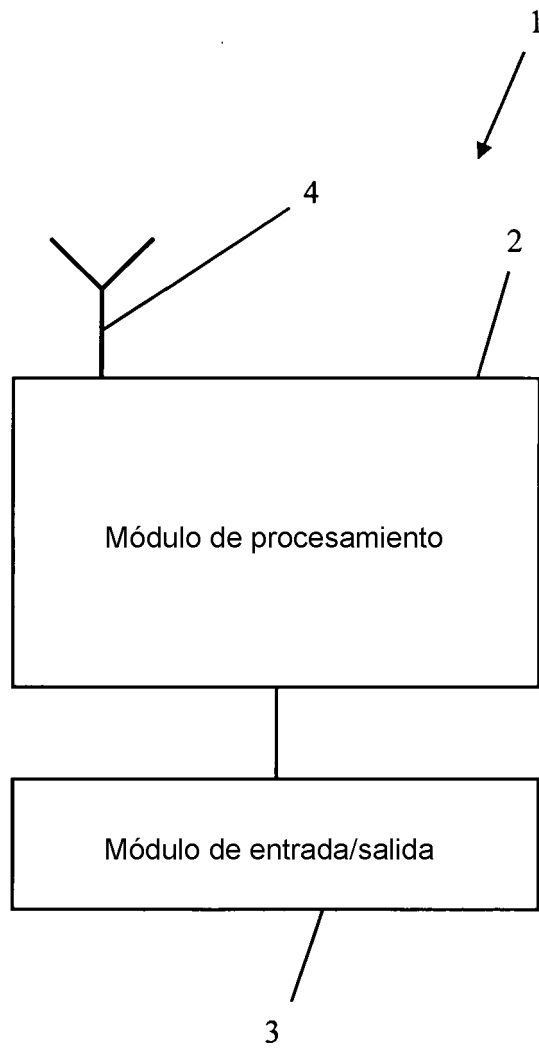


Fig. 1

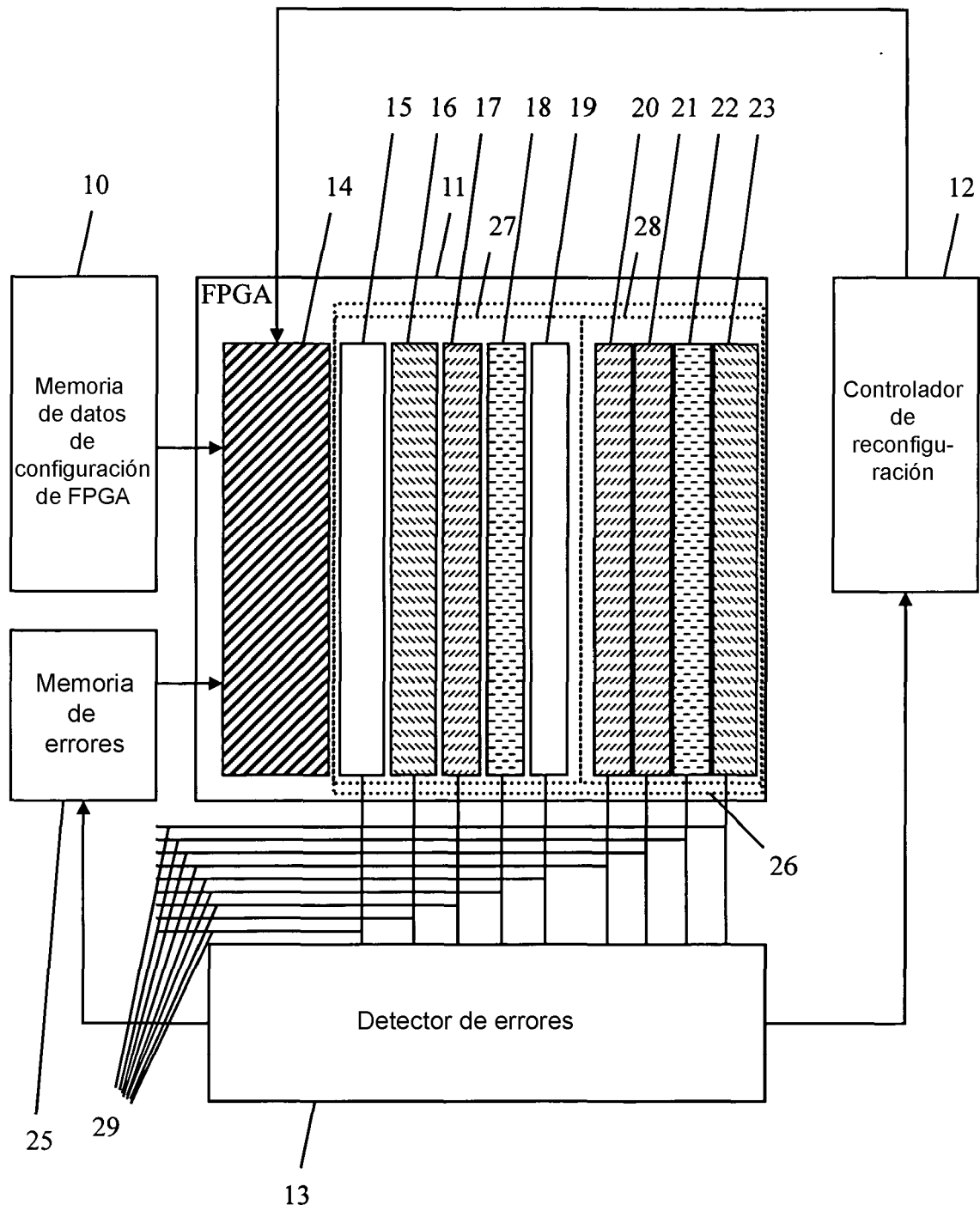


Fig. 2

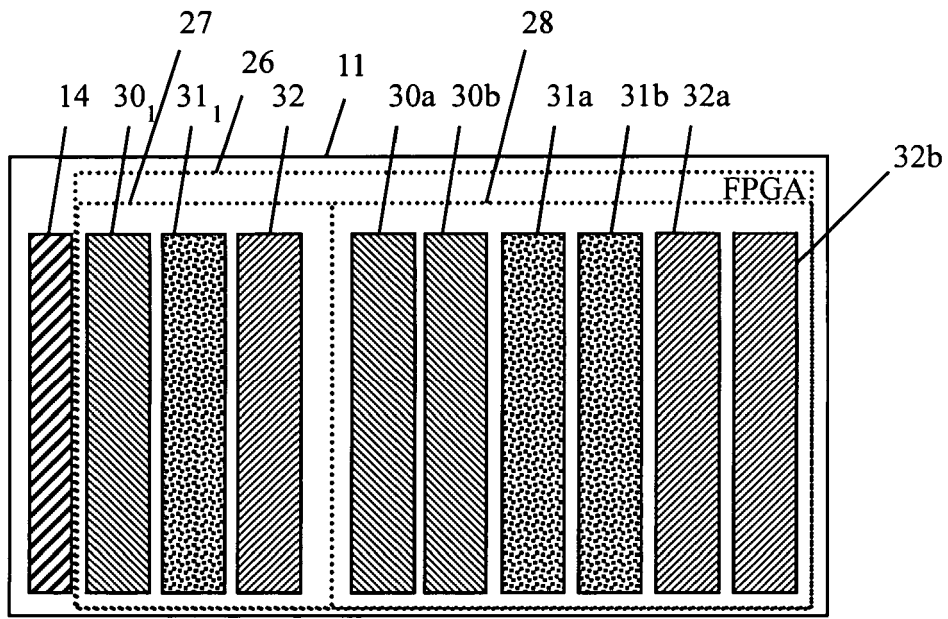


Fig. 3

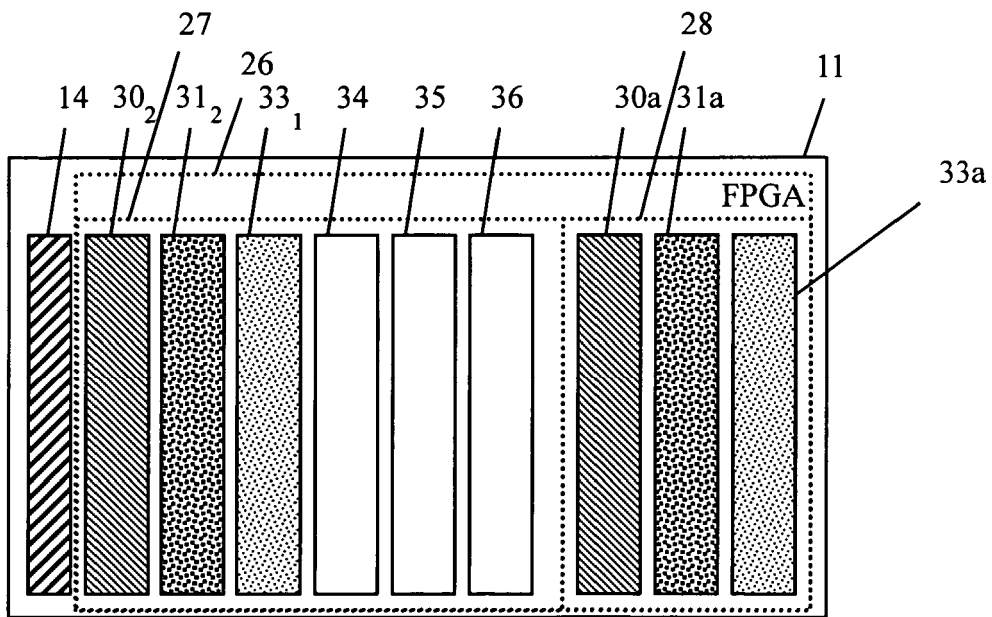


Fig. 4

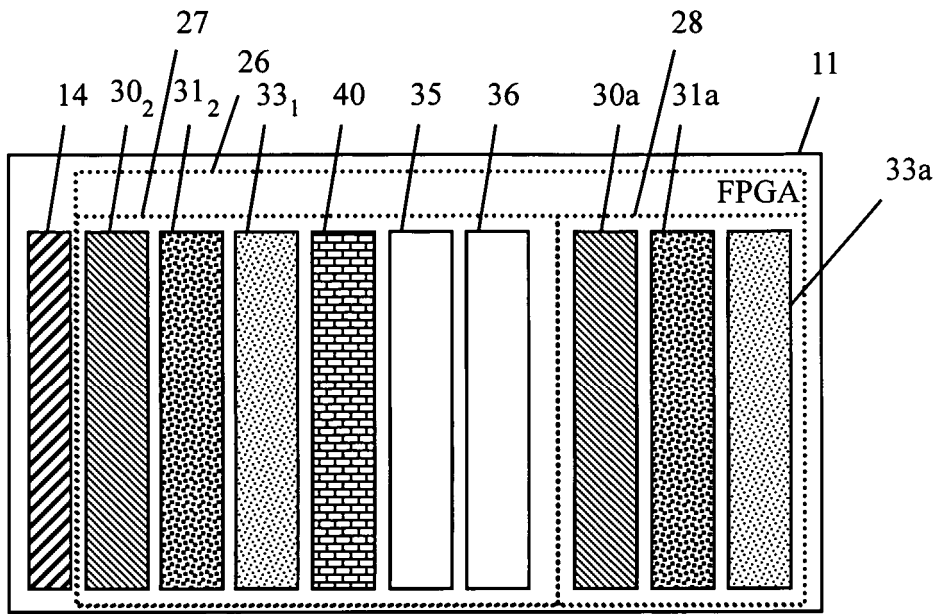


Fig. 5

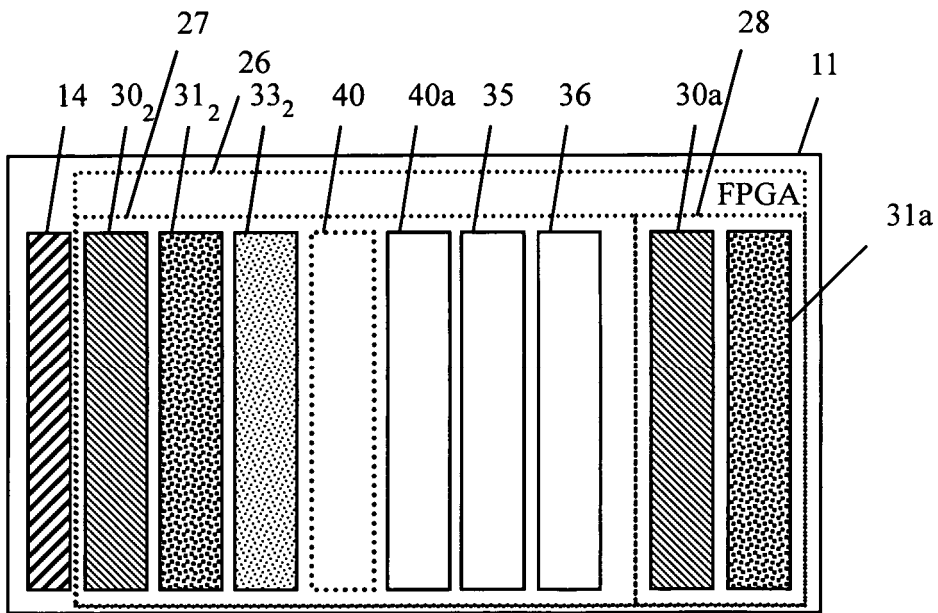


Fig. 6

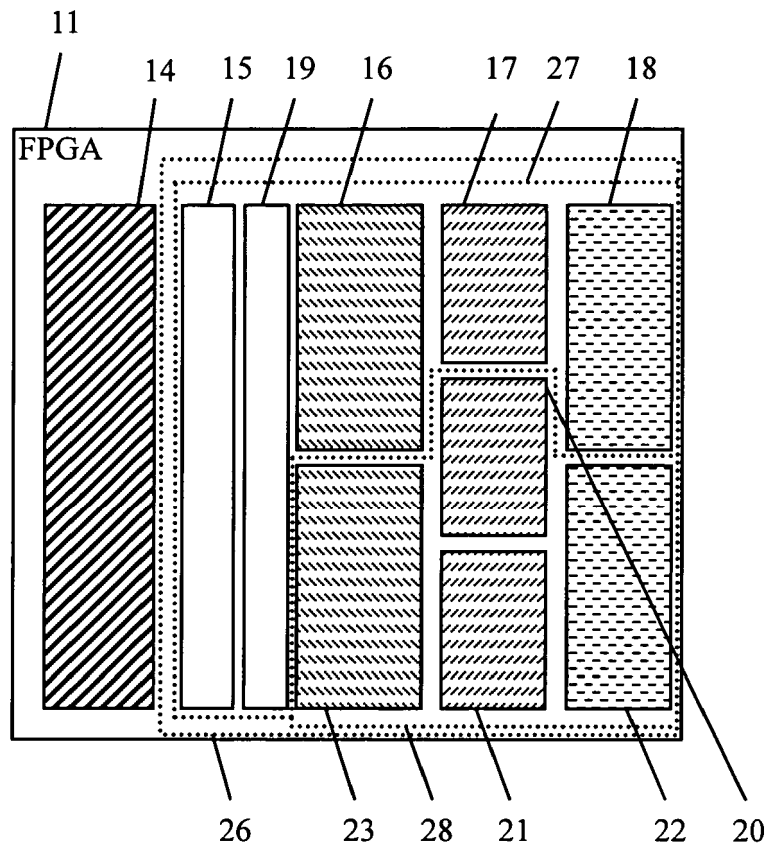


Fig. 7

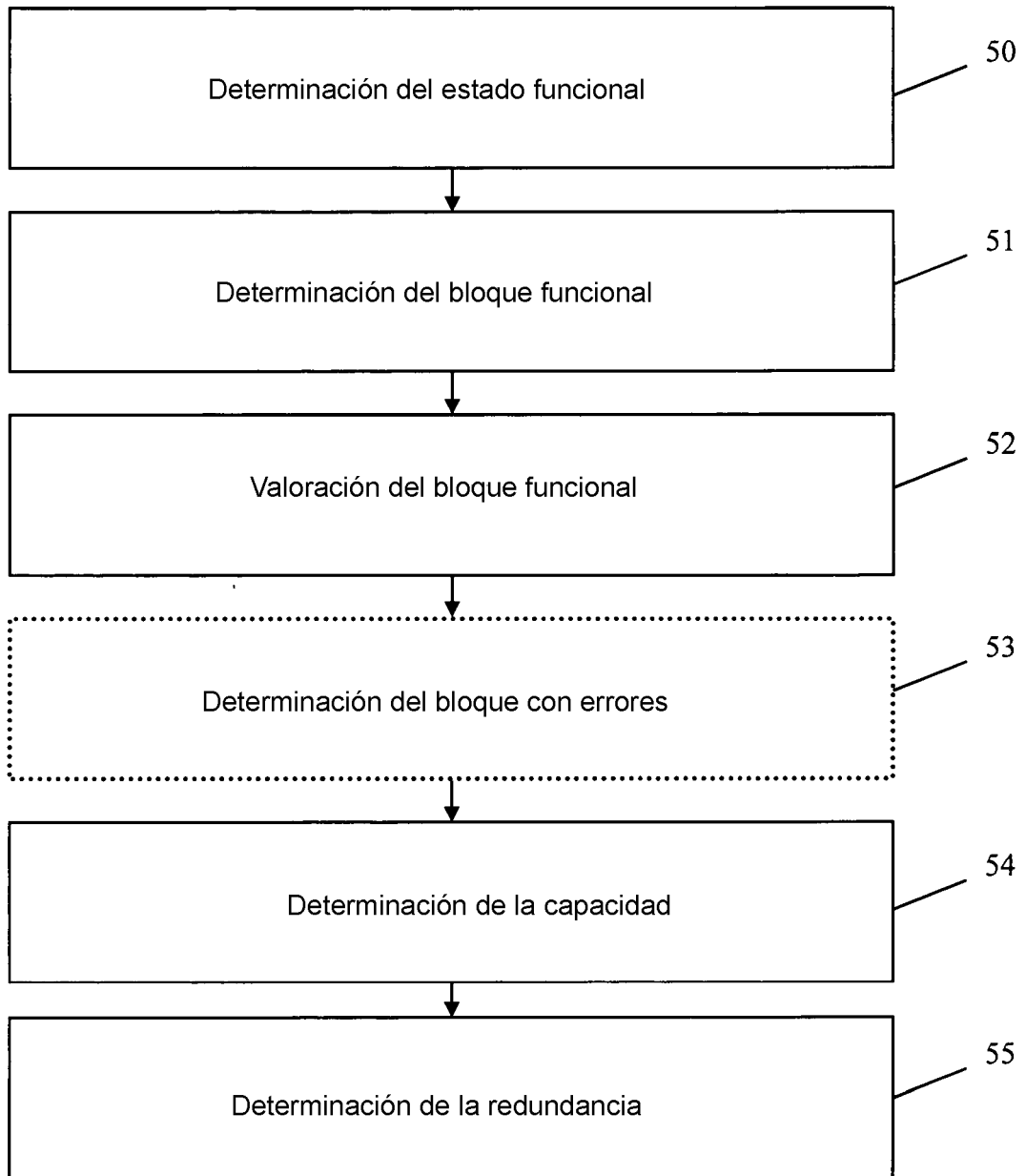


Fig. 8

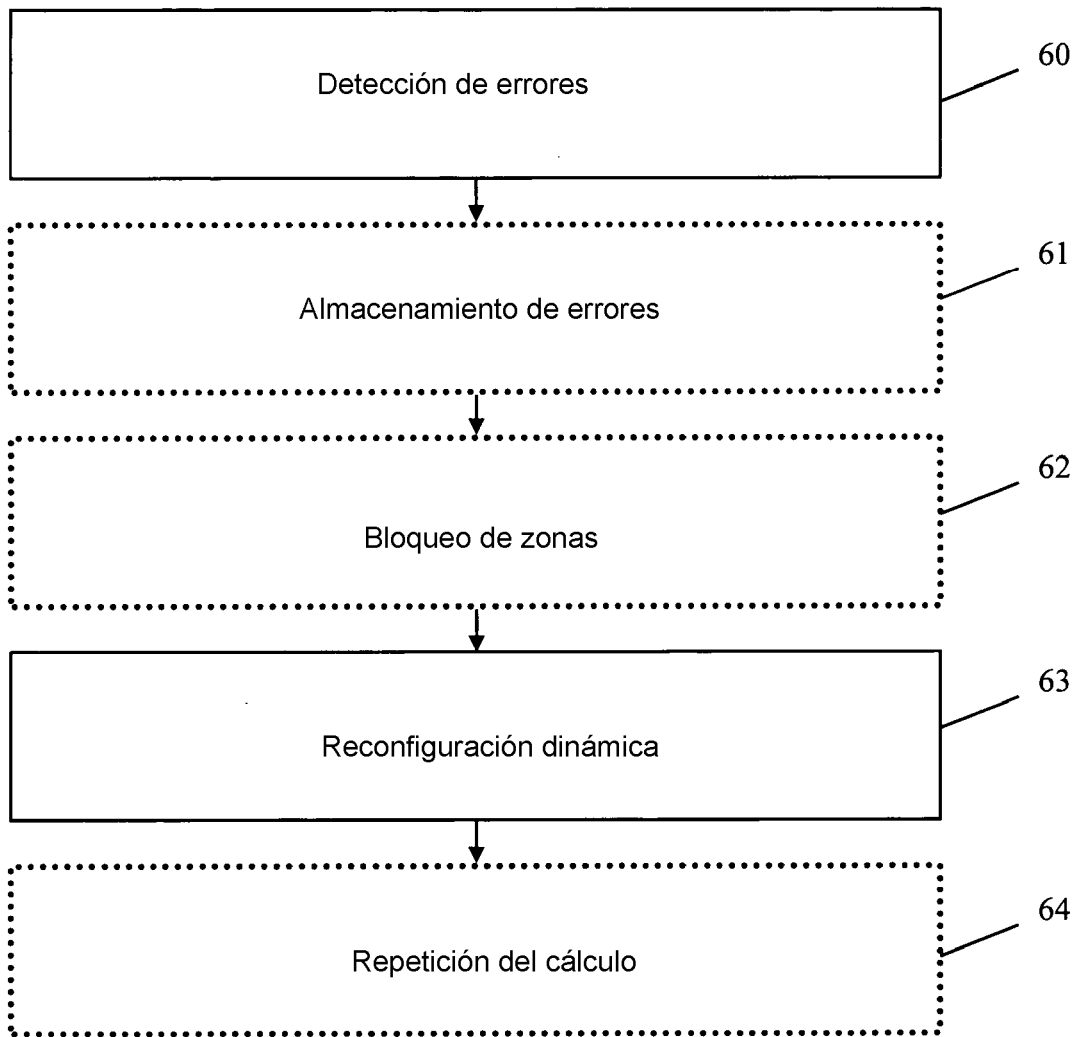


Fig. 9