

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 635 103**

51 Int. Cl.:

B41J 2/44 (2006.01)

G02B 26/10 (2006.01)

H04N 1/053 (2006.01)

G06K 15/12 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **20.04.2006 PCT/JP2006/308794**

87 Fecha y número de publicación internacional: **02.11.2006 WO06115282**

96 Fecha de presentación y número de la solicitud europea: **20.04.2006 E 06732400 (4)**

97 Fecha y número de publicación de la concesión europea: **14.06.2017 EP 1874549**

54 Título: **Generador de reloj de píxeles, modulador de pulsos y aparato de formación de imagen**

30 Prioridad:

26.04.2005 JP 2005128390

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

02.10.2017

73 Titular/es:

**RICOH COMPANY, LTD. (100.0%)
3-6, NAKAMAGOME 1-CHOME, OHTA-KU
TOKYO 143-8555, JP**

72 Inventor/es:

**MASUI, NARUHIRO C/O RICOH COMPANY,
LIMITED,;
EMA, HIDETOSHI C/O RICOH COMPANY,
LIMITED, y
TSUKAMOTO, NOBUNARI C/O RICOH COMPANY,
LIMITED,**

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 635 103 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Generador de reloj de píxeles, modulador de pulsos y aparato de formación de imagen

5 Campo técnico

La presente invención se refiere a un generador de reloj de píxeles, un modulador de pulsos y un aparato de formación de imagen.

10 Antecedentes de la técnica

La figura 28 es un diagrama esquemático general de un aparato de formación de imagen convencional. El aparato de formación de imagen que se muestra en la figura 28 es una impresora láser o una copiadora digital. Se hace que un haz de láser que se emite a partir de una unidad de láser de semiconductor 1009 realice un barrido mediante un espejo poligonal rotatorio 1003, para formar un punto de haz sobre un elemento fotosensible 1001 que es un medio a barrer a través de una lente de barrido 1002, y expone el elemento fotosensible 1001 para formar una imagen latente electrostática sobre el mismo. En este momento, un fotodetector 1004 detecta un haz de barrido en cada línea.

Un circuito de sincronización de fase 1006 recibe un reloj a partir de un circuito de generación de reloj 1005, genera un reloj de imagen (un reloj de píxeles) la fase del cual se sincroniza en cada línea, y suministra el reloj de imagen a una unidad de procesamiento de imagen 1007 y un circuito de accionamiento de láser 1008. La unidad de láser de semiconductor 1009 controla un tiempo de emisión de un láser de semiconductor de acuerdo con los datos de imagen formados por la unidad de procesamiento de imagen 1007 y con un reloj de imagen la fase del cual es establecida para cada línea por el circuito de sincronización de fase 1006 y, de ese modo, se controla la formación de la imagen latente electrostática sobre el elemento fotosensible 1001.

En un sistema óptico de barrido de este tipo, las variaciones de velocidad de barrido dan lugar a fluctuaciones en una imagen, lo que conduce a la degradación de la calidad de imagen. En concreto, en una imagen en color, un desplazamiento de punto de cada color tiene lugar en una dirección de barrido principal, lo que conduce a un cambio de color, y el cambio de color da lugar a una degradación de la reproducción de color y una degradación de la resolución. Por lo tanto, para obtener una imagen de alta calidad, es esencial corregir las variaciones de velocidad de barrido.

Las variaciones (el error) de velocidad de barrido se clasifican, en términos generales, en las que se indican a continuación. Cada factor principal de las mismas se explica en lo sucesivo.

(1) Error de cada faceta de espejo poligonal (para cada línea de barrido) (en lo sucesivo en el presente documento, "error de cada faceta" según sea necesario)

Un factor que da lugar a las variaciones de velocidad de barrido incluye una fluctuación en la distancia con respecto a un eje de rotación de una superficie reflectante polarizada de un polarizador tal como un espejo poligonal. Dicho de otra forma, el factor incluye la excentricidad del espejo poligonal, y una precisión de faceta de las facetas del espejo poligonal. Este tipo de error es un error con una periodicidad de varias líneas, por ejemplo, el número de líneas para el número de facetas de un espejo poligonal.

(2) Error debido a variaciones en la velocidad de barrido promedio

La velocidad de barrido promedio indica un promedio de la velocidad de barrido para cada faceta del espejo poligonal. Un factor que da lugar a tales variaciones de velocidad de barrido incluye las variaciones en la velocidad de rotación del espejo poligonal y las variaciones en un sistema óptico de barrido debido a diversos cambios ambientales tales como la temperatura, la humedad y la vibración. El factor también incluye las variaciones en la velocidad de barrido debido a la aberración cromática en un sistema óptico de barrido debido a que una longitud de onda de emisión de un láser de semiconductor, que es una fuente de luz, se cambia a causa de las variaciones de temperatura o similar. Estos tipos de error son unas variaciones comparativamente moderadas.

(3) Error de cada fuente de luz

Este tipo de error incluye las variaciones de velocidad de barrido que tienen lugar en un sistema óptico de múltiples haces que tiene una pluralidad de fuentes de luz tales como una disposición de láser de semiconductor y que barre de forma concurrente una pluralidad de haces de luz mediante un sistema óptico de barrido común. El factor principal de este tipo son las variaciones en la velocidad de barrido debido a la aberración cromática en un sistema óptico de barrido debido a que hay una diferencia en cuanto a la longitud de onda de emisión de las fuentes de luz. Debido a que la longitud de onda de emisión varía entre las fuentes de luz, el error (2) a veces se puede volver diferente en las fuentes de luz. Además, la diferencia puede tener lugar en la velocidad de barrido de una pluralidad de haces dependiendo de la precisión de montaje de las fuentes de luz.

(4) Error de cada sistema óptico de barrido

5 Cuando un aparato de formación de imagen incluye una pluralidad de elementos fotosensibles y de sistemas ópticos de barrido, y soporta múltiples colores, la diferencia en la velocidad de barrido de los sistemas ópticos de barrido afecta en gran medida a la calidad de imagen. El factor principal de este tipo incluye la deformación debido a la baja precisión de fabricación y precisión de montaje de las partes para los sistemas ópticos de barrido y también debido al cambio en las partes con el tiempo. Además, debido a que las fuentes de luz son diferentes entre sí, puede tener lugar el error (3). Este error es de tal modo que las velocidades de barrido promedio son diferentes entre sí y adicionalmente los errores (1) y (2) tienen lugar de forma discreta. A pesar de que algunos de los aparatos de formación de imagen incluyen aquellos en los que se comparte parte de las unidades en el sistema óptico de barrido, las trayectorias de la luz desde las fuentes de luz respectivas hasta cada medio a barrer (elemento fotosensible) son diferentes entre sí y, por lo tanto, este error también está incluido en este error (4).

15 Ha habido algunos problemas tal como se indica a continuación acerca de la tecnología de control convencional para la frecuencia de reloj de píxeles. De forma más concreta, debido a que la frecuencia de un reloj de referencia que se usa para la comparación de fase es la frecuencia para una línea, esta frecuencia es extremadamente baja (de milésimas a diezmilésimas) con respecto al reloj de píxeles que se hace oscilar. Por lo tanto, no es posible asegurar una ganancia de lazo abierto suficiente de PLL (*Phase Locked Loop*, Lazo de Enganche de Fase) y obtener una precisión de control satisfactoria. Además, esta frecuencia es débil en perturbación y, de ese modo, la frecuencia de reloj fluctúa, y por lo tanto, no se puede generar un reloj con una alta precisión.

20 Como un método de corrección de los errores en la velocidad de barrido, se divulgan diversas tecnologías, por ejemplo, en la solicitud de patente de Japón abierta a inspección pública con n.º 2001-183600 y la solicitud de patente de Japón abierta a inspección pública con n.º 2004-262101.

25 El documento US 2004 / 160506 A1 divulga un aparato de registro óptico que incluye una fuente de luz, un escáner y un controlador de desfase. La fuente de luz emite un haz de luz que se controla para encenderse y apagarse en sincronismo con una señal de reloj de píxeles de acuerdo con datos de imagen de entrada. El escáner reforma el haz de luz que es emitido por la fuente de luz para dar un haz de luz de barrido cíclico que barre, en una dirección de barrido principal, una superficie fotosensible que se mueve en una dirección de barrido secundario. El controlador de desfase realiza una corrección de ampliación de imagen mediante un cambio de fase para cambiar una fase de la señal de reloj de píxeles en unidades de un n-ésimo de un ciclo de la señal de reloj de píxeles en una o más posiciones sobre la superficie fotoconductor en la dirección de barrido principal, en el que n es un número entero más grande que uno.

35 El documento US 4.251.825 A divulga una impresora sin impacto que comprende una fuente de luz, un modulador de luz, un controlador de modulación de luz que incluye un generador de pulsos de control de temporización de impresión, un reflector de haces de luz hecho de un espejo poligonal y un tambor de fotoconductor sobre el cual un haz de luz modulada barre un área que se usa para la realización de barridos, en la que el generador de pulsos de control de temporización de impresión incluye adicionalmente unos medios de compensación que, básicamente, están compuestos por unos medios para medir los tiempos de barrido respectivos que se requieren para barrer las líneas respectivas a barrer sobre el área que se usa para la realización de barridos y unos medios para ajustar los periodos de los pulsos de control de temporización de impresión de acuerdo con cada tiempo de barrido.

45 **Divulgación de la invención****Problema a resolver por la invención**

50 No obstante, en la tecnología que se divulga en la solicitud de patente de Japón abierta a inspección pública con n.º 2001-183600, cuando se corrige un error para cada faceta, una tensión controlada de VCO, que es un oscilador controlado por tensión, se cambia en cada barrido y, por lo tanto, existe un problema en que lleva tiempo para cuando se estabiliza y se hace oscilar una frecuencia de reloj.

55 En la tecnología que se divulga en la solicitud de patente de Japón abierta a inspección pública con n.º 2004-262101, el error en la velocidad de barrido se corrige mediante un control de fase del reloj de píxeles según sea necesario. Por lo tanto, es necesario generar datos de control de fase para una línea de barrido y, además, reducir la desviación local debido al cambio de fase del reloj de píxeles, es decir, generar un reloj de píxeles de alta precisión, es necesario realizar un control de fase de alta resolución. Por lo tanto, se aumentan los datos de control de fase. Por lo tanto, no es sencillo generar los datos de control de fase con alta velocidad y alta precisión. Además, cuando esta tecnología se aplica a un dispositivo para corregir un error de cada faceta, es necesario generar datos de control de fase para cada faceta, y también generar y almacenar una vasta cantidad de datos de control de fase para la corrección de los mismos con alta precisión, por lo tanto, no es sencillo implementar el dispositivo.

65 La presente invención se ha alcanzado para resolver los problemas, y un objetivo de la presente invención es proporcionar un generador de reloj de píxeles capaz de corregir de forma sumamente precisa un error en la velocidad de barrido que tiene lugar a causa de diversos factores, un modulador de pulsos y un aparato de

formación de imagen.

Medios para resolver el problema

- 5 Los problemas anteriores se resuelven, y el objeto se logra, mediante el generador de reloj de píxeles de la reivindicación 1. Algunas realizaciones ventajosas se definen mediante las reivindicaciones dependientes.

Efecto de la invención

- 10 De acuerdo con una realización de la presente invención, un reloj de píxeles se genera en función de un reloj de alta frecuencia, y una frecuencia de reloj de píxeles se controla de acuerdo con una variación en el tiempo de barrido. Por lo tanto, es posible generar un reloj de píxeles que permite la corrección de un error debido a la variación con alta precisión incluso si varía la velocidad de barrido promedio.

Breve descripción de los dibujos

- La figura 1 es un diagrama de una configuración global de un aparato de formación de imagen de acuerdo con una primera realización de la presente invención;
- 20 la figura 2 es un diagrama de bloques funcionales de un generador de reloj de píxeles 111;
- la figura 3 es un diagrama de temporización de un ejemplo de las señales en el generador de reloj de píxeles 111;
- la figura 4 es un diagrama de bloques funcionales de un comparador 5;
- la figura 5 es un diagrama de bloques funcionales de un calculador de frecuencia 7;
- 25 la figura 6 es un diagrama de flujo para explicar un procedimiento de cómo un controlador de cálculo 15 emite una señal;
- la figura 7 es un diagrama para explicar un ejemplo de un proceso de enganche mediante un método de control de acuerdo con la primera realización;
- la figura 8 es un diagrama de bloques funcionales de un calculador de frecuencia de acuerdo con una modificación de la primera realización;
- 30 la figura 9 es un diagrama para explicar un ejemplo de una característica de filtro;
- la figura 10 es un diagrama de bloques funcionales de un filtro para implementar un factor de transferencia $H(z)$;
- la figura 11 es un diagrama para explicar la operación de temporización en un generador de datos de modulación 113;
- 35 la figura 12 es un diagrama de bloques funcionales de un generador de reloj de píxeles de acuerdo con una segunda realización de la presente invención;
- la figura 13 es un diagrama de temporización de relojes que son generados por un generador de reloj de alta frecuencia 51;
- la figura 14 es un diagrama de una configuración del generador de reloj de alta frecuencia 51;
- 40 la figura 15 es un diagrama de bloques funcionales de una unidad de recuento 54;
- la figura 16 es un diagrama de bloques funcionales de una unidad de salida de reloj de píxeles 58;
- la figura 17 es un diagrama de un ejemplo de la temporización de señales en la unidad de recuento 54 y la unidad de salida de reloj de píxeles 58;
- la figura 18 es un diagrama de bloques funcionales de un comparador 55;
- 45 la figura 19 es un diagrama de un ejemplo de la temporización de señales en el comparador 55;
- la figura 20 es un diagrama de bloques funcionales de un generador de datos de modulación 119;
- la figura 21 es un diagrama de un ejemplo de la temporización de señales en el generador de datos de modulación 119;
- la figura 22 es un diagrama para explicar un aparato de formación de imagen de acuerdo con una tercera realización de la presente invención;
- 50 la figura 23 es un diagrama de un ejemplo de la temporización de unas señales de sincronización procedentes de fotodetectores;
- la figura 24 es un diagrama esquemático de, principalmente, una porción de funcionamiento mecánico de un aparato de formación de imagen de acuerdo con una cuarta realización de la presente invención;
- 55 la figura 25 es un diagrama esquemático de, principalmente, una porción de procesamiento de imagen del aparato de formación de imagen de acuerdo con la cuarta realización;
- la figura 26 es un diagrama de una relación entre un tiempo de operación y una anchura de barrido en cada sistema óptico de barrido;
- la figura 27 es un diagrama de bloques de una configuración de hardware de cada aparato de formación de imagen de acuerdo con las realizaciones; y
- 60 la figura 28 es un diagrama esquemático general de un aparato de formación de imagen convencional.

Explicaciones de letras o números

- 1 Generador de reloj de alta frecuencia
- 65 2 Primer detector de flanco
- 3 Segundo detector de flanco

4	Divisor de frecuencia
5	Comparador
6	Filtro
7	Calculador de frecuencia
5	51 Generador de reloj de alta frecuencia
	52 Primer detector de flanco
	54 Unidad de recuento
	58 Unidad de salida de reloj de píxeles
	70 Calculador de tiempo de SET
10	71 Calculador de tiempo de RST
	72 Contador
	75 Contador
	78 Unidad de retardo
	92 Generador de patrones de modulación
15	93 Convertidor paralelo / serie
	101 Láser de semiconductor
	102 Lente de colimación
	103 Lente cilíndrica
	104 Espejo poligonal
20	105 Elemento fotosensible
	106 Lente de $f\theta$
	108, 109 Fotodetector PD1 y PD2
	110 Espejo
	111 Generador de reloj de píxeles
25	112 Procesador de imagen
	113 Generador de datos de modulación
	114 Unidad de accionamiento de láser
	118 Generador de reloj de píxeles
	119 Generador de datos de modulación
30	126 Separador de señales de sincronización
	127 Generador de reloj de píxeles
	128 Generador de datos de modulación
	130 Generador de reloj de píxeles
	131 Generador de datos de modulación
35	133 Procesador de imagen
	153, 155, 156 Espejo de retorno

Mejor(es) modo(s) para llevar a cabo la invención

40 Algunas realizaciones a modo de ejemplo de un generador de reloj de píxeles, un modulador de pulsos y un aparato de formación de imagen de acuerdo con la presente invención se explican con detalle en lo sucesivo con referencia a los dibujos adjuntos. Se hace notar que la presente invención no está limitada por estas realizaciones.

45 La figura 1 es un diagrama de una configuración global de un aparato de formación de imagen de acuerdo con una primera realización de la presente invención. El aparato de formación de imagen incluye un láser de semiconductor 101, una lente de colimación 102, una lente cilíndrica 103, un espejo poligonal 104, un elemento fotosensible 105, una lente de $f\theta$ 106, una lente toroidal 107, unos fotodetectores PD1 (108) y PD2 (109), un espejo 110, un generador de reloj de píxeles 111, un procesador de imagen 112, un generador de datos de modulación 113 y una unidad de accionamiento de láser 114.

50 Un haz de láser que se emite a partir del láser de semiconductor 101 como una fuente de luz se conforma al hacerse pasar a través de la lente de colimación 102 y la lente cilíndrica 103 para entrar en el espejo poligonal 104 como un polarizador y, de ese modo, se refleja con el fin de barrer el elemento fotosensible 105 al tiempo que se mantiene una periodicidad. El haz de láser que se refleja se irradia hacia el elemento fotosensible 105 a través de la lente de $f\theta$ 106, el espejo 110 y la lente toroidal 107, para formar un punto de haz. De ese modo, se forma una imagen latente electrostática sobre el elemento fotosensible 105 de acuerdo con una salida del láser de semiconductor 101.

60 El fotodetector PD1 (108) y el fotodetector PD2 (109) se proporcionan sobre ambos extremos del espejo 110, de tal modo que se detectan el inicio y el fin del barrido. De forma más concreta, el haz de láser que es reflejado por el espejo poligonal 104 entra en el fotodetector PD1 (108) antes de que se haya realizado un barrido de una línea sobre el elemento fotosensible 105, y entra en el fotodetector PD2 (109) después del barrido. Los fotodetectores convierten los haces de láser que han entrado, en una primera señal de sincronización SPSINC y una segunda señal de sincronización EPSINC, de forma respectiva, y las suministran al generador de reloj de píxeles 111.

65 El generador de reloj de píxeles 111 mide un intervalo de tiempo en el que el haz de láser realiza un barrido entre los fotodetectores PD1 (108) y PD2 (109), a partir de las dos señales de sincronización SPSINC y EPSINC, genera un

reloj de píxeles PCLK de una frecuencia que se obtiene de tal modo que un número fijo de relojes previamente establecido cae dentro del intervalo de tiempo, y suministra el reloj de píxeles al procesador de imagen 112 y el generador de datos de modulación 113. La configuración del generador de reloj de píxeles 111 se explica en lo sucesivo.

5 La primera señal de sincronización SPSINC que es una señal de salida del fotodetector PD1 (108) también se proporciona al procesador de imagen 112 como una señal de sincronización de líneas. El procesador de imagen 112 genera datos de imagen en función del reloj de píxeles PCLK.

10 El generador de datos de modulación 113 genera datos de modulación a partir de la entrada de datos de imagen, en función del reloj de píxeles PCLK, y acciona el láser de semiconductor 101 a través de la unidad de accionamiento de láser 114.

15 La figura 2 es un diagrama de bloques funcionales del generador de reloj de píxeles 111. El generador de reloj de píxeles 111 incluye un generador de reloj de alta frecuencia 1, un primer detector de flanco 2, un segundo detector de flanco 3, un divisor de frecuencia 4, el comparador 5, un filtro 6 y el calculador de frecuencia 7.

20 En el generador de reloj de píxeles 111 que se muestra en la figura 2, el generador de reloj de alta frecuencia 1 genera un reloj de alta frecuencia VCLK que se multiplica en función de un reloj de referencia RefCLK, y se forma con un circuito de PLL (*Phase Locked Loop*, Lazo de Enganche de Fase) ordinario. Se usa una salida de, por ejemplo, un oscilador de cristal de alta precisión para el reloj de referencia RefCLK a introducir, se obtiene de ese modo un reloj de alta precisión y de alta frecuencia VCLK. El generador de reloj de píxeles 111 genera un reloj de píxeles PCLK en función del reloj de alta frecuencia VCLK.

25 El divisor de frecuencia 4 genera un reloj de píxeles PCLK que se obtiene mediante la división del reloj de alta frecuencia VCLK por M. El divisor de frecuencia 4 se forma con, por ejemplo, un contador M-ario, y emite un valor de recuento "recuentoM". En el presente caso, si el recuento se inicia en el flanco de subida de la señal de sincronización SPSINC, se puede generar un reloj de píxeles cuya fase sincroniza el tiempo de inicio de barrido. Una relación de división de frecuencia M se cambia de acuerdo con una señal de especificación de frecuencia de reloj de píxeles Mnow enviada a partir del calculador de frecuencia 7. El reloj de píxeles PCLK se genera a través de la división del reloj de alta frecuencia VCLK, que se hace oscilar de forma estable y sumamente precisa, de la forma anterior. Por lo tanto, al cambiar la relación de división de frecuencia, la frecuencia de reloj de píxeles se puede cambiar de forma instantánea y estable. Por lo tanto, incluso si la frecuencia se cambia para cada línea, la frecuencia de reloj de píxeles puede responder de forma instantánea al cambio.

35 El primer detector de flanco 2 detecta el flanco de subida de la primera señal de sincronización SPSINC en función del reloj de alta frecuencia VCLK, y emite un pulso de detección SPpIs en sincronización con el reloj de píxeles PCLK cuando se detecta el flanco de subida de la señal de sincronización SPSINC.

40 El segundo detector de flanco 3 detecta el flanco de subida de la segunda señal de sincronización EPSINC en función del reloj de alta frecuencia VCLK, y emite un pulso de detección EPpIs y un valor de recuento EPm.

45 El comparador 5 detecta un tiempo Tlínea entre las dos señales de sincronización SPSINC y EPSINC, y calcula una diferencia entre un tiempo de referencia y el tiempo Tlínea que se cuenta como un error Lerr de la línea, estando previamente establecido el tiempo de referencia de acuerdo con una frecuencia de escritura y una distancia entre los dos fotodetectores PD1 y PD2. Dicho de otra forma, una diferencia entre un tiempo de barrido (tiempo de referencia) apropiado y el tiempo de barrido Tlínea para la línea es un error en la velocidad de barrido.

50 El error Lerr se puede calcular mediante el recuento en función del reloj de alta frecuencia VCLK, pero el reloj de alta frecuencia VCLK es de una frecuencia extremadamente alta y el número de bits a contar se vuelve enorme y, por lo tanto, el cálculo es desventajoso en términos de la escala de un circuito y el consumo de alimentación. En la primera realización, por lo tanto, el tiempo Tlínea se cuenta en función del reloj de píxeles PCLK, el tiempo que se cuenta se compara con un valor de referencia RefN y, por último, se convierte como un error de línea Lerr en función del reloj de alta frecuencia.

55 El filtro 6 es un filtro digital que somete el error de línea Lerr a un filtrado y emite los datos de error Err. En resumen, los datos de error Err se obtienen al promediar los errores Lerr para una pluralidad de líneas más cercanas.

60 El calculador de frecuencia 7 calcula una frecuencia de reloj de píxeles apropiada de acuerdo con los datos de error Err, convierte la frecuencia calculada en la señal de especificación de frecuencia de reloj de píxeles Mnow, y emite la señal de especificación Mnow. Cuando una frecuencia de reloj de píxeles se ajusta como $T_p = K T_v$ y se barre, en la que T_v es un ciclo de reloj de alta frecuencia y T_p es un ciclo de reloj de píxeles, se introduce un error Err entre el valor de consigna y un valor objetivo T_p' ($T_p' = K' T_v$). Por lo tanto, debido a que $RefN \cdot T_p' = RefN \cdot T_p + Err \cdot T_v$, y si K' se ajusta por medio de la ecuación (1), la frecuencia de reloj de píxeles se puede controlar al valor objetivo.

65

$$K' = K + Err / RefN \quad (1)$$

Dicho de otra forma, un control de PLL digital (DPLL, *digital PLL*) se realiza por medio del divisor de frecuencia 4, el comparador 5, el filtro 6, y el calculador de frecuencia 7. La propiedad de control de PLL se decide por medio de la característica del filtro 6, y la característica de filtro se decide de tal modo que se estabiliza un sistema de control. Como alternativa, una ganancia de lazo se puede cambiar mediante el ajuste de la ecuación a $K' = K + \alpha \cdot \text{Err} / \text{RefN}$.

Debido a que la relación de división de frecuencia M del divisor de frecuencia 4 es un número natural, si un valor de consigna K de la frecuencia de reloj de píxeles se convierte en la señal de especificación de frecuencia de reloj de píxeles M_{now} de la siguiente forma, se puede reducir un error de redondeo, obteniendo de ese modo un reloj de píxeles de una precisión más alta. En general, por ejemplo, el valor de consigna K se redondea al número entero más cercano, este número se ajusta a M, y M_{now} = M, y mediante el ajuste de M_{now} = M + 1 o M - 1 una vez en C ciclos del reloj de píxeles, se obtiene $K = (M \pm 1 / C)$, de tal modo que se puede reducir el error de redondeo. Además, el error de redondeo está asignado de manera uniforme y, de ese modo, es posible reducir al mínimo la desviación local del reloj de píxeles. En el presente caso, se deberían controlar el valor de M y el valor de C. Una explicación detallada se dará en lo sucesivo.

La figura 3 es un diagrama de temporización de un ejemplo de las señales en el generador de reloj de píxeles. La figura 4 es un diagrama de bloques funcionales del comparador 5. La operación del comparador 5 se explica con detalle en lo sucesivo con referencia a la figura 3 y la figura 4.

En la figura 3, (a) SPSINC representa la primera señal de sincronización que indica el inicio del barrido, y se introduce en el primer detector de flanco 2, (b) EPSINC representa la segunda señal de sincronización que indica el fin del barrido, y se introducen en el segundo detector de flanco 3, y (c) VCLK representa el flanco de subida de un reloj de alta frecuencia que se genera en el generador de reloj de alta frecuencia 1. (d) recuentoM representa un valor de recuento que es contado por el divisor de frecuencia 4 en función del reloj de alta frecuencia VCLK, (e) PCLK representa un reloj de píxeles que sube cuando (d) recuentoM es 0. (f-1) SPpls y (f-2) EPpls representan unos pulsos que sincronizan PCLK que indica los flancos de subida de (a) SPSINC y (b) EPSINC, de forma respectiva. (g-2) EPm representa un valor de (d) recuentoM tras la subida de (b) EPSINC, y (h) representa un valor de recuento que se cuenta en función del reloj de píxeles PCLK en el comparador 5, y el valor de recuento se restablece a 0 con la (f-1) SPpls y el recuento se detiene con la (f-2) EPpls.

En el comparador 5 de la figura 4, un contador 11 cuenta en función del reloj de píxeles PCLK, y restablece los recuentos a 0 con la SPpls y deja de contar con la EPpls. Un sustractor 12 sustrae el valor de recuento de referencia RefN con respecto al valor recuentoM (n en la figura 3) del contador 11 después de que se haya detenido el recuento, y emite un resultado de sustracción difN. Un calculador de error 13 calcula de la siguiente forma y emite un error Lerr usando el ciclo Tv de los relojes de alta frecuencia VCLK como una unidad.

$$\text{Lerr} = \text{difN} \cdot K + \text{EPm}$$

en la que $\text{difN} = n - \text{RefN}$, $\text{EPm} = m2$, $Tp = K \cdot Tv$, y Tp es un ciclo de PCLK.

Cuando una distancia entre los dos fotodetectores PD1 y PD2 no es un múltiplo entero de la anchura de un punto, es decir, cuando el tiempo de referencia no es un múltiplo entero de un ciclo de reloj de píxeles objetivo, una fracción del mismo se convierte en el número de ciclos del reloj de alta frecuencia VCLK, y este valor convertido, como RefM, se introduce en el calculador de error 13 y, entonces, el cálculo se realiza por medio de la siguiente ecuación

$$\text{Lerr} = \text{difN} \cdot K + \text{EPm} - \text{RefM}$$

controlando de forma más precisa, por lo tanto, una frecuencia de reloj de píxeles.

La figura 5 es un diagrama de bloques funcionales del calculador de frecuencia 7. En la primera realización, el espejo poligonal tienen seis facetas, y una frecuencia de reloj de píxeles se controla para cada faceta para corregir un error de cada faceta.

Un calculador 16 del calculador de frecuencia 7 calcula los siguientes valores de consigna SiguienteM, SiguienteC y SiguienteR a partir de los actuales valores de consigna M, C y R y a partir de unos datos de error Err, y este cálculo se realiza para cada faceta de acuerdo con una señal de especificación de faceta de cálculo CalcNo. La relación entre M, C y R es $Tp = (M \pm 1 / C) Tv$, y $C = \text{RefN} / R$. En función de estas ecuaciones y la ecuación (1), al abreviar de una forma tal como SiguienteM = M', SiguienteR = R' y RefN = Nr, se obtiene la siguiente ecuación

$$M' + R' / \text{Nr} = M + R / \text{Nr} + \text{Err} / \text{Nr}, \quad C' = \text{Nr} / R'$$

y el cálculo se realiza en el siguiente procedimiento.

- (1) Calcular $R + \text{Err}$ (= TmpR).
- (2) Si $\text{TmpR} > \text{Nr} / 2$, se ajusta a $R' = \text{TmpR} - \text{Nr}$ suponiendo que $M' = M + 1$. Si $\text{TmpR} < -\text{Nr} / 2$, se ajusta a $R' =$

TmpR + Nr suponiendo que $M' = M - 1$. De lo contrario, $M' = M$ y $R' = \text{TmpR}$.
 (3) El cociente de Nr / R' se ajusta a C' . Si $R' = 0$, se ajusta a $C' = 0$.

5 Un registro 17 es un contenedor de datos que contiene unos valores de M que se obtienen a través del cálculo, y los valores que se retienen incluyen unos valores de F0M a F5M para cada faceta del espejo poligonal. Un valor de registro que se corresponde con una señal de renovación Renovación se renueva a SiguienteM. En el presente caso, una marca * indica uno cualquiera de los números de faceta 0 a 5, y F * indica un valor que se corresponde con un número de faceta del espejo poligonal (en lo sucesivo en el presente documento, el mismo). Se hace notar que los números de faceta indican una relación relativa y un valor correspondiente se controla de forma automática y, por lo tanto, no hay necesidad alguna de que el número de faceta se haga coincidir con una faceta real.

15 De forma similar, un registro 18 es un contenedor de datos que contiene unos valores de C actualmente establecidos, y un registro 19 es un contenedor de datos que contiene unos valores de R (F05 a F5R) actualmente establecidos. Los valores de registro correspondientes se renuevan a SiguienteC y SiguienteR, de acuerdo con la señal de renovación Renovación, de forma respectiva.

20 Un selector 20 selecciona un valor de M correspondiente de entre F0M a F5M de acuerdo con una señal de selección de facetas FNo y emite el valor de M. De forma similar, un selector 21 selecciona un valor de C correspondiente de entre F0C a F5C de acuerdo con la señal de selección de facetas FNo y emite el valor de C. Se hace notar que Csigno indica el signo del valor de C.

25 Un contador 23 cuenta un valor de C en función de la PCLK. El valor de C que se cuenta varía de 0 a $C - 1$. Cuando el valor de recuento alcanza $C - 1$, el contador 23 emite +1 si el Csigno indica positivo, emite -1 si el Csigno indica negativo, y emite 0 en cualquier otro caso. Cuando $C = 0$, siempre se emite 0.

30 Un sumador 22 añade M que se emite a partir del selector 20 y un valor que se emite a partir del contador 23, y emite el resultado de la adición como una señal de especificación de frecuencia de reloj de píxeles Mnow. Por lo tanto, el valor de M se convierte una vez en C ciclos de PCLK con el fin de ser +1 o -1, y un ciclo promedio del reloj de píxeles se vuelve $(M \pm 1 / C) T_v$.

El controlador de cálculo 15 controla el cálculo, genera la señal de especificación de faceta de cálculo CalcNo, la señal de renovación Renovación y la señal de selección de facetas FNo, y emite las señales. La salida de estas señales se explica con referencia al siguiente diagrama de flujo.

35 La figura 6 es un diagrama de flujo para explicar un procedimiento de cómo un controlador de cálculo emite una señal. En un primer momento, el controlador de cálculo 15 se inicializa en función de $FNo = 0$ y $CalcNo = 0$ (la etapa S101). El controlador de cálculo 15 espera hasta que ha finalizado un barrido de línea, es decir, hasta que se detecta el fin del barrido a través de EPpls. El tiempo de espera incluye un tiempo adicional hasta que se determina el cálculo de los datos de error Err (la etapa S102).

40 El controlador de cálculo 15 realiza el cálculo que se corresponde con la actual CalcNo (la etapa S103). El controlador de cálculo 15 vuelve entonces activa la señal de renovación Renovación que se corresponde con la actual CalcNo, y renueva un valor de cada registro a un siguiente valor (la etapa S104). La CalcNo se incrementa. Cuando $CalcNo = 5$, el valor vuelve a 0 (la etapa S105). El proceso se bifurca de acuerdo con una bandera de enganche Enganche que indica si está enganchado el control para la frecuencia de reloj de píxeles (la etapa S106). La bandera de enganche Enganche que se menciona en el presente caso indica una señal que indica que el control está enganchado en el siguiente caso. El caso es de tal modo que un error Lerr (o los datos de error Err) entre unas líneas previamente determinadas (por ejemplo, seis líneas) cae dentro de un intervalo fijo (que se decide a partir de un intervalo de variación de un error entre facetas o a partir de una precisión de control deseada, y, esta se ajusta a, por ejemplo, no más de $\pm 2M$). Solo es necesario que se proporcione un generador de esta señal, por ejemplo, en el filtro 6. Como alternativa, un tiempo fijo (especificado por el número de líneas, etc.) a partir del inicio del control se ajusta previamente de acuerdo con la sensibilidad de control. Y cuando ha transcurrido el tiempo, la señal de Enganche se puede volver activa.

55 Cuando un resultado de determinación es No, es decir, cuando el control no está aún enganchado (la etapa S106, No), se determina si se ha realizado el cálculo para la totalidad de las facetas y se han renovado los valores de consigna (la etapa S107). Si se ha realizado el cálculo para la totalidad de las seis facetas (la etapa S107, Sí), se obtiene $FNo = CalcNo$, y el proceso avanza a la etapa S108. Si el mismo es negativo (la etapa S107, No), el proceso vuelve a la etapa S103, en la que el cálculo se realiza para otra faceta.

60 En la etapa S108, FNo se incrementa (si 5, el valor se devuelve a 0), y FNo se sustituye en la CalcNo. Dicho de otra forma, el valor después del incremento se sustituye en la misma. Esto da lugar a que el valor de M y el valor de C, que se convierten en la señal de especificación de frecuencia de reloj de píxeles Mnow, se cambien a valores ajustados para la siguiente línea (la etapa S108). Las operaciones hasta el momento se han realizado para cuando se empieza el barrido de la siguiente línea (la detección de SPSINC). Entonces, el proceso vuelve a la etapa S102, en la que se repite la rutina.

El controlador de cálculo 15 realiza el control de la forma anterior y continúa realizando el control con el fin de reducir un error Err para la totalidad de las facetas hasta que cada frecuencia de reloj de las facetas ha caído dentro de un error previamente determinado. Por lo tanto, es posible un enganche de alta velocidad, y después de que las frecuencias de reloj hayan caído dentro del error previamente determinado, se proporciona un control de forma discreta para cada faceta, lo que permite una reducción en el error entre facetas y también un control de alta precisión a lo largo de la frecuencia de reloj.

La figura 7 es un diagrama para explicar un ejemplo de un proceso de enganche mediante un método de control de acuerdo con la primera realización. En la figura 7, el eje x indica el tiempo, y el eje e indica un error de línea Lerr. Los círculos de color negro son unos errores que se corresponden con una faceta 0-ésima. Los errores de las otras facetas se indican mediante una marca de cruce. Una línea de puntos indica un promedio de los errores para las seis facetas.

La figura 8 es un diagrama de bloques funcionales de un calculador de frecuencia de acuerdo con una modificación de la primera realización. El controlador de cálculo 15 en un calculador de frecuencia 7' de acuerdo con la modificación realiza un control para el cálculo que se requiere en el presente documento de la misma forma que la del controlador de cálculo 15 de la figura 5. Un calculador 25 calcula los siguientes valores de consigna SiguienteM y SiguienteF a partir de los actuales valores de consigna M, F y a partir de los datos de error Err, y realiza estos cálculos para cada faceta de acuerdo con la señal de especificación de faceta de cálculo CalcNo.

En el calculador de frecuencia de acuerdo con la modificación, el valor de consigna K de una frecuencia de reloj de píxeles se convierte en una señal de especificación de frecuencia de reloj de píxeles Mnow de la siguiente forma. De forma más concreta, una parte entera del valor de consigna K es M, y una parte decimal se redondea a un valor F de "a" dígitos (en notación binaria). Entonces, cuando mediante el ajuste de $M_{now} = M + 1$ "F" veces en 2^a (= Na) ciclos, se ajusta $K = (M + F / Na)$. Un error de redondeo debido al valor de consigna se vuelve N_{ref} / Na en el máximo, y el número de dígitos "a" de la parte decimal se decide con el fin de caer dentro de una tolerancia a errores deseada. Para suprimir una desviación de frecuencia local, las F veces en ciclos en los que se añade 1 están asignadas de manera uniforme. Un convertidor 31 porta esta función (el funcionamiento detallado se explica en lo sucesivo). En consecuencia, al abreviar de una forma tal como $SiguienteF = F'$ de acuerdo con la ecuación (1) y la ecuación de relación de K, se obtiene la siguiente ecuación

$$N' + F' / Na = M + F / Na + Err / Nr$$

y por lo tanto, el cálculo se realiza en el siguiente procedimiento.

(1) Calcular $F + Err / Nr * Na$ (= TmpF). Debido a que Na es 2^a , * Na solo toma "a" bits de orden alto de un multiplicando (Err / Nr), y debido a que Nr es fijo durante este control de frecuencia, un número inverso de Nr se calcula previamente, y mediante la multiplicación de Err por este número, el cálculo se realiza fácilmente.

(2) Si $TmpF > Na$, se ajusta a $M' = M + 1$, y $F' = TmpF - Na$. Si $TmpF < 0$, se ajusta a $M' = M - 1$, y $F' = TmpF + Na$.

Como el caso de la figura 5, un registro 26 es un contenedor de datos que contiene unos valores de M que se obtienen a través del cálculo, y un registro 27 también es un contenedor de datos que contiene unos valores de F que se obtienen a través del cálculo. Estos valores se retienen en correspondencia con F0 a F5 para cada faceta del espejo poligonal. Los valores de registro correspondientes se renuevan a SiguienteM y SiguienteF de acuerdo con la señal de renovación Renovación, de forma respectiva.

Un selector 28 selecciona un valor de M correspondiente de entre F0M a F5M de acuerdo con la señal de selección de facetas FNo, y emite el valor de M. De forma similar, un selector 29 selecciona un valor de F correspondiente de entre F0F a F5F de acuerdo con la señal de selección de facetas FNo, y emite el valor de F.

Un contador 30 es un contador de a bits que cuenta en función de PCLK, y emite un valor de recuento recuentoA. El convertidor 31 emite una señal ARRIBA mediante el ajuste de "1" para F ciclos y "0" para los Na - F ciclos restantes durante Na (= 2^a) ciclos de acuerdo con el valor de recuento recuentoA. La generación de la señal de ARRIBA se implementa de una forma tal que, cuando un valor de recuento recuentoA [0 : a - 1] que se obtiene mediante la inversión de una disposición de bits de un valor de recuento recuentoA [a-1 : 0] se ajusta como Arev, y mediante el ajuste de 1 si Arev es más pequeño que F ($ARRIBA = (Arev < F)$), "1" se genera F veces de manera uniforme durante los Na ciclos.

Un sumador 32 añade M que se emite a partir del selector 28 y ARRIBA que se emite a partir del convertidor 31, y emite el resultado de la adición como una señal de especificación de frecuencia de reloj de píxeles Mnow. Por lo tanto, se realiza una conversión de tal modo que el valor de M se incrementa 1 F veces en los Na ciclos de la PCLK, y un ciclo promedio del reloj de píxeles se vuelve $(M + F / Na)$ Tv.

Tal como se ha explicado en lo que antecede, la frecuencia de reloj de píxeles se controla de una forma tal que se detecta un error de fase Lerr para cada línea, y un control de PLL digital se proporciona de tal modo que el error de

fase se vuelve 0. El filtro 6 es un filtro digital que se proporciona en un lazo de control, y al cambiar la característica de filtro, se puede establecer un intervalo de control. Un ejemplo de ajuste del filtro se explica en lo sucesivo.

5 La figura 9 es un diagrama para explicar un ejemplo de característica de filtro. En un primer momento, una ganancia de lazo de un sistema de control de DPLL que excluye un filtro de lazo se vuelve como una línea 901, en donde f_s es una frecuencia de muestreo es decir, una frecuencia de línea, en el presente documento. Un filtro de retardo / adelanto que tiene la característica como una línea de trazo discontinuo 902 se inserta en el sistema de control para obtener una ganancia de lazo 903, estabilizando de este modo el sistema de control.

10 Una función de transferencia $H(s)$ del filtro de lazo se vuelve la siguiente ecuación

$$H(s) = (1 + \tau_2 s) / (1 + \tau_1 s)$$

en la que $\tau_1 = 1 / 2\pi f_1$ y $\tau_2 = 1 / 2\pi f_2$.

15 La ecuación se somete a una transformación bilineal ($s = 2 / T \cdot (1 - z^{-1}) / (1 + z^{-1})$) para convertirse a un formato de transformada z , y mediante la normalización de la misma cuando $T = 1$, la función de transferencia $H(z)$ se vuelve la siguiente ecuación.

20
$$H(z) = (b_0 + b_1 z^{-1}) / (1 + a_1 z^{-1})$$

en la que $a_1 = (1 - 2\tau_1) / (1 + 2\tau_1)$, $b_0 = (1 + 2\tau_2) / (1 + 2\tau_1)$, y $b_1 = (1 - 2\tau_2) / (1 + 2\tau_1)$.

25 La figura 10 es un diagrama de bloques funcionales de un filtro para implementar el factor de transferencia $H(z)$. El filtro 6 es un filtro de tipo IIR primario. Los sumadores 40 y 45 añaden cada entrada, y los multiplicadores 42, 43 y 45 multiplican cada entrada por los factores $-a_1$, b_1 y b_0 para obtener valores, de forma respectiva, y emiten los valores. Un elemento de retardo 41 retarda una variable intermedia w para cada una de las muestras, es decir, para cada una de las líneas. Al introducir el error de línea L_{err} en el filtro 6, se obtienen los datos de error Err .

30 Además, mediante la provisión de unidades para cambiar los factores de los multiplicadores 42, 43 y 44, de forma respectiva, la característica de filtro se puede cambiar de forma dinámica. Por ejemplo, la característica de filtro se puede cambiar de acuerdo con la señal de Enganche.

35 La característica de filtro y la configuración de acuerdo con la primera realización son un ejemplo, y por lo tanto, la presente invención es aplicable a filtros que tengan otras configuraciones. Debido a que el filtro digital es la tecnología conocida, se omiten ejemplos de las otras configuraciones.

40 Un método de modulación apropiado en el generador de datos de modulación 113 se explica en lo sucesivo. El generador de datos de modulación 113 modula una anchura de pulso de acuerdo con datos de imagen en función del reloj de píxeles PCLK que se genera en el generador de reloj de píxeles 111 (la figura 2).

45 La figura 11 es un diagrama para explicar la operación de temporización en el generador de datos de modulación 113. En el presente caso, se generan unos datos de modulación MDatos que se han sometido a una modulación de anchura de pulso de 8 valores de acuerdo con unos datos de imagen PDatos. En la figura 11, (a) VCLK indica el flanco de subida de un reloj de alta frecuencia (ciclo T_v), y (b) recuentoM es un valor de recuento que es contado por el divisor de frecuencia 4, y en el presente caso, se ajusta $M_{now} = 16$. En la figura 11 también, (c) PCLK es un reloj de píxeles, y en el presente caso, su ciclo es $16 T_v$, y (d) PDatos son unos datos de imagen que se introducen en sincronización con PCLK, y una anchura de pulso T_w de (e) MDatos a emitir se modula de acuerdo con un valor D_m de los datos de imagen.

50 Los datos de modulación MDatos se generan en función del reloj de alta frecuencia VCLK, y si $D_m \neq 0$, la señal se ajusta al nivel alto "H" cuando recuentoM = 0. Además, la señal se ajusta al nivel bajo "L" cuando recuentoM = $D_m / N_m \cdot M_{now}$ (N_m es el número de tonos, que es 8 en el presente caso). La misma se ajusta a "H" cuando recuentoM = $(N_m - D_m) / N_m \cdot M_{now}$, y si $D_m \neq 8$, esta se ajusta a "L" cuando recuentoM = 0 y, de ese modo, se pueden generar datos de modulación como (e'). Además, estos dos modos de generación se pueden conmutar con el fin de cambiar entre los mismos para cada punto.

60 Se explica cómo controlar la frecuencia de reloj de píxeles de acuerdo con una variación en el tiempo de barrido entre dos puntos tales como el inicio del barrido y el fin del mismo, pero si la velocidad de barrido en una línea es casi constante, se puede proporcionar un control de acuerdo con una variación en el tiempo de barrido entre dos puntos arbitrarios en una línea, y esto se puede usar en la primera realización.

65 Tal como se ha explicado en lo que antecede, en el generador de reloj de píxeles de acuerdo con la primera realización, un reloj de píxeles se genera en función del reloj de alta frecuencia VCLK que se genera de forma sumamente precisa, y la frecuencia de reloj de píxeles se controla de acuerdo con la variación en el tiempo de barrido. Por lo tanto, incluso si varía una velocidad de barrido promedio, es posible generar un reloj de píxeles que

permite una corrección de errores con alta precisión. Además, la frecuencia de reloj de píxeles se controla en correspondencia con cada faceta del espejo poligonal y, por lo tanto, incluso si hay un error en la velocidad de barrido para cada faceta, es posible generar un reloj de píxeles que permite una corrección de errores con alta precisión. Además, mediante la aplicación del generador de reloj de píxeles al aparato de formación de imagen, se forma una imagen en función del reloj de píxeles en el que se corrige el error en la velocidad de barrido, por lo tanto de forma sumamente precisa, obteniendo una imagen de alta calidad.

Un aparato de formación de imagen de acuerdo con una segunda realización de la presente invención presenta un punto diferente con respecto a la primera realización en que un reloj de alta frecuencia se forma con unos relojes de múltiples fases en los que las fases se desplazan una diferencia de fase fija y los relojes de múltiples fases se usan para formar un reloj de píxeles.

La figura 12 es un diagrama de bloques funcionales de un generador de reloj de píxeles de acuerdo con la segunda realización. En un generador de reloj de píxeles 118 de la figura 12, un generador de reloj de alta frecuencia 51 realiza una multiplicación en función del reloj de referencia RefCLK, para generar unos relojes de múltiples fases en los que la diferencia de fase está separada por igual. La segunda realización está configurada para generar unos relojes de múltiples fases de 16 fases VCLK0 a 15. Uno de los relojes de múltiples fases se divide por Q (En el presente caso, $Q = 4$) para generar un reloj GCLK para el funcionamiento interno, y el reloj se suministra a componentes (que no se muestran) del generador de reloj de píxeles 118.

La figura 13 es un diagrama de temporización de relojes que son generados por el generador de reloj de alta frecuencia 51. Las señales (a-0) a (a-15) de la figura 13 son unos relojes respectivos de los relojes de múltiples fases VCLK0 a 15, y tienen unas diferencias de fase con unos intervalos mutuamente iguales, y este intervalo de tiempo se ajusta a T_v . Un (b) GCLK es un reloj que se obtiene mediante la división de (a-0) VCLK0 por 4. El generador de reloj de píxeles 118 (la figura 12) opera en función de este reloj GCLK como un reloj de operación, los periodos que se obtienen mediante la división de GCLK por 4 se denominan, de forma secuencial, QT0, QT1, QT2 y QT3. Además, los tiempos que se corresponden con los flancos de subida respectivos de los relojes de múltiples fases VCLK0 a 15 se denominan PH0 a PH15, y la información de tiempo QP en GCLK se expresa mediante un periodo QT y una fase PH.

La información de tiempo QP incluye 64 valores de 0 a 63, y en la segunda realización, un reloj de píxeles PCLK se genera en función de una diferencia de fase separada de manera uniforme T_v en los relojes de múltiples fases. De forma más concreta, el cálculo acerca del control para la frecuencia de reloj de píxeles se implementa mediante el cálculo de la información de tiempo QP (QT, PH) en función del reloj de operación GCLK.

Un primer detector de flanco 52 (la figura 12) detecta el flanco de subida de la primera señal de sincronización SPSINC en función de los relojes de múltiples fases VCLK0 a 15. Cuando se detecta el flanco de subida de la señal de sincronización SPSINC, el primer detector de flanco 52 emite un pulso de detección SPpIs en sincronización con el reloj GCLK y una información de tiempo SPqp que indica un periodo QT y una fase PH tras la subida.

Un segundo detector de flanco 53 detecta el flanco de subida de la segunda señal de sincronización EPSINC en función de los relojes de múltiples fases VCLK0 a 15. Cuando se detecta el flanco de subida de la señal de sincronización EPSINC, el segundo detector de flanco 53 emite un pulso de detección EPpIs en sincronización con el reloj GCLK y una información de tiempo EPqp que indica un periodo QT y una fase PH tras la subida.

La unidad de recuento 54 cuenta el tiempo de acuerdo con una señal de especificación de frecuencia de reloj de píxeles Mnow enviada a partir de un calculador de frecuencia 57, genera una señal de Set (Establecimiento) (que incluye una señal de SETpIs en sincronización con GCLK y una información de tiempo SETqp) cada vez que el tiempo alcanza Mnow. La unidad de recuento 54 también cuenta el tiempo que se corresponde con $Mnow / 2$ a partir de la señal de Set, y genera una señal de Rst (Reset, Restablecimiento) (que incluye una señal de RSTpIs en sincronización con GCLK y una información de tiempo RSTqp). Una unidad de tiempo a contar es cada diferencia de fase T_v en los relojes de múltiples fases VCLK0 a 15.

La unidad de salida de reloj de píxeles 58 conmuta entre "H" y "L" de acuerdo con la señal de Set y la señal de Rst que se suministran a partir de la unidad de recuento 54, y genera un reloj de píxeles PCLK a emitir. La configuración y la operación detalladas de los mismos se explican en lo sucesivo.

El comparador 55 detecta un tiempo Tlínea entre dos señales de sincronización SPSINC y EPSINC, y calcula una diferencia entre un tiempo de referencia y el tiempo Tlínea que se cuenta como un error Lerr de la línea, estando previamente establecido el tiempo de referencia de acuerdo con una frecuencia de escritura y una distancia entre los dos fotodetectores PD1 y PD2. Dicho de otra forma, una diferencia entre un tiempo de barrido (tiempo de referencia) apropiado y el tiempo de barrido Tlínea para la línea es un error en la velocidad de barrido. En el presente caso, el comparador 55 cuenta el número de señales SETpIs que se introducen durante el periodo hasta que se ha introducido EPpIs después de que se haya introducido SPpIs, y compara el valor con el valor de referencia RefN, y convierte adicionalmente el valor como un error Lerr de la línea a partir de la información de tiempo para cada pulso. La unidad de este error es la diferencia de fase T_v .

Un filtro 56 es un filtro digital que somete el error de línea Lerr a un filtrado y emite los datos de error Err. El calculador de frecuencia 57 calcula una frecuencia de reloj de píxeles apropiada de acuerdo con los datos de error Err, convierte la frecuencia de reloj de píxeles en una señal de especificación de frecuencia de reloj de píxeles Mnow, y emite esta señal.

5 Cuando una frecuencia de reloj de píxeles se ajusta a $T_p = K T_v$, en la que T_p es un ciclo de reloj de píxeles, y se barre, se introduce un error Err con el valor objetivo T_p' ($T_p' = K' T_v$). Por lo tanto, si K' que se obtiene mediante la ecuación (1) se ajusta de la forma anterior, la frecuencia de reloj de píxeles se puede controlar al valor objetivo.

10 El filtro 6 y el calculador de frecuencia 57 desempeña las mismas funciones que el filtro 6 y el calculador de frecuencia 7 de la figura 2, y también se usan las configuraciones de los mismos y, por lo tanto, se omite una explicación detallada de los mismos.

15 La figura 14 es un diagrama de la configuración del generador de reloj de alta frecuencia 51. El generador de reloj de alta frecuencia 51 genera los relojes de múltiples fases VCLK0 a 15 y el reloj GCLK para el funcionamiento interno, a partir del reloj de referencia RefCLK.

20 Un oscilador controlado por tensión (VCO, *voltage controlled oscillator*) 63 se forma con un oscilador de anillo en las que unas memorias intermedias diferenciales de ocho fases 64a a 64h se conectan entre sí, y genera unos relojes de 16 fases VCLK0 a 15. Un divisor de frecuencia 60 divide uno (VCLK8, en el presente documento) de los relojes de múltiples fases por N_v .

25 Un comparador de frecuencia de fase PFD61 compara las fases entre el reloj de referencia RefCLK y una salida del divisor de frecuencia 60, y acciona un multiplicador de tensión incorporado, en función de la información de diferencia de fase. Un filtro de paso de bajos LPF62 alisa la salida del multiplicador de tensión y suministra una tensión controlada V_c a la VCO 63.

30 En las memorias intermedias diferenciales 64a a 64h de la VCO 63, cada cantidad de retardo cambia de acuerdo con la una tensión controlada V_c , y se realiza un control de sincronización de fase. Por ejemplo, se suministra un reloj de 100 MHz como el reloj de referencia RefCLK, y una relación de división de frecuencia N_v se ajusta a 20. En el presente caso, un reloj de 2 GHz que tiene una diferencia de fase separada mutuamente por igual se puede generar a partir de los relojes de múltiples fases VCLK0 a 15. Un divisor de frecuencia 65 divide uno (VCLK0, en el presente documento) de los relojes de múltiples fases VCLK0 a 15 por Q ($Q = 4$), para generar un reloj GCLK. Tal como se explica en la segunda realización, el número de fases de los relojes de múltiples fases aplicables no se limita a 16, pero una potencia de dos es lo más deseable por razones de simplicidad de cálculo. La potencia de dos también es lo más deseable para una relación de división de frecuencia Q para la generación de GCLK.

40 La figura 15 es un diagrama de bloques funcionales de la unidad de recuento 54. La figura 16 es un diagrama de bloques funcionales de la unidad de salida de reloj de píxeles 58. La figura 17 es un diagrama de un ejemplo de la temporización de señales en la unidad de recuento 54 y la unidad de salida de reloj de píxeles 58. La configuración y el funcionamiento detallados para generar el reloj de píxeles PCLK de acuerdo con la señal de especificación de frecuencia de reloj de píxeles Mnow se explican en lo sucesivo con referencia a estas figuras.

45 En la figura 15, cada uno de los componentes de la unidad de recuento 54 opera en sincronización con el reloj GCLK. Un calculador de tiempo de SET (establecimiento) 70 añade la señal de especificación de frecuencia de reloj de píxeles Mnow a la información de tiempo para el flanco de subida actual de PCLK, y calcula la información de tiempo ajustada siguienteS que indica un tiempo del siguiente flanco de subida de PCLK, y el cálculo es renovado por una señal pSet. El cociente que se obtiene mediante la división de la información de tiempo ajustada siguienteS por 64 es siguienteSc y el resto es siguienteSq. Es decir, siguienteSc = siguienteS [MSB : 6], y siguienteSq = siguienteS [5 : 0].

55 Además, la generación de PCLK se inicia en sincronización de fase con el flanco de subida de SPSINC (en concreto, después de un tiempo previamente determinado para el procesamiento de señal, en el presente documento, después de 2 GCLK), y la información de tiempo para el flanco de subida inicial de PCLK se ajusta a SPqp.

60 De forma similar, un calculador de tiempo de RST (*RESET*, Restablecimiento) 71 añade 1 / 2 de la señal de especificación de frecuencia de reloj de píxeles Mnow a la información de tiempo para el flanco de subida actual de PCLK, y calcula la información de tiempo de Restablecimiento siguienteR que indica un tiempo del siguiente flanco de subida de PCLK, y el cálculo es renovado por la señal pSet. Además, siguienteRc = siguienteR [MSB : 6], y siguienteRqp = siguienteR [5 : 0]. La adición de Mnow / 2 se realiza para el fin de ajustar la utilización de PCLK a casi un 50 %, y cuando no se requiere una utilización de un 50 %, se puede añadir cualquier valor para simplificar el cálculo.

65 Un contador 72 cuenta un ciclo de siguienteSc en función del reloj GCLK, y genera la señal pSet. Cuando la señal pSet se encuentra en "H", el contador se borra a "1", y cuando un valor de recuento coincide con siguienteSc, la

señal pSet se cambia a "H".

El F/F 73 es un circuito biestable que retarda 1 GCLK la señal pSet y la señal SPpls para generar una señal de SETpls. El F/F 74 es un circuito biestable que posibilita la señal pSet y posibilita siguienteSqp y SPpls, y bloquea la SPqp para generar una señal de SETqp. La señal de SETpls especifica el flanco de subida de PCLK mediante una unidad de GCLK, y especifica una información de tiempo para un flanco de subida dentro del ciclo de GCLK de acuerdo con la señal de SETqp en sincronización con el flanco de subida. Estas señales se denominan la señal de Set, que se suministra a la unidad de salida de reloj de píxeles 58.

10 Un contador 75 cuenta un ciclo de siguienteRc en función del reloj GCLK, y genera una señal de RSTpls. Cuando SETpls se encuentra en "H", el contador se borra a "1", y cuando un valor de recuento coincide con siguienteRc, la señal de RSTpls se cambia a "H".

15 El F/F 76 es un circuito biestable que posibilita SETpls y bloquea la siguienteRqp para generar una señal de RSTqp. La señal de RSTpls especifica el flanco de bajada de PCLK mediante una unidad de GCLK, y especifica una información de tiempo para el flanco de bajada dentro del ciclo de GCLK de acuerdo con la señal de RSTqp. Estas señales se denominan la señal de Rst, y la misma se suministra a la unidad de salida de reloj de píxeles 58.

20 La señal de SETqp y la señal de RSTqp solo pueden estar activas cuando la señal de SETpls y la señal de RSTpls respectivas se encuentran en "H". Por lo tanto, la temporización de control de cada componente no está limitada por la segunda realización.

25 En la figura 16, una unidad de retardo 77 emite un pulso S de tal modo que SETpls que se suministra a partir de la unidad de recuento 54 se retarda de acuerdo con la información de tiempo SETqp, en función de los relojes de múltiples fases VCLK0 a 15, y también introduce un reloj GCLK para especificar un periodo QT en el ciclo de GCLK. Como alternativa, la unidad de retardo 77 puede introducir una señal de periodo QT que indica un periodo. En el presente caso, el generador de reloj de alta frecuencia 51 genera la señal de QT. Es decir, el pulso S es un pulso de tal modo que SETpls se retarda $SETqp \cdot Tv$.

30 De forma similar, una unidad de retardo 78 emite un pulso R de tal modo que RSTpls que se suministra a partir de la unidad de recuento 54 se retarda de acuerdo con la información de tiempo RSTqp, en función de los relojes de múltiples fases VCLK0 a 15, y el pulso R es un pulso de tal modo que RSTpls se retarda $RSTqp \cdot Tv$. Un SR-F/F 79 es un circuito biestable de Set / Restablecimiento que emite un reloj de píxeles PCLK de tal modo que el mismo se ajusta a "H" en el flanco de subida del pulso S y este se restablece a "L" en el flanco de subida del pulso R.

35 En la figura 17, (a) es GCLK. Cuando se detecta el flanco de subida de la primera señal de sincronización (b) SPSINC, el primer detector de flanco 52 emite una (c-1) señal de SPpls con la cual el siguiente ciclo de GCLK se vuelve "H", y también emite una (c-2) señal de SPqp (10 en el presente ejemplo) que indica con qué tiempo del ciclo de GCLK sube esta señal.

40 (d) Mnow es una señal de especificación de frecuencia de reloj de píxeles que se suministra a partir del calculador de frecuencia 57, y se introduce en el mismo tal como se muestra en la figura 17.

45 (e-1) siguienteS indica un tiempo de subida de una PCLK siguiente que se calcula en el calculador de tiempo de SET 70. En un primer momento, se configura que PCLK suba en sincronización con el flanco de subida de SPSINC y, en consecuencia, el flanco de subida de la PCLK siguiente es después de $SPqp + Mnow = 250 Tv$. El número antes de la coma en el lado derecho indica siguienteSc, y el número después de la coma indica siguienteSqp. Un valor posterior del mismo siguienteS se vuelve $siguienteSqp + Mnow = 298$.

50 (e-2) siguienteR indica un tiempo de bajada de una PCLK siguiente que se calcula en el calculador de tiempo de RST 71. En un primer momento, un valor (= 130) que se obtiene mediante la adición de $Mnow / 2$ al flanco de subida de la SPSINC es el flanco de bajada de PCLK, y de forma similar a (e-1) siguienteS, el número antes de la coma en el lado derecho indica siguienteRc, y el número después de la coma indica siguienteRqp.

(f) pSet es un pulso a emitir antes de que una GCLK de SETpls renueve la señal de SETqp, y la misma cambia a "H" cuando el valor de recuento del contador 72 coincide con siguienteSc. Se hace notar que un número en un círculo de la figura indica un valor de recuento de siguienteSc.

55 (g-1) SETpls es un pulso que se obtiene al retardar 1 GCLK las señales SPpls y pSet, y especifica el flanco de subida de PCLK mediante una unidad de GCLK.

(g-2) SETqp es una información de tiempo para el flanco de subida de PCLK que indica un valor de retardo de la SETpls, y se renueva al valor de (e-1) siguienteSqp cuando (f) pSet se encuentra en "H".

60 (h-1) RSTpls es un pulso que especifica el flanco de bajada de PCLK mediante una unidad de GCLK, y cuando el valor de recuento del contador 75 coincide con siguienteRc, la misma cambia a "H".

(h-2) RSTqp es una información de tiempo para el flanco de bajada de PCLK que indica un valor de retardo de la RSTpls.

(i-1) S es un pulso que se obtiene al retardar (g-1) SETpls un valor de (g-2) SETqp correspondiente, y la unidad de un valor de retardo es la diferencia de fase Tv en los relojes de múltiples fases VCLK0 a 15. De forma similar,

65 (i-2) R es un pulso que se obtiene al retardar (h-1) RSTpls un valor de (h-2) RSTqp correspondiente.

(j) PCLK es un reloj de píxeles que se genera como "H" en el flanco de subida de (i-1) S y como "L" en el flanco

de subida de (i-2) R.

La figura 18 es un diagrama de bloques funcionales del comparador 55. La figura 19 es un diagrama de un ejemplo de la temporización de señales del comparador 55. El funcionamiento detallado del comparador 55 se explica en lo sucesivo con referencia a la figura 18 y la figura 19.

En la figura 19, (a) es GCLK, (b-1) es SPSINC, y (b-2) es EPSINC. El intervalo de tiempo entre los flancos de subida de las dos señales es el tiempo de barrido Tlínea para la línea. (c-1) es SPpls, y (c-2) es EPpls, y (d-2) EPqp es una información de tiempo para la señal de sincronización EPSINC. Además, (e-1) SETpls y (e-2) SETqp son una información de tiempo que indica el flanco de subida de PCLK. Estas señales se han explicado previamente y, por lo tanto, se omite una explicación de las mismas.

(e-3) SETcnt es un valor de recuento del contador 72. En el presente ejemplo, cuando Mnow = 192, el recuento es constante. En este momento, (f) se genera PCLK. Debido a que PCLK se genera en sincronización con la temporización directamente después de 2 GCLK a partir de SPSINC, el tiempo de fin de barrido EP también se detecta en un instante en el tiempo en el que 2 GCLK se retardan con respecto a EPSINC. Por lo tanto, se detecta un error Lerr a partir de cada valor de señal cuando (d-1) EPdet que se obtiene al retardar 1 GCLK (c-2) EPpls se encuentra en "H". (g) es pSet, (h) recuentoN es un valor de recuento de un contador 81 de tal modo que el valor se borra a '0' mediante (c-1) SPpls y se incrementa mediante (g) pSet. A partir de los mismos, se detectan el número n de ciclos de PCLK desde el inicio del barrido hasta el tiempo de fin de barrido EP, y un error de fase m2.

En la figura 18, el contador 81 es un contador para borrar el valor a '0' mediante SPpls e incrementar el valor mediante pSet, y emite el valor de recuento recuentoN. Un sustractor 82 sustrae el valor de recuento de referencia RefN con respecto al valor recuentoN (n en la figura 19) del contador 81 cuando EPdet se encuentra en "H", y emite un resultado de sustracción difN (= n - RefN).

Un detector de error 84 calcula la siguiente ecuación en la que Finqp es SETqp y Fincnt es SETcnt cuando EPdet se encuentra en "H", y calcula una diferencia de fase difM. $difM = Fincnt \cdot Mp + (EPqp - Finqp)$ en la que Mp es el número de divisiones de la información de tiempo para GCLK, y es 64 en la segunda realización. En el ejemplo de la figura 19, difM = 144.

Un calculador de error 83 realiza el siguiente cálculo y emite un error Lerr usando la diferencia de fase Tv en los relojes de múltiples fases VCLK0 a 15 como una unidad.

$$Lerr = difN \cdot K + difM$$

en la que TP = K · Tv, y Tp es un ciclo de PCLK.

De forma similar a la figura 4, se puede calcular Lerr = difN · K + difM - RefM, y un valor de consigna del tiempo de referencia se puede establecer más finamente, de tal modo que la frecuencia de reloj de píxeles se controlará de forma más precisa.

Una configuración y un funcionamiento apropiados del generador de datos de modulación 119 se explican en lo sucesivo. El generador de datos de modulación 119 modula una anchura de pulso de acuerdo con datos de imagen, en función del reloj de píxeles PCLK que se genera en el generador de reloj de píxeles 118 de la figura 12.

La figura 20 es un diagrama de bloques funcionales del generador de datos de modulación 119. La figura 21 es un diagrama de un ejemplo de la temporización de señales en el generador de datos de modulación 119. El funcionamiento detallado se explica en lo sucesivo con referencia a la figura 20 y la figura 21. En el presente ejemplo, se generan unos datos de modulación MDatos que se han sometido a una modulación de anchura de pulso de 8 valores de acuerdo con los datos de imagen PDatos.

En la figura 20, a los componentes del generador de datos de modulación 119 se les suministra GCLK que opera como el reloj de referencia. Un generador de patrones de reloj 90 genera una señal de patrón de reloj CKP (que indica CPK0 a 3, y unos patrones de relojes que se retardan con respecto a PCLK unas fases de 0, $\pi / 8$, $\pi / 4$ y $3\pi / 8$, de forma respectiva). En concreto, la señal de patrón de reloj CKP se corresponde con unos relojes que tienen una diferencia de fase previamente determinada del reloj de píxeles PCLK y se genera a partir de la señal de Set, que incluye la señal de SETpls y la señal de SETqp que se suministran a partir del generador de reloj de píxeles 118 y a partir de la señal de especificación de frecuencia de reloj de píxeles Mnow. La señal de patrón de reloj CKP es una señal que cambia en función de GCLK, y son unos datos de 64 bits que se corresponden con 64 periodos Tqp que se obtienen, de forma respectiva, mediante la división del ciclo de GCLK por la información de tiempo QP. Cuando el periodo Tqp se encuentra en "H", un bit correspondiente es "1", y cuando "L", un bit correspondiente es "0".

El procedimiento de generación de un patrón de reloj se implementa de la siguiente forma. En un primer momento,

se obtienen los datos de desplazamiento sofs0 a 3 que indican los flancos de subida de los patrones de reloj y los datos de desplazamiento rofs0 a 3 que indican los flancos de bajada de los mismos. Estos son sofs0 = SETqp, sofs1 = SETofs + Mnow / 8, sofs2 = SETofs + Mnow / 4, y sofs3 = SETofs + 3Mnow / 8, y rofs0 a 3 se obtienen mediante la adición de Mnow / 2 a cada una de sofs0 a 3, de forma respectiva. Entonces, cada bit se convierte en "0" en orden desde un bit más significativo (MSB, *most significant bit*) del patrón de reloj CKP para cada ciclo de GCLK hasta sofs, "1" desde sofs hasta rofs, y "0" desde rofs.

Si los datos de desplazamiento son 64 o más, la conversión se retarda 1 GCLK por cada 64 y se realiza. Por ejemplo, cuando Mnow = 192 y SETqp = 16, CKP1 es de tal modo que sofs = 40, rofs = 136 (= 2GCLK + 8). Por lo tanto, un patrón de un primer ciclo de GCLK es tal como se indica a continuación: "0" para el MSB (= 63) al 24-ésimo bit y "1" para el 23-ésimo al 0-ésimo bit. Un patrón de un segundo ciclo de GCLK es de todos "1", y un patrón de un tercer ciclo de GCLK es tal como se indica a continuación: "1" para el 63 al 56-ésimo bit y "0" para el 55 al 0-ésimo bit.

Un descodificador de datos de imagen 91 convierte los datos de imagen PDatos en unos datos de modulación de anchura de pulso de 8 valores DecDatos (8 bits). Los datos de modulación de anchura de pulso DecDatos se corresponden con cada bit en orden de un MSB a un bit menos significativo (LSB, *least significant bit*) en una secuencia temporal de periodos en los que un ciclo del reloj de píxeles PCLK se divide en el tiempo en 8. Por ejemplo, si PDatos = 3, se realiza una conversión a DecDatos = 'b11100000 ('b indica notación binaria). Como alternativa, se puede realizar una conversión a DecDatos = 'b00000111, o se puede añadir una señal de conmutación de modos para conmutar entre dos modos. Este método de conversión se puede seleccionar libremente a menos que el mismo se aparte del alcance de la presente invención.

Un generador de patrones de modulación 92 genera una señal de patrón de modulación MDP a partir de los datos de modulación de anchura de pulso DecDatos y las señales de patrón de reloj CKP0 a 3. La señal de patrón de modulación MDP es una señal que varía en función de GCLK, de forma similar a la señal de patrón de reloj CKP, y son unos datos de 64 bits que se corresponden con los 64 periodos Tqp que se obtienen, de forma respectiva, mediante la división del ciclo de GCLK por la información de tiempo QP.

Un convertidor paralelo / serie 93 emite en serie las señales de patrón de modulación MDP por cada vez de Tv en orden de MSB (es decir, en orden de tiempo) en función de los relojes de múltiples fases VCLK0 a 15, para generar unos datos de modulación MDatos.

En la figura 21, un ejemplo de números específicos se explica en lo sucesivo. (a) es GCLK como el reloj de referencia. Cuando (b-1) SETpls y (b-2) SETqp que forman la señal de Set se suministran tal como se muestra en la figura 21, un reloj de píxeles se genera como (c-1) PCLK. Se supone que la señal de especificación de frecuencia de reloj de píxeles Mnow es Mnow = 192. Unos relojes, en los que PCLK se retarda una fase de $\pi / 8$, $\pi / 4$, y $3\pi / 8$, de forma respectiva, se muestran en (c-2) PCLK1, (c-3) PCLK2, y (c-4) PCLK2 por razones de explicación a pesar de que los relojes no se generan en la práctica.

(d-1) a (d-4) son unas señales de patrón de reloj CKP0 a 3 que indican PCLK, PCLK1 a 3, de forma respectiva. Cada una de estas son unos datos de 64 bits, que se muestra en orden de tiempo desde MSB hasta LSB, y en notación hexadecimal. Por lo tanto, se pueden generar patrones (que se denominan PT0 a 7 en orden de tiempo). De forma más concreta, los patrones indican unos periodos (tp0 a tp7) que se obtienen mediante la división en el tiempo del reloj de píxeles PCLK en 8. Dicho de otra forma, $PT0 = CKP0 \ \& \ CKP1$, $PT1 = CKP1 \ \& \ CKP2$, . . . , $PT7 = CKP3 \ \& \ CKP0$. La marca "&" en el presente documento indica Y lógico, y "&" indica Y negativo.

(e) DecDatos son unos datos de modulación de anchura de pulso, y se supone que los datos se convierten tal como se muestra en la figura 21.

(f) MDP es una señal de patrón de modulación, que se obtiene mediante el cálculo de $\{64\{DecDatos [7 - i]\} \ \& \ PTi\}$ en primer lugar cuando i se cambia de 0 a 7, y la implementación de la operación O lógico de estos. En el presente caso, $\{64\{DecDatos [i]\}$ son unos datos que se obtienen mediante la conexión en serie de DecDatos [i] para 64 bits.

Las señales de patrón de modulación que se generan de la forma anterior se convierten de paralelo a serie para posibilitar la generación de datos de modulación como (g) MDatos. En el presente ejemplo, los pulsos que se someten a una modulación de anchura de pulso se generan de una forma tal que los primeros 3 / 8 de periodo de un periodo de PCLK Tp se encuentra en "H" y la parte restante se encuentra en "L".

En lugar de la generación de las señales de patrón de reloj CKP0 a 3 en las que cada una de las fases de cada reloj de píxeles es desplazada n / 8, se generan los patrones PT0 a PT7 que indican unos periodos respectivos, que se obtienen mediante la división en el tiempo de un ciclo del reloj de píxeles PCLK en 8, y una señal de patrón de modulación MDP se puede generar a partir de estos patrones y los datos de modulación de anchura de pulso DecDatos.

El caso en el que se realiza una modulación de anchura de pulso de 8 valores se explica en la segunda realización,

pero se puede usar cualquier otro método de modulación. Por ejemplo, cuando se realiza una modulación de anchura de pulso de 16 valores, el descodificador de datos de imagen 91 convierte los datos de imagen PDatos en unos datos de modulación de anchura de pulso de 16 bits DecDatos, el generador de patrones de reloj 90 genera 8 señales de patrón de reloj CKP0 a 7, en cada una de las cuales cada fase es desplazada $\pi / 16$ con respecto al reloj de píxeles PCLK, y el generador de patrones de modulación 92 genera una señal de patrón de modulación MDP de la misma forma.

El ejemplo de esta configuración se puede usar para la unidad de salida de reloj de píxeles 58 de la figura 12. De forma más concreta, la unidad de salida de reloj de píxeles 58 genera un patrón de reloj PCKP del reloj de píxeles PCLK (se puede usar la señal de patrón de reloj CKP0), y emite en serie unos patrones de reloj PCKP por cada vez de Tv en orden de MSB es decir, en orden de tiempo, en función de los relojes de múltiples fases VCLK0 a 15 y, de ese modo, es posible generar el reloj de píxeles PCLK.

Cuando una unidad de salida de reloj de píxeles está configurada para usar el SR-F/F en la fase final tal como se muestra en la figura 16, muchos de los SR-F/F no operan de forma precisa si un pulso de establecimiento S y un pulso de restablecimiento R se superponen en el mismo periodo. Por lo tanto, la generación de una frecuencia de reloj de píxeles (hasta una frecuencia de $1 / 2$ de GCLK) se restringe de tal modo que el pulso de establecimiento S y el pulso de restablecimiento R (la anchura de pulso de los cuales se corresponde con un ciclo de GCLK) no se superponen entre sí. Por un lado, cuando la unidad de salida de reloj de píxeles incluye el convertidor paralelo / serie tal como se ha explicado en lo que antecede, este tipo de restricción no es necesaria, pero un reloj de píxeles a generar se puede expandir hasta una frecuencia alta. A la inversa, un reloj interno GCLK se puede dividir en unas frecuencias más bajas, y la corriente de consumo se puede reducir más. Por otro lado, la configuración de la figura 16 es muy simple y permite una reducción de la escala de un circuito. Por lo tanto, solo es necesario seleccionar la configuración de la unidad de salida de reloj de píxeles de acuerdo con el desempeño requerido.

En la segunda realización del generador de reloj de píxeles, tal como se ha explicado en lo que antecede, un reloj de píxeles se genera en función de los relojes de múltiples fases VCLK0 a 15 que se generan con alta precisión, y una frecuencia de reloj de píxeles se controla de acuerdo con una variación en el tiempo de barrido. Por lo tanto, incluso si hay una variación en la velocidad de barrido promedio, es posible generar un reloj de píxeles que permite una corrección de errores con alta precisión. Además, una frecuencia de reloj de píxeles se controla en correspondencia con cada faceta del espejo poligonal. Por lo tanto, incluso si hay un error en la velocidad de barrido para cada faceta, es posible generar un reloj de píxeles que permite una corrección del error con alta precisión.

La generación de un reloj de píxeles se puede controlar de forma precisa en la unidad de una diferencia de fase Tv en los relojes de múltiples fases VCLK0 a 15. Por lo tanto, una frecuencia de oscilación de un reloj de múltiples fases no ha de aumentar, lo que permite un diseño sencillo de un circuito y una reducción en la corriente de consumo. Por ejemplo, si un reloj de píxeles se genera con una resolución equivalente a la de la primera realización, la frecuencia de oscilación del reloj de múltiples fases requiere solo $1 / 16$. A la inversa, si se usa la frecuencia de oscilación equivalente, la resolución del reloj de píxeles a generar se puede mejorar a 16 veces. Es decir, se puede generar un reloj de píxeles de alta precisión. Además, la mayor parte del generador de reloj de píxeles está configurada para operar con un reloj GCLK que se obtiene mediante la división adicional de uno de los relojes de múltiples fases, lo que permite una disminución adicional en la frecuencia de funcionamiento y también una reducción en la corriente de consumo.

Además, mediante la aplicación del generador de reloj de píxeles al aparato de formación de imagen, se forma una imagen en función del reloj de píxeles de tal modo que el error en la velocidad de barrido se corrige de forma sumamente precisa, lo que posibilita la provisión del aparato de formación de imagen capaz de formar una imagen de alta calidad.

Un aparato de formación de imagen de acuerdo con una tercera realización de la presente invención presenta un punto diferente con respecto a la primera realización en que se adopta un sistema óptico de barrido de múltiples haces. El sistema óptico de barrido de múltiples haces irradia haces de luz que se emiten desde una pluralidad de fuentes de luz hacia un elemento fotosensible usando un sistema óptico de barrido compartido, y forma una imagen (imagen latente electrostática) sobre el mismo.

La figura 22 es un diagrama para explicar el aparato de formación de imagen de acuerdo con la tercera realización. La presente realización está configurada para incluir dos conjuntos de un generador de reloj de píxeles, un generador de datos de modulación y una unidad de accionamiento de láser, y para accionar dos láseres de semiconductor mediante las unidades de accionamiento de láser respectivas.

En la figura 22, la distribución se proporciona de tal modo que los láseres de semiconductor 124 y 125 den lugar a que sus ejes ópticos coincidan con los de las lentes de colimación 122 y 123, tengan un ángulo de emisión de forma simétrica con respecto a una dirección de barrido principal, y los ejes de emisión se crucen entre sí en un punto de reflexión sobre el espejo poligonal 104. Se hace que los haces que se emiten de forma respectiva a partir de los láseres de semiconductor 124 y 125 realicen un barrido íntegramente por medio del espejo poligonal 104 a través de una lente cilíndrica 120, y se forma una imagen sobre el elemento fotosensible 105 a través de la lente de $f\theta$ 106, el

espejo 110 y la lente toroidal 107. Los datos de imagen para una línea se almacenan en un procesador de imagen 133 para cada fuente de luz, se extraen por lectura para una faceta del espejo poligonal, y se escriben de forma concurrente en el mismo dos líneas de cada una.

5 El fotodetector PD1 (108) y el fotodetector PD2 (109) se proporcionan sobre ambos extremos del espejo 110, de tal modo que se detectan el inicio y el fin del barrido. De forma más concreta, los haces de láser que se emiten a partir de las dos fuentes de luz y que son reflejados por el espejo poligonal 104 entran de forma secuencial en el fotodetector PD1 (108) antes de que se haya realizado un barrido de una línea sobre el elemento fotosensible 105, y entran en el fotodetector PD2 (109) después del barrido.

10 Los fotodetectores convierten los haces de láser que han entrado, en la primera señal de sincronización SPSINC y la segunda señal de sincronización EPSINC, de forma respectiva, y las suministran a un separador de señales de sincronización 126. Las dos fuentes de luz están dispuestas con el fin de realizar un barrido con los haces de láser por encima del elemento fotosensible 105 con un retardo de tiempo. Por lo tanto, el separador de señales de sincronización 126 separa la primera señal de sincronización SPSINC en una señal de sincronización SPSINCa y una señal de sincronización SPSINCb que se corresponden con las fuentes de luz respectivas, y también separa la segunda señal de sincronización EPSINC en una señal de sincronización EPSINCa y una señal de sincronización EPSINCb que se corresponden con las fuentes de luz respectivas.

15 La figura 23 es un diagrama de un ejemplo de la temporización de unas señales de sincronización procedentes de fotodetectores. (a) es la primera señal de sincronización SPSINC, y (b) es la segunda señal de sincronización EPSINC. Si se hace que el haz de láser del láser de semiconductor 125 realice un barrido previamente, la señal de sincronización (a) SPSINC se separa en las de (c-1) SPSINCa y (c-2) SPSINCb. De forma similar, la señal de sincronización (b) EPSINC se separa en las de (d-1) EPSINCa y (d-2) EPSINCb.

20 SPSINCa y EPSINCa como un grupo de las señales de sincronización separadas se suministran a un generador de reloj de píxeles 127 (la figura 22), y SPSINCb y EPSINCb como el otro grupo de las mismas se suministran a un generador de reloj de píxeles 130.

25 El generador de reloj de píxeles 127 mide un tiempo de barrido $T_{línea a}$ a partir de las dos señales de sincronización SPSINCa y EPSINCa, y genera un reloj de píxeles PCLKa de una frecuencia que se obtiene de tal modo que el número fijo previamente establecido de relojes cae dentro del intervalo de tiempo. El procesador de imagen 133 genera unos datos de imagen "a" en función del reloj de píxeles PCLKa.

30 Un generador de datos de modulación 128 genera unos datos de modulación "a" a partir de los datos de imagen a que se reciben, en función del reloj de píxeles PCLKa, y acciona el láser de semiconductor 125 a través de una unidad de accionamiento de láser 129.

35 De forma similar, el generador de reloj de píxeles 130 genera un reloj de píxeles PCLKb a partir de las dos señales de sincronización SPSINCb y EPSINCb. Un generador de datos de modulación 131 genera unos datos de modulación "b" a partir de unos datos de imagen "b" que se generan en el procesador de imagen 133 en función del reloj de píxeles PCLKb, y acciona el láser de semiconductor 124 a través de una unidad de accionamiento de láser 132.

40 Los generadores de reloj de píxeles 127 y 130 prestan las mismas funciones que las del generador de reloj de píxeles 111 de la figura 1, y se puede usar el generador de reloj de píxeles de acuerdo con la primera realización y la segunda realización. Por lo tanto, se omite una explicación de la configuración y el funcionamiento detallados. También se omite la explicación de los generadores de datos de modulación 128 y 131.

45 Si cada uno de los generadores de reloj de alta frecuencia 1 y 51 es usado comúnmente por los generadores de reloj de píxeles 127 y 130, se logra una reducción al mínimo de la escala del circuito y una reducción en la corriente de consumo. Además, los dos detectores de flanco 2 y 3 (o 52 y 53) se pueden configurar con el fin de ser usados comúnmente por los generadores de reloj de píxeles 127 y 130 para detectar señales de sincronización, y para separar las señales de sincronización que se detectan.

50 Además, debido a que parte de los procesos de cálculo de los filtros 6 y 56 y los calculadores de frecuencia 7 y 57 opera solo una vez en cada línea, estas porciones se van a compartir, y los cálculos de las frecuencias de reloj de píxeles se pueden procesar en función del tiempo.

55 En la tercera realización, la variación de velocidad se puede corregir de forma sumamente precisa y se puede formar una imagen de alta calidad debido a que las frecuencias de los relojes de píxeles PCLKa y PCLKb se controlan de forma independiente de acuerdo con unas variaciones respectivas en la velocidad de barrido, incluso si hay un error en la velocidad de barrido que tiene lugar en cada fuente de luz, que es el problema (3) que se describe en la tecnología convencional. Es decir, las frecuencias se controlan de forma independiente incluso si las longitudes de onda de las dos fuentes de luz son diferentes y las velocidades de barrido de los dos haces son diferentes entre sí a causa de las variaciones en la velocidad de barrido debido a la aberración cromática del sistema óptico de barrido,

dicho de otra forma, incluso si los tiempos de barrido Tlínea a y Tlínea b con los dos haces de la figura 23 varían de forma discreta.

5 El sistema óptico de barrido de múltiples haces tiene otra configuración, que incluye no una pluralidad de láseres de semiconductor sino una única disposición de láser de semiconductor, a partir de la cual se emiten una pluralidad de haces de láser y se hace que realicen un barrido usando un sistema óptico de barrido común. La presente invención también es aplicable a este tipo de sistema óptico. Hay diversas realizaciones acerca del sistema óptico de barrido de múltiples haces, pero la presente invención es aplicable a cualquier configuración del sistema óptico de barrido de múltiples haces. Por lo tanto, se omite la representación gráfica de configuraciones detalladas y la explicación de las mismas.

[Cuarta realización]

15 Un aparato de formación de imagen de acuerdo con una cuarta realización de la presente invención presenta un punto diferente con respecto a la primera realización en que el aparato de formación de imagen incluye una pluralidad de elementos fotosensibles para múltiples colores. El aparato de formación de imagen tiene elementos fotosensibles que se proporcionan por separado que se corresponden con los colores cian, magenta, amarillo y negro, tiene provistos una pluralidad de sistemas ópticos de barrido que se corresponden con los respectivos elementos fotosensibles, y forma imágenes (imágenes latentes electrostáticas) que se corresponden con los colores sobre los elementos fotosensibles, de forma respectiva. Las imágenes de los colores se transfieren a un medio de formación de imagen (por ejemplo, papel) para formar una imagen en color.

20 La figura 24 es un diagrama esquemático de, principalmente, una porción de funcionamiento mecánico del aparato de formación de imagen de acuerdo con la cuarta realización. La figura 25 es un diagrama esquemático de, principalmente, una porción de procesamiento de imagen del aparato de formación de imagen de acuerdo con la cuarta realización.

30 El aparato de formación de imagen de acuerdo con la cuarta realización se implementa simplemente al disponer cuatro unidades del aparato de formación de imagen de la figura 1. Una configuración de compartición de una parte del sistema óptico de barrido también se puede usar para una reducción de tamaño, pero en el presente caso, las trayectorias de la luz son diferentes entre sí. Por lo tanto, este tipo de aparato de formación de imagen está mejor concebido que uno que tenga una pluralidad de aparatos de formación de imagen diferentes. La figura 24 indica un ejemplo de este tipo de configuración, y es una sección transversal vertical en la que solo se muestran parte de las unidades.

35 Un espejo poligonal 151 de la figura 24 tiene una configuración de dos fases, rota en torno a una línea de puntos como un eje, y es usado comúnmente por los sistemas ópticos de barrido. Un haz de láser que se emite a partir de un láser de semiconductor 161a se refleja en un punto "a" sobre el espejo poligonal 151 a través de una lente de colimación y una lente cilíndrica (ninguna de las cuales se muestra). De forma similar, los haces de láser que se emiten a partir de los láseres de semiconductor 161b a 161d (que no se muestran) se reflejan en los puntos "b" a "d" sobre el espejo poligonal 151. Cada haz de láser que es reflejado por el espejo poligonal barre un elemento fotosensible 157 a través de las lentes de barrido 152 y 154, y unos espejos de retorno 153, 155 y 156 (la dirección de barrido de los haces es decir, la dirección de barrido principal es una dirección perpendicular con respecto al dibujo), y forma una imagen (imagen latente electrostática) sobre el mismo. Se hace notar que las letras a a d en unos extremos respectivos de los números de referencia de los componentes (por ejemplo, 152a a 152d) o de los códigos de referencia en la figura 24 y la figura 25 se corresponden con a a d de los láseres de semiconductor 161a a 161d, y que se forman las imágenes que se corresponden con los colores amarillo, magenta, cian y negro, de forma respectiva. También se hace notar que los números de referencia para el mismo tipo de componentes con las letras se representan mediante un número de referencia sin las letras a menos que se especifique lo contrario. Las imágenes de los colores que se forman sobre los elementos fotosensibles 157a a 157d se transfieren a un medio de formación de imagen, que se coloca sobre una correa de transferencia intermedia 158 y se mueve a lo largo de la dirección de la flecha, para formar una imagen en color.

55 En este momento, unos espejos 170, dispuestos a ambos lados que se encuentran más allá de un intervalo de barrido eficaz, guían los haces hasta unos detectores (fotodetectores) 171. Los detectores detectan el inicio y el fin del barrido, y convierten los haces en las señales de sincronización SPSINC y EPSINC, de forma respectiva. Estas señales de sincronización SPSINC y EPSINC se suministran a un generador de reloj de píxeles 164 de la forma anterior, en el que se genera un reloj de píxeles PCLK, y siendo el reloj de píxeles de tal modo que su frecuencia se controla con el fin de corregir un error en la velocidad de barrido. Un procesador de imagen 165 genera unos datos de imagen PDatos en función del reloj de píxeles PCLK. Un generador de datos de modulación 163 genera datos de modulación a partir de los datos de imagen PDatos que se reciben, en función del reloj de píxeles PCLK, y acciona el láser de semiconductor 161 a través de una unidad de accionamiento de láser 162. Estos procesos se realizan de la forma anterior para cada haz correspondiente de los colores. En la figura 25, los controladores de emisión 160b a 160d tienen la misma configuración que la de un controlador de emisión 160a.

65 El generador de reloj de píxeles de acuerdo con una cualquiera de las realizaciones se puede usar para el

generador de reloj de píxeles 164. Los tiempos de barrido en los sistemas ópticos de barrido son diferentes entre sí debido a los efectos de la precisión de fabricación y la precisión de montaje de las partes para cada sistema óptico de barrido, y debido a los efectos de la deformación que es causada por el cambio con el tiempo o similar, y una distancia entre dos fotodetectores para detectar el inicio y el fin del barrido es diferente de otras distancias debido a su precisión de montaje. Por lo tanto, el valor de referencia RefN, que se vuelve la referencia del control de frecuencia de reloj de píxeles, se determina previamente tras la fabricación de un aparato de formación de imagen para cada sistema óptico de barrido, y el valor se proporciona como el valor de referencia RefN al generador de reloj de píxeles 164. No obstante, resulta deseable que el valor de referencia RefN como referencia del control de frecuencia de reloj de píxeles se determine de nuevo cuando tiene lugar una degradación de imagen que es causada por el cambio con el tiempo o similar.

Una posición en la que el inicio del barrido es detectado por la señal de sincronización SPSINC puede, a veces, ser diferente de otra en cada sistema óptico de barrido. Por lo tanto, este está configurado para empezar a escribir una imagen (que se denomina desplazamiento de inicio de escritura) después de un tiempo previamente determinado a partir del flanco de subida de la señal de sincronización SPSINC (después de un ciclo previamente determinado del reloj de píxeles PCLK), y el desplazamiento de inicio de escritura se obtiene en cada sistema óptico de barrido.

La figura 26 es un diagrama de una relación entre un tiempo de operación y una anchura de barrido en cada sistema óptico de barrido. (a-1) indica una anchura de barrido para una línea de un sistema óptico de barrido a. SPa y EPa indican posiciones de detectores para detectar el inicio y el fin del barrido, de forma respectiva, que se corresponden con puntos sobre un elemento fotosensible. $L_a / L_p = \text{RefNa}$, en la que L_a es una longitud entre las dos posiciones y L_p es la anchura de un punto de una imagen, es el número de puntos en una línea, y este número se ajusta como el valor de referencia RefN. Un intervalo en el que en la práctica se forma una imagen se ajusta a un área entre PSP y PEP. (a-2) indica un tiempo de barrido para una línea en el sistema óptico de barrido a.

Las señales de sincronización SPSINC y EPSINC se detectan, de forma respectiva, en correspondencia con la posición de inicio SP y la posición final EP del barrido, y el intervalo de tiempo entre las dos se ajusta a un tiempo de barrido T1a. El tiempo de barrido T1a varía a causa de los diversos factores tal como se ha explicado en lo que antecede, pero un ciclo de reloj de píxeles Tpa se controla de tal modo que se satisface una relación de $Tpa = T1a / \text{RefNa}$. Por lo tanto, los pulsos de escritura a emitir, después de un ciclo de PCLK previamente determinado (N1 y N2) a partir de SPSINC, siempre forman puntos sobre la misma posición a lo largo de una línea de barrido (D1 y D2). El inicio real de la escritura de una imagen se ajusta al tiempo después de un ciclo de Nofsa.

De forma similar, (b-1) indica una anchura de barrido para una línea de un sistema óptico de barrido b. $L_b / L_p = \text{RefNb}$, en la que L_b es una longitud entre una posición de inicio del barrido SPb y su posición final EPb, se ajusta como el valor de referencia RefN. (b-2) indica un tiempo de barrido para una línea en el sistema óptico de barrido b, y un intervalo de tiempo entre las señales de sincronización SPSINC y EPSINC se ajusta a un tiempo de barrido T1b. Un ciclo de reloj de píxeles Tpb también se controla de la forma anterior de tal modo que se satisface una relación de $Tpb = T1b / \text{RefNb}$. Además, el desplazamiento de inicio de escritura Nofsb de una imagen se ajusta de acuerdo con una diferencia en cuanto a la longitud entre las posiciones de inicio del barrido SPa y SPb. Por lo tanto, el intervalo PSP a PEP en el que en la práctica se forma una imagen coincide con el otro con independencia de los sistemas ópticos de barrido.

En el aparato de formación de imagen de acuerdo con la cuarta realización, incluso si un error de velocidad de barrido que incluye un error de velocidad de cada sistema óptico de barrido tiene lugar a causa de diversos factores, las frecuencias del reloj de píxeles PCLK se controlan de forma discreta de acuerdo con una diferencia y unas variaciones en las velocidades de barrido que se corresponden con los colores que forman una imagen. Por lo tanto, es posible obtener una imagen en color que se forma sin cambio de color, degradación de la resolución y la reproducción de color, es decir, con una alta calidad de imagen.

(Configuración de Hardware, etc.)

La figura 27 es un diagrama de bloques de una configuración de hardware de cada aparato de formación de imagen de acuerdo con las realizaciones. El aparato de formación de imagen tiene una configuración tal, que un controlador 1210 y un motor 1260 se conectan entre sí a través de un bus de PCI (*Peripheral Component Interconnect*, Interconexión de Componentes Periféricos). El controlador 1210 controla la totalidad del aparato de formación de imagen y la lectura de imagen, y también controla el procesamiento de información, el procesamiento de imagen y la entrada a través de una unidad de operación (que no se muestra). El motor 1260 es un motor de proceso que se puede conectar con el bus de PCI, e incluye el generador de reloj de píxeles 111 y el generador de datos de modulación 113 que son unas porciones principales de cada aparato de formación de imagen de acuerdo con las realizaciones. El motor de proceso es un motor de procesamiento de información de imagen que incluye una porción de procesamiento de información de imagen tal como difusión de error y conversión de gamma sobre, por ejemplo, los datos de imagen adquiridos.

El controlador 1210 incluye una unidad central de procesamiento (CPU, *central processing unit*) 1211, un puente norte (NB, *northbridge*) 1213, una memoria de sistema (MEM-P) 1212, un puente sur (SB, *southbridge*) 1214, una

memoria local (MEM-C) 1217, un ASIC (*Application Specific Integrated Circuit*, Circuito Integrado específico de la Aplicación) 1216 y una unidad de disco duro (HDD, *hard disk drive*) 1218, y el puente norte 1213 y el ASIC 1216 se conectan mediante un bus de AGP (*Accelerated Graphics Port*, Puerto de Gráfico Acelerado) 1215. La MEM-P 1212 incluye una ROM (*Read Only Memory*, Memoria de Solo Lectura) 1212a y una RAM (*Random Access Memory*, Memoria de Acceso Aleatorio) 1212b.

La CPU 1211 controla el aparato de formación de imagen global, y tiene un conjunto de chips que incluye el NB 1213, la MEM-P 1212 y el SB 1214. La CPU 1211 se comunica con otros dispositivos a través del conjunto de chips.

El NB 1213 es un puente para conectar la CPU 1211 a la MEM-P 1212, el SB 1214 y el AGP 1215, e incluye un controlador de memoria que controla la lectura / escritura de / a la MEM-P 1212, un maestro de PCI y un objetivo de AGP.

La MEM-P 1212 es una memoria de sistema que se usa como una memoria de almacenamiento para programas y datos y como una memoria de ampliación para programas y datos, e incluye la ROM 1212a y la RAM 1212b. La ROM 1212a es una memoria de solo lectura que se usa como una memoria de almacenamiento para programas y datos. La RAM 1212b es una memoria grabable y legible que se usa como una memoria de ampliación para programas y datos y como una memoria de trazado de imagen tras el procesamiento de información de imagen.

El SB 1214 es un puente para conectar el NB 1213 al bus de PCI y dispositivos periféricos. El SB 1214 se conecta al NB 1213 a través del bus de PCI, y el bus de PCI se conecta con una interfaz (I/F) de red o similar.

El ASIC 1216 es un CI (Circuito Integrado) para la gestión de información multimedia que incluye un elemento de hardware para la gestión de información multimedia, y sirve como un puente que conecta entre el AGP 1215, el bus de PCI, la HDD 1218 y la MEM-C 1217.

El ASIC 1216 se usa para conectar un USB (*Universal Serial Bus*, Bus Serie Universal) 1240, una interfaz de IEEE (*Institute of Electrical and Electronics Engineers*, Instituto de Ingenieros Eléctricos y Electrónicos 1394) 1250 y una FCU (*facsimile control unit*, unidad de control de fax) 1230 con el objetivo de PCI y el maestro de AGP, y un árbitro (ARB), un controlador de memoria para controlar la MEM-C 1217, una pluralidad de DMAC (*Direct Memory Access Controller*, Controlador de Acceso Directo a Memoria) para realizar una rotación de los datos de imagen por medio de una lógica de hardware o similar, que forman la parte principal del ASIC 1216, y el motor 1260, a través del bus de PCI.

La MEM-C 1217 es una memoria local que se usa como una memoria intermedia de imágenes para la transmisión y una memoria intermedia de códigos. La HDD 1218 es un almacenamiento que almacena datos de imagen, programas, datos de fuentes y formas.

El AGP 1215 es una interfaz de bus para una tarjeta aceleradora de gráficos que se propuso para aumentar la velocidad del procesamiento gráfico. El acceso directo a la MEM-P 1212 con un caudal elevado permite aumentar la velocidad de la tarjeta aceleradora de gráficos.

Un teclado 1220 que está conectado con el ASIC 1216 acepta una operación introducida por parte de un operador y transmite la información de operación de entrada aceptada en el ASIC 1216.

Una parte de la función de generación de reloj de píxeles, la función de modulación de pulsos y la función de formación de imagen que son ejecutadas por cada aparato de formación de imagen de acuerdo con las realizaciones se pueden proporcionar mediante el registro de las mismas como programas en un archivo en una forma instalable o en una forma ejecutable, en un medio de registro legible por ordenador. De forma más concreta, los programas incluyen un programa de generación de reloj de píxeles, un programa de modulación de pulsos y un programa de formación de imagen, y el medio de registro incluye disco compacto (CD, *compact disk*)-ROM, Disco Flexible (FD, *Flexible Disk*), CD-R (regrabable) y DVD (*Digital Versatile Disk*, Disco Versátil Digital).

Además, si las funciones que son ejecutadas por cada aparato de formación de imagen de acuerdo con las realizaciones usando los programas tales como el programa de generación de reloj de píxeles, el programa de modulación de pulsos y el programa de formación de imagen se pueden almacenar en un ordenador que está conectado a una red tal como Internet, y los programas se pueden proporcionar mediante su descarga a través de la red. Además, los programas se pueden proporcionar o distribuir a través de la red tal como Internet.

La función de generación de reloj de píxeles, la función de modulación de pulsos y la función de formación de imagen que es ejecutada por cada aparato de formación de imagen de acuerdo con las realizaciones están configuradas como un módulo que incluye las unidades o parte de las unidades (el generador de reloj de alta frecuencia 1, el primer detector de flanco 2, el segundo detector de flanco 3, el divisor de frecuencia 4, el comparador 5, el filtro 6, el calculador de frecuencia 7, el generador de reloj de alta frecuencia 51, el primer detector de flanco 52, la unidad de recuento 54, la unidad de salida de reloj de píxeles 58, el generador de patrones de modulación 92, el convertidor paralelo / serie 93, el generador de reloj de píxeles 111, el procesador de imagen 112,

5 el generador de datos de modulación 113, la unidad de accionamiento de láser 114, el generador de reloj de píxeles 118, el generador de datos de modulación 119, el separador de señales de sincronización 126 y el procesador de imagen 133). El hardware real también se puede configurar de una forma tal que la CPU (el procesador) coge de la ROM el programa de procesamiento de imagen y el programa de formación de imagen para ejecutarlos, las unidades se cargan de ese modo en un dispositivo de almacenamiento principal, y el controlador de sistema, el procesador de imagen, una aplicación de copiadora, una aplicación de impresora, el programa de generación de reloj de píxeles, el programa de modulación de pulsos y el programa de formación de imagen se generan en el dispositivo de almacenamiento principal.

10 **Aplicabilidad industrial**

El generador de reloj de píxeles, el modulador de pulsos y el aparato de formación de imagen de acuerdo con la presente invención son útiles para la tecnología de formación de imagen.

REIVINDICACIONES

1. Un generador de reloj de píxeles (111) que está adaptado para generar un reloj de píxeles, comprendiendo el generador de reloj de píxeles:

5 un generador de reloj de alta frecuencia (1) que está adaptado para generar un reloj de alta frecuencia;
 un comparador (5) que está adaptado para detectar un intervalo de tiempo entre una primera señal de sincronización y una segunda señal de sincronización que se generan en función de un haz de luz que es reflejado por facetas de un espejo poligonal (104), comparar el intervalo de tiempo detectado con un valor objetivo y emitir un error con respecto al valor objetivo;
 10 un calculador de frecuencia (7) que está adaptado para calcular un valor de consigna de una frecuencia de reloj de píxeles en función del error emitido desde el comparador (5) y emitir una señal de especificación de frecuencia para especificar la frecuencia de reloj de píxeles en función del valor de consigna calculado; y
 un divisor de frecuencia (4) que está adaptado para dividir el reloj de alta frecuencia por una relación de división de frecuencia en función de la señal de especificación de frecuencia emitida desde el calculador de frecuencia (17) y generar el reloj de píxeles; **caracterizado por que**
 15 el calculador de frecuencia (7) incluye

20 una unidad de almacenamiento de valores de consigna de frecuencia (17) que está adaptada para almacenar una pluralidad de valores de consigna de la frecuencia de reloj de píxeles, incluyendo los valores de consigna unos valores para cada faceta del espejo poligonal (104);
 una unidad de selección de valores de consigna (20) que está adaptada para seleccionar un valor de consigna al hacer circular los valores de consigna almacenados en la unidad de almacenamiento de valores de consigna de frecuencia (17) para cada una de la primera señal de sincronización y la segunda señal de sincronización;
 25 una unidad de conversión de señales de especificación de frecuencia (22) que está adaptada para convertir el valor de consigna que es seleccionado por la unidad de selección de valores de consigna en la señal de especificación de frecuencia; y
 una unidad de actualización de cálculo de valor de consigna que está adaptada para calcular el valor de consigna seleccionado que se corresponde con la faceta del espejo poligonal (104) en función del error emitido desde el comparador (5) y actualizar el valor de consigna almacenado en la unidad de almacenamiento de valores de consigna de frecuencia, y
 30 la unidad de actualización de cálculo de valor de consigna está adaptada para continuar calculando el valor de consigna que se corresponde con la faceta hasta que el error cae dentro de un intervalo previamente determinado y para
 35 actualizar la totalidad de los valores de consigna almacenados en la unidad de almacenamiento de valores de consigna de frecuencia con los valores de consigna calculados.

40 2. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 1, en el que el comparador (5) está adaptado para detectar el intervalo de tiempo por el número de ciclos del reloj de píxeles y el reloj de alta frecuencia, establecer el valor objetivo en unidades del reloj de píxeles, convertir el error en unidades de reloj de alta frecuencia y emitir un valor convertido, y
 el calculador de frecuencia (7) está adaptado para calcular el valor de consigna de la frecuencia de reloj de píxeles usando un valor obtenido dividiendo el error por el valor objetivo y para emitir la señal de especificación de frecuencia en función del valor de consigna de la frecuencia de reloj de píxeles calculada.
 45

50 3. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 1, en el que el comparador (5) está adaptado para detectar el intervalo de tiempo por el número de ciclos del reloj de píxeles y el reloj de alta frecuencia, establecer el valor objetivo en unidades del reloj de píxeles y el reloj de alta frecuencia, convertir el error en unidades de reloj de alta frecuencia y emitir un valor convertido, y
 el calculador de frecuencia (7) está adaptado para calcular el valor de consigna de la frecuencia de reloj de píxeles usando un valor obtenido dividiendo el error por el valor objetivo y para emitir la señal de especificación de frecuencia en función del valor de consigna de la frecuencia de reloj de píxeles calculada.

55 4. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 1, en el que el calculador de frecuencia (7) está adaptado para representar el valor de consigna de la frecuencia de reloj de píxeles a calcular usando dos valores enteros M y C como parámetros, establecer la señal de especificación de frecuencia con el fin de usar un valor obtenido al sumar +1 o -1 al valor entero M una vez en C ciclos del reloj de píxeles y usar el valor entero M tras otros ciclos y emitir la señal de especificación de frecuencia ajustada.
 60

65 5. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 1, en el que el calculador de frecuencia (7) está adaptado para representar el valor de consigna de la frecuencia de reloj de píxeles a calcular usando un decimal fijo formado con un valor entero M que indica una parte entera y un valor F que indica una parte decimal, y especificar la señal de especificación de frecuencia para que sea un valor que se obtiene sumando 1 al valor entero M para F veces en 2^A ciclos del reloj de píxeles, en donde un valor A es el número de dígitos decimales del valor de consigna de la frecuencia de reloj de píxeles, y para que sea el valor entero M para

otras veces.

6. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 5, en el que el calculador de frecuencia (7) incluye un contador de A bits que está adaptado para contar en función del reloj de píxeles usando el valor A y generar la señal de especificación de frecuencia que especifica añadir 1 al valor entero M cuando un valor obtenido invirtiendo una disposición de bits de un valor de recuento contado por el contador es más pequeño que el valor F.
7. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 1, en el que la unidad de actualización de cálculo de valor de consigna está adaptada para recibir una señal de cambio de cálculo para especificar si se calculan y se actualizan la totalidad de los valores de consigna de la frecuencia de reloj de píxeles o se calcula y se actualiza un valor de consigna particular, y seleccionar si calcular y actualizar la totalidad de los valores de consigna de la frecuencia de reloj de píxeles o calcular y actualizar solo el valor de consigna que se corresponde con la faceta del espejo poligonal (104) en función de la señal de cambio de cálculo recibida.
8. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 7, en el que la unidad de actualización de cálculo de valor de consigna está adaptada para actualizar la totalidad de los valores de consigna de todas las facetas del espejo poligonal almacenados en la unidad de almacenamiento de valores de consigna de frecuencia (17) con el valor de consigna calculado cuando la señal de cambio de cálculo recibida es una señal de detección de enganche con la que se determina si un control de frecuencia está enganchado en respuesta al error y cuando se determina que el control de frecuencia no está enganchado con la señal de detección de enganche recibida.
9. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 1, que comprende adicionalmente:
un filtro digital (62) que está adaptado para alisar el error emitido desde el comparador (5), en donde el calculador de frecuencia (7) está adaptado para introducir el error alisado por el filtro digital (62) y calcular el valor de consigna de la frecuencia de reloj de píxeles en función del error alisado.
10. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 9, que comprende adicionalmente:
una unidad de cambio de coeficiente de filtro adaptada para cambiar un coeficiente de filtro que determina la característica de filtro del filtro digital.
11. El generador de reloj de píxeles (111) de acuerdo con la reivindicación 10, en el que la unidad de cambio de coeficiente de filtro está adaptada para cambiar el coeficiente de filtro en función de la señal de cambio de cálculo recibida por la unidad de actualización de cálculo de valor de consigna.
12. Un modulador de pulsos, que incluye un generador de reloj de píxeles (111) de acuerdo con la reivindicación 1, que está adaptado para generar una señal de modulación de pulsos que aplica una modulación de pulsos de acuerdo con datos de imagen en función de un reloj de píxeles generado por el generador de reloj de píxeles (111), y comprende un generador de señales de modulación de pulsos (113) que está adaptado para contar un valor de anchura de pulso obtenido en función de los datos de imagen y la señal de especificación de frecuencia con el reloj de alta frecuencia, con referencia a al menos una de una subida y una bajada del reloj de píxeles, y generar la señal de modulación de pulsos del valor de anchura de pulso contado.
13. Un aparato de formación de imagen, que incluye un generador de reloj de píxeles (111) de acuerdo con la reivindicación 1, que está adaptado para formar una imagen accionando una fuente de luz con una señal de modulación de pulsos que aplica una modulación de pulsos de acuerdo con datos de imagen en función de un reloj de píxeles generado por el generador de reloj de píxeles (111), y la realización de un barrido con un flujo de luz emitido desde la fuente de luz (101) sobre un medio a barrer.
14. El aparato de formación de imagen de acuerdo con la reivindicación 13, que comprende:
dos detectores ópticos (108, 109) dispuestos a lo largo de una línea de barrido del flujo de luz, en donde las señales que son detectadas por los dos detectores ópticos (108, 109) se usan como la primera señal de sincronización y la segunda señal de sincronización.
15. El aparato de formación de imagen de acuerdo con la reivindicación 13, que comprende:
un escáner óptico que está adaptado para barrer el medio a barrer con una periodicidad de Nf líneas, en donde el calculador de frecuencia (7) incluye

- una unidad de almacenamiento de valores de consigna de frecuencia (17) que está adaptada para almacenar una pluralidad de valores de consigna de la frecuencia de reloj de píxeles;
- una unidad de selección de valores de consigna (20) que está adaptada para seleccionar un valor de consigna al hacer circular los valores de consigna almacenados en la unidad de almacenamiento de valores de consigna de frecuencia para cada una de la primera señal de sincronización y la segunda señal de sincronización;
- una unidad de conversión de señales de especificación de frecuencia (22) que está adaptada para convertir el valor de consigna que es seleccionado por la unidad de selección de valores de consigna en la señal de especificación de frecuencia; y
- una unidad de actualización de cálculo de valor de consigna que está adaptada para calcular el valor de consigna seleccionado en función del error emitido desde el comparador (5), y actualizar el valor de consigna almacenado en la unidad de almacenamiento de valores de consigna de frecuencia (17).
16. El aparato de formación de imagen de acuerdo con la reivindicación 15, en el que el escáner óptico incluye un espejo poligonal (104) que tiene Nf superficies, y el escáner óptico está adaptado para barrer el medio a barrer mediante la rotación del espejo poligonal (104).
17. El aparato de formación de imagen de acuerdo con la reivindicación 15, en el que la unidad de actualización de cálculo de valor de consigna está adaptada para recibir una señal de cambio de cálculo para especificar si se calculan y se actualizan la totalidad de los valores de consigna de la frecuencia de reloj de píxeles o se calcula y se actualiza un valor de consigna particular, y calcular y actualizar los valores de consigna en función de la señal de cambio de cálculo recibida.
18. El aparato de formación de imagen de acuerdo con la reivindicación 17, en el que la señal de cambio de cálculo recibida es una señal de detección de enganche que indica si enganchar un control de frecuencia y la unidad de actualización de cálculo de valor de consigna está adaptada para calcular y actualizar los valores de consigna en función de la señal de detección de enganche.
19. Un aparato de formación de imagen, de acuerdo con una cualquiera de las reivindicaciones 13 a 18, en el que el aparato de formación de imagen está adaptado para formar una imagen accionando una pluralidad de fuentes de luz (101) con una señal de modulación de pulsos que aplica una modulación de pulsos de acuerdo con datos de imagen en función de un reloj de píxeles generado por el generador de reloj de píxeles (111), y la realización de un barrido con unos flujos de luz emitidos desde las fuentes de luz sobre un medio a barrer, y en donde el aparato de formación de imagen comprende
- dos detectores ópticos (108, 109) dispuestos a lo largo de una línea de barrido de los flujos de luz; y un separador de señales de detección (126) que está adaptado para separar cada una de las señales de detección de los detectores ópticos (108, 109) en unas señales de detección que se corresponden con las fuentes de luz (101), respectivamente,
- el separador de señales de detección (126) está adaptado para separar la primera señal de sincronización y la segunda señal de sincronización introducidas en cada uno de los generadores de reloj de píxeles en unas señales de detección que se corresponden con las fuentes de luz (101), y las fuentes de luz (101) están adaptadas para ser accionadas por la señal de modulación de pulsos generada en función de cada uno de los relojes de píxeles generados, de una forma correspondiente.
20. Un aparato de formación de imagen que comprende:
- un generador de reloj de píxeles (111) de acuerdo con la reivindicación 1;
- una pluralidad de fuentes de luz (101) accionadas por una modulación de pulsos de acuerdo con datos de imagen en función de un reloj de píxeles generado por el generador de reloj de píxeles (111), que incluye
- una pluralidad de medios a barrer que se corresponden con las fuentes de luz (101), respectivamente, barriéndose los medios a barrer con unos flujos de luz desde las fuentes de luz (101); y
- dos detectores ópticos (108, 109) dispuestos a lo largo de una línea de barrido de los flujos de luz emitida desde las fuentes de luz (101), en donde una pluralidad de imágenes se forman mediante la realización de un barrido con los flujos de luz de las fuentes de luz (101) sobre los medios a barrer y mediante la superposición de las imágenes formadas sobre los medios a barrer sobre un medio de formación de imagen, y dos señales de detección, respectivamente, por los dos detectores ópticos (108, 109) se usan como la primera señal de sincronización y la segunda señal de sincronización.

21. El aparato de formación de imagen de acuerdo con la reivindicación 20, que comprende:

un escáner óptico que está adaptado para barrer el medio a barrer con una periodicidad de N_f líneas, en el que el calculador de frecuencia incluye

- 5 una unidad de almacenamiento de valores de consigna de frecuencia (17) que está adaptada para almacenar una pluralidad de valores de consigna de la frecuencia de reloj de píxeles;
- 10 una unidad de selección de valores de consigna (20) que está adaptada para seleccionar un valor de consigna al hacer circular los valores de consigna almacenados en la unidad de almacenamiento de valores de consigna de frecuencia (17) para cada una de la primera señal de sincronización y la segunda señal de sincronización;
- 15 una unidad de conversión de señales de especificación de frecuencia (22) que está adaptada para convertir el valor de consigna seleccionados por la unidad de selección de valores de consigna (20) en la señal de especificación de frecuencia; y
- una unidad de actualización de cálculo de valor de consigna que está adaptada para calcular el valor de consigna seleccionado en función del error emitido desde el comparador (5), y actualizar el valor de consigna almacenado en la unidad de almacenamiento de valores de consigna de frecuencia (17).

22. El aparato de formación de imagen de acuerdo con la reivindicación 21, en el que el escáner óptico incluye un espejo poligonal (104) que tiene N_f superficies, y el escáner óptico está adaptado para barrer el medio a barrer mediante la rotación del espejo poligonal (104).

23. El aparato de formación de imagen de acuerdo con la reivindicación 21, en el que la unidad de actualización de cálculo de valor de consigna está adaptada para recibir una señal de cambio de cálculo para especificar si se calculan y se actualizan la totalidad de los valores de consigna de la frecuencia de reloj de píxeles o se calcula y se actualiza un valor de consigna particular, y está adaptada para calcular y actualizar los valores de consigna en función de la señal de cambio de cálculo recibida.

24. El aparato de formación de imagen de acuerdo con la reivindicación 23, en el que la señal de cambio de cálculo recibida es una señal de detección de enganche que indica si enganchar un control de frecuencia y la unidad de actualización de cálculo de valor de consigna está adaptada para calcular y actualizar los valores de consigna en función de la señal de detección de enganche.

FIG.3

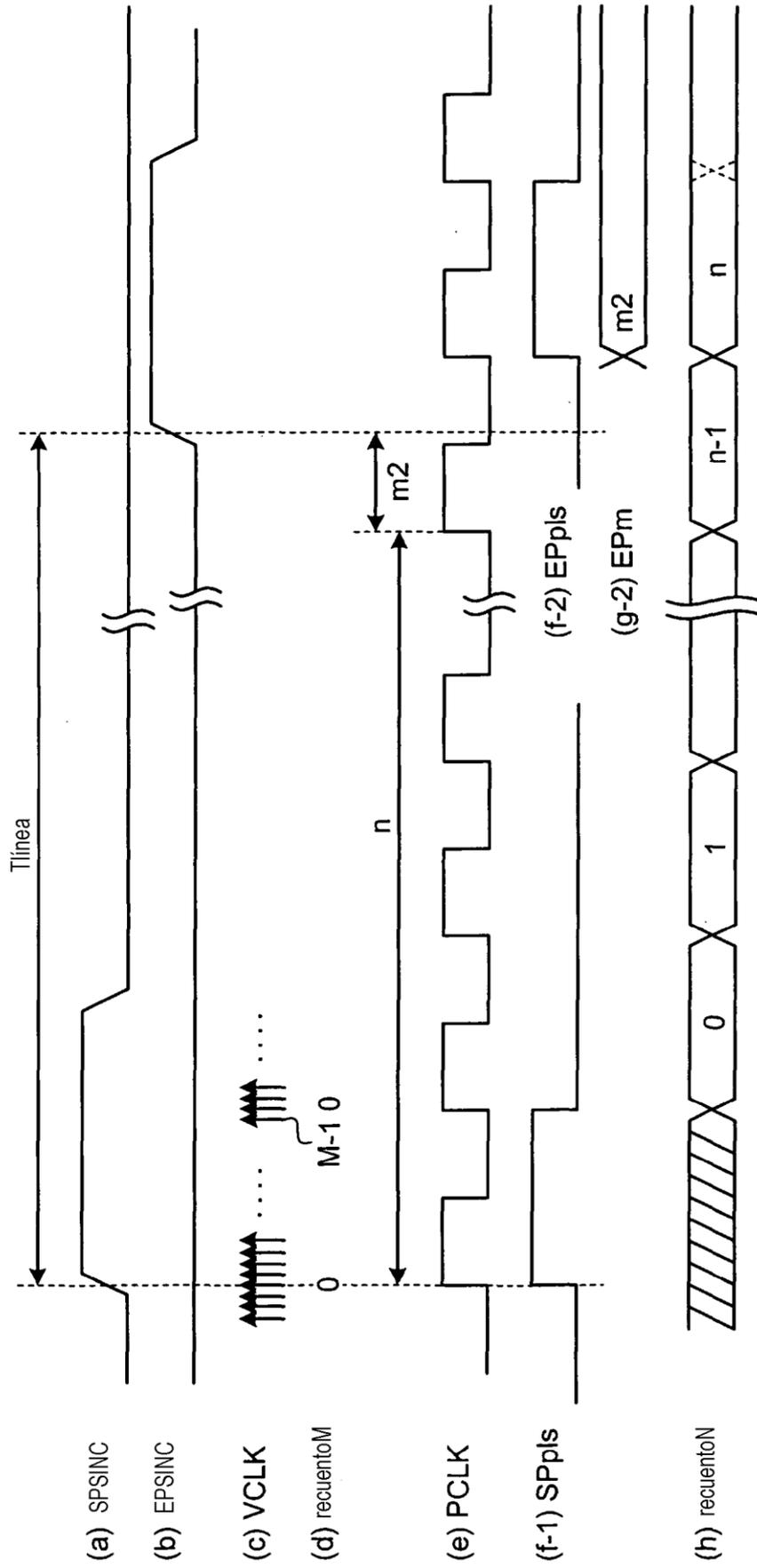


FIG.4

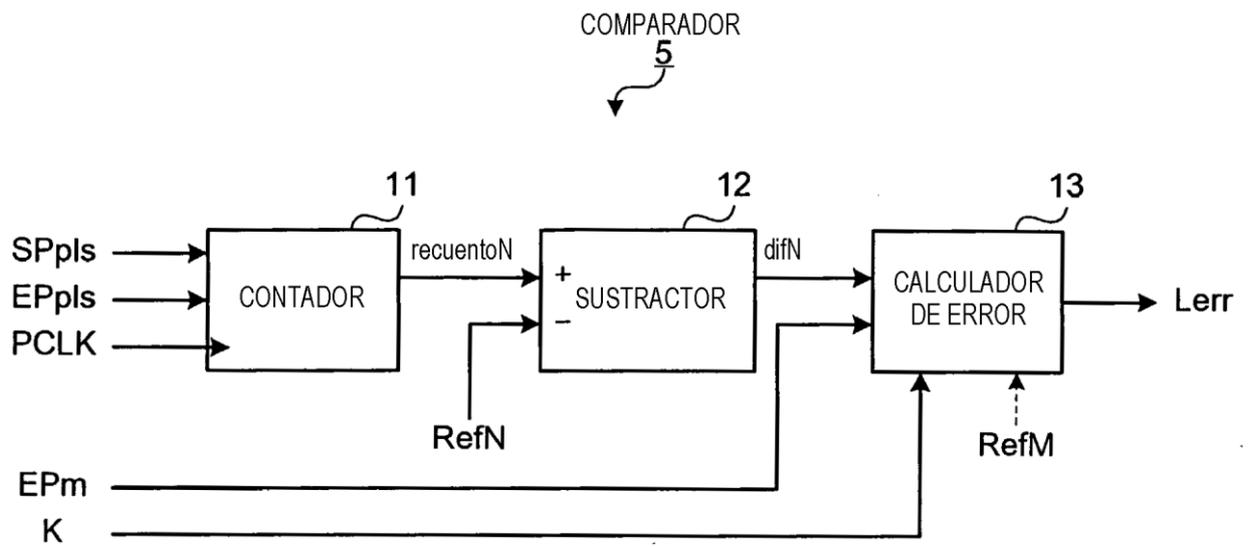


FIG.5

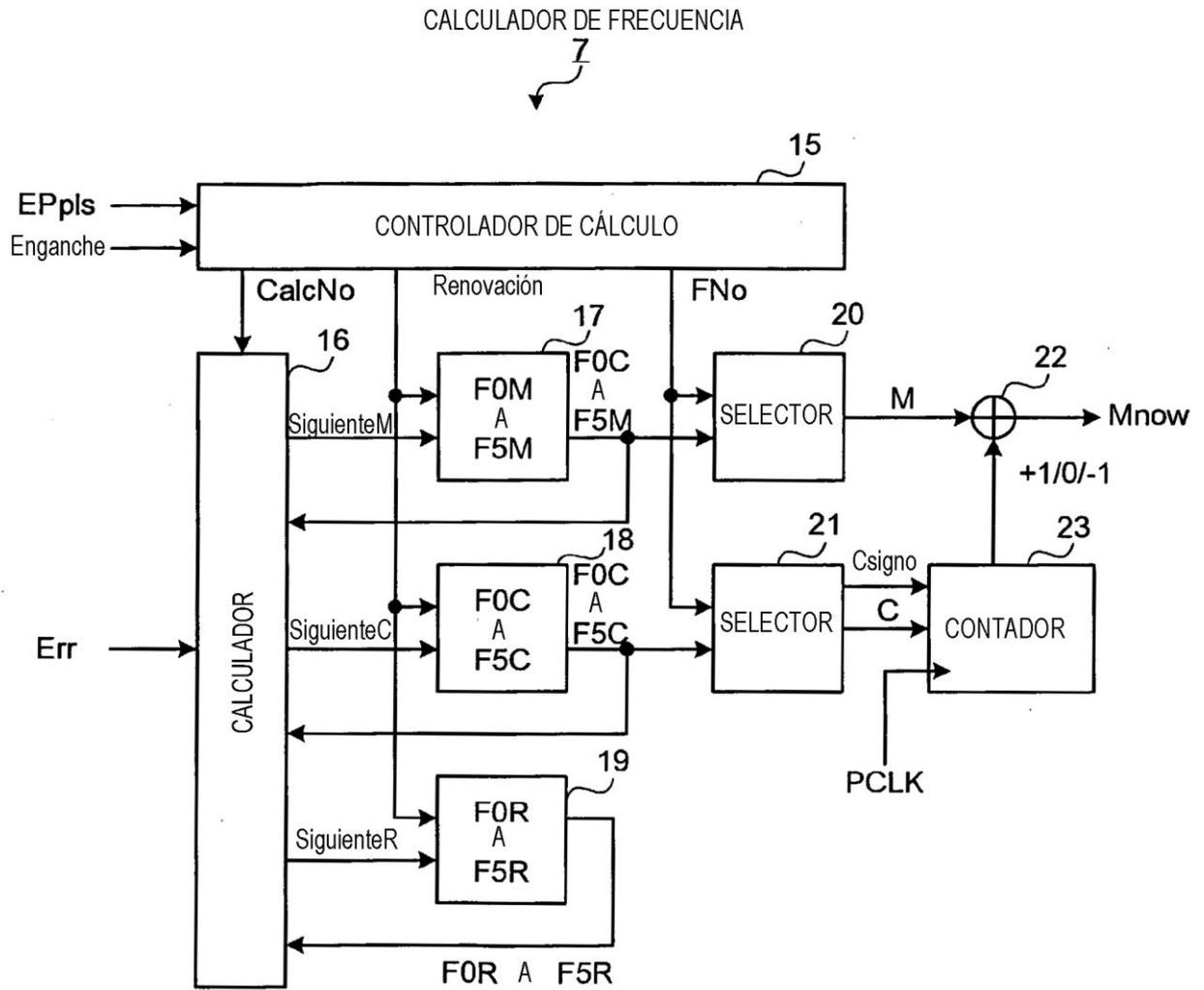


FIG.6

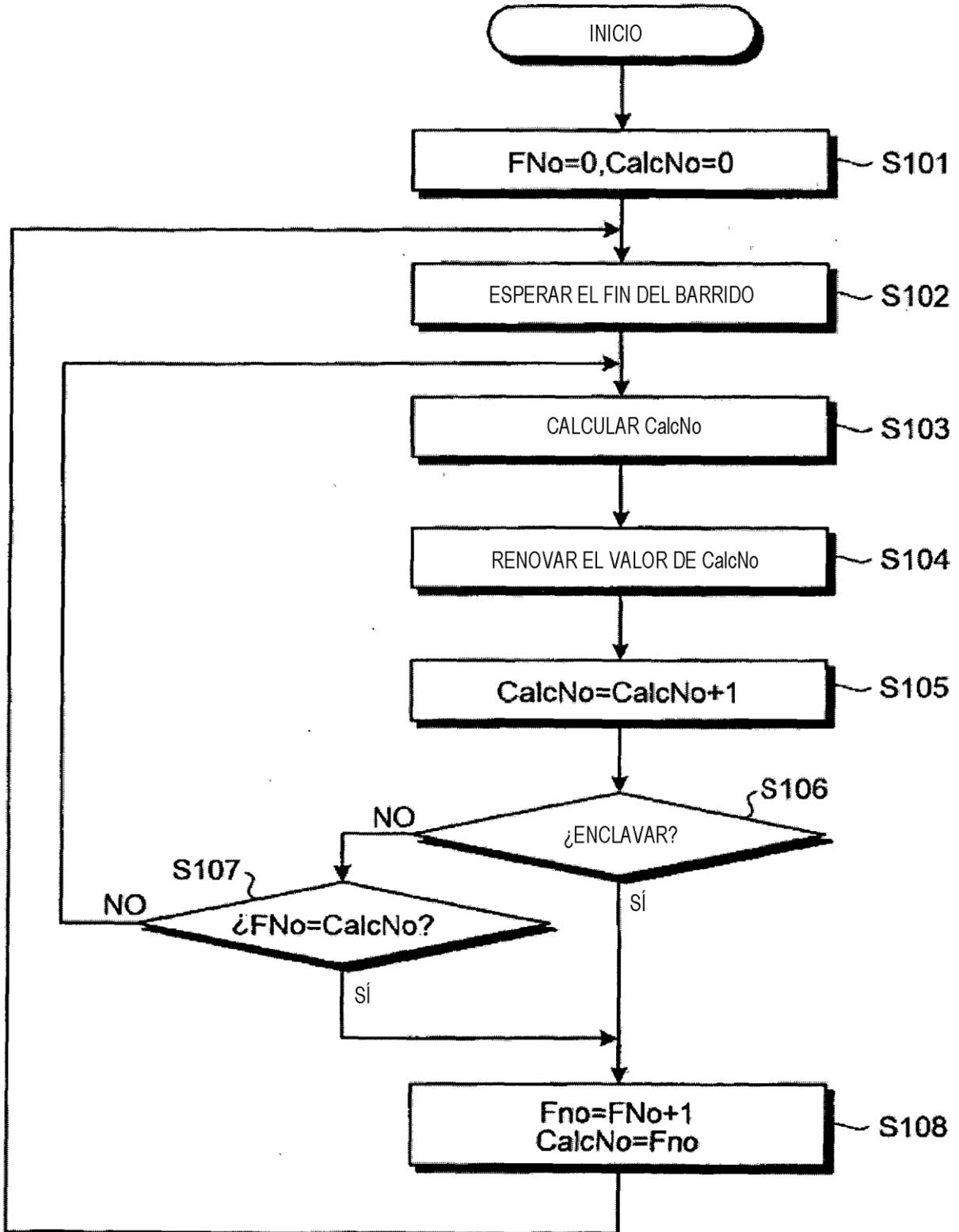


FIG.7

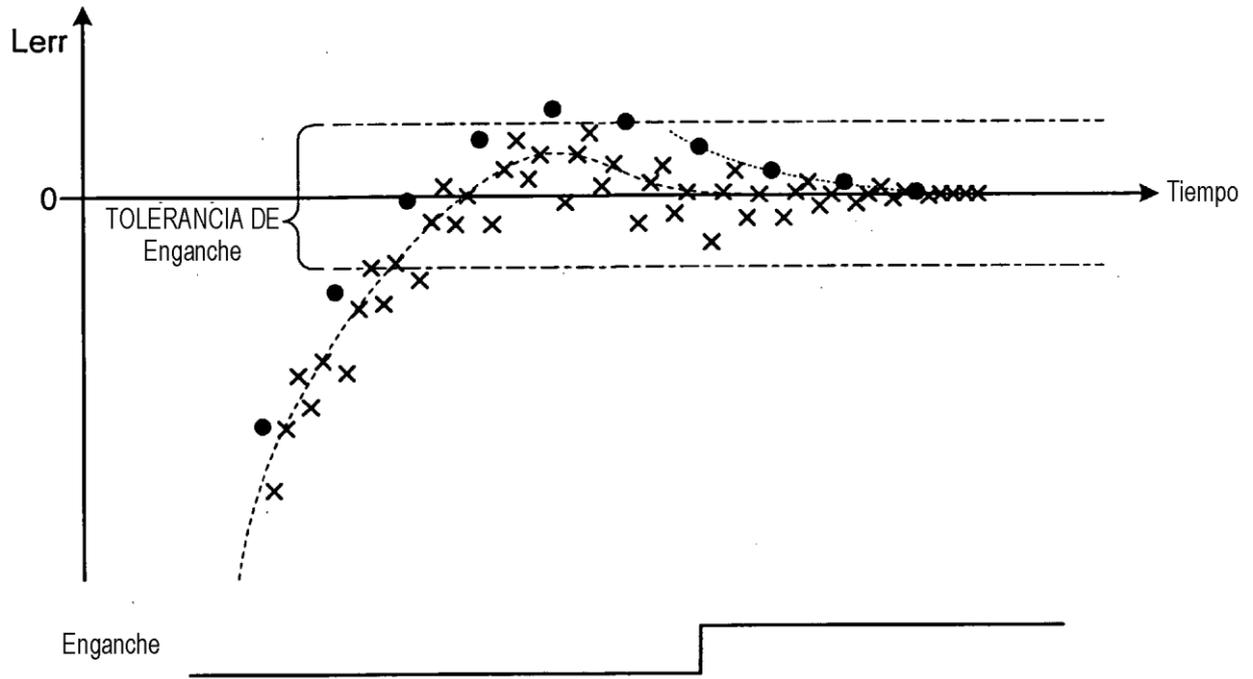


FIG.8

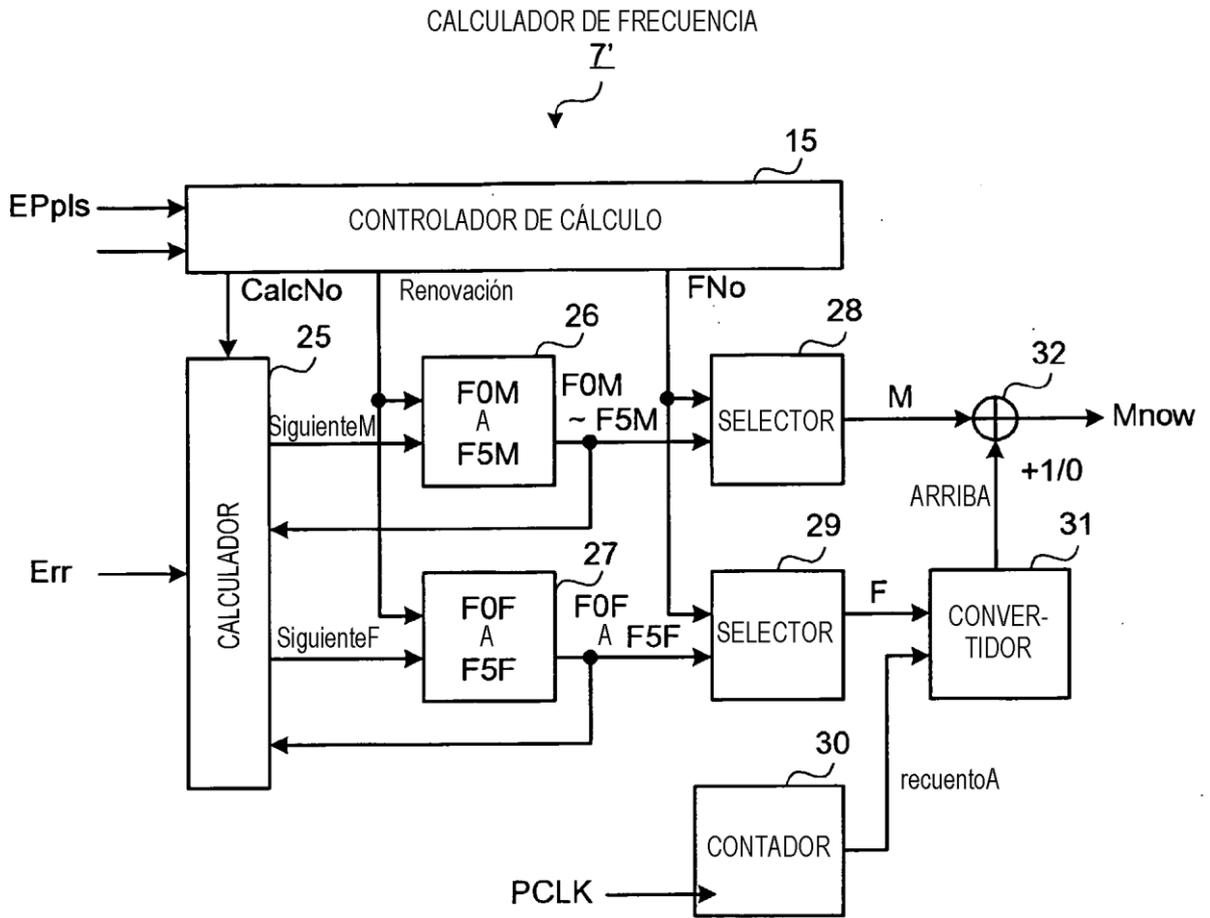


FIG.9

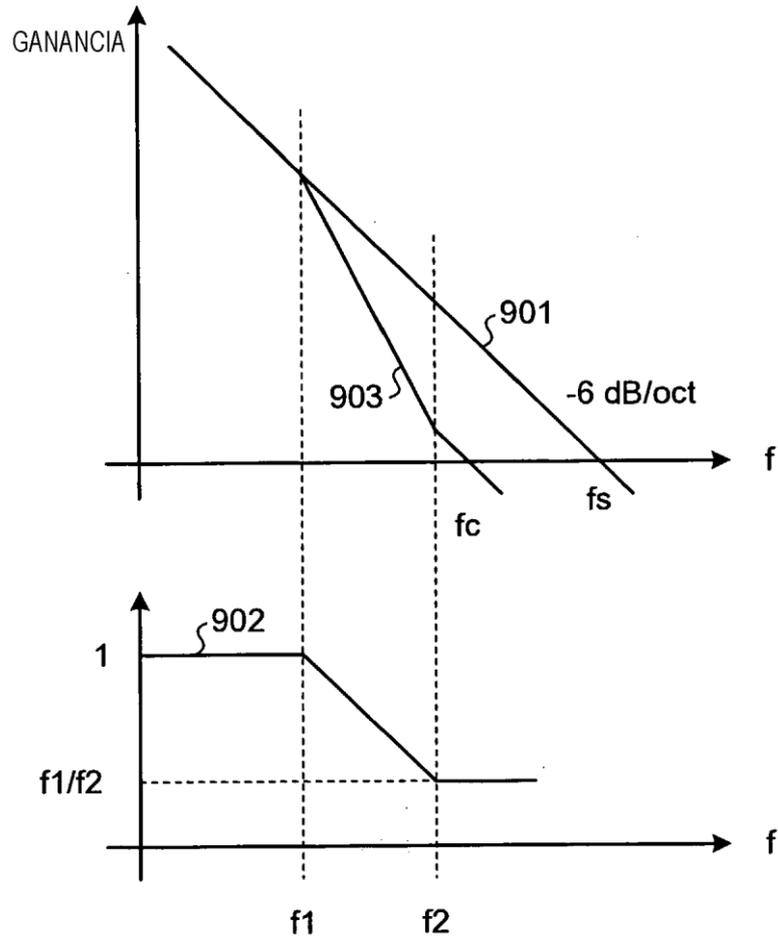


FIG.10

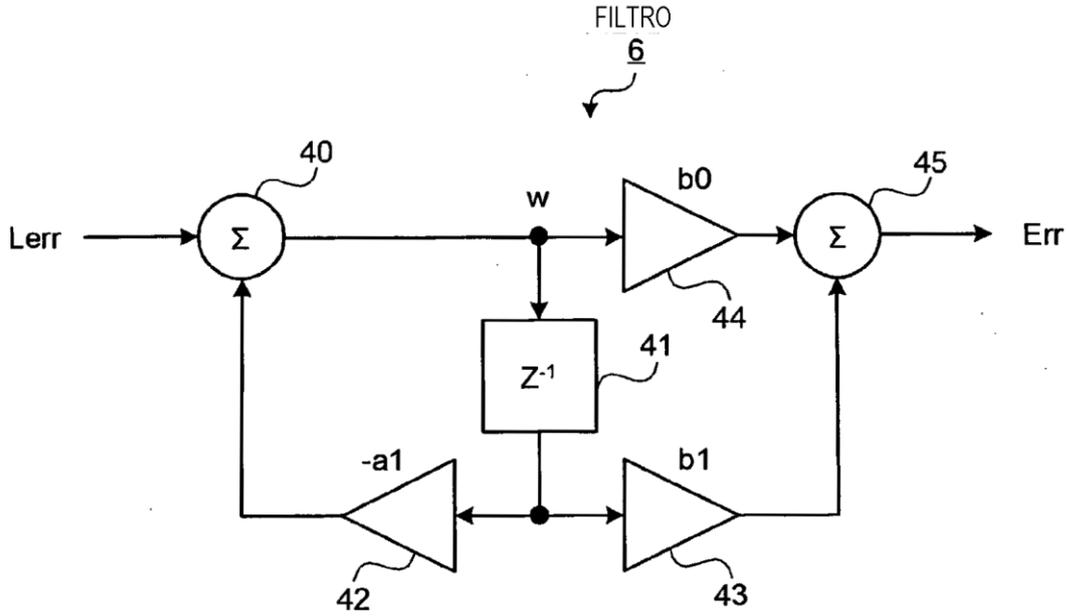


FIG.11

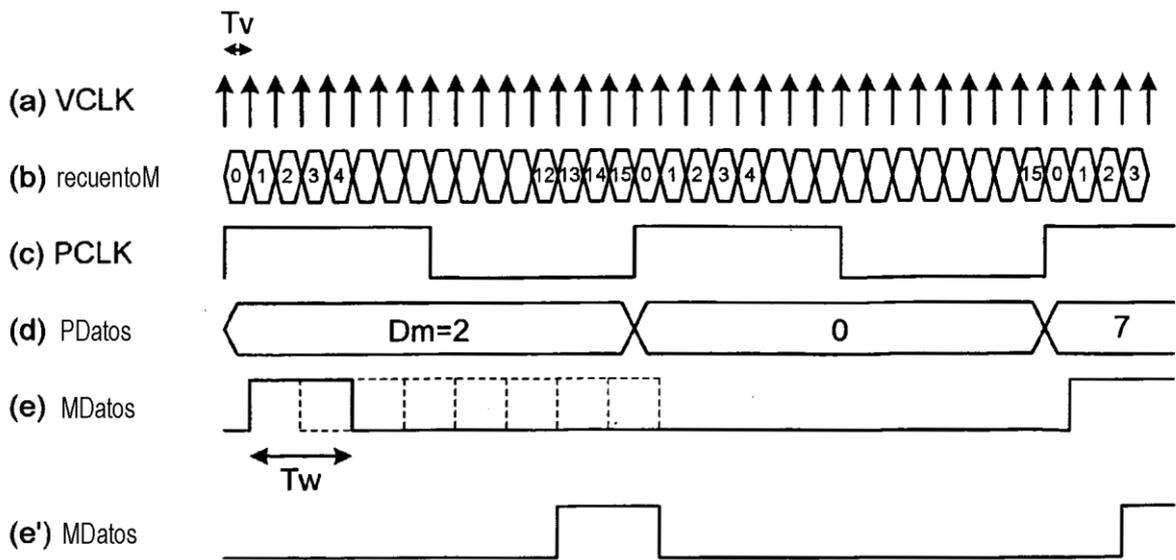


FIG.12

GENERADOR DE RELOJ DE PÍXELES

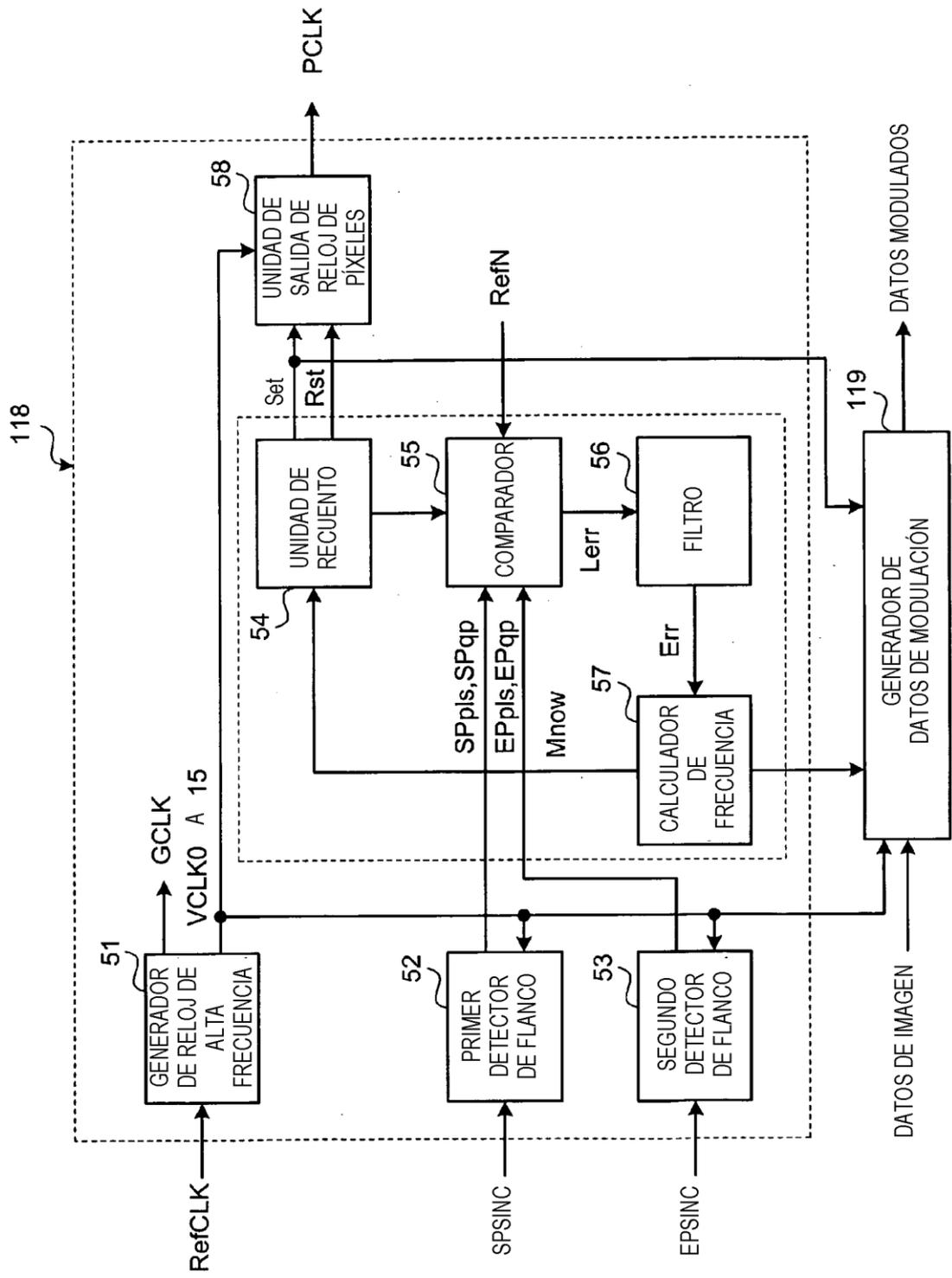


FIG.13

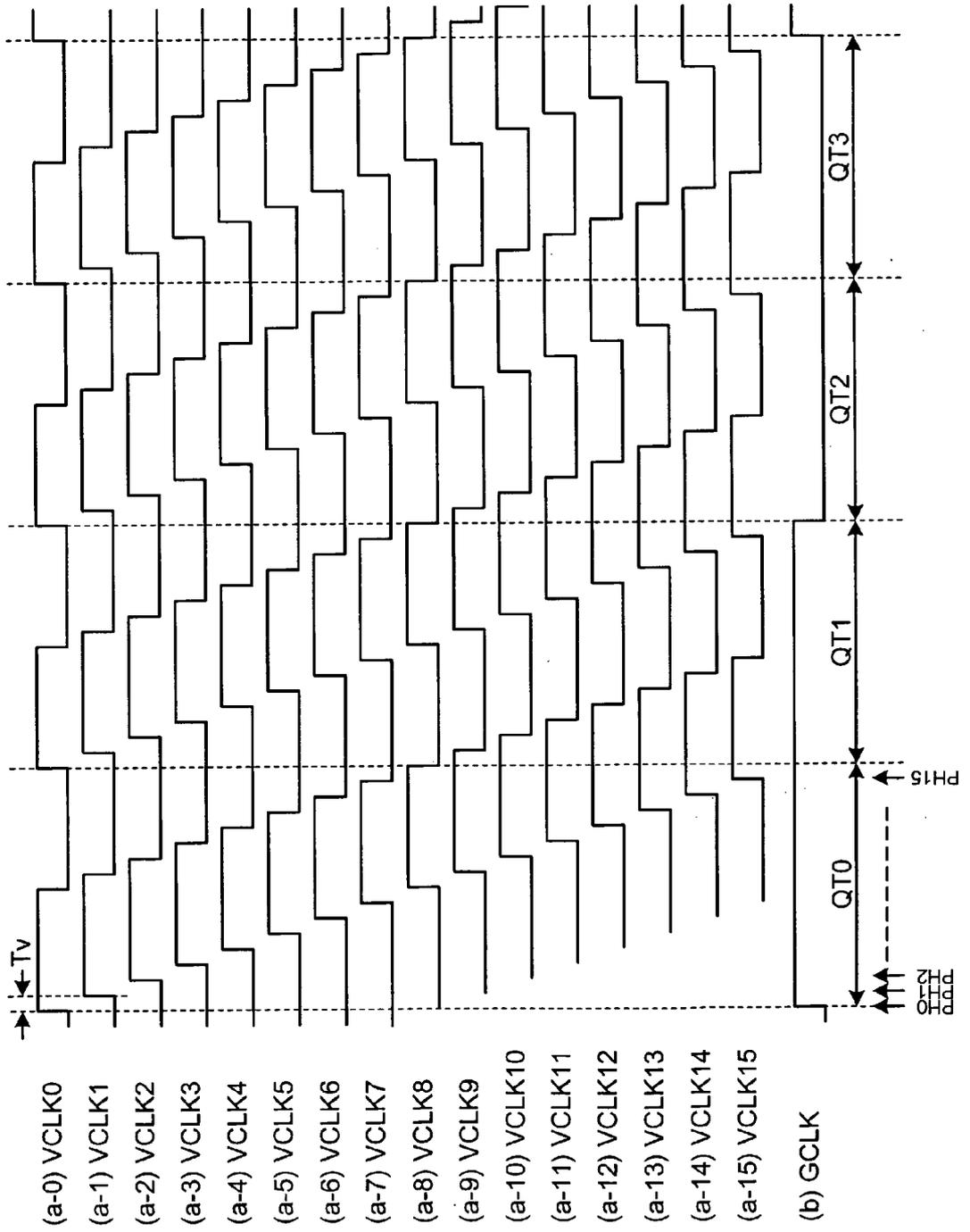


FIG.14

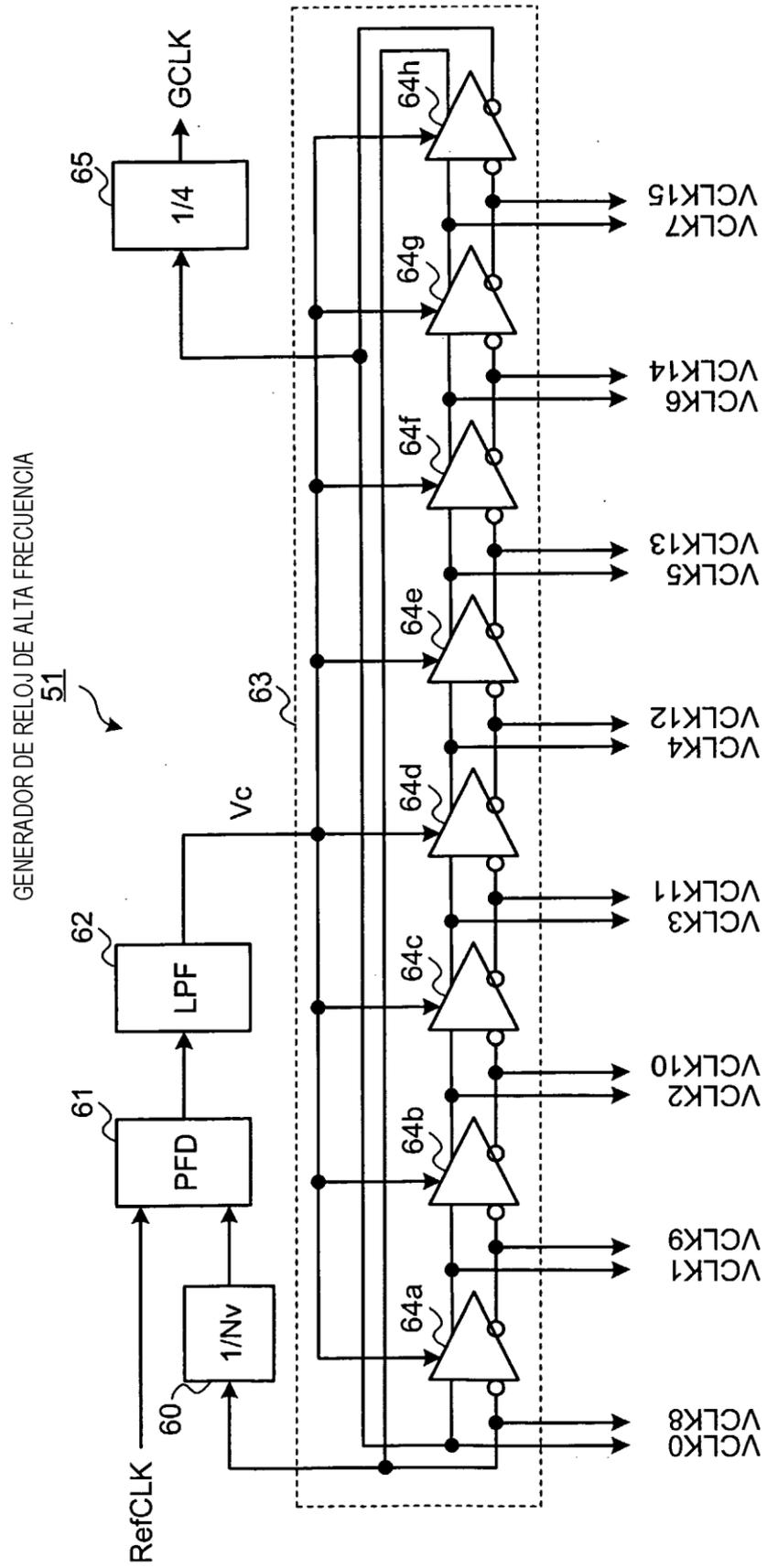


FIG.15

UNIDAD DE RECUENTO
54

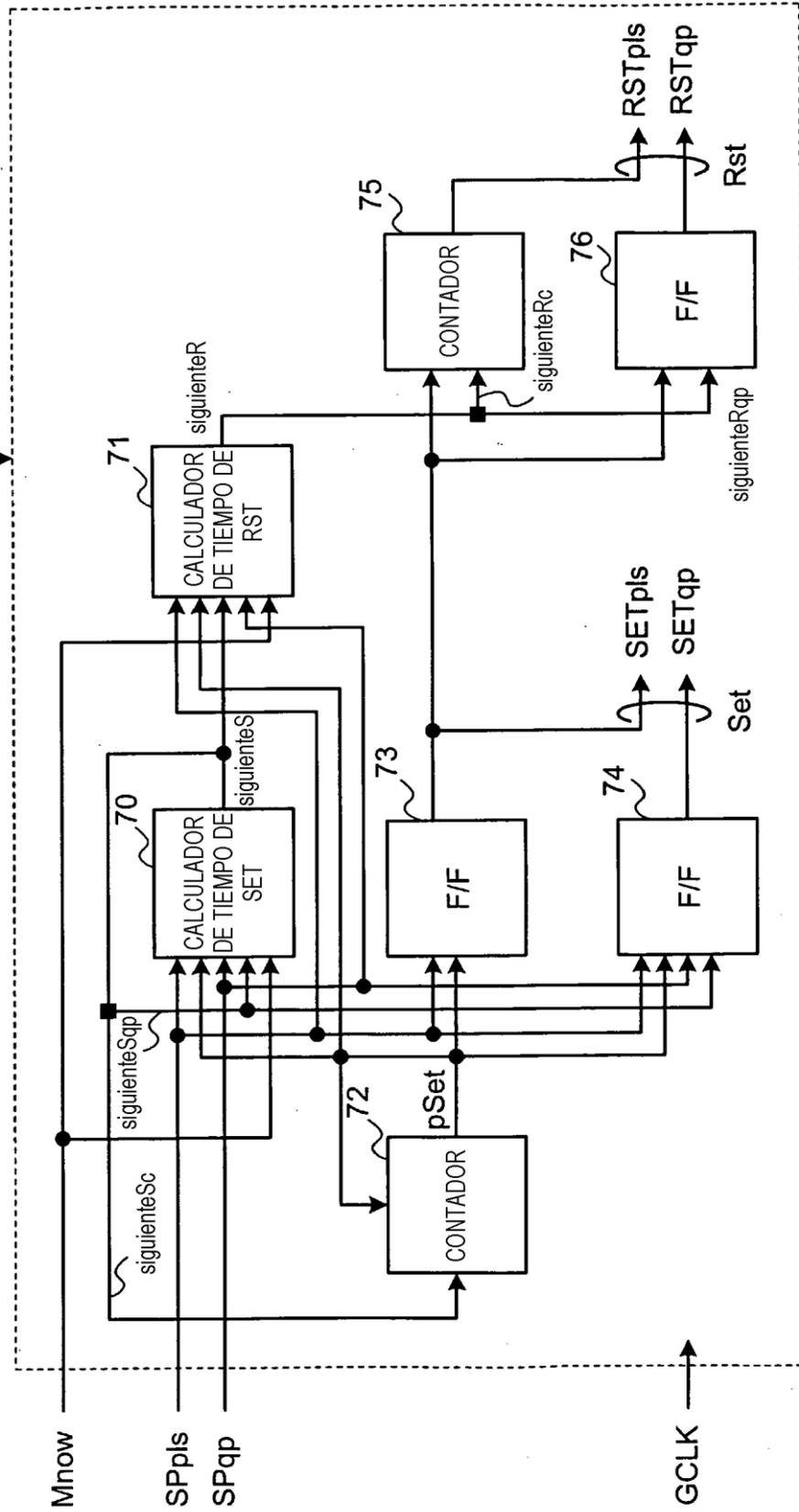


FIG.16

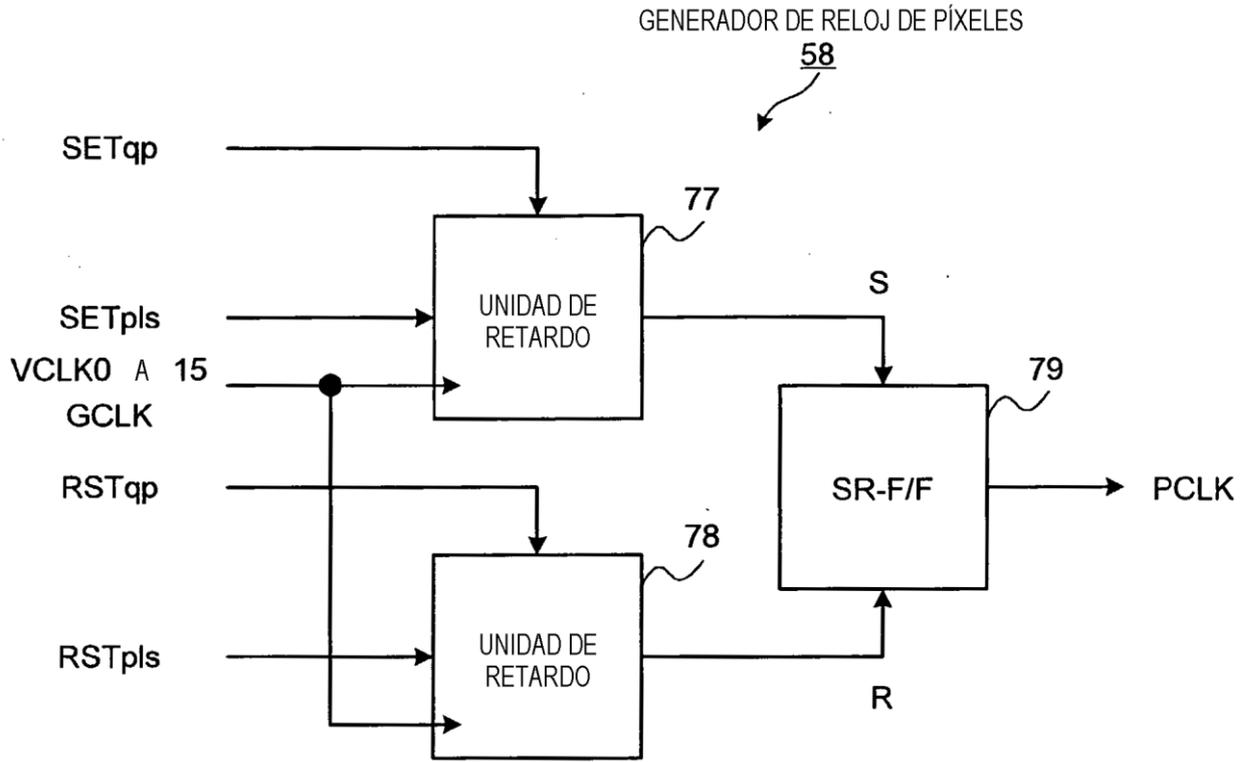


FIG.17

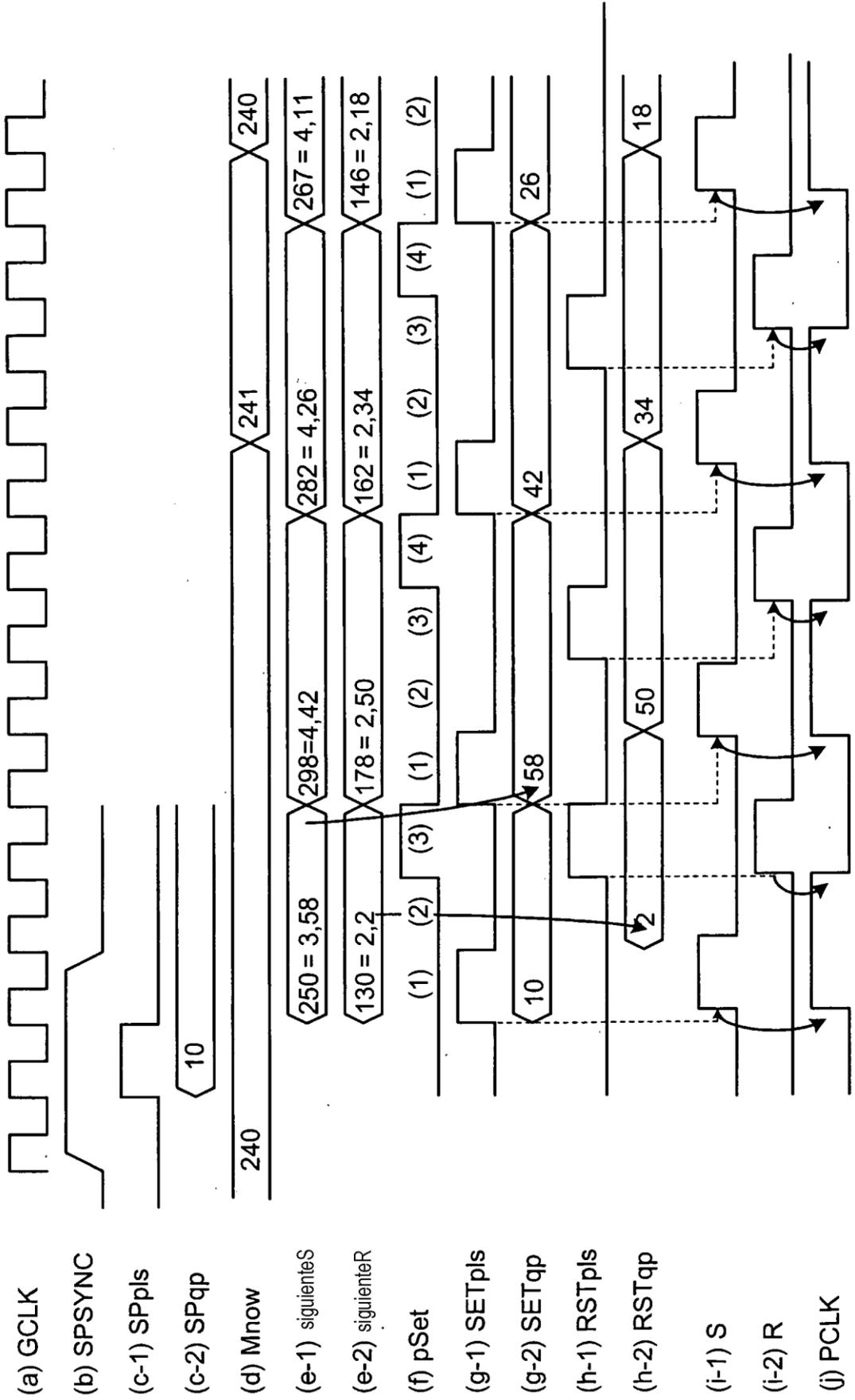


FIG.18

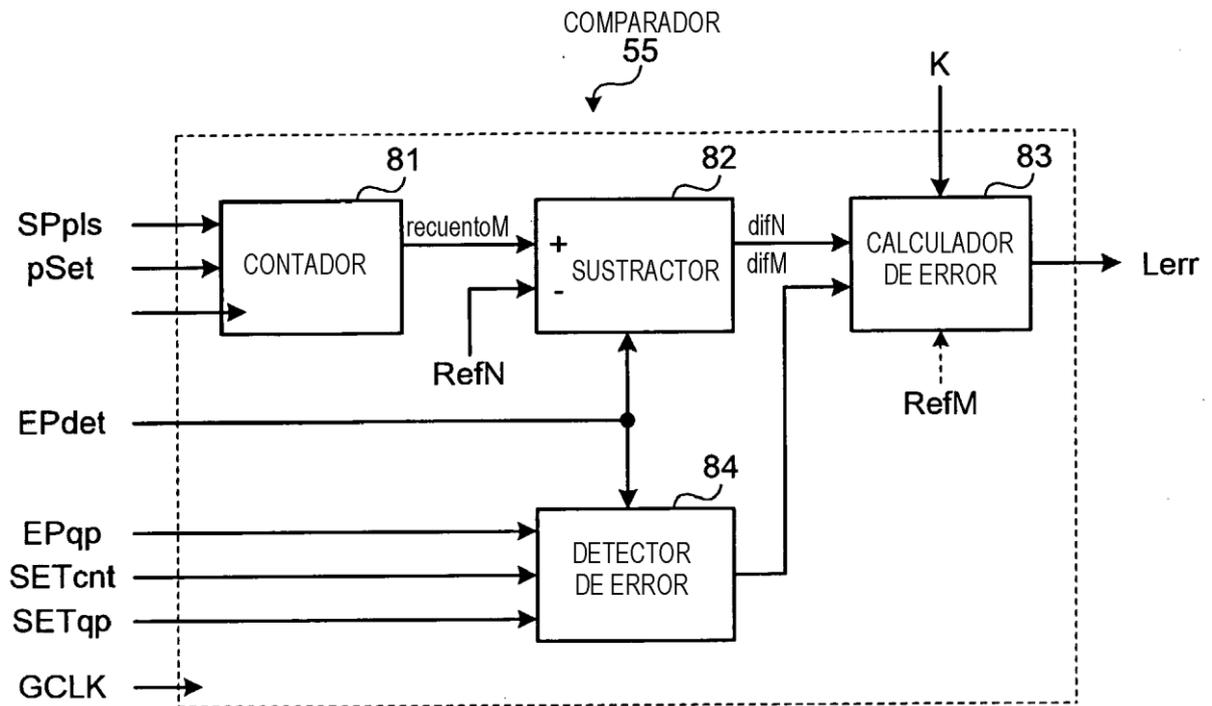


FIG.19

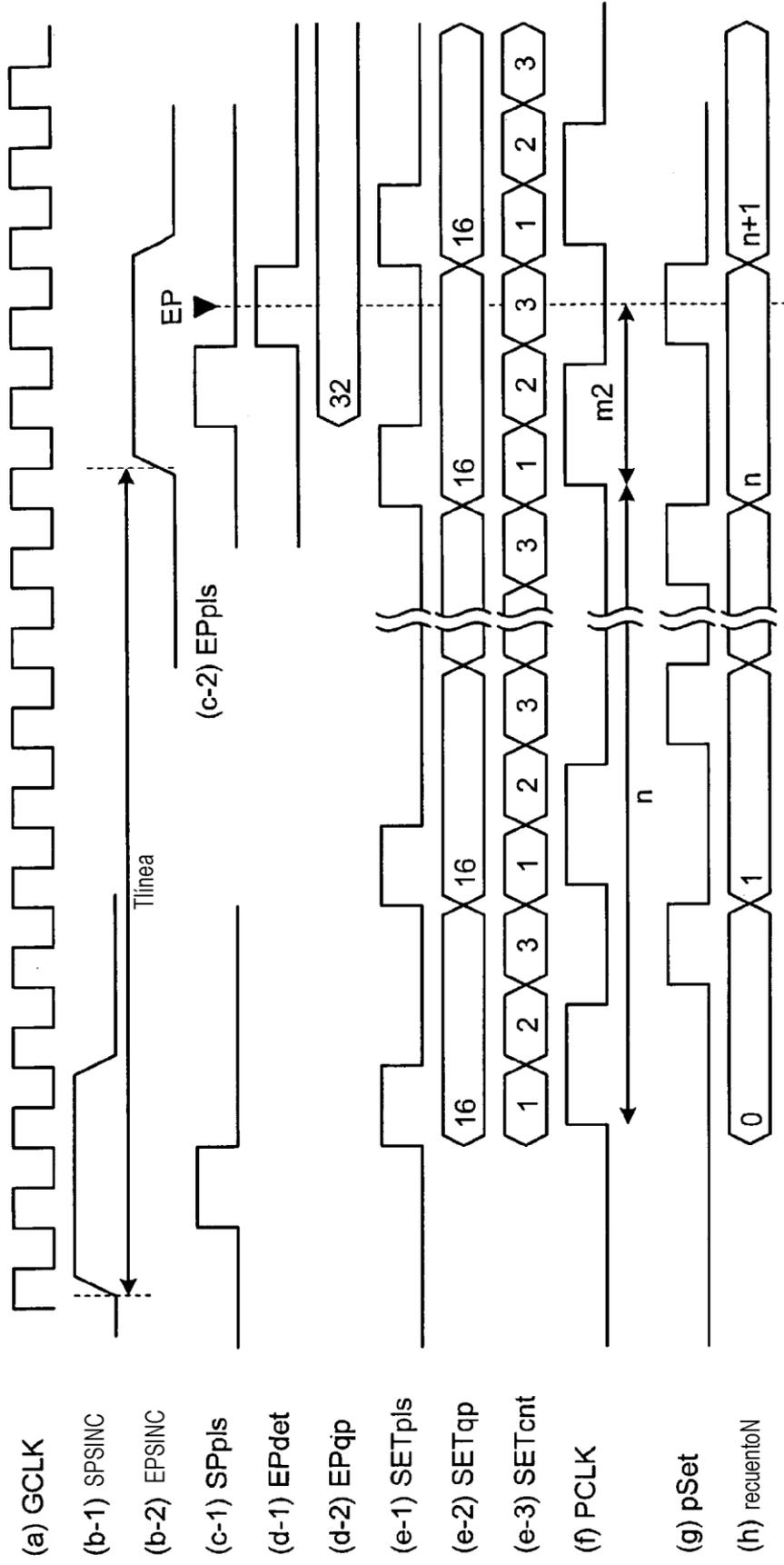


FIG.20

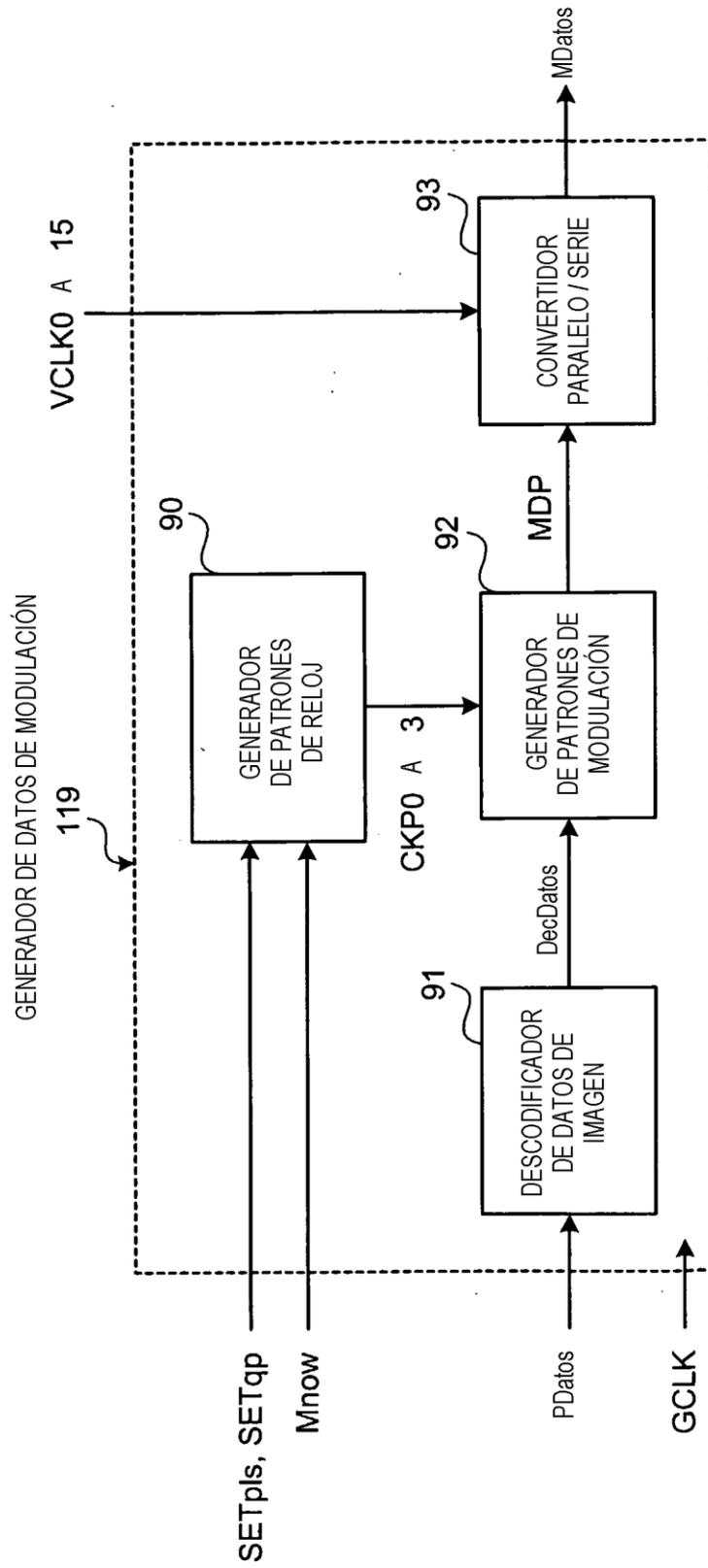
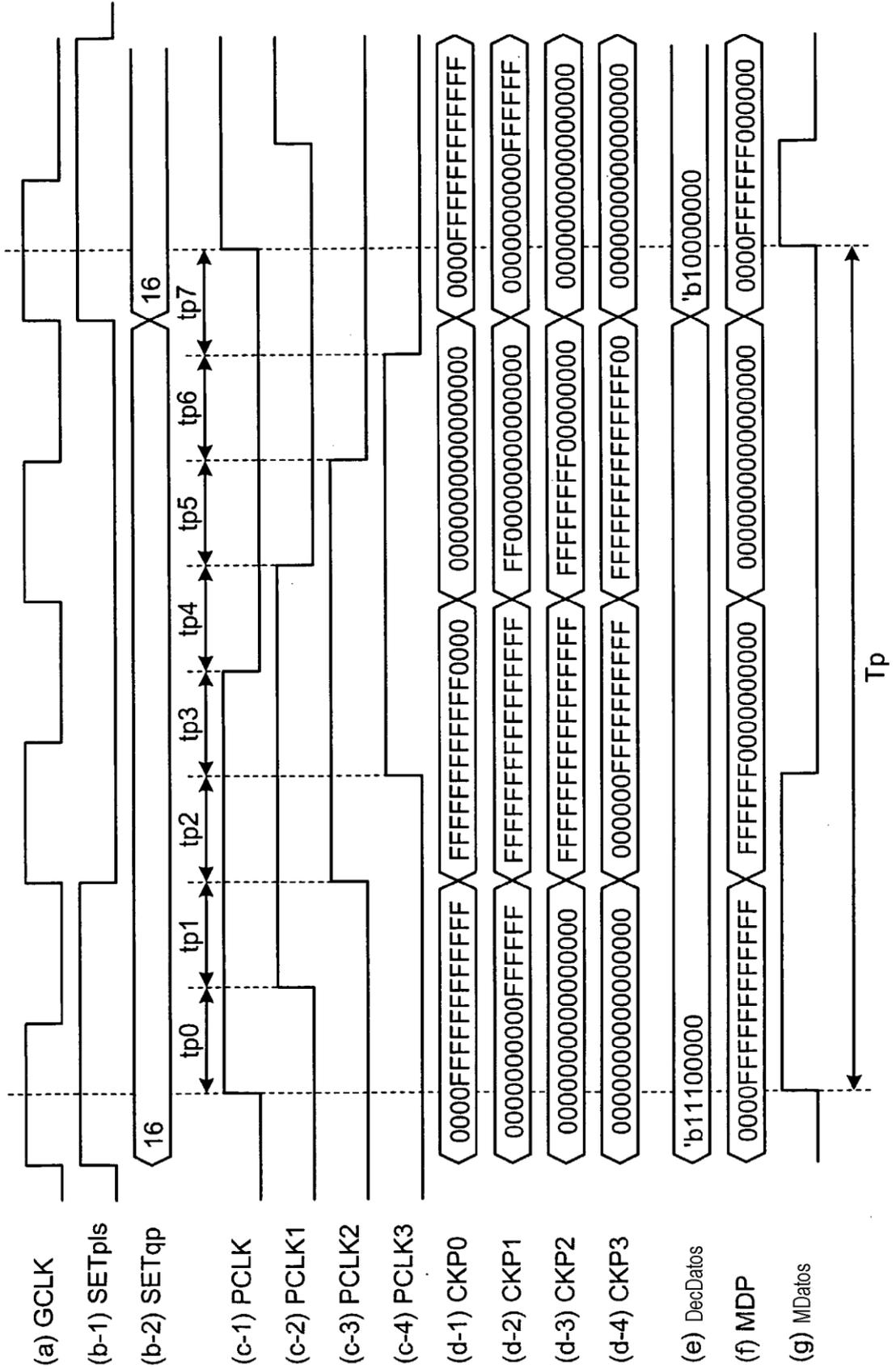


FIG.21



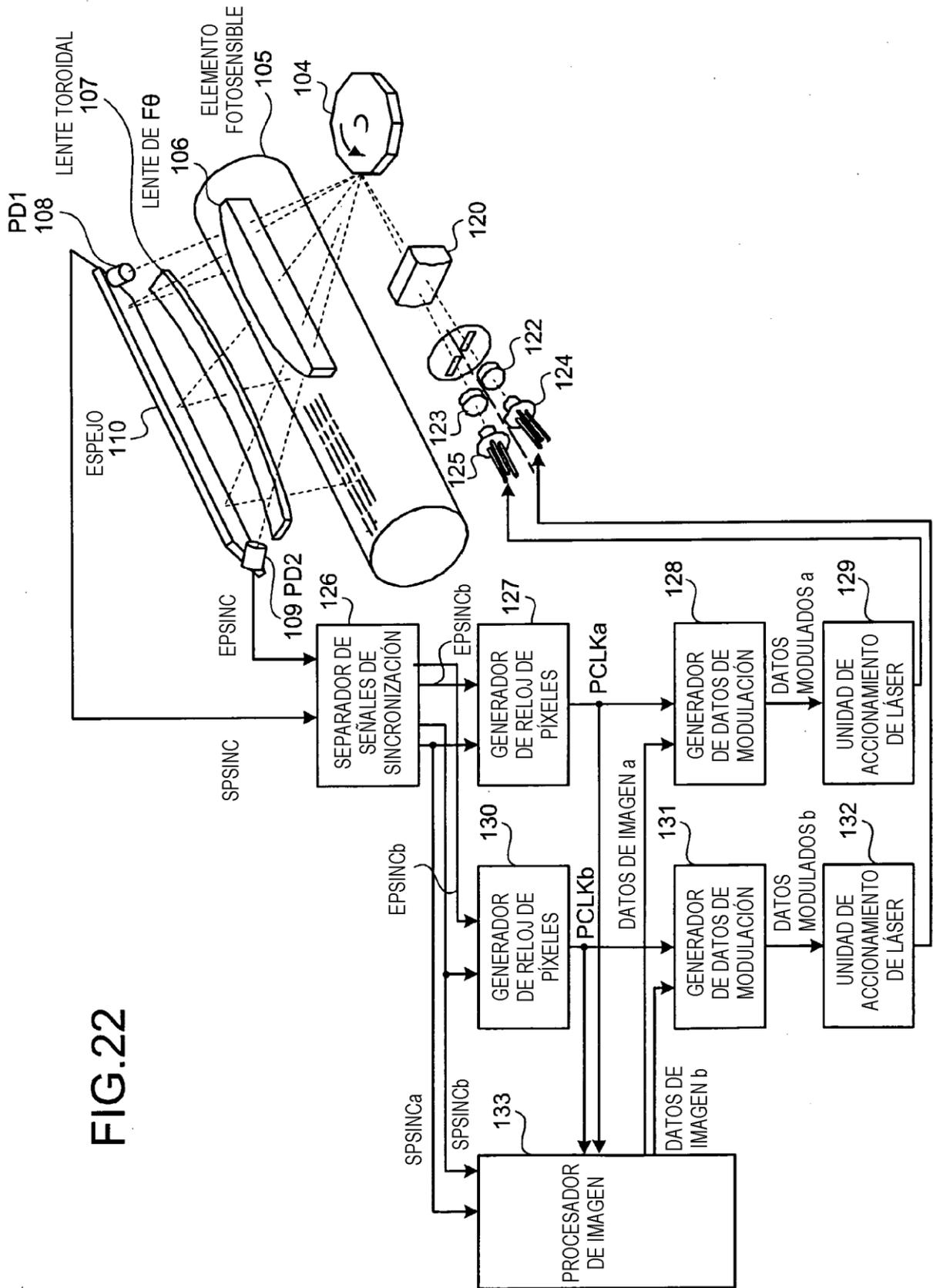


FIG.22

FIG.23

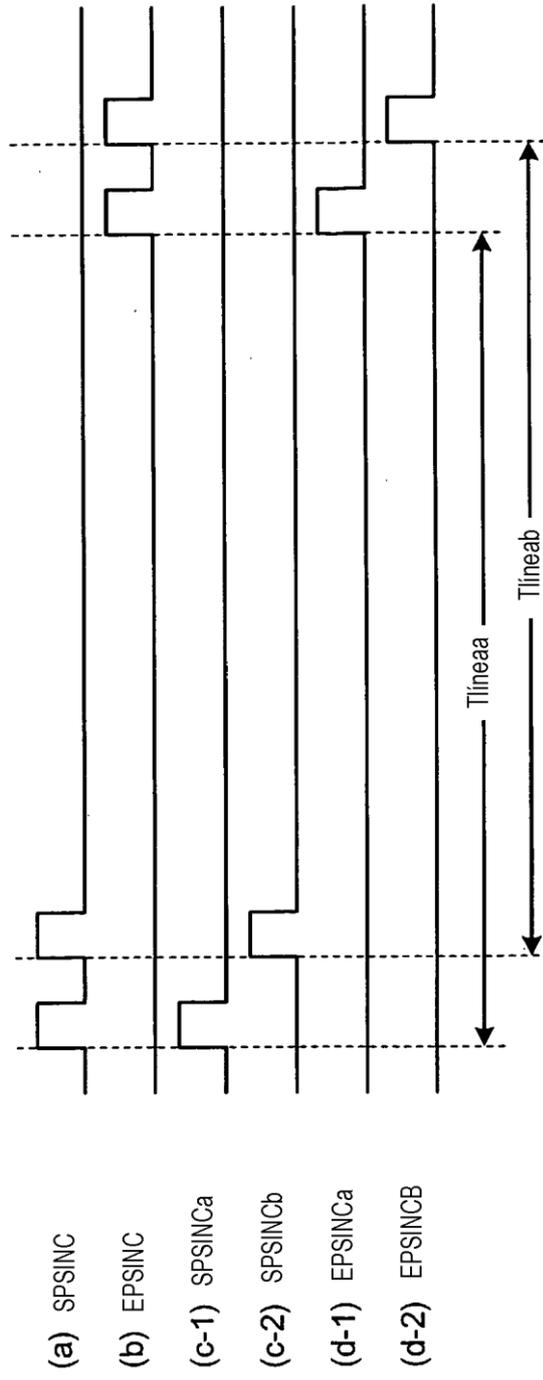


FIG.24

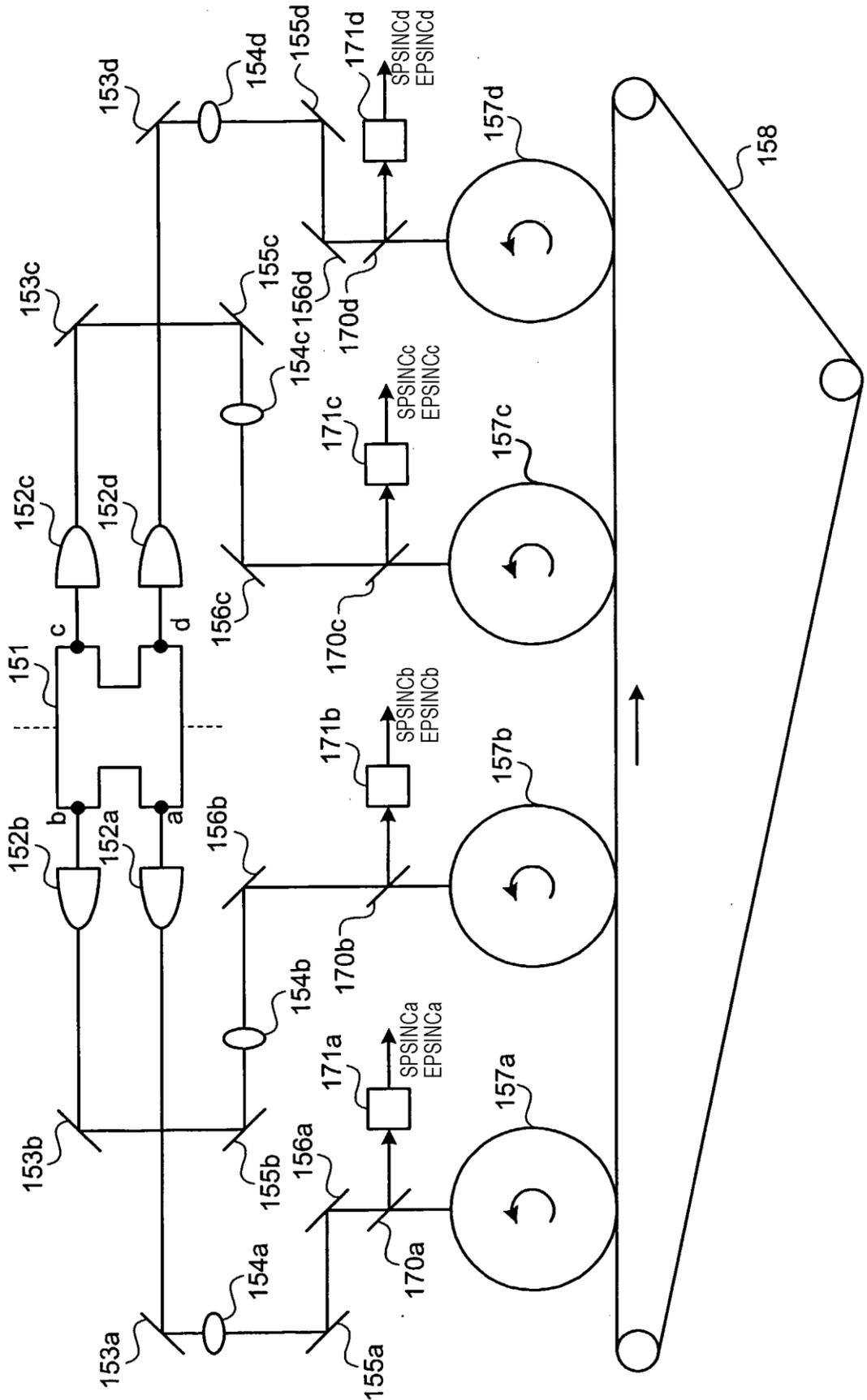


FIG.25

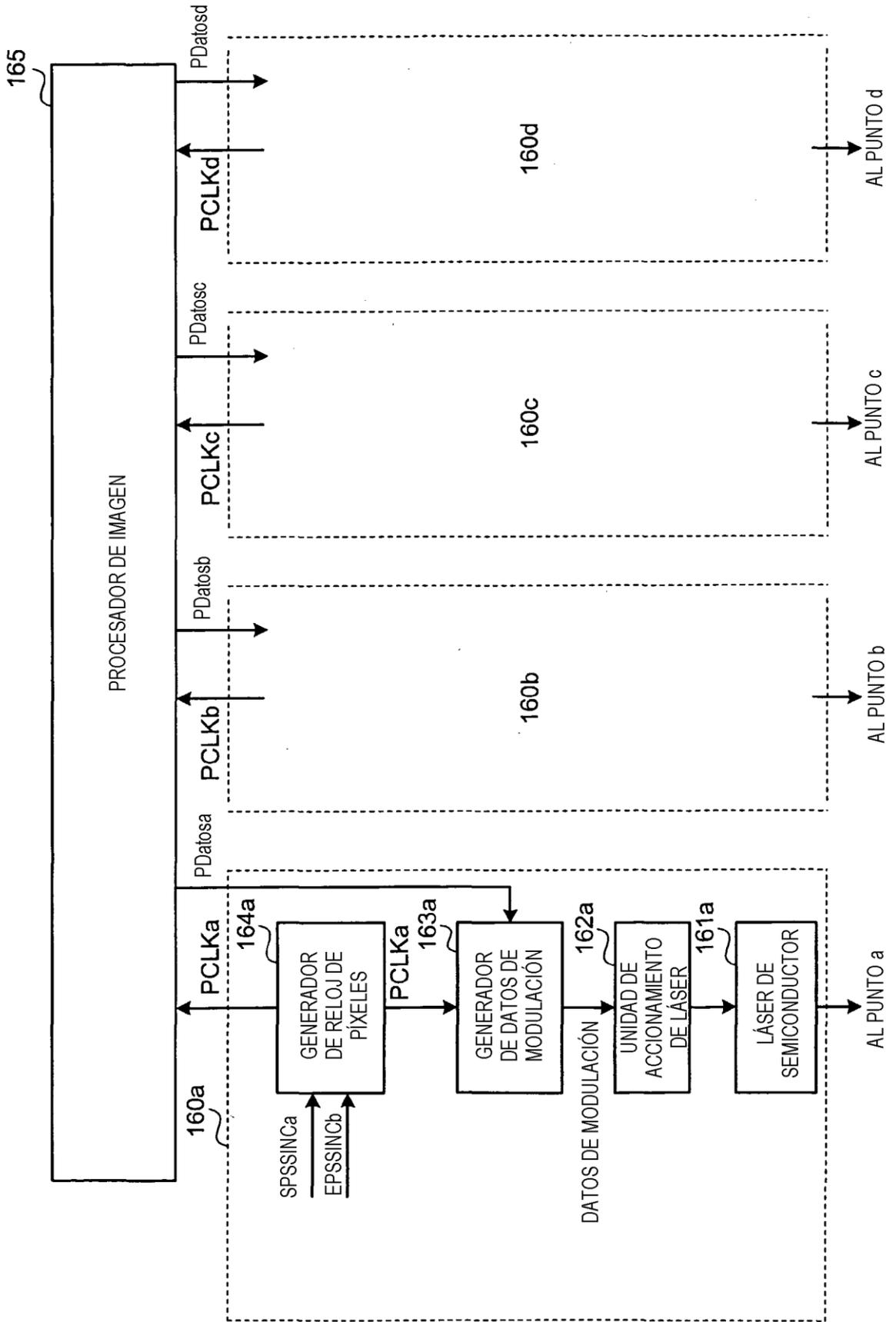


FIG.26

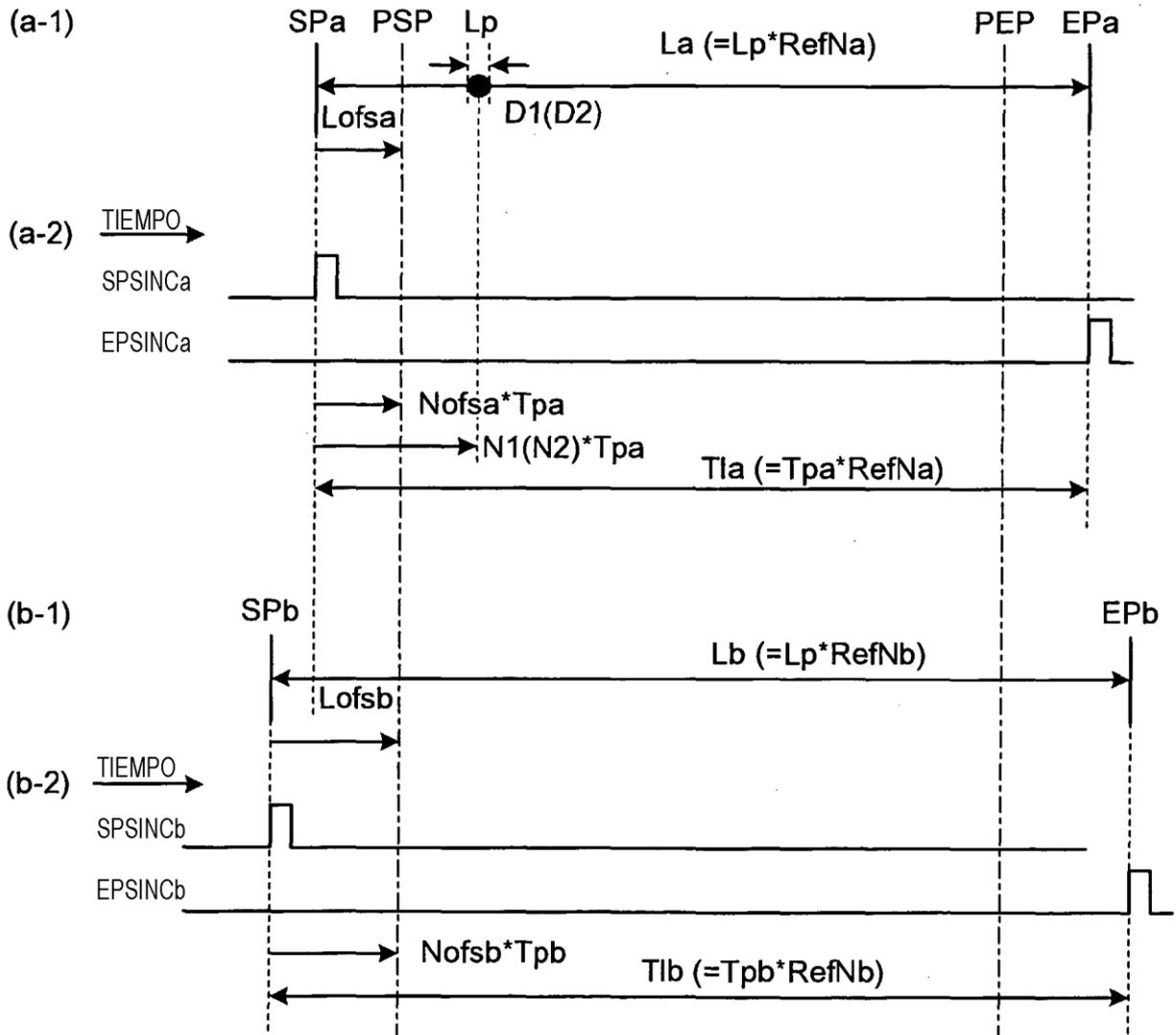


FIG.27

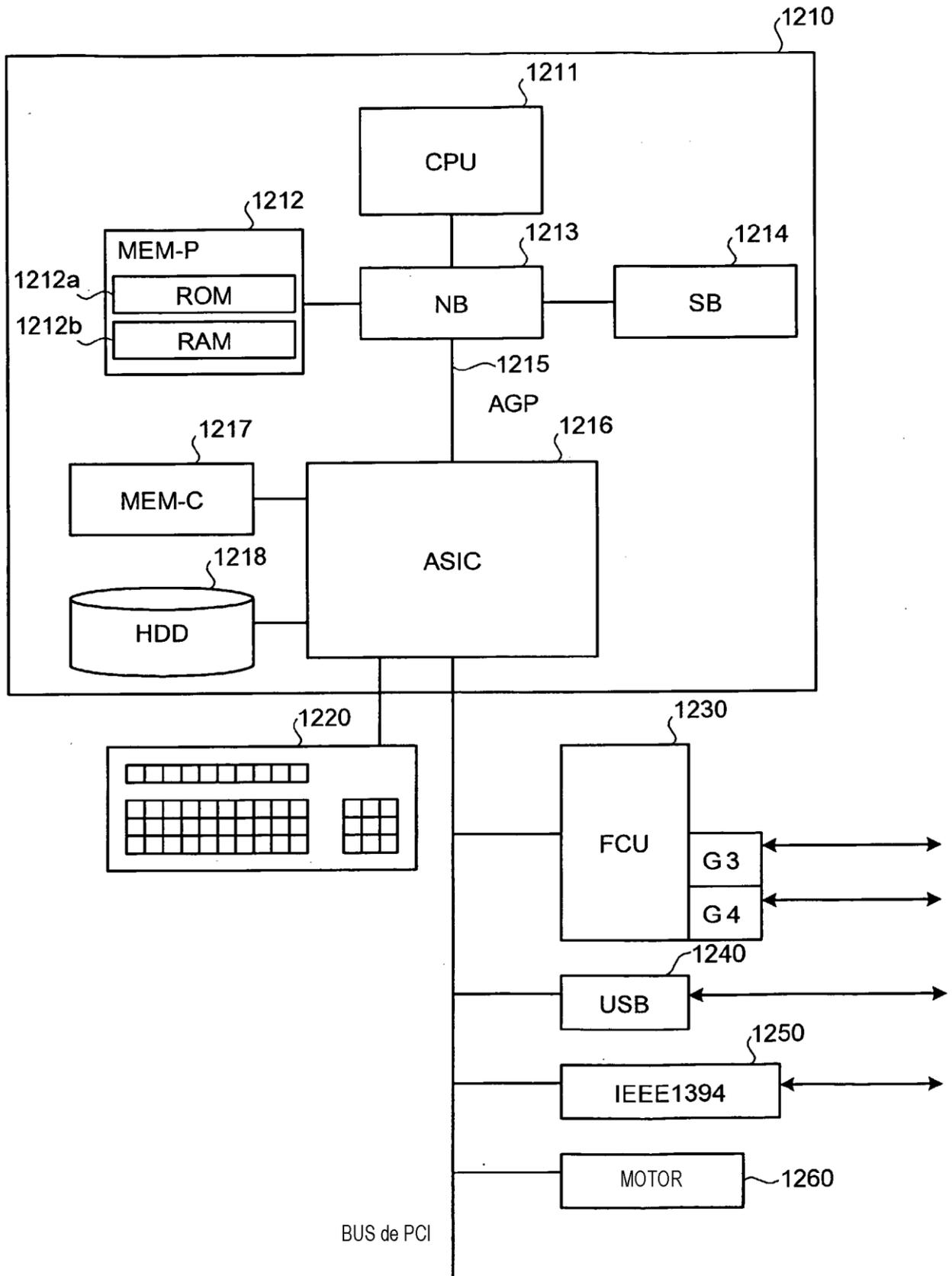


FIG.28

