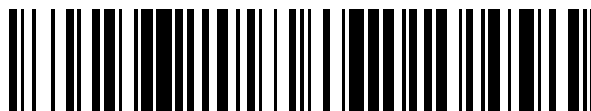


19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 635 339**

51 Int. Cl.:

**G06F 13/42** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **21.05.2008** E 15168920 (5)

97 Fecha y número de publicación de la concesión europea: **05.07.2017** EP 2927815

---

54 Título: **Bus serie de múltiples salidas con detección de ubicación y procedimiento**

---

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**03.10.2017**

73 Titular/es:  
**HEWLETT-PACKARD DEVELOPMENT  
COMPANY, L.P. (100.0%)  
11445 Compaq Center Drive W.  
Houston, Texas 77070, US**

72 Inventor/es:  
**EVANS, DUANE MARTIN**

74 Agente/Representante:  
**ELZABURU, S.L.P**

**ES 2 635 339 T3**

---

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

---

## DESCRIPCIÓN

Bus serie de múltiples salidas con detección de ubicación y procedimiento

### Antecedentes

5 La presente descripción se refiere, en general, a sistemas que tienen dispositivos modulares interconectados a un dispositivo digital que utiliza protocolos de bus serie. A menudo, es deseable detectar la ubicación física de los dispositivos que están conectados a lo largo de un bus serie. Esto puede ser deseable cuando se pretende que diferentes dispositivos ocupen una determinada posición física designada a lo largo del bus serie.

10 Algunos dispositivos que están configurados para conectarse a un bus serie pueden considerarse dispositivos "inteligentes", e incluyen un microcontrolador y sistemas integrados asociados para determinar la ubicación del dispositivo en el bus. Sin embargo, otros dispositivos que están configurados para conectarse a un bus serie de múltiples salidas se consideran dispositivos "mudos", sin un microcontrolador u otro sistema para determinar de forma independiente su ubicación física. Sin embargo, puede ser deseable determinar la ubicación física de estos tipos de dispositivos mudos en el bus. Por ejemplo, en un sistema de impresión con dispositivos de suministro de tinta habilitados para memoria no volátil conectados a un bus serie, puede ser deseable detectar si se han desinstalado o intercambiado cartuchos de tinta específicos, lo que podría causar la mezcla de tinta. Dicho suministro de tinta y otros dispositivos de bus serie similares normalmente no incluyen un microcontrolador y los circuitos adicionales necesarios para determinar su propia ubicación, y proporcionar los mismos agregaría complejidad y coste a los dispositivos.

20 Otros enfoques para detectar la ubicación física de dispositivos mudos a lo largo de un bus serie que se han utilizado implican una codificación mecánica o un cableado adicional. Estos enfoques tienden a añadir complejidad mecánica y eléctrica y coste a dichos sistemas.

25 La publicación de la solicitud de patente de EE.UU. N° 2005/0132114 describe una interfaz de dos hilos en la que, tras determinar que se ha de realizar una operación en un componente esclavo, un componente maestro transmite, al menos, una porción de una trama correspondiente al componente esclavo a través del cable de datos. La publicación de la solicitud de patente de EE.UU. N° 2006/0200604 describe un sistema para identificar dinámicamente direcciones de dispositivos acoplados a un bus de circuito integrado.

### Breve descripción de los dibujos

30 Varias características y ventajas de la presente descripción resultarán evidentes a partir de la descripción detallada que sigue, tomada en conjunción con los dibujos adjuntos que, juntos, ilustran, a modo de ejemplo, características de la presente descripción, y en los que:

la figura 1 es un diagrama esquemático de una realización de un sistema de bus serie que está configurado para la detección de ubicación de dispositivos mudos según la presente descripción;

la figura 2 es un diagrama de flujo que muestra las etapas lógicas en una realización de un procedimiento para detectar la ubicación de dispositivos en un bus serie según la presente descripción;

35 la figura 3 es un diagrama de dos secuencias de lectura de datos alternativas que se pueden usar según una realización de un procedimiento para detectar la ubicación de dispositivos en un bus serie según la presente descripción;

40 la figura 4 es un gráfico de tensión en función de la dirección de un dispositivo esclavo, que muestra una curva de respuesta monótona que indica la colocación correcta de dispositivos a lo largo de una realización de un bus serie que tiene un sistema de detección de ubicación según la presente descripción; y

la figura 5 es un gráfico de tensión en función de la dirección de un dispositivo esclavo, que muestra una curva de respuesta irregular que indica la colocación incorrecta de dispositivos a lo largo de una realización de un bus serie que tiene un sistema de detección de ubicación según la presente descripción.

### Descripción detallada

45 Se hará ahora referencia a realizaciones a modo de ejemplo ilustradas en los dibujos, y se usará un lenguaje específico en la presente memoria para describir las mismas. Sin embargo, se entenderá que no se pretende limitar el alcance de la presente descripción. Las alteraciones y modificaciones adicionales de las características ilustradas en la presente memoria, y las aplicaciones adicionales de los principios ilustrados en la presente memoria, que se le ocurrirían a un experto en la técnica relevante y que estuviera en posesión de esta descripción, deben ser consideradas dentro del alcance de esta descripción.

50 Como es bien conocido, un bus serie es un subsistema que transfiere datos entre un dispositivo digital maestro, tal como un ordenador o un microcontrolador, a un grupo de componentes que están conectados en serie al bus. Los primeros buses de ordenadores eran literalmente cables eléctricos paralelos con múltiples conexiones, pero el

término se usa ahora para cualquier disposición física que proporcione la misma funcionalidad lógica. Los buses informáticos modernos pueden utilizar conexiones tanto en paralelo como en serie de bits, y pueden estar cableados en una topología de múltiples salidas (eléctricamente en paralelo) o en cadena de margarita, o conectarse mediante concentradores conmutados, como en el caso de un bus serie universal (USB). Un bus serie puede conectar lógicamente varios periféricos a través del mismo conjunto de cables y transmite datos a los dispositivos en serie, es decir, enviando datos de un bit cada vez, de forma secuencial. Esto contrasta con la comunicación en paralelo, en la que todos los bits de cada símbolo se envían juntos. Cada bus serie define su conjunto de conectores para conectar físicamente dispositivos, tarjetas o cables juntos. Los buses de ordenador en serie son cada vez más comunes, ya que una tecnología mejorada les permite transferir datos a velocidades más altas.

Como se ha indicado anteriormente, puede ser deseable detectar la ubicación física de un dispositivo residente en un bus serie de múltiples salidas en el que el propio dispositivo no tiene un sistema para determinar de forma independiente su ubicación. Ventajosamente, se ha desarrollado un sistema y un procedimiento para detectar la ubicación de dispositivos físicos en un bus serie de múltiples salidas que diferencia los dispositivos electrónicamente y no aumenta el número de cables en el bus. Un diagrama esquemático de una realización de un bus serie se muestra en la figura 1. Este bus incluye múltiples dispositivos esclavos 110a-d (etiquetados A1-A4) que están conectados a un dispositivo maestro 112 en el bus serie. El dispositivo maestro puede ser cualquier tipo de microcontrolador, tal como un ASIC digital. Se proporciona potencia a cada dispositivo esclavo desde la fuente de alimentación del dispositivo a través de una fuente de tensión 115 (por ejemplo, a un nivel de 3,3 V) conectada entre una línea eléctrica 114 y una línea de tierra 116. Cada dispositivo esclavo 110 incluye un circuito de memoria no volátil 130, que puede almacenar información tal como la dirección digital para el dispositivo esclavo, un bit de identificación, etc.

Los dispositivos esclavos están todos conectados en serie con una línea de datos 118 y una línea de señal de reloj 120, que también están interconectadas al dispositivo maestro 112. Una tensión de datos V (por ejemplo, 3,3 V) se proporciona en la línea de datos 118 entre una fuente de tensión de datos 119 y la línea de tierra 116. En la línea de datos 118 se incluye una resistencia 122 de elevación para mantener la línea de datos en un estado lógico alto cuando el bus está inactivo.

El bus serie mostrado en la figura 1 es un tipo de bus serie I2C. Un bus I2C (Circuito inter-integrado - Inter-Integrated Circuit) proporciona un enlace de comunicación entre los circuitos integrados. Un bus I2C normalmente consta de 2 cables activos y una conexión a tierra. Los cables activos, denominados DATA (Datos) y CLK (Reloj - CLOCK), son inicialmente bidireccionales. Cada dispositivo conectado al bus tiene su propia dirección única, y puede ser un receptor y/o transmisor, dependiendo de la funcionalidad de los dispositivos. En la realización de la figura 1, los dispositivos esclavos no tienen la capacidad de iniciar la transferencia de datos.

En funcionamiento, el dispositivo maestro emitirá primero un comando START, que actúa como una señal de "atención" a todos los dispositivos esclavos conectados. El dispositivo maestro enviará entonces un byte que incluye la dirección del dispositivo al que el maestro desea acceder, y un bit que proporciona una indicación de si el acceso es una operación de lectura o escritura.

Después de recibir el byte de dirección, todos los dispositivos esclavos lo compararán con su propia dirección. Si no coincide, el dispositivo esclavo simplemente esperará hasta que el bus sea liberado por una condición STOP posterior, iniciada por el dispositivo maestro. Sin embargo, si la dirección coincide, la circuitería del dispositivo esclavo producirá una señal de respuesta de acuse de recibo (ACK), que se devuelve en la línea DATA.

Una vez que el maestro recibe la señal de acuse de recibo, puede comenzar a transmitir o recibir DATOS hacia o desde el dispositivo esclavo. Los expertos en la técnica estarán familiarizados con los procedimientos de control de sincronización de reloj y transferencia de datos que rigen la transferencia de datos en un bus I2C. Cuando todo esté terminado, el dispositivo maestro emitirá una condición STOP, que es una señal de que el bus ha sido liberado y que los dispositivos esclavos conectados pueden esperar que otra transmisión comience en cualquier momento.

Un bus I2C puede permitir que más de un dispositivo esté activo al iniciar las transferencias de datos. Ese es el caso en la realización de la figura 1. En una operación típica, se proporcionan señales de reloj y señales de datos en serie desde el dispositivo maestro 112 a través de la línea de señal de reloj 120 y la línea de datos 118, mientras que la tensión de funcionamiento para los dispositivos esclavos se proporciona entre la línea de fuente de tensión 114 y la línea de tierra 116. Estas cuatro líneas son los conductores comunes en esta realización de un bus serie I2C. Sin embargo, los dispositivos esclavos 110 son dispositivos mudos, como se ha explicado anteriormente, y no incluyen circuitería que les permita determinar su posición física a lo largo del bus y retransmitir dicha información al dispositivo maestro 112. Para que el dispositivo maestro determine electrónicamente las ubicaciones de los dispositivos, normalmente estarían implicados conductores adicionales en el bus.

Ventajosamente, en este bus serie se proporciona una red divisora de tensión resistiva, junto con circuitos acoplados al bus que permiten la determinación electrónica de las posiciones físicas respectivas de los dispositivos 110. Específicamente, este bus incluye una serie de resistencias divisoras 124a-d en la línea de datos 118, y añade una conexión 118a desde la línea de datos a un convertidor analógico-digital (ADC) 126. Esta configuración crea una red divisora de escalera que hace que la tensión de una señal de cada dispositivo 110 varíe dependiendo de la posición

física del dispositivo. Por ejemplo, una señal procedente del dispositivo A4 pasará a través de cuatro de las resistencias divisoras 124, mientras que una señal procedente del dispositivo A1 pasará solamente por una de las resistencias divisoras 124. Si ambas señales comienzan en el mismo nivel de tensión, la señal de A4 estará en una tensión más alta que el de A1 cuando ambos son muestreados por el ADC. El ADC 126 incluye circuitería que convierte una tensión analógica en una señal digital indicativa del nivel de tensión. Esta señal digital es utilizada por el dispositivo maestro para diferenciar electrónicamente la ubicación física de los dispositivos esclavos 110 en el bus basándose en el nivel de tensión de las señales procedentes de los dispositivos esclavos.

El ADC 126 puede ser un dispositivo mudo, como los dispositivos esclavos 110, y recibe señales de control desde y proporciona datos al dispositivo maestro 112 a través de un enlace de comunicación 132 (que puede ser otro bus de comunicación). Aunque el ADC se muestra como un dispositivo separado del dispositivo maestro, el ADC puede formar parte del dispositivo maestro físicamente, o puede estar en una ubicación separada. El ADC y la red divisora de escalera están diseñados para operar fuera del intervalo de tensión de transferencia de datos del dispositivo maestro 112, para no interferir con la transferencia de datos normal, pero para permitir diferenciar la ubicación detectando el orden de tensión de los dispositivos en el bus cuando se comunican digitalmente con ellos. Por ejemplo, el dispositivo maestro 112 puede configurarse para funcionar con una tensión de transferencia de datos de umbral inferior de 1 V, de modo que se ignoran cualesquiera señales a niveles por debajo de 1 V. Sin embargo, el dispositivo maestro 112, que utiliza la tensión convertida desde el ADC 126, puede configurarse para distinguir entre señales específicas que están por debajo de 1 V y alguna cantidad por encima de cero (por ejemplo 100 mv) para permitir la identificación de la ubicación. Cada resistencia divisora 124 tiene una resistencia suficiente para que la tensión creada entre la suma de las resistencias divisoras 124 y la resistencia de elevación 122 sea una tensión por debajo del umbral de baja tensión. Sin embargo, la resistencia de las resistencias divisoras es suficientemente pequeña para que las señales de datos del dispositivo maestro durante el funcionamiento normal no se vean comprometidas. En una realización, las resistencias divisoras tienen cada una resistencia de aproximadamente 51 ohmios, aunque este es sólo uno de los muchos niveles de resistencia que se pueden usar. Además, las resistencias divisoras en un grupo dado pueden tener diferentes niveles de resistencia, como se explica a continuación.

Como se ha indicado anteriormente, cada dispositivo esclavo 110 tiene una dirección digital única. Esta dirección digital se puede almacenar en el circuito de memoria 130 del dispositivo esclavo respectivo. El dispositivo maestro también incluye una ubicación de memoria 128 (denominada MM) en la que se almacenan las direcciones digitales de los dispositivos esclavos. Un diagrama de flujo que indica las etapas lógicas en una realización de un procedimiento para detectar la ubicación de dispositivos en un bus serie como el mostrado en la figura 1 se proporciona en la figura 2. En general, el dispositivo maestro 112 está programado para escribir un byte de datos a cada dispositivo esclavo, luego consulta a cada dispositivo esclavo en secuencia, usando la dirección digital única de cada dispositivo, para devolver el byte de datos. El byte de datos se selecciona específicamente para incluir al menos un bit cero. Este bit cero proporciona una señal de baja tensión que el ADC puede convertir en un valor digital para su uso por el dispositivo maestro. El dispositivo maestro lee este valor digital, que está correlacionado con la dirección del dispositivo esclavo, y puede, a continuación, determinar si los dispositivos esclavos están colocados en el orden correcto.

Las etapas en una realización de este proceso se esbozan con más detalle en el diagrama de flujo de la figura 2. La programación del dispositivo maestro 112 establece primero una variable "I" igual a 1, y una variable "N" igual al número máximo de dispositivos esclavos que se pueden conectar al bus. (etapa 202) A continuación, el dispositivo maestro inicia comunicaciones con el dispositivo esclavo "I", que inicialmente será el primer dispositivo esclavo. (etapa 204) El proceso de iniciación de las comunicaciones puede seguir un protocolo I2C estándar, que implica enviar primero un impulso START, como se ha explicado anteriormente. Siguiendo el protocolo de transferencia de datos de bus, el dispositivo maestro escribe, a continuación, un byte de datos en una posición de memoria especificada (130 en la figura 1) del dispositivo esclavo particular. (etapa 206) Esta ubicación de memoria se conoce como la "Dirección de Rascado". Este byte de datos puede comprender, por ejemplo, la secuencia digital 00000000 (representada por el hexadecimal "0x00" en la etapa 206). Esta secuencia es útil porque los dígitos 0 están representados por impulsos de baja tensión, pero no tendrán un verdadero valor 0 cuando el dispositivo esclavo activa el bus. El byte de datos puede tener una secuencia diferente, siempre que incluya al menos un dato cero. Tras recibir y almacenar este byte de datos en la Dirección de Rascado en su memoria, el dispositivo esclavo enviará un impulso de acuse de recibo, que el dispositivo maestro recibe al leer la tensión del nodo de datos (todavía etapa 206).

Una vez que el byte de datos ha sido escrito en la Dirección de Rascado, el dispositivo maestro 112 inicia, a continuación, una secuencia de lectura para leer el byte de datos de la Dirección de Rascado. (etapa 208) Este proceso de lectura incluye varias subetapas, ilustradas en la figura 3, que proporciona un ejemplo de una secuencia de bits que se puede transmitir durante este proceso. A la vista de la figura 3, la señal START 302 es una secuencia de dos impulsos que alerta a todos los dispositivos esclavos para que se preparen para recibir una señal. Después de la señal START, el dispositivo maestro transmitirá, a continuación, un byte que incluye la dirección del dispositivo esclavo al que se debe acceder. Como se muestra en la figura 3, este byte puede incluir múltiples partes. Los cuatro primeros dígitos 304 del byte de dirección pueden ser un identificador de tipo de dispositivo. En la realización mostrada en la figura 3, estos dígitos son 1010, que identifica el dispositivo como un dispositivo de memoria no volátil. Los expertos en la técnica reconocerán que se pueden usar otros identificadores de tipo de dispositivo para

diferentes tipos de dispositivos que se pueden conectar a un bus de datos. Los tres dígitos siguientes 306 pueden representar la dirección específica del dispositivo esclavo al que se debe acceder. Los expertos en la técnica reconocerán que un grupo de direcciones de tres dígitos permitirá hasta ocho direcciones digitales diferentes, lo que puede ser suficiente para muchos dispositivos. Si se van a utilizar más dispositivos esclavos, se puede usar y proporcionar una secuencia de direcciones más larga en este primer byte. El último bit 308 de este byte es un bit de lectura / escritura que, en este caso, se fija en 1 para indicar que el dispositivo maestro tiene la intención de leer datos del dispositivo esclavo.

Tras recibir este primer byte que se transmite desde el dispositivo maestro, el dispositivo esclavo que reconoce la secuencia de direcciones 306 enviará un impulso de acuse de recibo 310 en la línea DATA. Como se indicó anteriormente, bajo el protocolo I2C estándar, los dispositivos esclavos que no reconocen la secuencia de direcciones no responden, e ignorarán todas las transmisiones subsiguientes hasta después de que se envíe la siguiente señal STOP.

Tras recibir el impulso de acuse de recibo 310, el dispositivo maestro transmitirá entonces un byte de dirección 312. Este byte de dirección incluye la dirección de rascado e indica que el dispositivo maestro quiere leer los datos almacenados en la dirección de rascado. Como se ha indicado anteriormente, los datos almacenados en la dirección de rascado son el byte de datos que incluye al menos un cero de datos, que el dispositivo maestro escribió previamente en la posición de memoria de dirección de rascado en la etapa 206. Tras recibir el byte de dirección, el dispositivo esclavo enviará otro impulso de acuse de recibo 314.

En este punto suceden dos cosas. En primer lugar, el dispositivo esclavo comenzará a accionar el cable DATA 118 y transmitirá la secuencia de bytes de datos 316 que está almacenada en la dirección de rascado. Al mismo tiempo, el dispositivo maestro solicitará al ADC 126 que lea la tensión en la línea de datos 118a. Esta etapa de lectura puede ocurrir en al menos dos modos diferentes, como se indica por la rama en este punto en el diagrama de flujo de la figura 2. La primera aproximación a la etapa de lectura implica una lectura continua. En este enfoque, el ADC lee la tensión del nodo de datos repetidamente (etapa 210) hasta que recibe una señal de tensión que está dentro de una ventana de tensión especificada (etapa 212).

Como se ha indicado anteriormente, la ventana de tensión especificada para la detección de la posición del dispositivo esclavo es un rango de tensión fuera del intervalo de tensión de transferencia de datos, por ejemplo, por debajo de una tensión umbral inferior de 1 v, por ejemplo, y, por encima de cero en una cantidad tal como 100 mv. Durante la transferencia de datos normal, la línea de datos se lleva a 0 v para un cero de datos, y a algún valor por encima de la tensión de umbral para un 1 de datos. Consecuentemente, cualquier impulso que tenga una tensión que se encuentra entre estos valores se reconoce como ceros de datos por el dispositivo maestro. Sin embargo, el ADC puede configurarse para convertir impulsos de tensión analógicos en la línea de datos 118a que están por debajo del umbral de datos y por encima de cero en cierta magnitud en señales digitales que indican el nivel de tensión analógica específico. Ventajosamente, mientras que un cero de datos que es reconocido por el dispositivo maestro tendrá una tensión que es cero, cuando la línea de datos es accionada por un dispositivo esclavo y el dispositivo esclavo transmite un cero de datos, la tensión estará por debajo del umbral, pero por encima del verdadero cero, que está dentro de la ventana o rango de tensión deseado para la detección de ubicación. Además, gracias a la red divisora de resistencias, estas tensiones variarán dependiendo de la ubicación del dispositivo desde la que se transmitan.

En el enfoque de lectura continua, el ADC 126 muestreará impulsos de tensión en la línea de datos 118a a una tasa de muestreo que sea más alta (normalmente al menos 2 veces mayor) que la velocidad de bits en la línea de datos. Esta tasa de muestreo más alta asegura que cada impulso de bits será muestreado. Si un impulso de tensión no está dentro de la ventana de tensión descrita anteriormente (como se determina en la etapa 212), el proceso de lectura (etapa 210) se repetirá. Esto continuará hasta que el ADC detecte un impulso de tensión que esté dentro de la ventana de tensión para la detección de ubicación.

Este enfoque de lectura continua se ilustra en la figura 3, en la que una serie de flechas huecas 322 indican lectura repetida de la tensión en el nodo de datos por el ADC. Esta etapa de lectura continuará hasta que se reciba la señal de baja tensión deseada. Siempre y cuando el byte de datos 316 que es accionado por el dispositivo esclavo incluya al menos un cero de datos, esto proporcionará al menos una señal de baja tensión, dentro de la ventana de tensión, como se determina en la etapa 212. El dispositivo maestro puede programarse para no esperar una señal de retorno válida en la línea de datos durante la rutina de detección de ubicación, es decir, ignorar el byte de datos. Alternativamente, el dispositivo maestro puede ser programado para comparar el byte de datos con el byte que fue escrito originalmente por el dispositivo maestro en la dirección de rascado, para verificar que no ha habido un error. Según el protocolo I2C estándar, en este punto en el proceso no se genera impulso de acuse de recibo, como se indica en 318 en la figura 3. El dispositivo maestro puede, a continuación, proporcionar un impulso 320 de señal STOP, devolviendo el bus a una condición de reposo, listo para continuar con el intercambio subsiguiente de datos, como se indica en 326.

Como alternativa al enfoque de lectura continua, la etapa de lectura puede ser temporizada para leer solamente la tensión de la señal de retorno cuando el dispositivo esclavo está activando ceros de datos. (etapa 216) Este enfoque también se ilustra en la figura 3. En esta alternativa, el sistema está programado para que el ADC lea el nodo de

datos solamente cuando el dispositivo esclavo está activando un cero (representando el byte de datos). Debido a que la velocidad de muestreo es más rápida que la velocidad de bits en el bus, la sincronización del muestreo de tensión se puede seleccionar con mucha precisión. Además, debido a que la secuencia de bits del byte de datos 316 es conocida, el momento de muestreo de tensión se puede sincronizar con precisión para coincidir con un punto en el que el dispositivo esclavo está transmitiendo un cero de datos del byte de datos. En una realización, la lectura del ADC se ha sincronizado con éxito para coincidir con la transmisión del cuarto bit del byte de datos. Por lo tanto, siempre que el cuarto bit sea un cero de datos, la lectura temporizada tendrá éxito para la detección de ubicación. Donde, como aquí, el byte de datos representa todos los ceros, el enfoque cronometrado es aún más simplificado.

El enfoque de lectura de datos temporizada está representado por la flecha sólida de lectura en 324 en la figura 3. Esta flecha representa que la etapa de lectura del ADC se realiza sólo una vez en el enfoque temporizado, en lugar de repetidamente en el enfoque de lectura continua (representado por las flechas 322). Debido a que la lectura del ADC se sincroniza para coincidir con un cero de datos accionado por el dispositivo esclavo, la tensión de la señal devuelta caerá dentro de la ventana de tensión especificada y no se necesita ninguna etapa adicional para verificar esto.

Si se utiliza el procedimiento continuo o temporizado, una vez que el ADC 126 ha leído la tensión de la línea de datos 118a cuando el dispositivo esclavo estaba activando un cero de datos, el valor de tensión analógica que el ADC ha detectado se convertirá en un valor digital correspondiente. El dispositivo maestro 112 puede, a continuación, leer este valor digital (a través del enlace de comunicación 132) y almacenarlo en la memoria 128 en una posición correspondiente a la dirección del dispositivo, que se puede representar en este caso por el valor "I". (etapa 214) De manera distinta, el dispositivo maestro escribe un byte de datos predeterminado a un dispositivo esclavo con una dirección particular, luego le pide al dispositivo esclavo que transmita el byte de datos y lea una señal digital del ADC que representa la tensión de un dato cero del byte de datos, y almacena ese valor en memoria asociado con la dirección esclava.

Volviendo a la figura 2, después de la lectura del byte de datos (316 en la figura 3) del dispositivo esclavo, el sistema incrementará, a continuación, el valor "I" y repetirá el proceso para cada dispositivo esclavo, es decir, hasta  $I = N$  (etapa 220). Debido a la red divisora de resistencias, el nivel de tensión exacto del bit cero del byte de datos que se devuelve dependerá de la ubicación física del dispositivo esclavo a lo largo del bus. Una vez que se ha completado una tensión del ADC leída del byte de datos de cada dispositivo esclavo, se almacenará en el dispositivo maestro una matriz completa de los valores de tensión y los correspondientes valores o direcciones "I" de los dispositivos esclavos. El dispositivo maestro puede, a continuación, analizar los valores de tensión con respecto a sus direcciones para determinar si los dispositivos esclavos están en orden. (etapa 224) Esto implica ordenar o disponer los valores de tensión en orden de la identidad del dispositivo esclavo (siendo el valor de "I" un sustituto para la identidad o dirección del dispositivo) y, luego, ver el valor de tensión particular que fue devuelto en las etapas anteriores.

Se proporcionan dos gráficos que representan los resultados de este proceso de ordenación en las figuras 4 y 5. El gráfico 400 de la figura 4 representa el tipo de resultados que se esperan cuando los dispositivos esclavos están en las ubicaciones apropiadas, y el gráfico 500 de la figura 5 representa una condición de fuera de servicio. Cada una de las cajas 402 - 408 de puntos de datos representa valores de tensión que corresponden a identidades o direcciones A1-A4 específicas del dispositivo esclavo. En este análisis, el orden de las direcciones A1-A4 corresponde al orden deseado de ubicación de los dispositivos esclavos a lo largo del bus. Estos valores de tensión están todos por debajo de la tensión umbral de transferencia de datos 410, y por encima de un umbral de tensión mínima 418, tal como 100 mv.

Cuando los dispositivos esclavos están todos en la posición física adecuada a lo largo del bus, los puntos de datos de este gráfico se alinearán sustancialmente para producir una función monótona, representada por la línea de curva 412. Cuando las resistencias divisoras (124 en la figura 1) tienen todas el mismo valor de resistencia, esta curva tenderá a ser de forma logarítmica. Los expertos en la técnica reconocerán que se pueden seleccionar valores de resistencia para hacer que esta curva sea sustancialmente lineal. En cualquier caso, cuando los dispositivos esclavos están en el orden correcto, la curva será monótona, con los valores de tensión ascendentes o descendentes con los dispositivos esclavos en orden, dependiendo del orden de muestreo. Esta función monótona se crea porque la red divisora de resistencias produce un cambio incremental de tensión dependiendo de la ubicación en el bus del dispositivo esclavo respectivo. Mientras que la curva 412 mostrada en la figura 4 es una curva ascendente, también podría ser una curva descendente si el orden de consulta de los dispositivos esclavos se invierte.

La separación 414 de las tensiones nominales (es decir, el nivel o rango de tensión que debe ser proporcionado por cada dispositivo) es arbitraria y puede seleccionarse para evitar que el ruido indique un orden falso. Por ejemplo, si el circuito puede producir ruido que podría desplazar los resultados de tensión en 100 mv, la separación 414 de las tensiones nominales puede seleccionarse para que sea 200 mv, de manera que el ruido de la señal no proporcionará un orden falso. La separación de las tensiones nominales depende en parte de la resistencia de cada una de las resistencias divisoras (124 en la figura 1). Se han utilizado resistencias con una resistencia de 51 ohm en un sistema que tiene cuatro posiciones de dispositivo esclavo en un bus serie con una tensión de funcionamiento de 3,3 V. Esta configuración proporciona una separación nominal de tensión de aproximadamente 200 mv entre las

señales del dispositivo esclavo. El rango de variabilidad del valor de cada punto de datos se representa por la dimensión vertical de las casillas de puntos de datos cuadradas 402-408. Esta separación nominal 414 de los valores de datos ayuda a mantener la separación de puntos de datos 416 mayor que cero, para asegurar que el orden real será representado.

5 Volviendo a la figura 2, la curva monótona 412 mostrada en la figura 4 indica que los dispositivos esclavos están en orden. Por consiguiente, la consulta en la etapa 224, de si alguno de los dispositivos está fuera de orden, producirá una respuesta negativa, y el sistema devolverá una indicación positiva del orden del dispositivo esclavo (etapa 228). Sin embargo, si los dispositivos esclavos están fuera de orden, un gráfico como el gráfico 500 de la figura 5 puede ser creado. En este gráfico, la curva 510 que es producida por los puntos de datos 502-508 no es una función  
10 monótona. Basándose en esta curva, tanto el dispositivo A2 como el A4 están fuera de orden, o todos los dispositivos están fuera de orden debido a que los valores de tensión no están subiendo o bajando constantemente. Cuando se produce tal situación, la consulta en la etapa 224 de la figura 2 indicará que al menos un dispositivo está fuera de servicio. En esta condición, el sistema puede programarse para producir un mensaje de error al usuario (etapa 226), que permite tomar medidas correctivas. El sistema también podría ser programado para proporcionar  
15 un mensaje de error más detallado que indica la naturaleza aparente del error, por ejemplo, qué dispositivos parecen estar fuera de servicio, etc.

La secuencia de detección de ubicación esbozada en la figura 2 puede realizarse repetidamente a intervalos temporizados, o basarse en eventos de activación. Naturalmente, cuando se realiza la secuencia y se devuelve una señal de fuera de orden, se puede programar el sistema para repetir el proceso hasta que se reciba una señal de  
20 éxito.

El sistema y el procedimiento descritos en la presente memoria permiten, por lo tanto, la detección de la ubicación de dispositivos esclavos mudos a lo largo de un bus serie sin la adición de más conductores en el bus o de circuitos de detección de ubicación adicionales en los dispositivos esclavos. La detección de ubicación se produce cuando el dispositivo esclavo está impulsando la línea de datos con una cadena de datos que incluye al menos un cero de  
25 datos. En virtud de la red divisora de resistencias, la tensión de la porción cero de datos de la señal recibida de cada dispositivo esclavo variará dependiendo de la ubicación física del dispositivo. Esto permite que un circuito especializado en comunicación con la línea de datos y un convertidor analógico-digital diferencie la ubicación de cada dispositivo.

Aunque se ha dado un ejemplo de baja tensión, debe reconocerse que puede seguirse un proceso similar usando señales que están por encima de un umbral de alta tensión del dispositivo maestro. Por ejemplo, el dispositivo maestro puede tener un umbral de tensión superior de 5 voltios para la transferencia de datos, y puede configurarse para ignorar señales por encima de esa tensión. En consecuencia, el proceso descrito anteriormente puede configurarse para funcionar dentro de un intervalo de tensión que está por encima de 5 V (por ejemplo, de 6-8 V), comprendiendo la red divisora de resistencias resistencias que tienen valores de resistencia que proporcionarán la  
30 función de paso de tensión de posición deseada dentro de este rango de tensión superior. Este sistema y procedimiento proporciona, por lo tanto, una red divisora de bus de datos en serie que permite la detección eléctrica de la ubicación física de dispositivos a lo largo de un bus serie de múltiples salidas diferenciando señales de tensión baja o alta que están fuera del rango de tensión de transferencia de datos.

En un primer aspecto, un bus serie de múltiples salidas para conectar un dispositivo maestro a una pluralidad de dispositivos esclavos en una línea de datos, comprende una red divisora de tensión que comprende resistencias divisoras en serie sobre la línea de datos entre dispositivos esclavos y un dispositivo detector de tensión, conectado a la línea de datos, configurado para detectar un orden de tensión de las señales procedentes de los dispositivos esclavos, indicando una posición de conexión de cada dispositivo esclavo.  
40

En un segundo aspecto, en el bus serie de múltiples salidas del primer aspecto, el dispositivo de detección de tensión comprende un convertidor analógico a digital, acoplado al dispositivo maestro, configurado para convertir una tensión analógica en la línea de datos en un valor digital representativo del nivel de tensión analógica.  
45

En un tercer aspecto, en el bus serie de múltiples salidas del segundo aspecto, el convertidor analógico a digital está configurado para convertir tensiones analógicas que están dentro de un intervalo de tensión que está por debajo de un umbral de tensión de intercambio de datos del dispositivo maestro, y por encima de cero voltios.

En un cuarto aspecto, en el bus serie de múltiples salidas del segundo aspecto, el dispositivo maestro incluye una ubicación de memoria, que contiene el valor digital, leído desde el convertidor analógico a digital, correlacionado con una identidad única de dispositivo esclavo, representando el valor del dispositivo digital la posición de conexión del dispositivo esclavo único.  
50

En un quinto aspecto, en el bus serie de múltiples salidas del primer aspecto, cada dispositivo esclavo incluye una ubicación de memoria que contiene un byte de datos que incluye al menos un bit cero.  
55

En un sexto aspecto, en el bus serie de múltiples salidas del primer aspecto, los dispositivos esclavos comprenden dispositivos de suministro de tinta activados para memoria no volátil asociados con un sistema de impresión.

- En un séptimo aspecto, en el bus serie de múltiples salidas del primer aspecto, la pluralidad de dispositivos esclavos comprende cuatro dispositivos esclavos.
- En un octavo aspecto, en el bus serie de múltiples salidas del primer aspecto, las resistencias de división tienen todas un valor de resistencia común.
- 5 En un noveno aspecto, en el bus serie de múltiples salidas del aspecto ocho, las resistencias divisoras tienen una resistencia de 51 ohmios.
- En un décimo aspecto, en el bus serie de múltiples salidas del primer aspecto, las resistencias divisoras tienen diferentes valores de resistencia.
- 10 En un undécimo aspecto, un bus serie de múltiples salidas para conectar un dispositivo maestro a una pluralidad de dispositivos esclavos en múltiples posiciones físicas en una línea de datos, comprende medios para proporcionar una señal única en la línea de datos desde uno de los dispositivos esclavos dependiendo de una posición del dispositivo esclavo, y medios, conectados a la línea de datos, para detectar un orden de señales desde los dispositivos esclavos, indicando la posición de uno de los dispositivos esclavos.
- 15 En un duodécimo aspecto, en el bus serie de múltiples salidas del undécimo aspecto, los medios para proporcionar una señal única en la línea de datos comprenden una red divisora de tensión, que incluye resistencias divisoras en serie sobre la línea de datos entre dispositivos esclavos.
- En un decimotercer aspecto, en el bus serie de múltiples salidas del undécimo aspecto, los medios, conectados a la línea de datos, para detectar un orden de señales de los dispositivos esclavos, que indican la posición del dispositivo esclavo, comprenden un convertidor analógico a - digital, acoplado al dispositivo maestro, configurado para convertir una tensión analógica en la línea de datos a un valor digital representativo del nivel de tensión analógica.
- 20 En un decimocuarto aspecto, un procedimiento para detectar una ubicación física de un dispositivo esclavo en un bus serie de múltiples salidas que tiene una línea de datos, comprende las etapas de: a) proporcionar una señal única desde el dispositivo esclavo en la línea de datos, que tiene resistencias divisoras en serie entre una pluralidad de posiciones de conexión del dispositivo esclavo; y b) detectar una tensión de la señal única, que indica la ubicación de conexión del dispositivo esclavo en la línea de datos.
- 25 En un decimoquinto aspecto, en el procedimiento del decimocuarto aspecto, la etapa de proporcionar una señal única desde el dispositivo esclavo en la línea de datos comprende las etapas de: c) escribir un byte de datos único en una posición de memoria del dispositivo esclavo; y d) el dispositivo esclavo que transmite el byte de datos único en la línea de datos.
- 30 En un decimosexto aspecto, en el procedimiento del decimocuarto aspecto, la etapa de detectar una tensión de la señal única comprende detectar la tensión en la línea de datos con un convertidor analógico a digital configurado para convertir una tensión analógica en la línea de datos en un valor digital representativo del nivel de tensión analógica.
- En un decimoséptimo aspecto, el procedimiento del decimosexto aspecto comprende además la etapa de: c) leer el valor digital y comparar el valor digital con un indicador de identidad almacenado del dispositivo esclavo, a través de un dispositivo maestro, acoplado a la línea de datos y al convertidor analógico-digital.
- 35 En un decimoctavo aspecto, el procedimiento del decimoséptimo aspecto comprende además las etapas de: d) repetir las etapas (a) a (c) para una pluralidad de dispositivos esclavos, teniendo cada dispositivo esclavo una dirección única, teniendo las direcciones únicas un orden lineal; y e) determinar si los valores digitales, cuando están dispuestos en el orden lineal, producen una función monótona.
- 40 En un decimonoveno aspecto, en el procedimiento del decimocuarto aspecto, la etapa de proporcionar una señal única comprende el dispositivo esclavo que acciona un byte de datos que contiene al menos un bit cero, la tensión en la línea de datos producida por el bit cero que se encuentra dentro de un rango de tensión que está por debajo de un umbral de tensión de intercambio de datos de un dispositivo maestro acoplado a la línea de datos, y por encima de cero voltios.
- 45 En un vigésimo aspecto, en el procedimiento del decimocuarto aspecto, la etapa de detectar una tensión de la señal única se selecciona del grupo que consiste en (a) muestrear repetidamente una tensión en la línea de datos hasta que se recibe la señal única y (b) muestrear una tensión en la línea de datos en un momento en el que se espera recibir la señal única.
- 50 Debe entenderse que las disposiciones anteriormente mencionadas son ilustrativas de la aplicación de los principios descritos en la presente memoria. Será evidente para los expertos en la técnica que se pueden realizar numerosas modificaciones sin apartarse de los principios y conceptos de esta descripción, como se expone en las reivindicaciones.



**REIVINDICACIONES**

1. Un dispositivo esclavo (110) para ser conectado a un dispositivo maestro (112) por un bus serie de múltiples salidas que tiene una línea de datos (118), comprendiendo el dispositivo esclavo (110):  
una posición de memoria que contiene una secuencia de bits que incluye al menos un bit cero; caracterizado por  
5    circuitaría que, en respuesta a recibir un comando de lectura del dispositivo maestro (112), transmite la secuencia de bits en la línea de datos.
2. El dispositivo esclavo (110) de la reivindicación 1, en el que la secuencia de bits comprende todos los ceros.
3. El dispositivo esclavo (110) de la reivindicación 1 o 2, en el que la secuencia de bits comprende un byte de datos.
4. El dispositivo esclavo (110) de una de las reivindicaciones 1 a 3, en el que el dispositivo esclavo no tiene ningún  
10    sistema para determinar independientemente su ubicación a lo largo de la línea de datos y transmitir información de ubicación al dispositivo maestro.
5. El dispositivo esclavo (110) de una de las reivindicaciones 1 a 4, en el que al menos un cero en la secuencia de bits se localiza para corresponder a un muestreo de tensión temporizado predefinido por el dispositivo maestro.
6. Un procedimiento que comprende, en un dispositivo de suministro de tinta activado por memoria no volátil  
15    asociado con un sistema de impresión:  
recibir un comando de lectura de un dispositivo maestro (110) a lo largo de un bus serie de múltiples salidas que tiene una línea de datos; caracterizado por  
en respuesta a recibir el comando de lectura, transmitir una secuencia de bits que comprende al menos un cero en la línea de datos.
7. El procedimiento de la reivindicación 6, en el que la secuencia de bits comprende todos los ceros.
8. El procedimiento de la reivindicación 7, en el que al menos un cero en la secuencia de bits se localiza para corresponder a un muestreo de tensión temporizado predefinido por el dispositivo maestro.

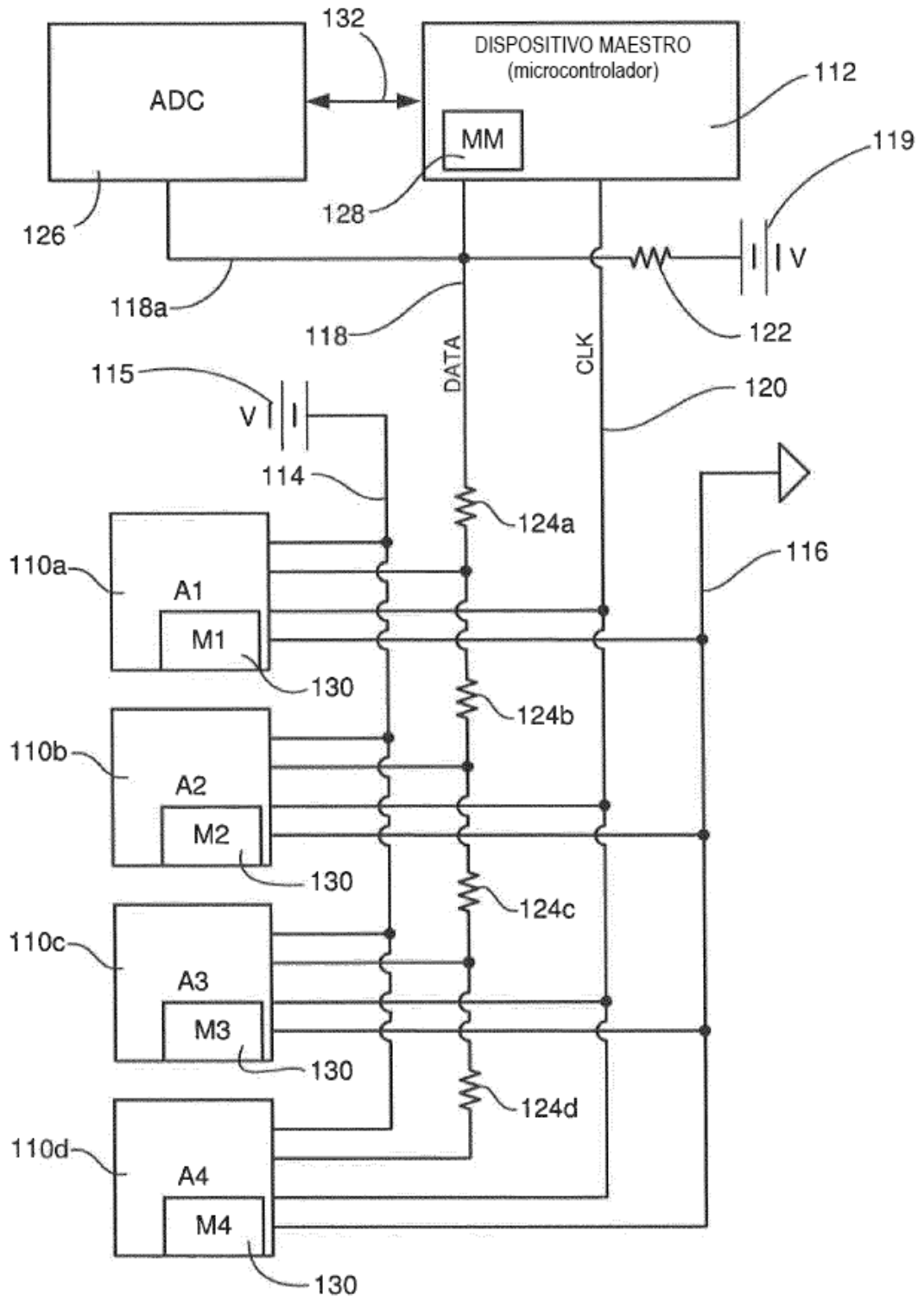


FIG. 1

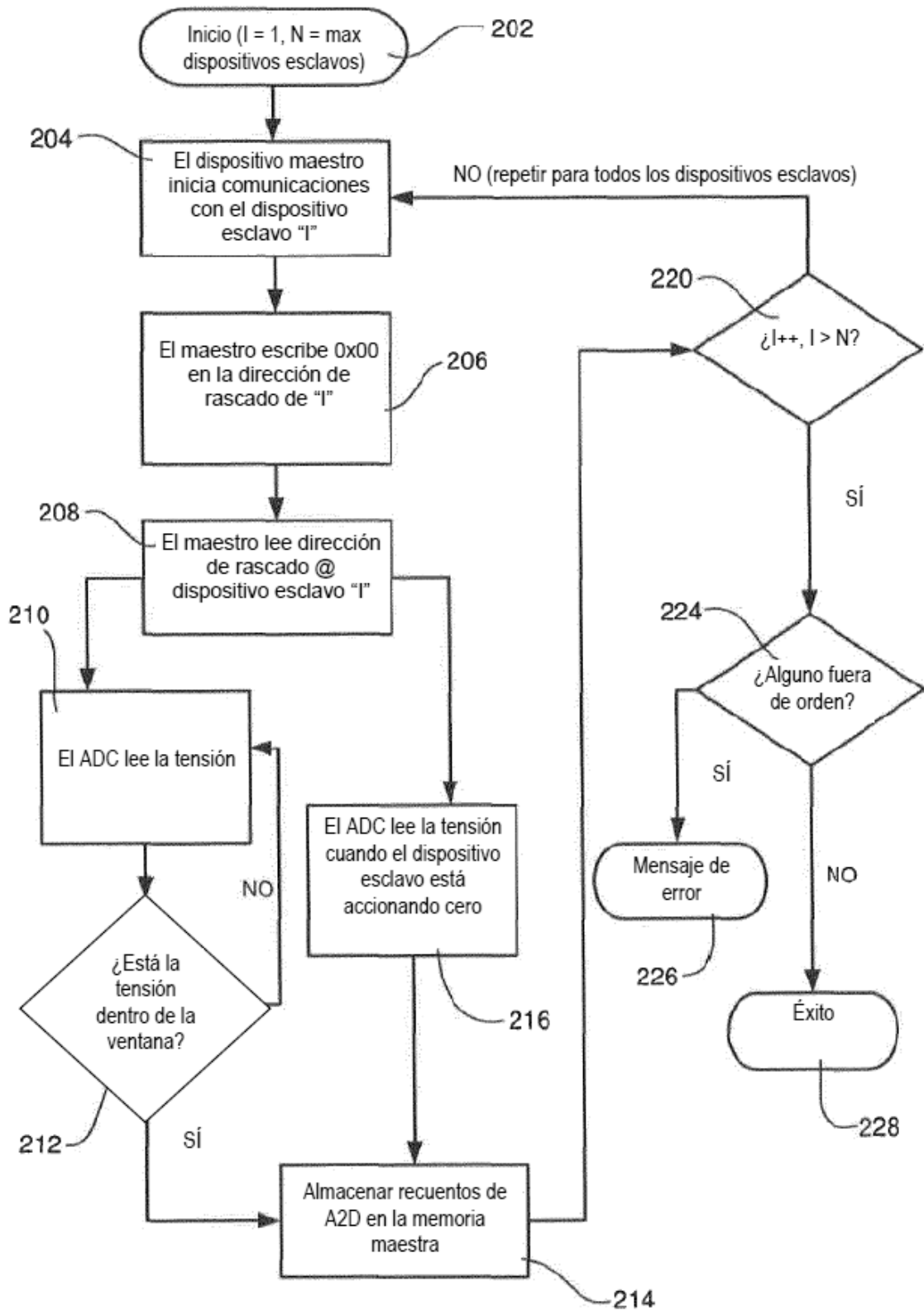


FIG. 2

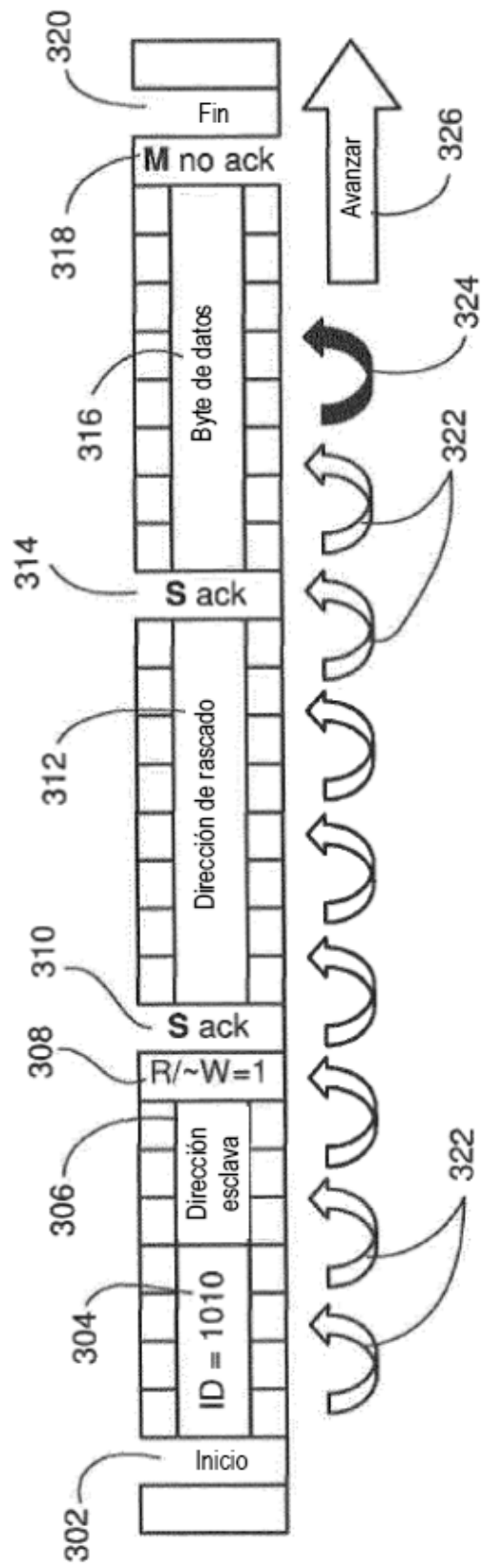


FIG. 3

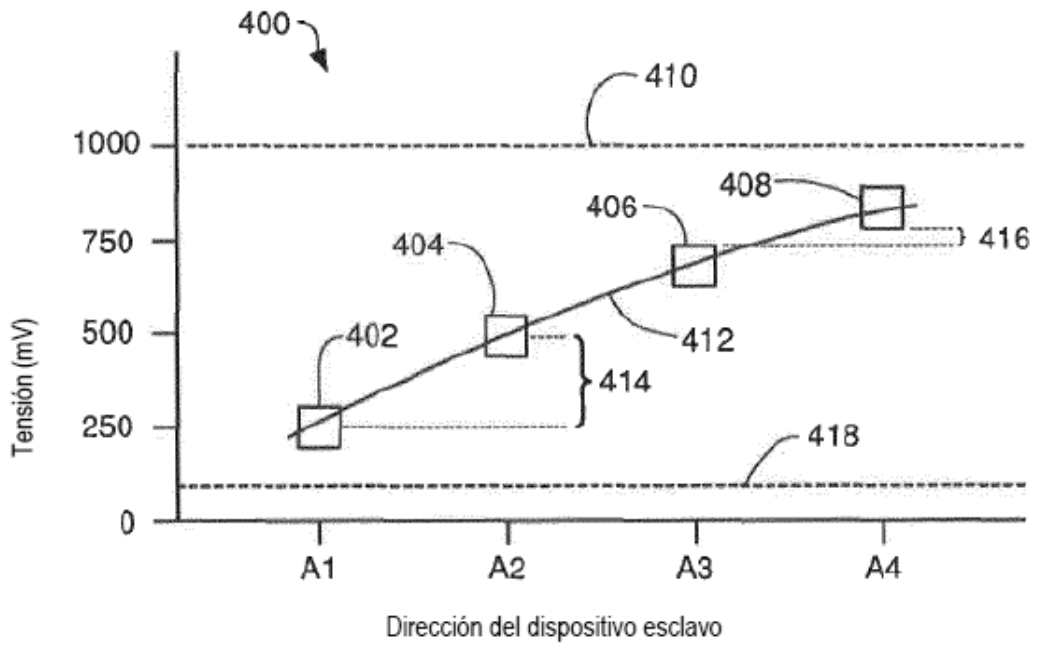


FIG. 4

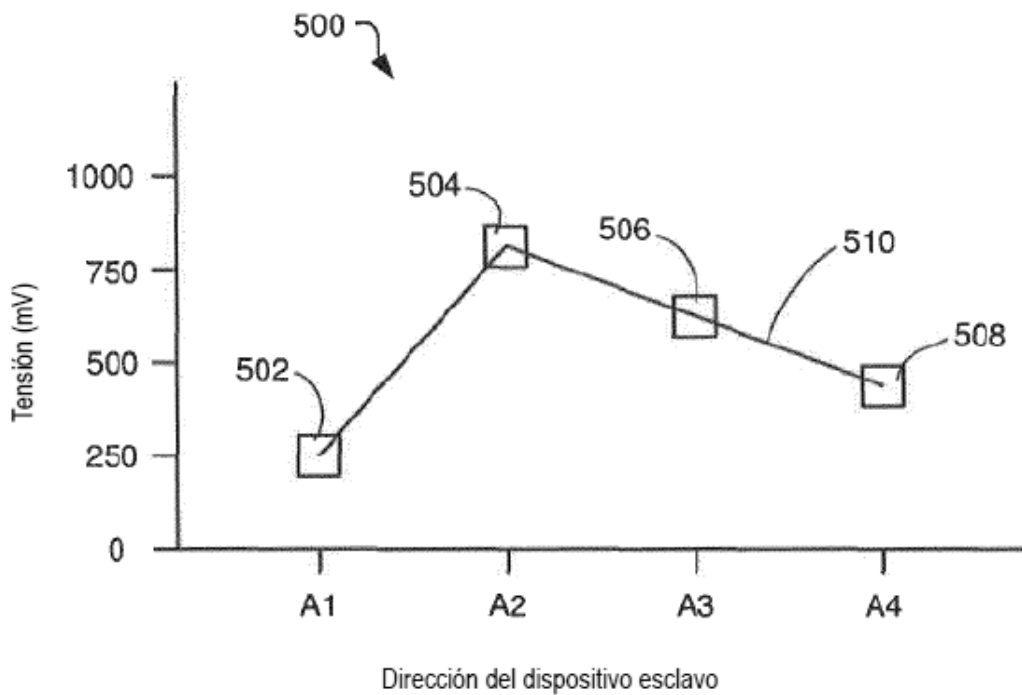


FIG. 5