

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 638 289**

51 Int. Cl.:

H04L 25/03

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **04.10.2005** **E 05021620 (9)**

97 Fecha y número de publicación de la concesión europea: **24.05.2017** **EP 1648128**

54 Título: **Mezclador selectivo de uso en un sistema y un procedimiento de comunicación para minimizar errores de bits en el receptor**

30 Prioridad:

15.10.2004 US 966254

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
19.10.2017

73 Titular/es:

**STANDARD MICROSYSTEMS CORPORATION
(100.0%)
1209 ORANGE STREET
WILMINGTON, DE 19801, US**

72 Inventor/es:

**GREEN, CHRISTOPHER M.;
KNAPP, DAVID J. y
HORACE, HO C.**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 638 289 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Mezclador selectivo de uso en un sistema y un procedimiento de comunicación para minimizar errores de bits en el receptor

Antecedentes de la invención5 **1. Campo de la invención**

La presente invención se refiere a un sistema de comunicación y, más particularmente, a un circuito mezclador en un transmisor que puede aleatorizar los valores lógicos de una secuencia de bits en un flujo de datos enviado a través de una ruta de transmisión. El circuito mezclador mezcla de manera selectiva únicamente una sección de carga útil de una trama de bits para minimizar la vibración de baja frecuencia en el flujo de datos y, después de la mezcla de únicamente la carga útil, un codificador puede usarse para codificar todas las secciones de la trama para minimizar otras causas de la vibración, tal como acumulación de CC (o fluctuación lenta de fase de línea de base) en el flujo de datos.

10 **2. Descripción de la técnica relacionada**

No se admite que las siguientes descripciones y ejemplos constituyan la técnica anterior o la convencional en virtud de su inclusión en esta sección.

Un sistema de comunicación generalmente contiene al menos dos nodos interconectados por una ruta de transmisión. Cada nodo puede incluir tanto un transmisor como un receptor, denominado en general como un transceptor. El transceptor proporciona una interfaz entre señales enviadas a través de la ruta de transmisión y un subsistema electrónico que opera en esa señal en el dominio digital. Los nodos interconectados pueden organizarse de acuerdo con diversas topologías, tales como bus, anillo, estrella o topología en árbol. La ruta de transmisión entre los nodos puede ser alámbrica o inalámbrica, y se prefiere que la ruta de transmisión adapte diferentes tipos de datos. Por ejemplo, la ruta puede solicitarse para transferir datos empaquetados o datos de flujo continuo.

Aunque los datos de flujo continuo tienen una relación temporal entre muestras producidas desde un origen en la red, los datos empaquetados no necesitan estar relacionados en el tiempo puesto que los paquetes típicamente se almacenan y usan más tarde por el dispositivo de destino. Los datos de flujo continuo pueden enviarse como datos de flujo continuo isócrono o datos de flujo continuo síncrono dependiendo de la tasa de muestreo (fs) local a un nodo y la tasa de sincronización de trama (FSY) de la ruta de transmisión. Cuando se envía un flujo de bits de datos empaquetados o datos de flujo continuo a través de la ruta de transmisión, es beneficioso conocer la localización de tales datos en una carga útil con relación a las secciones de preámbulo y de paridad de esa trama. Por lo tanto, una trama de datos enviada como un flujo de datos incluye una sección de carga útil, una sección de preámbulo y, en algunos casos, una sección de paridad. La sección de preámbulo puede usarse para generar la FSY, mientras que la sección de paridad puede usarse para detectar cualquier error en transmisión y, posiblemente, corregir estos errores.

Independientemente de qué tipo de datos se esté enviando a través de la ruta de transmisión o la disposición de la carga útil con relación a las secciones de paridad y de preámbulo, la ruta de transmisión y el receptor son dispersivos en el tiempo. En otras palabras, la ruta de transmisión y el receptor transferirán más fácilmente ciertos componentes de frecuencia de un flujo de datos que otras frecuencias y por lo tanto su respuesta de frecuencia no es plana. Por ejemplo, la ruta de transmisión tiene ciertas características de paso bajo. Cuando se recibe un flujo de datos que consiste en símbolos, la ruta de transmisión tiene el efecto de ensanchar cada símbolo en el tiempo, provocando de esta manera lo que se conoce como interferencia inter-símbolo, o ISI. La ISI puede dar como resultado la pérdida o comunicación incorrecta de ciertos bits en el flujo de datos. Como otro ejemplo, el mismo receptor puede también mostrar características de paso bajo y/o paso alto. Cuando se acopla con un bucle de enganche de fase (PLL) en el receptor para recuperar una señal de reloj, el filtro paso bajo adicional en el PLL atenuará adicionalmente los componentes de frecuencia más alta del flujo de datos.

La repuesta de frecuencia de la ruta de transmisión, receptor y el PLL, se atribuye a los errores en la recuperación de flujos de datos transmitidos que tienen variaciones en la densidad de patrón. Por ejemplo, suficientes variaciones en densidad pueden provocar un sesgo en la línea de base de corriente continua (CC) observado por un circuito de decisión localizado en el receptor. Si el valor de CC cambia con el tiempo, el circuito de decisión puede desplazar temporalmente el momento en el que muestrea una transición del flujo de datos entrante. Por lo tanto, las variaciones en la densidad de patrón que crean acumulación de CC, a menudo denominadas como fluctuación lenta de fase de línea de base, pueden provocar vibración en la salida del receptor. Además, si la salida se usa para recuperar una señal de temporización, la vibración se inducirá en las transiciones de muestra de la señal de temporización para producir errores de bits en el flujo de datos recuperado.

Incluso en casos en los que hay poca, si la hubiera, fluctuación lenta de fase de línea de base, la vibración puede aún estar presente en el flujo de datos de salida. Por ejemplo, si el flujo de datos enviado a través de la ruta de transmisión tiene patrones de densidad incluso relativamente alta con relación a patrones de baja densidad, el circuito de decisión, a menudo denominado como un "recortador", opera como un comparador conectado para

recortar los datos transferidos a diferentes puntos de amplitud a lo largo de los bordes de la forma de onda, y los tiempos finitos de subida y bajada de tales bordes son dependientes de las transiciones de flujo de datos entrante dispersas y densas. Si el periodo entre transiciones dispersas y densas tiene lugar a una frecuencia dentro de la respuesta de paso bajo del filtro de paso bajo de PLL (por debajo de la esquina de punto de corte de filtro de paso bajo de PLL), entonces se impartirá vibración adicional a la salida recuperada.

Sería deseable introducir un sistema de comunicación que tenga un circuito de transmisión y circuito de recepción que minimizarán la fluctuación lenta de fase de línea de base y modificarán cualquier frecuencia de vibración dependiente de los datos para que esté por encima del punto de corte de paso bajo de PLL. El sistema de comunicación deseado puede minimizar, por lo tanto, cualquier acumulación de vibración de baja frecuencia alrededor de una red basada en anillo. Sería deseable además retirar de manera selectiva tal vibración de únicamente la sección de carga útil puesto que es beneficioso que las secciones de preámbulo y de paridad se hayan de codificar. Las secciones de preámbulo y de paridad deseadas se codifican para sincronizar la trama (y secciones dentro de la trama) y para eliminar todos los efectos de fluctuación lenta de fase de línea de base por debajo de la tasa de trama y para asegurar que la trama codificada está sin CC (es decir, no tiene acumulación de CC según se lee por el receptor). Además, el sistema de comunicación deseado debería ser el que pueda adaptar todos los tipos de datos empaquetados y de flujo continuo dentro de una trama y, específicamente, la sección de carga útil de una trama.

El documento Sporer y col: "A 32 MBIT/S CMOS Integrated Transceiver with An Analog PLL for a Fiber Optic Data Link" Proceedings of the Custom Integrated Circuits Conference, IEEE, vol. conf. 8, 1.5.1986, páginas 157-160, desvela un transceptor integrado para la transmisión de tres canales de datos de 8 Mbit/s que incluyen información de temporización mediante un enlace de datos de fibra óptica de 32 Mbit/s. Los canales de entrada se mezclan mediante un mezclador y se reenvían a un codificador. El codificador realiza codificación 3B/4B y reenvía las señales a un convertidor paralelo-serie para la generación de un flujo de datos serie.

El documento Farrell y col: "A 2 X 140 MBIT/S Muldex Equipment for An Optical Fibre Transmission System" International Conference on Telecommunication Transmission Into the Digital Era, I. E. E, vol. conf. 2, 1.3.1981, páginas 49-52, desvela un multiplexor de canal dual. Los flujos de datos de entrada se procesan por mezcladores y se reenvían a un intercalador y codificador, que inserta información de alineación adicional y de comprobación de errores.

El documento US-A-5 946 355 desvela un receptor digital en serie para recibir una señal de tensión de NRZI que representa una señal de datos digital en serie transmitida. Esta señal se desmezcla y decodifica.

El documento EP-A-0 134 817 desvela un procedimiento de transferencia de señales digitales codificando estas señales.

El documento US-B1-6 437 710 desvela un codificador en un sistema de comunicación que evita la acumulación de CC codificada y puede usar violaciones de codificación para sincronizar un decodificador y detectar errores de transmisión.

Sumario de la invención

Los problemas señalados anteriormente se resuelven mediante un circuito, un sistema de comunicación y un procedimiento de acuerdo con las reivindicaciones 1, 14 y 21, respectivamente. Se definen realizaciones preferidas en las reivindicaciones dependientes. El sistema de comunicación puede transferir datos empaquetados y de flujo continuo (síncrono e isócrono) en cada trama de una secuencia de tramas enviada a través de una ruta de transmisión. La ruta de transmisión puede ser alámbrica (que incluye cable coaxial, de cobre, de fibra óptica, etc.) o inalámbrica y la ruta de transmisión puede conectarse entre los nodos organizados en diversas topologías.

Cada trama puede tener intervalos de tiempo en la sección de carga útil reservados para diferentes tipos de datos, o puede ponerse un comando en la sección de carga útil seguido por un tipo de datos que corresponde a ese comando. La trama se envía preferentemente de manera síncrona a través de la topología entre los nodos y cada trama está sincronizada a la FSF. La FSF puede ser igual o ligeramente diferente de la fs para adaptar datos de flujo continuo síncrono o datos de flujo continuo isócrono.

Para asegurar que cada trama se recibe de manera apropiada con los intervalos de tiempo asignados en la sección de carga útil y se sincroniza por la sección de preámbulo con detección / corrección de errores en la sección de paridad, puede usarse un codificador para codificar una violación en la sección de preámbulo, según se detecta por un decodificador en el receptor. Junto con la sección de preámbulo, una sección de paridad también se codifica para asegurar que toda la trama no contiene ningún contenido de CC cuando se recibe en el receptor. La sección de paridad se codifica de esta manera para desplazar cualquier contenido de CC potencial en el preámbulo y en la carga útil mezclada. Puesto que las secciones de preámbulo y de paridad se calculan para asegurar una violación de codificación y que cada trama esté sin CC, estas secciones no pueden mezclarse puesto que, si estas secciones se mezclaran, el preámbulo podría ya no señalar una violación de codificación en el decodificador del receptor y la paridad puede ya no señalar un desplazamiento de CC del resto de la trama para asegurar que la trama completa esté sin CC.

Incluso aunque las secciones de preámbulo y de paridad se codifiquen para eliminar la acumulación de CC en cada trama - y por lo tanto en la tasa de trama (FSY) - pueden existir periodos de vibración relativamente largos en la sección de carga útil en una trama y a través de muchas tramas. La carga útil por lo tanto se mezcla usando un dispositivo de memoria que puede capturar y mantener una secuencia de bits. Ejemplos de un dispositivo de memoria de este tipo incluyen memoria de acceso aleatorio, registros, biestables, flip flops y similares. Si se usa un registro de turno, entonces preferentemente un registro de turno de realimentación lineal (o LFSR) puede capturar la secuencia de bits. Un LFSR se define como un registro de turno que tiene n elementos de retardo, tal como flip flops de tipo D, acoplados en serie. Se extrae al menos una derivación de las salidas de al menos uno de los elementos de retardo, y preferentemente se extraen dos derivaciones de dos salidas. Las derivaciones se alimentan en un circuito de salida, y una salida del circuito de salida se realimenta a una entrada del primer elemento de retardo en la secuencia.

El LFSR se usa para aleatorizar el valor lógico de una secuencia de bits alimentada en los n elementos de retardo. Los n bits almacenados temporalmente en las n etapas pueden aleatorizarse invirtiendo o manteniendo los valores lógicos de uno o más de los n bits almacenados en el LFSR, en lo sucesivo simplemente denominados como un registro de turno. De acuerdo con una realización, el valor lógico del primer bit en la secuencia de bits almacenados en las n etapas se invierte si el segundo bit en la secuencia de bits almacenados en las n etapas es desigual del valor lógico del enésimo bit en la secuencia de bits almacenados en las n etapas. De acuerdo con otra realización, el valor lógico del primer bit en la secuencia de bits almacenados en las n etapas se mantiene al mismo valor lógico si el segundo bit en la secuencia de bits almacenados en las n etapas es similar al valor lógico del enésimo bit en la secuencia de bits almacenados en las n etapas. De acuerdo con otra realización más, y dependiendo de cómo se inicialice el registro de turno, se insertan valores lógicos desiguales en la secuencia de bits que tiene un valor lógico similar que supera n en número.

El circuito de transmisión del sistema de comunicación mejorado puede incluir un mezclador que implementa el LFSR para mezclar (o aleatorizar) únicamente la sección de carga útil del flujo de datos, y un codificador que codifica toda la trama que incluye la sección de carga útil, sección de preámbulo y sección de paridad. El flujo de datos codificado y mezclado de manera selectiva puede a continuación enviarse a través de la ruta de transmisión sin fluctuación lenta de fase de línea de base a frecuencias por debajo de la tasa de transferencia de trama (FSY) y con mínima vibración dependiente de datos de baja frecuencia.

Un decodificador en el receptor puede detectar la violación de codificación en el preámbulo y determinar el comienzo de cada trama y, más particularmente, donde reside la sección de carga útil y la sección de paridad con relación a cada trama. El decodificador puede usarse también para decodificar la trama codificada, y el flujo de bits decodificado se reenvía a continuación a un desmezclador que desmezcla la carga útil. Las secciones de carga útil desmezclada y de preámbulo decodificado y de paridad, por lo tanto, se benefician de una recuperación más precisa del flujo de datos original enviado desde el origen en la ruta de transmisión, en ausencia de cualesquiera errores de bits provocados por la fluctuación lenta de fase o la vibración de línea de base.

De acuerdo con un aspecto, el circuito de transmisión incluye un mezclador. El mezclador puede comprender un registro de turno, un circuito de habilitación y un circuito de salida. El registro de turno puede incluir n etapas. El circuito de habilitación puede acoplarse al registro de turno para posibilitar que el registro de turno desplace en tiempo la secuencia de bits en únicamente una sección de carga útil de la trama. El circuito de salida puede acoplarse al registro de turno para evitar que la secuencia de bits emitida desde el registro de turno contenga una secuencia de repetición de los mismos valores lógicos. El registro de turno y el circuito de salida con realimentación (LFSR) aleatorizan de esta manera la secuencia de valores de bits alimentados al circuito de transmisión y desplazan de manera eficaz cualquier vibración dependiente de los datos hacia arriba en frecuencia de modo que puede eliminarse de manera más eficaz por el filtro de paso bajo en el PLL de un circuito de recepción.

De acuerdo con otro aspecto, se proporciona un sistema de comunicación para transmitir y recibir una secuencia de bits. El sistema de comunicación incluye un mezclador y un codificador para enviar bits mezclados y codificados en una ruta de transmisión. El sistema de comunicación incluye adicionalmente un decodificador y un desmezclador para decodificar los bits codificados y desmezclar los bits mezclados enviados a través de la ruta de transmisión. El mezclador puede acoplarse para almacenar temporalmente n bits de la secuencia de bits, y para invertir un valor lógico del primer bit si un valor lógico del segundo bit y el enésimo bit son desiguales. El desmezclador está acoplado para almacenar temporalmente los n bits decodificados en un registro de turno con alimentación anticipada, en lugar de realimentación. El desmezclador invierte de esta manera un valor lógico del primer bit si el valor lógico del segundo bit y el enésimo bit son desiguales. Si el segundo bit y el enésimo bit son similares, entonces el primer bit se mantiene en su estado actual.

De acuerdo con otro aspecto más, se proporciona un procedimiento para transferir una secuencia de bits. El procedimiento incluye las etapas de sustituir un conjunto sustancialmente aleatorio de valores lógicos entre n bits de una secuencia de bits para reducir un periodo de vibración a preferentemente menor de n bits. El procedimiento incluye también cambiar el periodo de transición del conjunto sustancialmente aleatorio de valores lógicos para eliminar acumulación de CC o fluctuación lenta de fase de línea de base. Los valores lógicos desiguales y los periodos de transición cambiados pueden a continuación transferirse a través del medio de transmisión. Posteriormente, el periodo de transición de los n bits puede cambiarse de nuevo posteriormente para transferir tales

bits a través del medio o ruta de transmisión. Los valores lógicos similares pueden posteriormente sustituirse entre la secuencia de bits para completar la reconstrucción de los bits codificados y mezclados antes de que se codifiquen y mezclen.

Breve descripción de los dibujos

- 5 Otros objetos y ventajas de la invención serán evidentes tras leer la siguiente descripción detallada y tras referencia a los dibujos adjuntos en los que:

La Figura 1 es un diagrama esquemático de un circuito de un receptor que tiene un filtro de paso banda y un circuito de decisión para convertir un flujo de datos enviado a través de una ruta de transmisión óptica a una serie de valores lógicos;
- 10 La Figura 2 es un diagrama de bloques del receptor en la Figura 1 que tiene un PLL para recuperar una señal de reloj del flujo de datos recibidos, y para usar la señal de reloj para recuperar el flujo de datos;
- La Figura 3 es un diagrama de temporización de acumulación de CC de un flujo de datos en un receptor, dando como resultado una frecuencia periódica fuera del paso banda del receptor;
- 15 La Figura 4 es un diagrama de bloques de un sistema de comunicación que tiene un codificador para minimizar la acumulación de CC;
- La Figura 5 es un diagrama de temporización de diferentes esquemas de codificación y de la acumulación de CC de cada uno;
- La Figura 6 es un diagrama de temporización de vibración emitida desde un circuito de decisión de un receptor entre cuando el receptor recibe un valor lógico 0 codificado bifase y un valor lógico 1 codificado bifase;
- 20 La Figura 7 es un diagrama ampliado de la interfaz entre la salida del valor lógico 0 codificado y la salida del valor 1 lógico codificado de la Figura 6;
- La Figura 8 es un diagrama de temporización de un periodo de vibración entre interfaces vecinas de la Figura 6;
- La Figura 9 es un gráfico de frecuencia frente a amplitud de la vibración con relación al filtro paso bajo de PLL y el filtro paso banda del receptor para mostrar el paso de la vibración en el paso banda y por debajo del paso bajo del PLL;
- 25 La Figura 10 es un diagrama de bloques de un sistema de comunicación que utiliza un mezclador y desmezclador selectivo para mezclar y desmezclar la carga útil de cada trama en el flujo de datos y para codificar y decodificar la carga útil, preámbulo y paridad de cada trama en el flujo de datos, de acuerdo con una realización preferida;
- 30 La Figura 11 es un diagrama de bloques de un sistema de comunicación compuesto de nodos conectados en una topología de anillo, y que muestra vibración acumulada a medida que se recupera un reloj del flujo de datos que atraviesa el anillo;
- La Figura 12 es un diagrama del plano de una trama con una carga útil mezclada y codificada y un preámbulo y paridad codificados, en el que el preámbulo puede descubrirse basándose en una violación de codificación para establecer la señal de sincronización de trama usada para determinar la carga útil de la sección de preámbulo y de paridad para fines de decodificación y desmezclado posteriores;
- 35 La Figura 13 es un diagrama de bloques de una máquina de estado usada para establecer el tiempo en el que se encuentran los bits de preámbulo y bits de paridad, con relación a la carga útil;
- La Figura 14 es un diagrama de bloques del circuito mezclador que mezcla de manera selectiva la carga útil durante tiempos cuando los bits de preámbulo y los bits de paridad no se encuentran;
- 40 La Figura 15 es una tabla de verdad de la lógica combinatoria del circuito de salida de la Figura 14;
- La Figura 16 es un diagrama de bloques de multiplexores usados para compilar la trama de carga útil mezclada y codificada, bits de paridad codificados y bits de preámbulo no codificados (si los bits de preámbulo no tienen acumulación de CC), de acuerdo con una realización;
- 45 La Figura 17 es un diagrama de bloques del circuito desmezclador que desmezcla de manera selectiva la carga útil durante tiempos cuando los bits de preámbulo y los bits de paridad no se encuentran;
- La Figura 18 es un multiplexor usado para compilar la trama de la carga útil decodificada y desmezclada, bits de paridad decodificados y bits de preámbulo no decodificados (si los bits de preámbulo no tienen acumulación de CC), de acuerdo con una realización; y

La Figura 19 es una tabla ejemplar de valores lógicos introducidos y desde el mezclador y desmezclador de las Figuras 14 y 17.

Aunque la invención es susceptible de diversas modificaciones y formas alternativas, se muestran realizaciones específicas de la misma a modo de ejemplo en los dibujos y se describirán en el presente documento en detalle.

5 Descripción detallada de realizaciones preferidas

Volviendo ahora a los dibujos, la Figura 1 ilustra un receptor 10 que está acoplado para recibir un flujo de datos enviado a través de una ruta de transmisión, tal como una ruta de transmisión alámbrica o inalámbrica. El receptor 10 puede colocarse en un nodo que contiene también un transmisor. Cada nodo del sistema de comunicación puede incluir por lo tanto un transceptor. Si se usa una fibra óptica, entonces el receptor 10 puede convertir energía de luz a una señal eléctrica después del fotosensor 12. El fotosensor 12 convierte energía óptica en energía eléctrica, tal como la corriente I_{IN} . Un amplificador o memoria intermedia 14 y la resistencia 16 de carga convierten I_{IN} a una tensión de entrada V_{IN} .

Asociado con la ruta de transmisión y/o el receptor 10 se encuentra un filtro 18 paso bajo. La repuesta de frecuencia del filtro paso bajo depende de los valores de resistencia y condensador en el filtro 18. También asociado con el receptor 10 se encuentra un filtro 20 paso alto. El filtro 20 incluye un condensador de bloqueo y una resistencia. La resistencia produce la tensión a través de los terminales positivo y negativo de un circuito de decisión, recortador o comparador 22. El comparador 22 compara la tensión de entrada V_{IN} según se filtra a través de los filtros 18 y 20 paso alto y bajo, respectivamente, a una tensión de referencia (V_{REF}).

La tensión de referencia se coloca en un umbral preferentemente entre el valor lógico alto (1 lógico) y el valor lógico bajo (0 lógico) del flujo de datos entrante. El valor lógico alto/1 es cualquier valor que sea mayor en magnitud que el valor lógico bajo/0. A medida que se recibe el borde principal de un pulso (según se filtra) en la entrada no de inversión del comparador 22, ese borde se compara a la tensión de referencia y en el momento que la subida del borde supera la tensión de referencia, entonces el comparador 22 emitirá un valor 1 lógico. Lo opuesto se cumple si la tensión de entrada se reduce por debajo de la tensión de referencia, provocando que la salida del comparador 22 pase a un valor de tensión de 0 lógico.

Como se observa en la Figura 1, el receptor 10 incluye un filtro 18 paso bajo y un filtro 20 paso alto, que se combinan para formar un filtro paso banda con frecuencias de punto de corte espaciadas entre sí para formar el paso banda. La Figura 2 ilustra un sistema 24 de comunicación que tiene un transmisor 26 acoplado para enviar un flujo de datos en el filtro 28 paso banda de un receptor que también incluye el circuito 22 de decisión, un circuito 30 de recuperación de reloj y un circuito 32 de recuperación de datos.

El circuito 30 de recuperación de reloj puede incluir un PLL que comprende un detector 30a de fase, un filtro 30b paso bajo, y un oscilador 30c controlado por tensión acoplado en la disposición de realimentación. El filtro 30b paso bajo elimina cualquier vibración de alta frecuencia provocada por el detector de fase y la frecuencia del oscilador que se está realimentando desde el oscilador 30c controlado por tensión. En la salida del filtro 30b paso bajo se encuentra una señal de reloj usada para muestrear los valores de tensión alta lógicos y baja lógicos emitidos desde el circuito 22 de decisión. La operación de muestreo tiene lugar en el circuito 32 de recuperación de datos para producir una señal de salida de datos D_{OUT} .

La Figura 3 ilustra, en forma exagerada, un problema intrínseco cada vez que la densidad alta lógica del flujo de datos enviado a través de la ruta de transmisión varía. Por ejemplo, a medida que la densidad alta lógica se reduce como se muestra, la línea de base de CC puede realizar fluctuación lenta de fase hacia arriba en valor de tensión debido al cambio en valor promedio del patrón de datos. El condensador de bloqueo en la esquina de filtro paso alto puede, por lo tanto, evitar que los valores de tensión de baja lógicos caigan lo suficientemente por debajo de la entrada no de inversión en el comparador. Esto provoca un sesgo hacia arriba y una activación más temprana del circuito recortador/de decisión durante momentos de densidad de alta lógica bajos. La línea de base se muestra en línea discontinua y se establece preferentemente cerca de la tensión de referencia V_{REF} .

La Figura 4 ilustra un sistema 24 de comunicación que tiene un codificador y decodificador colocados en las rutas de transmisión y de recepción, respectivamente. El programador o codificador 36 toma el flujo de bits de no retorno a cero (NRZ) desde el origen 38 y codifica el flujo de bits con un código que tiene una cantidad reducida de fluctuación lenta de fase de línea de base para minimizar el problema mostrado en la Figura 3. La señal codificada se envía a continuación mediante un transmisor 26 a través de la ruta 27 de transmisión a un receptor 10. Puesto que la señal recibida es una señal codificada sustancialmente ausente de fluctuación lenta de fase de línea de base, el receptor puede recuperar con mayor precisión el flujo de bits en serie. Sin embargo, el flujo de bits codificado debe decodificarse por el decodificador 40. Una vez decodificado, el flujo de bits de NRZ se aplica al dispositivo de destino objetivo o sumidero 42.

Existen numerosos tipos de metodologías de codificación. Preferentemente, sea cual sea el código que se esté usando, la salida del codificador tiene poca, si la hubiera, acumulación de CC o códigos que producirían una fluctuación lenta de fase de línea de base en la entrada de un receptor. Como se muestra en la Figura 5, se muestran tres metodologías de codificación: Miller, bifase, y adaptativa de CC (DCA). Las descripciones de los tres

diferentes tipos de codificación se exponen en la Patente de Estados Unidos N.º 6.437.710. La codificación Miller tiene lugar a la misma tasa de datos que la tasa de datos de origen, también un valor de tensión alta lógico se codifica por una transición en el centro de la fase de reloj, mientras que un valor de tensión baja lógico se codifica por transiciones en el límite de la fase de reloj. En codificación bifase, la tasa de datos se codifica a dos veces la tasa de datos de origen cada vez que los datos de origen encuentran un valor alto lógico, aunque codifica a la tasa de datos de origen cada vez que los datos de origen encuentran un valor bajo lógico. La codificación bifase sufre de esta manera de momentos en los que la tasa de datos codificados es dos veces la tasa de datos de origen.

Como se muestra, la codificación Miller experimenta un valor 44 de tensión de CC acumulada que se sesga negativamente en este ejemplo. Una transición en el medio de un ciclo de reloj o fase representa ningún cambio en el valor de CC, sin embargo, un valor de lógica hacia abajo a lo largo de todo un ciclo de reloj reducirá el valor de CC acumulada en una cantidad de recuento como se muestra en este ejemplo. El valor de tensión de CC acumulado para la codificación bifase 46 no se sesga hacia abajo por debajo de límites aceptables como lo hace el esquema de codificación Miller. Por lo tanto, la codificación bifase no acumulará tensiones por encima del condensador de entrada del filtro 20 (Figura 1).

De manera similar a la codificación bifase, la codificación 48 adaptativa de CC (DCA) tampoco ocasiona acumulación de CC fuera de los límites. El mecanismo de codificación de DCA esencialmente opera en una base de ciclo de reloj a ciclo de reloj. El codificador de DCA codificará un valor de alta tensión lógico que tiene lugar durante un ciclo de reloj m produciendo una transición 50 cerca del comienzo del ciclo de reloj m . La transición tendrá lugar, sin embargo, si existe un valor de alta tensión lógico durante un ciclo de reloj $m+1$ y la suma de valores 48 de tensión de CC de todos los valores de alta y baja tensión lógicos codificados se sesgan hacia el valor de alta tensión lógico o el valor de baja tensión lógico antes del ciclo de reloj m . Si no hay sesgado pre-existente de la suma de valores 48 de tensión de CC, como se muestra mediante la transición 52, entonces el codificador codificará un valor de alta tensión lógico produciendo una transición en el medio del ciclo de reloj.

La salida desde el codificador 36 (Figura 4) puede producir densidades de patrón diferentes dependiendo del mecanismo de codificación usado. Por ejemplo, la codificación bifase, aunque muestra fluctuación lenta de fase de línea de base mínima, produce diferentes tasas de transición, como se muestra en la Figura 6. Por ejemplo, transición de lógica alta (es decir, valores lógicos 1 codificados) a dos veces la tasa según valores lógicos 0 codificados. Dada la repuesta de frecuencia del filtro 18 paso bajo configurada en la entrada del receptor 10 (Figura 1), la tensión de entrada V_{IN} tendrá un tiempo más largo para subir y bajar para los 0 codificados que para los 1 codificados, como se muestra en la Figura 6. Por lo tanto, cuando se encuentra una secuencia de valores de tensión de 0 lógicos, la tensión en la entrada no de inversión del comparador alcanzará niveles de amplitud más altos y más bajos que para patrones de bits de 1 codificados.

Con relación a la tensión de referencia V_{REF} , toma más tiempo que el borde de subida de un valor lógico 0 codificado alcance V_{REF} que el borde de subida del valor lógico 1 codificado. Lo mismo se cumple para el borde de bajada de un valor lógico 0 codificado con relación a un borde de bajada de un valor lógico 1 codificado. El tiempo para alcanzar la tensión de referencia para un 1 codificado se muestra como T_1 , y el tiempo para alcanzar la tensión de referencia para un 0 codificado se muestra como T_0 . La diferencia de tiempo entre T_0-T_1 tiene lugar en la interfaz entre cada 1 codificado y 0 codificado para patrones codificados bifase. La diferencia de tiempo o valor ΔT presentado en cada interfaz produce un periodo de vibración entre las interfaces como se muestra en las Figuras 7 y 8.

El periodo de vibración forma un patrón entre 1 codificados y 0 codificados alternos. La frecuencia de vibración es, por lo tanto, igual a la tasa a la que cambia el patrón entre un 1 codificado y un 0 codificado. Si el PLL bloquea las transiciones de D_{OUT} , la función de transferencia del PLL y, específicamente, el filtro paso bajo del PLL, puede permitir el paso de vibración dependiendo de dónde exista la esquina del filtro paso bajo con relación a la frecuencia de vibración.

La vibración mostrada en las Figuras 6-8 es, por lo tanto, dependiente del patrón de datos y en ocasiones se denomina como vibración dependiente de datos. Como se muestra en la Figura 9, si la frecuencia 54 de vibración dependiente de los datos está por debajo de la repuesta de frecuencia del filtro 56 paso bajo de PLL. La vibración se transferirá a continuación en la salida de reloj recuperada del receptor. La vibración transferida puede provocar errores sustanciales en la recuperación del origen de NRZ originalmente transmitida. Además, una vibración en el reloj recuperado producirá distorsión en señales producidas por cualquier convertidor de analógico a digital o de digital a analógico temporizado por el reloj recuperado.

Sería deseable aumentar la frecuencia de la vibración de modo que su respuesta de frecuencia esté por encima del punto de corte de frecuencia del filtro paso bajo en el PLL, y/o posiblemente por encima de la esquina de filtro paso bajo del filtro paso banda. Por lo tanto, como se muestra en la Figura 9, sería beneficioso aumentar la repuesta de frecuencia de la vibración 54 a lo largo de la flecha 60. Un mecanismo preferido en el que aumentar la frecuencia de vibración es descomponer o "mezclar" patrones relativamente largos de 1 codificados y 0 codificados a patrones más cortos. Aunque aún existe vibración en la interfaz entre valores lógicos 1 codificados y 0 codificados, la frecuencia de la vibración se extenderá por encima de la repuesta de frecuencia del filtro paso bajo.

La Figura 10 ilustra un ejemplo de implementación de un sistema 64 de comunicación mejorado que no únicamente aumenta la frecuencia de vibración, sino que también mantiene acumulación de CC mínima o fluctuación lenta de fase de línea de base. El sistema 64 de comunicación incluye un origen 66 de NRZ que produce una pluralidad de tramas enviadas como una secuencia de bits, donde cada trama incluye una sección de carga útil, una sección de preámbulo y una sección de paridad. Únicamente la sección de carga útil se reenvía a un mezclador 68 como NRZ_TX_DATA. El mezclador aleatorizará la secuencia de valores de bits reenviados al mezclador interponiendo valores lógicos desiguales en la secuencia de bits invirtiendo posiblemente uno o más bits almacenados en las etapas del registro de turno. La mezcla puede solicitarse tras insertar uno o más valores lógicos desiguales en esa secuencia de bits si la secuencia tiene el mismo valor lógico que supera n número de bits. La salida del mezclador 68 puede mezclarse, por lo tanto, como la secuencia de bits NRZ_TX_SCR_DATA colocada en un codificador 70 como la sección de carga útil.

Junto con la sección de carga útil se encuentran las secciones de preámbulo y de paridad que se codifican de modo que el código elimina la acumulación de CC a través de un periodo de trama - eliminando por lo tanto la acumulación de CC por debajo de la tasa de transferencia de trama (FSY). Las técnicas de codificación preferidas incluyen codificación bifase o DCA. La carga útil mezclada y codificada, así como el preámbulo codificado y paridad para cada trama, se envían a un transmisor 26. El transmisor 26 modula la señal en cualquier forma necesaria para reenviar el flujo de datos transmitido a través de una ruta 27 de transmisión y en un receptor 10. El receptor 10 puede demodular la señal, recortar la señal basándose en una salida de circuito de decisión, recuperar una señal de temporización de la señal transmitida, y recuperar datos usando los límites de señal de temporización. Los datos recuperados D_{OUT} (RX) se reenvían a continuación a un decodificador 72. El decodificador 72 decodifica la señal codificada usando los bordes de señal de temporización.

Un sincronizador 74 de trama es necesario para determinar la localización de la sección de carga útil y la sección de paridad con relación a una sección de preámbulo. La sección de preámbulo puede codificarse con una secuencia de códigos que es reconocible para el decodificador como que no se ajusta en el mecanismo de codificación elegido. Cuando se detecta la violación de codificación, el sincronizador 74 de trama reenvía una señal FRAME_SYNC (FSY) al desmezclador 76, junto con la trama decodificada NRZ_RX. Una señal BIT_SYNC se envía también para sincronizar cada bit de la secuencia de bits decodificados. Armado con las señales FRAME_SYNC y BIT_SYNC, así como con la trama decodificada, y todos los diversos bits contenidos en la trama, el desmezclador 76 a continuación desmezcla la sección de carga útil únicamente y reenvía las secciones de paridad y de preámbulo (en ausencia del desmezclado) al sumidero 78 de NRZ como NRX_RX_DATA.

Una violación de codificación puede pensarse como cualquier secuencia de bits que nunca se encontrará en datos codificados y, por lo tanto, puede detectarse como no datos por el decodificador 72. Por ejemplo, las violaciones de codificación pueden ser una secuencia de datos que contiene pulsos que son menores que la anchura de pulso mínima, pulsos que son mayores que la anchura de pulso máxima, pulsos que son mayores que la anchura de pulso máxima empezando con la transición del medio, un ciclo codificado que es mayor que el ciclo codificado máximo, o un valor de suma digital que es mayor que +1 o menor que -1. La patente de Estados Unidos N.º 6.437.710, describe diversas violaciones de codificación para señales codificadas de DCA, así como señales codificadas bifase.

El sistema 64 de comunicación de la Figura 10 es indicativo de una ruta de transmisión y de recepción entre un origen y un sumidero, similar a la ruta entre un par de nodos de un sistema 80 de comunicación de la Figura 11. Cada nodo etiquetado N1-N64 incluye un transceptor y diversos dispositivos multimedia que originan y envían al sumidero las señales de NRZ. Por ejemplo, un dispositivo multimedia puede ser un reproductor de CD que muestrea a aproximadamente 44,1 kHz. El reproductor de CD puede enviar datos a, por ejemplo, 16 bits por canal de audio de muestra (32 bits/canal estéreo), dando como resultado una tasa de Baudios bps a través de la línea de transmisión de 32 bits/muestra estéreo x 44,1 k muestra/segundo = 1,4122 Mbps. Si la FSY a través de la ruta de transmisión es diferente de la tasa de muestra fs, entonces los datos de flujo continuo del dispositivo multimedia no pueden colocarse de manera síncrona a través de la línea de transmisión a otro dispositivo (es decir, desde un reproductor de DVD a un altavoz). En su lugar, los datos de flujo continuo deben colocarse como datos de flujo continuo isócrono a diferencia de los datos de flujo continuo síncrono. Otros tipos de datos se describen con referencia a datos empaquetados, que también pueden colocarse a través de la red.

Cada trama de datos puede enviarse, por lo tanto, de manera síncrona alrededor de la topología de bucle de un nodo a otro, enviándose cada trama en serie. Cada trama puede tener reservados intervalos de tiempo para adaptar datos de flujo continuo isócrono, datos de flujo continuo síncrono, datos empaquetados, datos de control, etc. Como alternativa, cada trama puede tener un byte de comando que determina dónde están presentes los diferentes tipos de datos en esa trama. Por lo tanto, la carga útil de cada trama puede adaptar diferentes tipos de datos y es beneficioso mantener las secciones de preámbulo y de paridad separadas de la carga útil. Esto significa que las secciones de preámbulo y de paridad no pueden mezclarse junto con la carga útil puesto que el límite entre los tipos de datos y, específicamente, la violación de codificación contenida en el preámbulo se mezclará perjudicialmente en los datos mezclados y de manera irreconocible en una forma temporizada por el decodificador aguas abajo. En ausencia de cualquier violación de codificación reconocible, la FSY no puede determinarse, y más importante, el límite entre los tipos de datos en cada carga útil no puede determinarse. Por lo tanto, originarios para el presente protocolo de trama, la mezcla de la carga útil debe realizarse de manera selectiva sin mezclar las secciones de preámbulo y de paridad.

Como se muestra en la Figura 11, si la diferencia de tiempo entre el bit codificado de 1 lógico y el bit codificado de 0 lógico con relación a transiciones a través de la tensión de referencia existe en frecuencias no filtradas, entonces la diferencia de tiempo se acumula alrededor del bucle desde un nodo al siguiente. Por lo tanto, el reloj recuperado desde el nodo 2 puede mostrar vibración de 1 nanosegundo, por ejemplo, y la vibración en el reloj recuperado del nodo 3 será 1+1 o 2 nanosegundos de vibración. La vibración por lo tanto se acumula a una cantidad bastante sustancial de vibración en el último nodo, por ejemplo, el nodo 64 como se muestra. Por lo tanto, mover la repuesta de frecuencia de la vibración hacia arriba de modo que pueda realizarse filtrado paso bajo es predominantemente beneficioso en una topología de anillo de numerosos nodos y dispositivos multimedia conectados a la misma. En una topología en anillo, suponiendo 64 nodos, la vibración dependiente de los datos puede ser 64 veces la de un único nodo. La señal de temporización de vibración puede deteriorar el rendimiento de cualquier convertidor de audio acoplado a los nodos aguas abajo; por lo tanto, produciendo efectos de audio sustanciales.

La Figura 12 ilustra mezcla selectiva de una sección de carga útil, seguido por la codificación de esa sección de carga útil para producir una carga útil mezclada y codificada en cada trama. Sin embargo, las secciones de preámbulo y de paridad no están mezcladas y, particularmente, la sección de preámbulo está codificada con una violación. Las funciones de codificación y mezcla en una ruta de transmisión se muestran mediante la flecha 82. Detectar la violación de código permite a continuación al decodificador de ruta de recepción determinar la sincronización de trama (FSY) en cuanto al inicio de esa trama de modo que la trama pueda decodificarse, y la carga útil desmezclada llegue a la secuencia correcta de diferentes tipos de datos en la carga útil. Las operaciones de decodificación y desmezclado se muestran mediante la flecha 84. La sección de paridad se codifica para desplazar cualquier acumulación de CC en la codificación de la violación en el preámbulo y la codificación de datos mezclados en la carga útil para provocar una trama codificada sin CC neta, enviada a través de la ruta de transmisión.

La Figura 13 es una máquina 86 de estado que selecciona los diversos tiempos en los que tiene lugar un preámbulo (PRE_TIME) y paridad (PAR_TIME). La máquina 86 de estado puede usarse para iniciar las operaciones de mezcla y desmezclado en la carga útil cuando la carga útil está presente, y las secciones de preámbulo y de paridad no. Un preámbulo puede detectarse (PRE_DET) conociendo qué bits en la ruta de transmisión están envueltos en la carga útil para formar el preámbulo. El preámbulo puede detectarse en la ruta de recepción decodificando una violación de codificación. Cuando se encuentra una trama de, por ejemplo, 512 bits o 64 bytes, un contador 90 contará de 0 a 511 para determinar la localización de los bits de preámbulo, carga útil y paridad en la trama. Un contador 90 de 9 bits puede abarcar 512 bits.

Cuando se detecta un preámbulo en la salida del receptor, por ejemplo, como la señal de RX (Figura 10), tiene lugar la detección mediante una violación de codificación, y el contador 90 se establece a un cierto valor de recuento. En el ejemplo mostrado, el valor de recuento es 004H según se selecciona por el multiplexor 92. De otra manera, el contador se incrementa en 1 como se muestra mediante el bloque 94. En un contador 90, de red enganchada, estable irá desde 0 a 511 sin ningún salto. La máquina 86 de estado está duplicada para tanto el decodificador/desmezclador como el codificador/mezclador puesto que las rutas de transmisión y recepción pueden operar fuera de relojes separados. Los registros 96 y 98 indican un tiempo de preámbulo cada vez que el valor de recuento se encuentra entre 000H y 003H, en este ejemplo, y el valor de recuento para un tiempo de paridad es 1FFH.

La Figura 14 ilustra un circuito 100 mezclador, de acuerdo con una realización. El mezclador 100 incluye un dispositivo de memoria compuesto de elementos de memoria que pueden almacenar cada uno la secuencia de bits reenviados en el circuito 100 mezclador mediante el circuito 106 de salida. Los elementos de memoria pueden ser células de memoria de acceso aleatorio (RAM), biestables, registros, flip flops, y por lo tanto cualquier dispositivo que pueda mantener temporalmente cada bit de la secuencia de bits. De acuerdo con un ejemplo, la memoria puede ser un registro 102 de turno compuesto de n etapas de retardo: 102a, 102b, 102c, y 102d. Cada etapa de retardo puede formularse a partir de un flip flop de tipo D, temporizado por la señal de temporización de la ruta de transmisión, y habilitado por una señal de habilitación de mezclador (SCR_EN) emitida desde un circuito 104 de habilitación. De acuerdo con un ejemplo, el circuito 104 de habilitación puede ser una puerta NOR con los tiempos de preámbulo y de paridad introducidos en la puerta NOR de 2 entradas. Si tiene lugar cualquiera de los tiempos de preámbulo o de paridad, entonces cada una de las etapas de retardo se deshabilitará. De otra manera, las etapas de retardo operarán como un registro de turno con la salida de una etapa alimentada a la entrada de la etapa siguiente. El número de etapas de retardo es igual a n, siendo n preferentemente 15 o cercano. Las etapas de retardo de esta manera almacenan temporalmente la secuencia de bits que se está transmitiendo, con la última etapa y la segunda desde la última etapa introducidas en un circuito 106 de salida. Además, los datos de origen de NRZ (NRZ_TX_DATA) se reenvían al circuito 106 de salida. El circuito 106 de salida puede formarse como un par de puertas 106a y 106b O exclusivo, cuya salida NRZ_SCR_DATA se reenvía de vuelta a la primera entrada de la etapa 102a de retardo. La operación del circuito 100 mezclador puede ilustrarse mejor con referencia a la Figura 19.

La Figura 15 es una tabla de verdad de la operación del circuito 106 de salida. Como se muestra, si los valores lógicos de NRZ_TX_DATA y la etapa 14 de retardo (es decir, etapa 102c de retardo n-1) son desiguales, entonces el valor lógico de la etapa 15 de retardo (es decir, etapa 102d de retardo n) se invierte y se coloca en la salida del circuito 106 como NRZ_TX_SCR_DATA. Sin embargo, si los valores lógicos de NRZ_TX_DATA y la etapa 14 de retardo (es decir, etapa 102c de retardo n-1) son los mismos, entonces el valor lógico de la etapa 15 de retardo (es

decir, etapa 102d de retardo n) se coloca en la salida del circuito 106 como NRZ_TX_SCR_DATA sin inversión. La salida desde el circuito 106 se coloca en la entrada de la primera etapa de retardo, así como se alimenta a la ruta de transmisión. El valor lógico mantenido en la enésima etapa de retardo es por lo tanto el primer bit en una secuencia de n bits, y el valor lógico mantenido en la etapa de retardo n-1 es por lo tanto el segundo bit en la secuencia de n bits. El valor lógico de NRZ_TX_DATA colocado al mismo tiempo con el primer y segundo bits en la secuencia en la entrada del circuito 106 de salida es el enésimo bit en la secuencia.

La Figura 16 es un diagrama de bloques de multiplexores usados para compilar una trama para que se transmita a un receptor. El multiplexor 108 se usa para seleccionar los datos mezclados o no mezclados desde el origen o mezclador, respectivamente, dependiendo de si la señal de habilitación de mezclador (SCR_EN) está activa. Si está activa, entonces la carga útil mezclada se recibe desde el mezclador y se coloca en la entrada del multiplexor 110; si no está activa, entonces se envían los datos no mezclados (NRZ_TX_DATA). Si es necesaria la mezcla, entonces es más probable que se active la señal de habilitación de mezcla. El multiplexor 110 reenviará a continuación los datos mezclados cada vez que el tiempo de paridad no esté activo. De otra manera, si el tiempo de paridad está activo, entonces la sección de paridad se transferirá mediante el multiplexor 110 en el codificador 70. El codificador 70 codificará a continuación las secciones de carga útil mezclada y de paridad no mezclada, así como las secciones de preámbulo no mezcladas, y ambas se alimentan en un multiplexor 112. El preámbulo se muestra que atraviesa un codificador 70b separado, y no el codificador 70a bifase/DCA. La razón para el codificador 70b separado es asegurar que el preámbulo recibe un código que no es reconocible como un código bifase o DCA, y por lo tanto constituye una violación de codificación. El codificador 70b codifica de esta manera el preámbulo para asegurar que una violación de codificación se codifica en el mismo.

La Figura 17 ilustra un circuito 116 desmezclador que recibe datos decodificados (NRZ_RX) desde el decodificador 72. Los datos decodificados se alimentan en un registro 118 de turno, similar al registro 100 de turno (Figura 14). El registro 118 de turno incluye las etapas 118a, 118b, 118c y 118d de retardo. El número de etapas de retardo en el registro 118 de turno igual al número de etapas de retardo en el registro 102 de turno (Figura 14). Además, cada etapa 118 de retardo es similar a cada etapa 102 de retardo, y se prevé como que comprende un flip flop de tipo D en una señal de temporización en la ruta de recepción y se habilita por una señal de habilitación de desmezclador (DESCR_EN). El registro 118 de turno se habilita por un circuito 120 de habilitación durante los tiempos en los que el tiempo de preámbulo y tiempo de paridad están ausentes. Un circuito 122 de salida recibe la salida desde la última etapa y la segunda a la última etapa, así como se introducen en la primera etapa cuando se formula la salida desmezclada (NRZ_RX_DESCR_DATA). Similar al circuito 106 de salida de la Figura 14, el circuito 122 de salida está compuesto preferentemente de un par de puertas lógicas O exclusivo acopladas en serie que tienen la misma tabla de verdad como se muestra en la Figura 15. Si el NRZ_RX es desigual del valor lógico de salida de retardo 14, entonces el valor lógico de retardo 15 se invierte y se coloca en NRZ_RX_DESCR_DATA. De otra manera, el valor lógico es el retardo 15 no invertido. Los detalles de la operación del desmezclador 116 se describen adicionalmente con referencia a la Figura 19.

La Figura 18 ilustra un multiplexor 124 usado para seleccionar cualquiera de los datos desmezclados desde el desmezclador 116 o datos no desmezclados (que son datos que típicamente no se han mezclado) si las operaciones de mezcla y desmezclado no se usan. Los datos desmezclados se seleccionan si una señal de habilitación de desmezclador (DESCR_EN) está habilitada. Si es así, entonces los datos desmezclados se presentan como NRX_RX_DESCR_DATA al sumidero NRZ 78 (Figura 10).

La Figura 19 ilustra las operaciones de mezclar y desmezclador usando un ejemplo que se resume por fines de brevedad. La operación del mezclador se muestra en la tabla 126; el desmezclador se muestra en la tabla 128. Como se muestra en la tabla 126, una secuencia de bits entrante puede ser del mismo valor lógico como se muestra por los valores 1 lógicos a través de 29 ciclos de reloj para NRZ_TX_DATA. Sin embargo, cuando se hace referencia a las Figuras 14 y 19 en combinación, el primer y segundo bits en la secuencia se emiten desde la 14ª y 15ª etapas de retardo, junto con el 15º bit en la secuencia a partir de NRZ_TX_DATA para formular las entradas al circuito 106 de salida en el 15º ciclo 130 de reloj. Puesto que el circuito 106 de salida tiene la tabla de verdad de la Figura 15, el valor de tensión 1 lógico en el reloj 15 para el primer bit en la secuencia de n bits recuperados desde la enésima etapa de retardo (retardo 15) no se invierte puesto que los valores lógicos del segundo bit en la secuencia recuperada desde la etapa de retardo n-1 (retardo 14) y el enésimo bit en la secuencia a partir de NRZ_TX_DATA son el mismo valor lógico (1 lógico). Sin embargo, si el segundo bit en la secuencia (es decir, emitido desde la etapa de retardo n-1) es diferente del valor lógico del enésimo bit a partir de NRZ_TX_DATA, entonces el valor lógico del primer bit se invertiría - véase el reloj 4, por ejemplo. La tabla 126 ilustra la metodología mediante la cual una combinación de elementos de retardo y el circuito de salida evitan que una secuencia de bits emitida desde el registro de turno supere n (donde n=15 en este ejemplo) número del mismo valor lógico. Derivando las salidas desde los elementos de retardo de orden n-1 y n para recibir el segundo y primer valores lógicos de bits en la secuencia de n bits, y combinando de manera lógica estos valores de bits con el enésimo valor de bit lógico a partir de NRZ_TX_DATA, se prevé un mecanismo de mezcla relativamente sencillo.

La tabla 127 ilustra lo que ocurriría si la mezcla se inicializara en ausencia de valor de tensión 1 lógico para NRZ_TX_DATA. Presumiblemente no tendría lugar mezcla en esta condición. Sin embargo, una vez que se imparte un valor de tensión de 1 lógico a la secuencia de bits entrantes, como se muestra durante el tiempo 131, posiblemente durante el arranque, entonces las secuencias posteriores de n bits (en este ejemplo n=15) pueden no

contener el mismo valor lógico incluso aunque la secuencia entrante de n bits tenga el mismo valor lógico.

La tabla 128 ilustra el mecanismo de desmezclado mediante el cual los datos mezclados (NRZ_TX_SCR_DATA) se presentan como la entrada (NRZ_RX) al desmezclador. Cuando se hace referencia a las Figuras 17 y 19 en combinación, los datos mezclados NRZ_RX se alimentan directamente al circuito 122 de salida, junto con la salida del retardo 14 y el retardo 15 (que almacenan el primer y segundo valores lógicos de la secuencia de n bits). Puesto que el circuito 122 de salida puede preverse como que tiene la tabla de verdad de la Figura 15, entonces en el 15º (es decir, el enésimo) ciclo 132 de reloj, los datos desmezclados emitidos desde la puerta O exclusiva NRZ_RX_DATA se revierten de vuelta a un valor de tensión 1 lógico. Como se muestra, la secuencia de bits NRZ_RX_DATA desmezclada coincidirá entonces la secuencia de bits pre-mezclada original para NRZ_TX_DATA.

- 5
 - 10
- Numerosas variaciones y modificaciones serán evidentes para los expertos en la materia una vez que se aprecie completamente la divulgación anterior. Se pretende que las siguientes reivindicaciones se interpreten que abarquen todas tales variaciones y modificaciones.

REIVINDICACIONES

1. Un circuito para transmitir una secuencia de bits, que comprende:

una memoria (102) y un circuito (106) de salida acoplado a la memoria (102) **caracterizado porque**, el circuito (106) de salida está adaptado para mezclar una sección de carga útil de una trama que incluye la sección de carga útil, una sección de preámbulo y una sección de paridad, en el que dicha mezcla comprende invertir un valor lógico de al menos uno de la secuencia de bits en la sección de carga útil, y el circuito comprende una máquina de estado para seleccionar los diversos tiempos en los que tiene lugar un preámbulo y una paridad para iniciar las operaciones de mezcla únicamente en la carga útil cuando la carga útil está presente, y las secciones de preámbulo y de paridad no están presentes.
2. El circuito de transmisión de la reivindicación 1, en el que la memoria (102) comprende un registro (102a, 102b, 102c, 102d) de turno.
3. El circuito de transmisión de la reivindicación 1, en el que el circuito (106) de salida está adaptado para recibir la al menos una de la secuencia de bits de la memoria (102), invertir el valor lógico y realimentar el valor lógico invertido a la memoria (102).
4. El circuito de transmisión de la reivindicación 1, en el que la memoria (102) comprende:

n flip flops (102a, 102b, 102c, 102d) acoplados en serie;
 en el que una entrada del primer flip flop (102a) en la serie está acoplada a una salida del circuito (106) de salida;
 y
 en el que una salida del enésimo flip flop (102d) y del flip flop (102c) n-1 de la serie está acoplada a un par de entradas del circuito (106) de salida.
5. El circuito de transmisión de la reivindicación 1, en el que el circuito (104) de habilitación y el circuito (106) de salida comprenden cada uno lógica combinatoria.
6. El circuito de transmisión de la reivindicación 1, en el que el valor lógico invertido es el de un primer bit en la secuencia si los valores lógicos de un segundo bit en la secuencia y un enésimo bit en la secuencia son desiguales.
7. El circuito de transmisión de la reivindicación 1, en el que el circuito (106) de salida está adaptado adicionalmente para no invertir el valor lógico de un primer bit en la secuencia si los valores lógicos de un segundo bit en la secuencia y un enésimo bit en la secuencia son iguales.
8. El circuito de transmisión de la reivindicación 1, en el que la memoria (102) comprende n etapas para almacenar cada uno, una secuencia de n bits, y el circuito (106) de salida comprende:

tres entradas adaptadas para recibir un primer bit desde la enésima etapa (102d) de las n etapas, un segundo bit de la etapa (102c) n-1 de las n etapas, y un enésimo bit de la secuencia de bits; y
 una salida adaptada para colocar en una entrada de la primera etapa (102a) de las n etapas el valor lógico invertido.
9. El circuito de transmisión de la reivindicación 1, que comprende adicionalmente un codificador (70) acoplado entre el circuito (106) de salida y una ruta de transmisión para codificar la sección de carga útil mezclada y colocar la sección de carga útil mezclada codificada en la ruta de transmisión.
10. El circuito de transmisión de la reivindicación 1, que comprende adicionalmente un codificador (70) para codificar la sección de preámbulo con una violación de codificación.
11. El circuito de transmisión de la reivindicación 1, que comprende adicionalmente un codificador (70) para codificar la sección de paridad dispuesta en una región diferente en la trama que la de la sección de carga útil y la sección de preámbulo, en el que la sección de paridad está codificada con valores lógicos que cuando se combinan con una sección de preámbulo codificada y una sección de carga útil codificada no presenta acumulación de CC en la trama cuando es recibida por un receptor.
12. El circuito de transmisión de la reivindicación 11, que comprende adicionalmente dos multiplexores concatenados en serie, en el que un primero de los multiplexores está adaptado para seleccionar cualquiera de la sección de carga útil o la sección de carga útil mezclada para que se envíe a un segundo de los multiplexores dependiendo de si una señal de habilitación de mezcla está activa, y el segundo de los multiplexores está adaptado para seleccionar cualquiera de una salida del primero de los multiplexores o la sección de paridad para que se envíe al codificador dependiendo de si una señal de tiempo de paridad está activa.
13. El circuito de transmisión de la reivindicación 1, en el que el circuito (106) de salida está adaptado para evitar que la secuencia de bits emitida desde la memoria (102) supere un número n de bits con el mismo valor lógico.
14. Un sistema de comunicación, que comprende:

- un mezclador (100) adaptado para almacenar temporalmente n bits de una secuencia de bits;
 un codificador (70) acoplado a una salida del mezclador (100) para codificar los n bits;
 una ruta de transmisión acoplada a una salida del codificador (70) para recibir los n bits codificados;
 un decodificador acoplado a la ruta de transmisión para decodificar los n bits codificados; y
 un desmezclador (116) adaptado para almacenar temporalmente los n bits decodificados como una secuencia de bits decodificados
- caracterizado porque**
 el mezclador (100) está adaptado para invertir un valor lógico de un primer bit en la secuencia si un valor lógico de un segundo bit en la secuencia y un valor lógico de un enésimo bit en la secuencia son desiguales, y está adaptado para almacenar temporalmente los n bits en únicamente una sección de carga útil de una trama que comprende la sección de carga útil, una sección de preámbulo y una sección de paridad,
 el desmezclador (116) está adaptado para invertir un valor lógico del primer bit en la secuencia de bits decodificados si los valores lógicos del segundo bit y un valor lógico del enésimo bit en la secuencia de bits decodificados son desiguales.
15. El sistema de comunicación de la reivindicación 14, que comprende adicionalmente un circuito (104) de habilitación acoplado a la memoria (102) para: (i) habilitar los registros (102a, 102b, 102c, 102d) de turno de la memoria (102) para recibir n bits en una sección de carga útil de una trama y (ii) deshabilitar los registros (102a, 102b, 102c, 102d) de turno de la memoria (102) durante tiempos en los que el sistema de comunicación se presenta con unas secciones de preámbulo o de paridad de la trama.
16. El sistema de comunicación de la reivindicación 14, en el que los valores de tensión de uno lógico de los n bits codificados transitan a dos veces la frecuencia de los valores de tensión de cero lógico.
17. El sistema de comunicación de la reivindicación 14, en el que los n bits codificados producen una transición cerca del comienzo de un ciclo de reloj de orden m con la condición de que tenga lugar un valor de tensión de uno lógico durante el ciclo de reloj de orden m+1 y la suma de valores de tensión de CC de todos los valores de tensión de uno lógico y de cero lógico codificados se sesgue hacia cualquiera de la tensión de uno lógico o de cero lógico antes del ciclo de reloj de orden m.
18. El sistema de comunicación de la reivindicación 14, en el que la ruta de transmisión es un medio óptico.
19. El sistema de comunicación de la reivindicación 14, en el que el codificador (70) está adaptado para codificar unos m bits adicionales en la sección de preámbulo de una trama que precede los n bits en la sección de carga útil de la trama, y para codificar los m bits con una secuencia que es reconocible por el decodificador como una violación de codificación para sincronizar el comienzo de la trama, así como la sección de carga útil en la trama.
20. El sistema de comunicación de la reivindicación 14, en el que el codificador (70) está adaptado para codificar p bits adicionales en la sección de paridad de una trama que es posterior a los n bits en la sección de carga útil, y para codificar los p bits con una secuencia que mantiene paridad con los n bits en la sección de carga útil.
21. Un procedimiento para transferir una secuencia de bits, que comprende:
 almacenar temporalmente los n bits de la secuencia de bits;
 invertir el valor lógico de un primer bit en una secuencia si un segundo bit en la secuencia y un enésimo bit en la secuencia son desiguales, lo que produce que un conjunto aleatorio de valores lógicos se sustituya entre los n bits de la secuencia para reducir un periodo de vibración;
 cambiar un periodo de transición del conjunto aleatorio de valores lógicos para reducir la acumulación de CC; y
 transferir el conjunto aleatorio de valores lógicos con periodo de transición cambiado a través de un medio de transmisión
- caracterizado porque**
 dicho almacenamiento e inversión temporal tienen lugar en n bits en únicamente una sección de carga útil de una trama que comprende la sección de carga útil, una sección de preámbulo y una sección de paridad, y en el que dicho cambio del periodo de transición tiene lugar en n bits en la sección de carga útil y m bits en la sección de preámbulo que precede a la sección de carga útil y en p bits en una sección de paridad posterior a la sección de carga útil.
22. El procedimiento de acuerdo con la reivindicación 21, que comprende adicionalmente mantener el valor lógico de un primer bit en la secuencia si los valores lógicos de un segundo bit en la secuencia y un enésimo bit en la secuencia son iguales.
23. El procedimiento de acuerdo con la reivindicación 21, en el que dicho cambio comprende la transición valores de tensión de uno lógicos a dos veces la tasa de los valores de tensión de cero lógico.
24. El procedimiento de acuerdo con la reivindicación 21, en el que dicho cambio comprende:
 calcular una suma de valores de tensión de CC para valores de tensión de cero lógico y de uno lógico antes de un ciclo de reloj de orden m;

detectar un valor de tensión de uno lógico con los n bits durante el ciclo de reloj de orden m y el ciclo de reloj de orden $m+1$; y
producir una transición cerca del comienzo del ciclo de reloj de orden m con la condición de que la suma calculada de los valores de tensión de CC se sesgue hacia cualquiera del valor de tensión de uno lógico o de cero lógico.

5

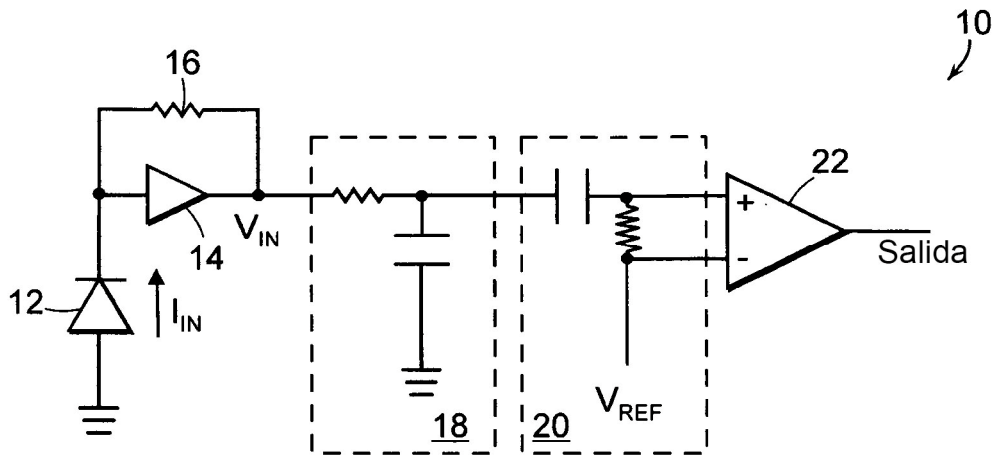


FIG. 1

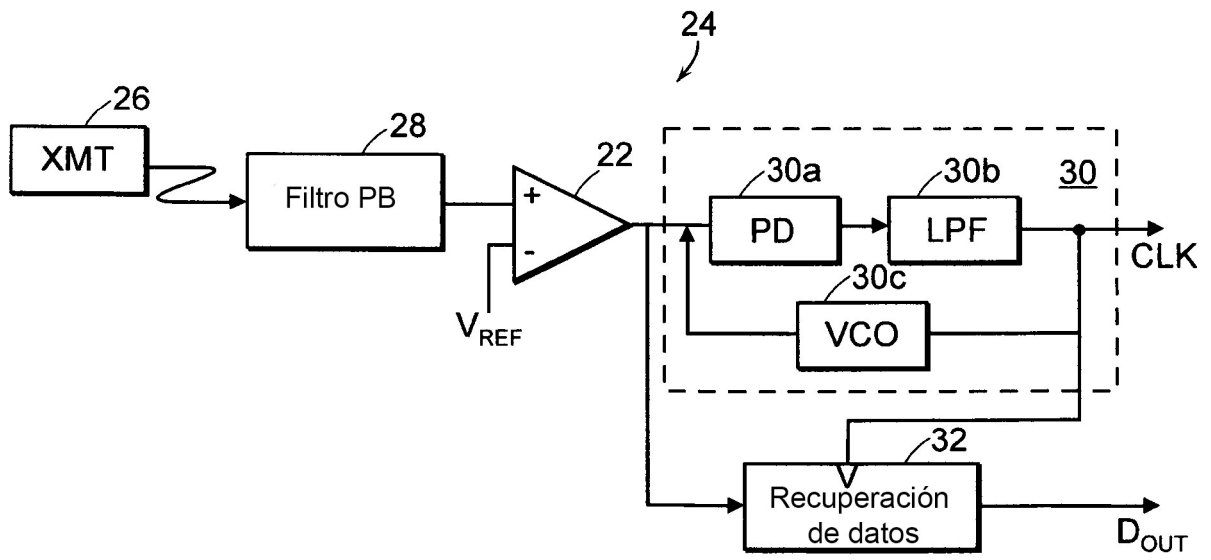


FIG. 2

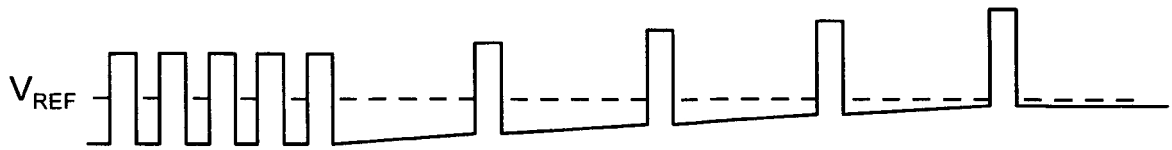


FIG. 3

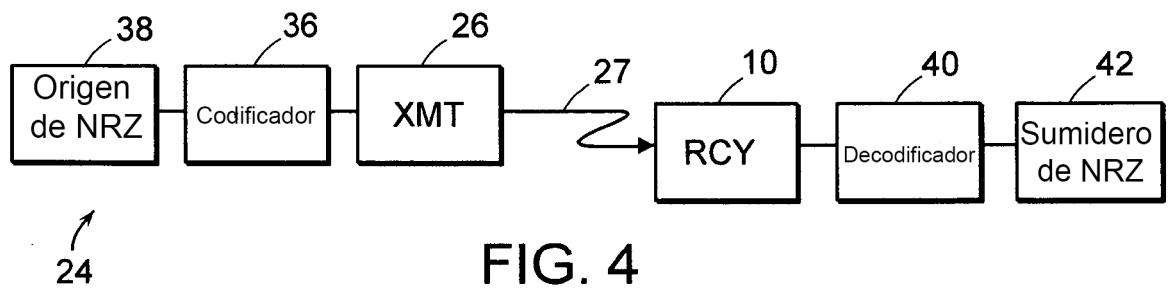


FIG. 4

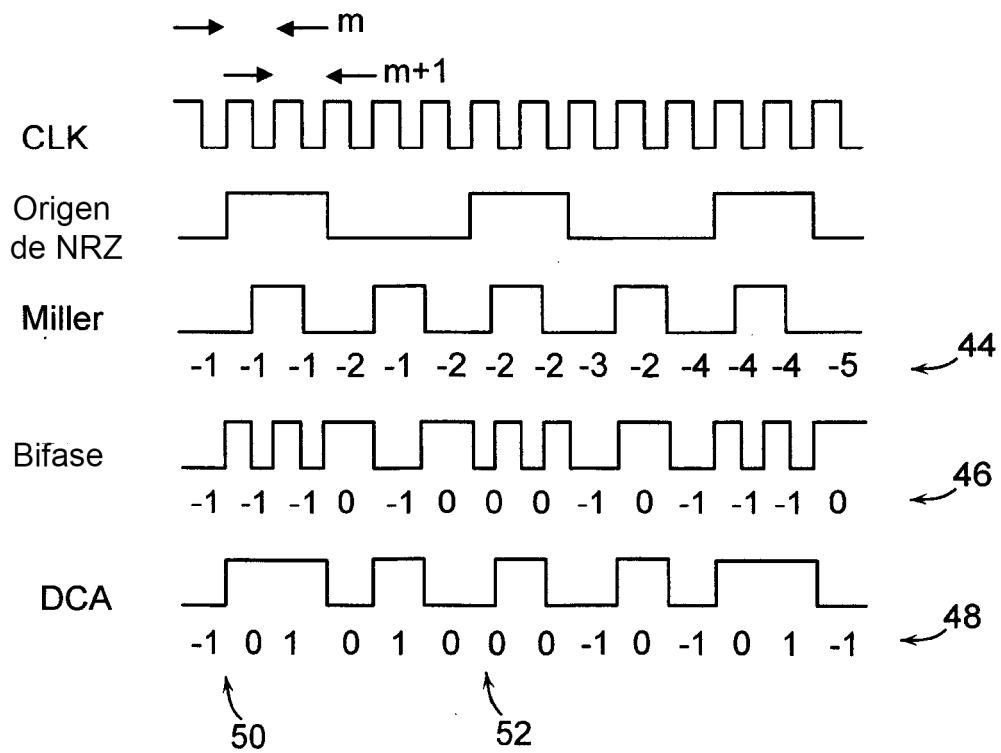


FIG. 5

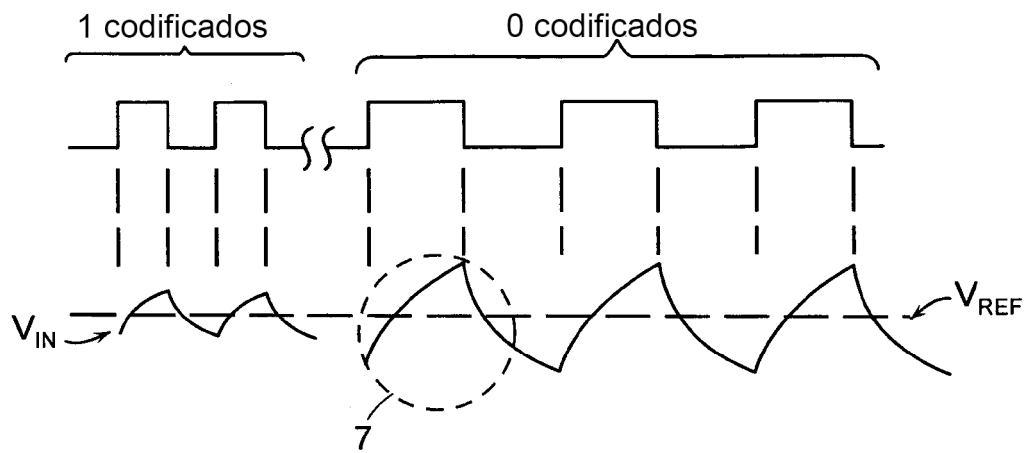


FIG. 6

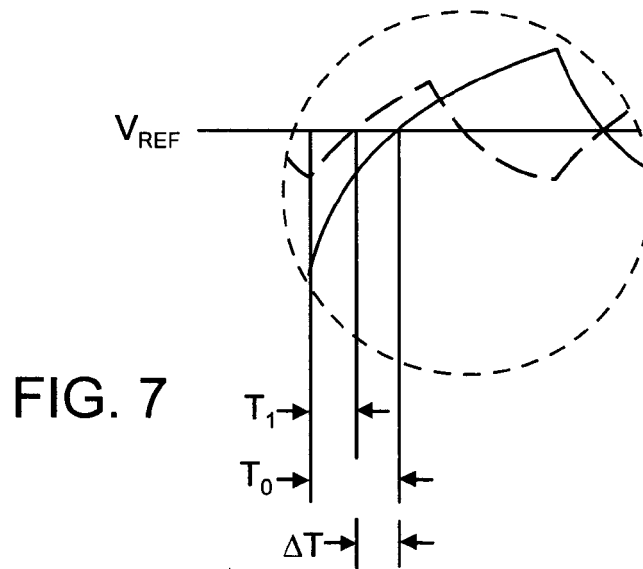


FIG. 7

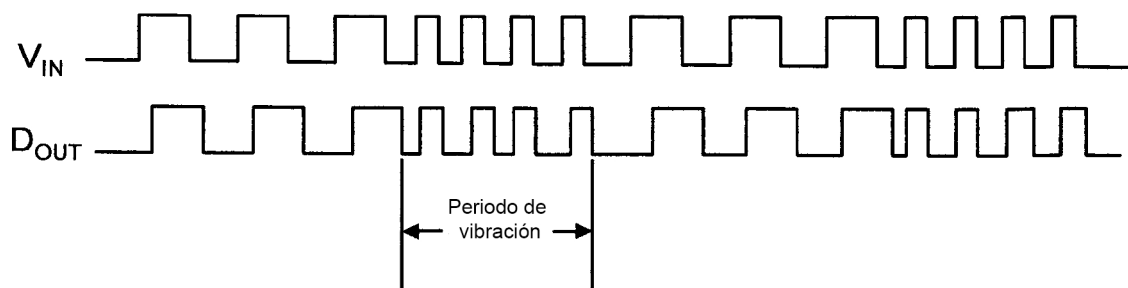


FIG. 8

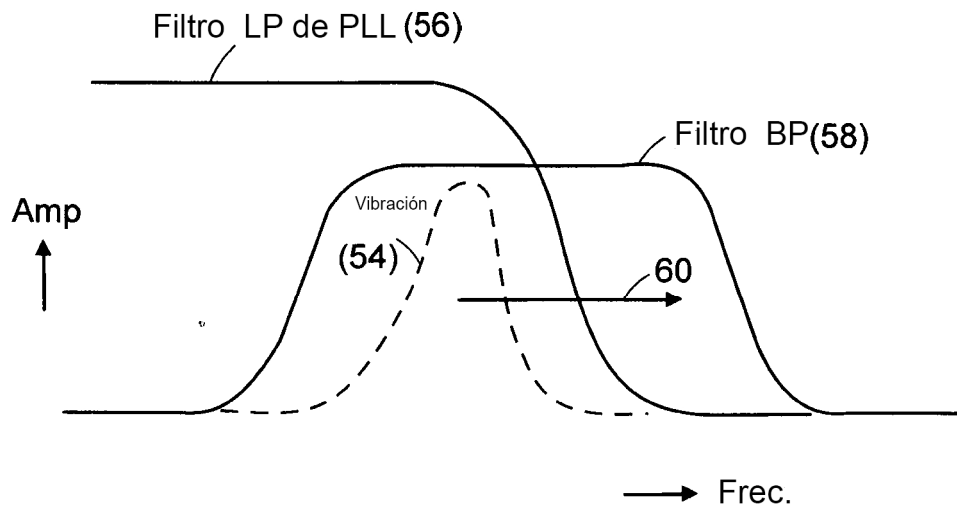


FIG.9

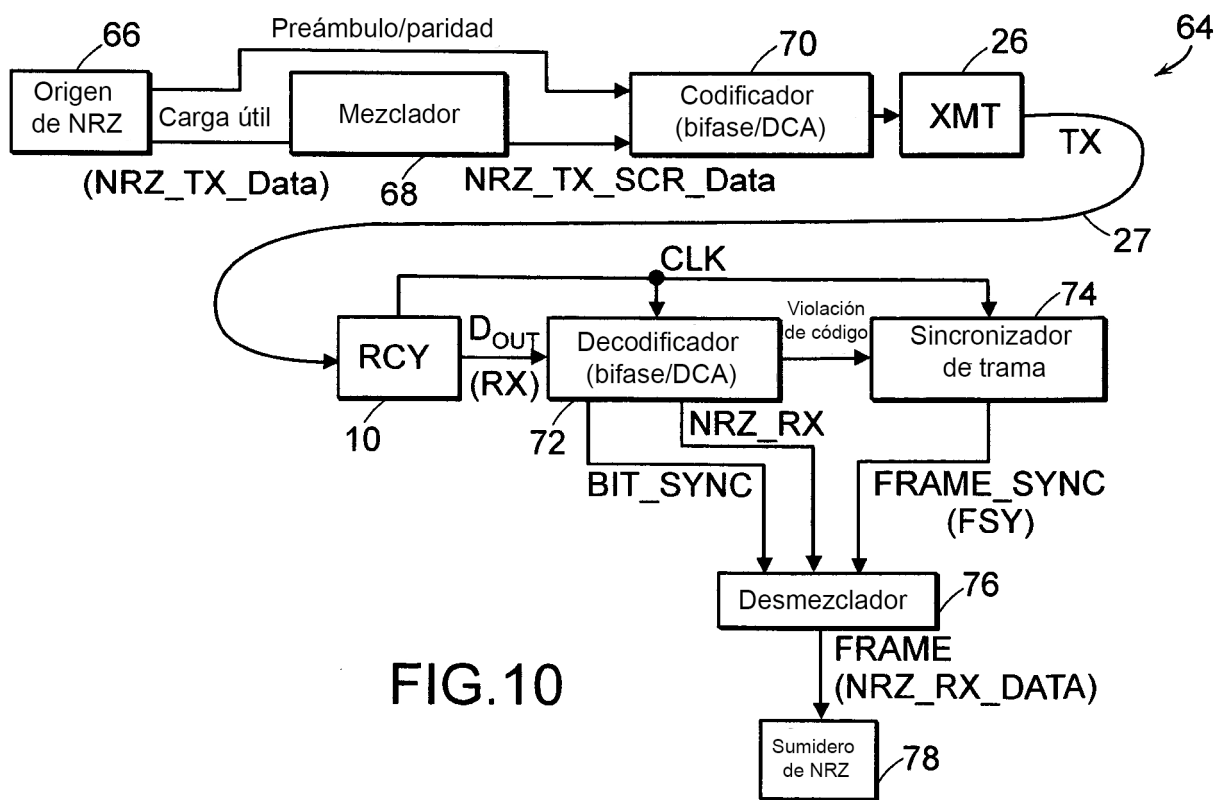


FIG.10

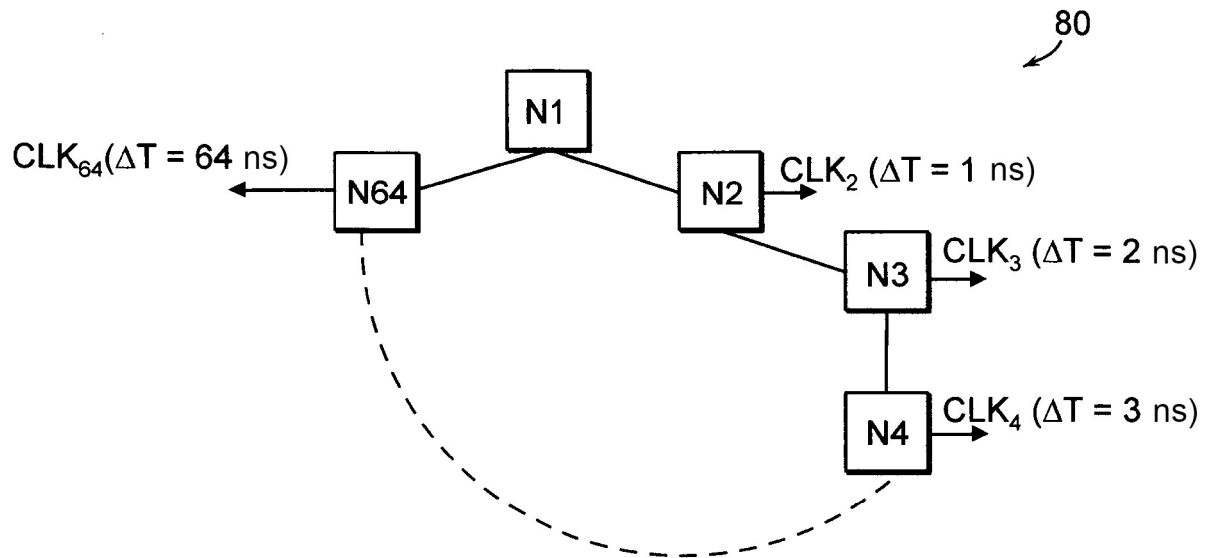


FIG. 11

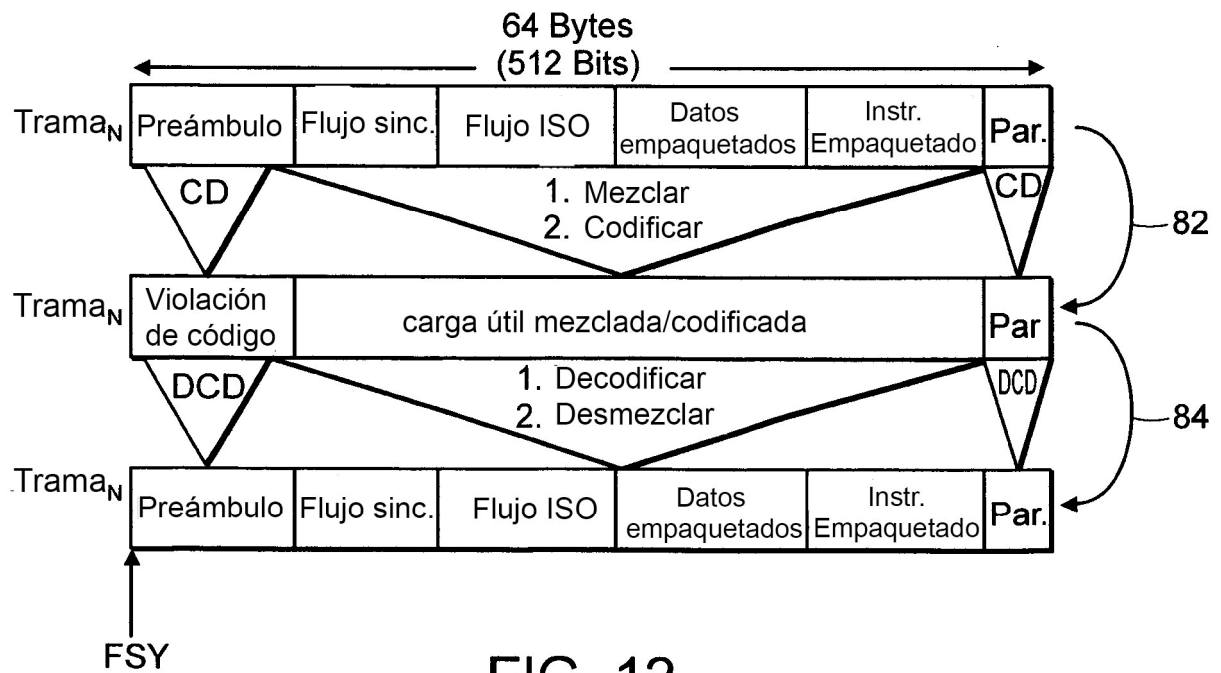


FIG. 12

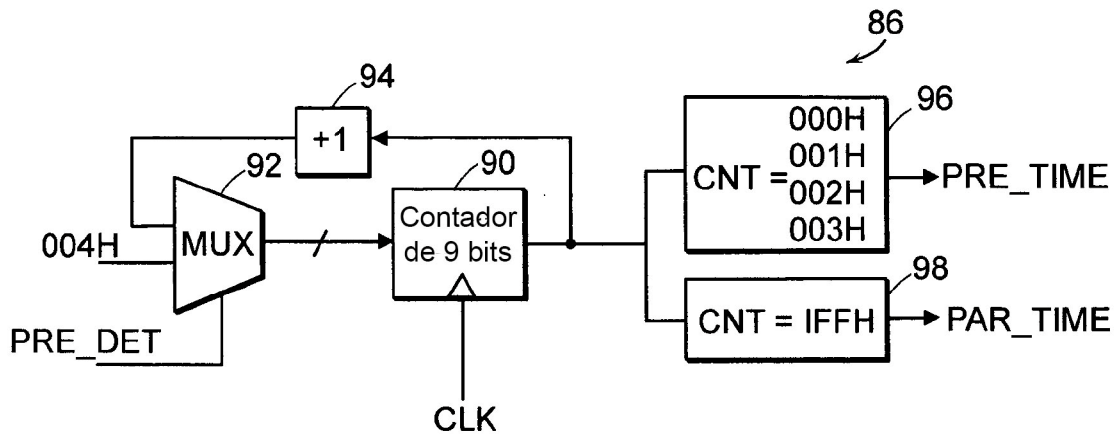


FIG. 13

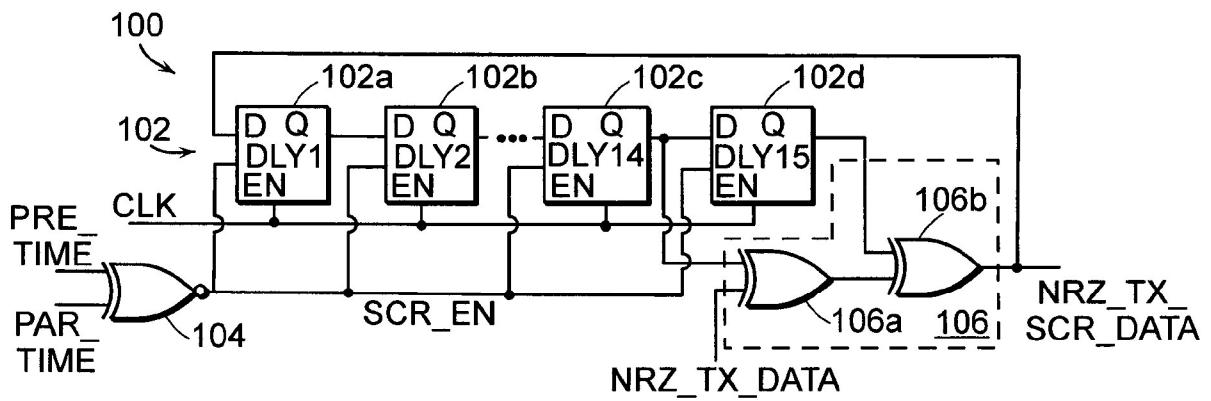


FIG. 14

NRZ_TX_DATA	DLY14	DLY15	NRZ_TX_SCR_DATA
0	0	0	0
1	0	0	1
0	1	0	1
1	1	0	0
0	0	1	1
1	0	1	0
0	1	1	0
1	1	1	1

FIG. 15

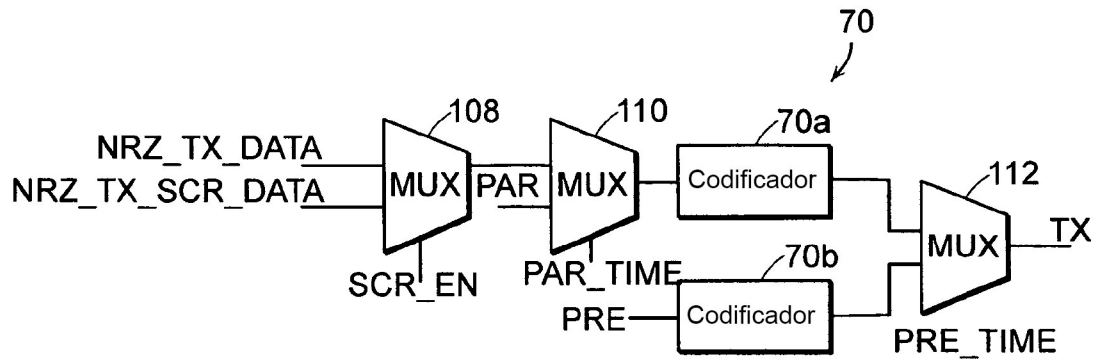


FIG. 16

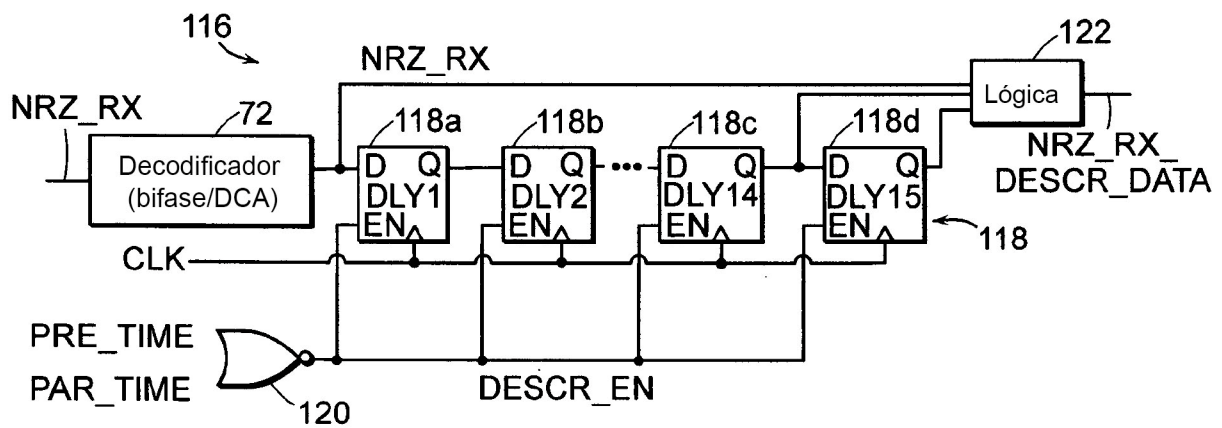


FIG. 17

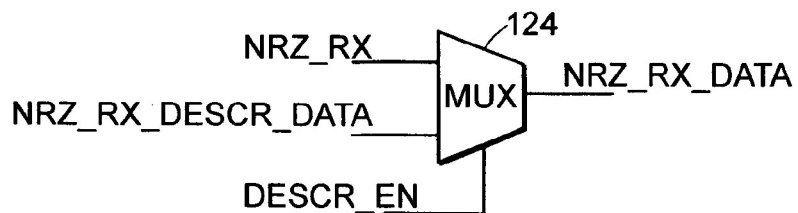


FIG. 18

