

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 639 994**

51 Int. Cl.:

H03M 13/11	(2006.01)
H03M 13/27	(2006.01)
H03M 13/35	(2006.01)
H04L 1/00	(2006.01)
H04L 27/34	(2006.01)
H04L 27/36	(2006.01)
H03M 13/03	(2006.01)
H03M 13/25	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **25.11.2008 PCT/JP2008/071312**
- 87 Fecha y número de publicación internacional: **04.06.2009 WO09069580**
- 96 Fecha de presentación y número de la solicitud europea: **25.11.2008 E 08853412 (8)**
- 97 Fecha y número de publicación de la concesión europea: **28.06.2017 EP 2214318**

54 Título: **Patrón de permutación de bits para BICM con códigos LDPC de tasa 2/3 y constelaciones 256QAM**

30 Prioridad:

26.11.2007 JP 2007304689
26.11.2007 JP 2007304690
18.03.2008 JP 2008070467
18.11.2008 WO PCT/JP2008/070960

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
31.10.2017

73 Titular/es:

SATURN LICENSING LLC (100.0%)
25 Madison Avenue
New York, US

72 Inventor/es:

YOKOKAWA, TAKASHI;
YAMAMOTO, MAKIKO;
OKADA, SATOSHI y
IKEGAYA, RYOJI

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 639 994 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Patrón de permutación de bits para BICM con códigos LDPC de tasa 2/3 y constelaciones 256QAM

Campo técnico

5 Esta invención se refiere a un aparato de procesamiento de datos y a un método de procesamiento de datos, así como a un aparato de codificación y un método de codificación, y particularmente a un aparato de procesamiento de datos y a un método de procesamiento de datos codificación, así como a un aparato de codificación y un método de codificación que pueden mejorar, por ejemplo, la tolerancia a errores.

Antecedentes de la técnica

10 El código LDPC (Comprobación de Paridad de Baja Densidad) tiene una capacidad de corrección de errores alta y, en los últimos años, comienza a ser adoptado ampliamente en sistemas de transmisión que incluyen sistemas de difusión digital por satélite tales como, por ejemplo, el sistema DVB (Difusión Digital de Vídeo)-S.2 usado en Europa (véase, por ejemplo, el Documento No de Patente 1). Además, se investiga adoptar el código LDPC también en difusión digital terrestre de próxima generación.

15 Se está encontrando por investigaciones recientes que un rendimiento próximo al límite de Shannon se proporciona por el código LDPC a medida que la longitud de código se aumenta de manera similar a un turbo código, etc. Además, dado que el código LDPC tiene una propiedad de que la distancia mínima aumenta en proporción a la longitud de código, tiene una característica de que tiene una característica de probabilidad de error de bloque superior. También es ventajoso que un denominado fenómeno de suelo de error que se observa en una decodificación característica del turbo código, etc. ocurre poco.

20 En lo siguiente, se describe de manera particular tal código LDPC como se ha descrito anteriormente. Se ha de señalar que el código LDPC es un código lineal, y aunque no es necesariamente un código bidimensional, la siguiente descripción se da bajo la suposición de que es un código bidimensional.

25 El código LDPC tiene la característica más significativa en que una matriz de comprobación de paridad que define el código LDPC es una matriz dispersa. Aquí, la matriz dispersa es una matriz en la que el número de aquellos elementos cuyo valor es "1" es muy pequeño (matriz en la que casi todos los elementos son 0).

La FIG. 1 muestra un ejemplo de una matriz de comprobación de paridad H de un código LDPC.

En la matriz de comprobación de paridad H de la FIG. 1, la ponderación de cada columna (ponderación de columna) (número de "1") (ponderación) es "3" y la ponderación de cada fila (ponderación de fila) es "6".

30 En la codificación por códigos LDPC (codificación LDPC), por ejemplo, una matriz de generador G se produce en base a una matriz de comprobación de paridad H y esta matriz de generador G se multiplica por bits de información bidimensional para producir una palabra de código (código LDPC).

35 En particular, un aparato de codificación que lleva a cabo codificación LDPC calcula primero una matriz de generador G que satisface una expresión $GH^T = 0$ junto con una matriz traspuesta H^T de una matriz de comprobación de paridad H. Aquí, si la matriz de generador G es una matriz K x N, entonces el aparato de codificación multiplica la matriz de generador G por una cadena de bits (vector u) de K bits de información para producir una palabra de código c (= uG) de N bits. La palabra de código (código LDPC) producida por el aparato de codificación se recibe por el lado de recepción a través de un camino de comunicación predeterminado.

40 La decodificación del código LDPC se puede llevar a cabo usando un algoritmo propuesto como decodificación probabilística (Decodificación Probabilística) por el Gallager, es decir, un algoritmo de paso de mensaje mediante propagación de creencias en un denominado gráfico de Tanner que incluye un nodo variable (también llamado nodo de mensaje) y un nodo de comprobación. En la siguiente descripción, cada uno del nodo variable y el nodo de comprobación se conoce adecuadamente simplemente como nodo.

La FIG. 2 ilustra un procedimiento de decodificación de un código LDPC.

45 Se ha de señalar que, en la siguiente descripción, un valor de número real donde la probabilidad "0" en el valor del bit de código de orden n de un código LDPC (una palabra código) recibido por el lado de recepción se representa en una relación de verosimilitud logarítmica se conoce adecuadamente como el valor de recepción u_{oi} . Además, un mensaje emitido desde un nodo de comprobación se representa por u_j y un mensaje emitido desde un nodo variable se representa por v_i .

50 Primero, en la decodificación de un código LDPC, como se ve en la FIG. 2, se recibe un código LDPC y un mensaje (mensaje de nodo de comprobación) u_j se inicializa a "0" y además una variable k que supone un número entero como un contador de procesos repetidos se inicializa a "0" en el paso S11, después de lo cual el procesamiento avanza al paso S12. En el paso S12, la operación matemática representada por una expresión (1) (operación matemática de nodo variable) se lleva a cabo en base al valor de recepción u_{oi} obtenido por la recepción del código

LDPC para determinar un mensaje (mensaje de nodo variable) v_i . Además, la operación matemática representada por una expresión (2) (operación matemática de nodo de comprobación) se lleva a cabo en base al mensaje v_i para determinar el mensaje u_j .

[Expresión 1]

$$v_i = u_{oi} + \sum_{j=1}^{d_v-1} u_j \quad \dots (1)$$

[Expresión 2]

$$\tanh\left(\frac{u_j}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{v_i}{2}\right) \quad \dots (2)$$

Aquí, d_v y d_c en la expresión (1) y la expresión (2) son parámetros que se pueden seleccionar arbitrariamente y representan el número de "1" en una dirección vertical (columna) y una dirección horizontal (fila) de la matriz de comprobación de paridad H. Por ejemplo, en el caso de un código (3, 6), $d_v = 3$ y $d_c = 6$.

Se ha de señalar que, en la operación matemática de nodo variable de la expresión (1) y la operación matemática de nodo de comprobación de la expresión (2), el intervalo de la operación matemática es 1 a $d_v - 1$ o 1 a $d_c - 1$ debido a que un mensaje introducido desde un borde (línea que interconecta un nodo variable y un nodo de comprobación) desde el cual se ha de emitir un mensaje no se hace un objeto de la operación matemática. Mientras tanto, la operación matemática de nodo de comprobación de la expresión (2) se lleva a cabo produciendo por adelantado una tabla de una función $R(v_1, v_2)$ representada por una expresión (3) definida por una salida con respecto a dos entradas v_1 y v_2 y usando la tabla sucesivamente (recursivamente) como se representa por una expresión (4).

[Expresión 3]

$$x = 2 \tanh^{-1} \{ \tanh(v_1/2) \tanh(v_2/2) \} = R(v_1, v_2) \quad \dots (3)$$

[Expresión 4]

$$u_j = R(v_1, R(v_2, R(v_3, \dots R(v_{d_c-2}, v_{d_c-1})))) \quad \dots (4)$$

En el paso S12, la variable k se aumenta en "1" además, y el procesamiento avanza al paso S13. En el paso S13, se decide si la variable k es mayor o no que un número de tiempo de decodificación repetido predeterminado C. Si se decide en el paso S13 que la variable k no es mayor que C, entonces el procesamiento vuelve al paso S12, y se repite a partir de entonces un procesamiento similar.

Por otra parte, si se decide en el paso S13 que la variable k es mayor que C, entonces el procesamiento avanza al paso S14, en el que se determina y emite un mensaje v_i como resultado de la decodificación a ser emitido finalmente llevando a cabo una operación matemática representada por una expresión (5), terminando por ello el proceso de codificación del código LDPC.

[Expresión 5]

$$v_i = u_{oi} + \sum_{j=1}^{d_v} u_j \quad \dots (5)$$

Aquí, la operación matemática de la expresión (5) se lleva a cabo, diferente de la operación matemática de nodo variable de la expresión (1), usando mensajes u_j de todos los bordes que conectan con el nodo variable.

La FIG. 3 ilustra un ejemplo de la matriz de comprobación de paridad H de un código LDPC (3, 6) (tasa de codificación: 1/2, longitud de código: 12).

En la matriz de comprobación de paridad H de la FIG. 3, la ponderación de una columna es 3 y la ponderación de una fila es 6 de manera similar que en la FIG. 1.

La FIG. 4 muestra un gráfico de Tanner de la matriz de comprobación de paridad H de la FIG. 3.

Aquí, en la FIG. 4, un nodo de comprobación se representa por "+", y un nodo variable se representa por "-". Un nodo de comprobación y un nodo variable corresponden a una fila y a una columna de la matriz de comprobación de paridad H, respectivamente. Una conexión entre un nodo de comprobación y un nodo variable es un borde y corresponde a "1" de un elemento de la matriz de comprobación de paridad.

En particular, donde el elemento en la fila de orden j de la columna de orden i de la matriz de comprobación de paridad es 1, el nodo variable de orden i (nodo de "-") desde arriba y el nodo de comprobación de orden j (nodo de "+") desde arriba se conectan por un borde. El borde representa que un bit de código que corresponde al nodo variable tiene una condición de restricción que corresponde al nodo de comprobación.

En el algoritmo suma producto (Algoritmo Suma Producto) que es un método de decodificación para códigos LDPC, la operación matemática de nodo variable y la cooperación matemática de nodo de comprobación se llevan a cabo repetitivamente.

La FIG. 5 ilustra la operación matemática de nodo variable llevada a cabo con respecto a un nodo variable.

Con respecto al nodo variable, un mensaje v_i que corresponde a un borde a ser calculado se determina por la operación matemática de nodo variable de la expresión (1) que usa los mensajes u_1 y u_2 desde los bordes restantes que conectan al nodo variable y el valor de recepción u_{oi} . También un mensaje que corresponde a cualquier otro borde se determina de manera similar.

La FIG. 6 ilustra la operación matemática de nodo de comprobación llevada a cabo en un nodo de comprobación.

Aquí, la operación matemática de nodo de comprobación de la expresión (2) se puede llevar a cabo reescribiendo la expresión (2) a una expresión (6) usando la relación de una expresión $a \times b = \exp\{\ln(|a|) + \ln(|b|)\} \times \text{sign}(a) \times \text{sign}(b)$. Se ha de señalar que $\text{sign}(x)$ es 1 donde $x \geq 0$ pero es -1 donde $x < 0$.

[Expresión 6]

$$\begin{aligned}
 u_j &= 2 \tanh^{-1} \left(\prod_{i=1}^{d_c-1} \tanh \left(\frac{v_i}{2} \right) \right) \\
 &= 2 \tanh^{-1} \left[\exp \left\{ \sum_{i=1}^{d_c-1} \ln \left(\left| \tanh \left(\frac{v_i}{2} \right) \right| \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign} \left(\tanh \left(\frac{v_i}{2} \right) \right) \right] \\
 &= 2 \tanh^{-1} \left[\exp \left\{ - \left(\sum_{i=1}^{d_c-1} - \ln \left(\left| \tanh \left(\frac{|v_i|}{2} \right) \right| \right) \right) \right\} \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \right] \dots (6)
 \end{aligned}$$

Además, si, donde $x \geq 0$, una función $\phi(x)$ se define como una expresión $\phi(x) = \ln(\tanh(x/2))$, entonces dado que se satisface una expresión $\phi^{-1}(x) = 2 \tanh^{-1}(e^x)$, la expresión (6) se puede transformar en una expresión (7).

[Expresión 7]

$$u_j = \phi^{-1} \left(\sum_{i=1}^{d_c-1} \phi(|v_i|) \right) \times \prod_{i=1}^{d_c-1} \text{sign}(v_i) \dots (7)$$

En el nodo de comprobación, la operación matemática de nodo de comprobación de la expresión (2) se lleva a cabo según la expresión (7).

En particular, en el nodo de comprobación, el mensaje u_j que corresponde al borde a ser calculado se determina por la operación matemática de nodo de comprobación de la expresión (7) usando los mensajes v_1, v_2, v_3, v_4 y v_5 de los bordes restantes que conectan al nodo de comprobación. También un mensaje que corresponde a cualquier otro borde se determina de una manera similar.

Se ha de señalar que la función $\phi(x)$ de la expresión (7) se puede representar también como $\phi(x) = \ln((e^x + 1) / (e^x - 1))$, y donde $x > 0$, $\phi(x) = \phi^{-1}(x)$. Cuando las funciones $\phi(x)$ y $\phi^{-1}(x)$ se incorporan en hardware, mientras que algunas veces se incorporan usando una LUT (Tabla de Búsqueda), tales LUT llegan a ser la misma LUT.

Documento No de Patente 1: DVB-S.2: ETSI EN 302 307 V1.1.2 (06-2006)

En un documento publicado por la Organización DVD: "tm3980r1.dvb-t2.v0.5.6.pdf", Difusión Digital de Vídeo, c/0 EBU-17A Ancienne route-CH-1218 Grand Saconnex, Ginebra, Suiza, 17 de marzo de 2008, se describe un sistema de difusión digital de vídeo.

5 En un documento titulado "Parity and Column Twist Bit Interleaver for DVB-T2 LDPC codes", de Takashi Yokokawa et al, publicado en Actas del 5^a Simposio Internacional sobre Turbocódigos y temas relacionados, IEEE, Piscataway, NJ, EE.UU., 1 de septiembre de 2008, páginas 123-127, se describe una disposición para proporcionar intercalado de paridad y de torsión de columna para códigos LDPC.

10 En un documento publicado por la Organización DVB titulado "T2_0195 Cft Response Rai-reply.pdf", DVB, Difusión Digital de Vídeo, c/0 EBU-17A Ancienne route-CH-1218 Grand Saconnex, Ginebra, Suiza, 4 de junio de 2007, se describe un sistema de difusión digital de vídeo.

En un documento publicado por la Organización DVB titulado "BitInt.SamsungM&I012.pdf", DVB, D Difusión Digital de Vídeo, c/0 EBU-17A Ancienne route-CH-1218 Grand Saconnex, Ginebra, Suiza, 15 de septiembre de 2007, se describe un sistema de difusión digital de vídeo.

15 En un documento publicado por la Organización DVB titulado "Digital Video Broadcasting (DVB)", Second generation framing structure, channel coding and modulation systems for Broadcasting, Interactive Services, News Gathering and other broadband satellite applications European Broadcasting Union Union Europeenne de Radio-Television EBUOER; ETSI EN 302 307", IEEE, Lis, Sophia Antipolis Cedex, Francia, val. BC, N° V1.1.2, 1 de junio de 2006, se describe un sistema de difusión digital de vídeo.

20 En un documento titulado "Bit-reliability Mapping in LDPC-coded Modulation systems", por Li Y et al, publicado en IEEE Communications Letters, IEEE Service Center, Piscataway, NJ, EE.UU., val. 9, n° 1, 1 de enero de 2005, páginas 1-03, se describe una disposición para mapeado de fiabilidad de bits en Sistemas de Modulación codificados LDPC.

Descripción de la invención

25 Problema técnico

El código LDPC está adoptado en DVB-S.2 que es un estándar para difusión digital por satélite y DVB-T.2 que es un estándar de difusión digital terrestre de próxima generación. Además, se planea adoptar el código LDPC en DVB-C.2 que es un estándar para difusión digital de CATV (Televisión por Cable) de próxima generación.

30 En difusión digital en cumplimiento con un estándar de DVB tal como DVB-S.2, un código LDPC se convierte (simboliza) en símbolos de modulación ortogonal (modulación digital) tal como QPSK (Modulación por Desplazamiento de Fase en Cuadratura), y los símbolos se mapean a puntos de señal y se transmiten.

En la simbolización de un código LDPC, la sustitución de bits de código del código LDPC se lleva a cabo en una unidad de dos o más bits, y los bits de código después de tal sustitución se determinan como bits de un símbolo.

35 Aunque se han propuesto diversos métodos como método para la sustitución de bits de código para la simbolización de un código LDPC, se demanda la propuesta de un método que mejore aún más la tolerancia a los diversos errores en comparación con los métodos ya propuestos.

Además, también con respecto al código LDPC en sí mismo, se demanda una propuesta de un código LDPC que mejore la tolerancia a errores en comparación con los códigos LDPC prescritos en los estándares DVB tales como el estándar DVB-S.2.

40 La presente invención se ha hecho teniendo en consideración tal situación como se ha descrito anteriormente y hace posible mejorar la tolerancia a errores.

Solución técnica

La invención se define en las reivindicaciones adjuntas.

45 Se ha de señalar que el aparato de procesamiento de datos y el aparato de codificación puede ser cada uno un aparato independiente o puede ser un bloque interno que configura un aparato.

Efecto ventajoso

Según la presente invención, se puede mejorar la tolerancia a errores.

Breve descripción de los dibujos

La FIG. 1 es una vista que ilustra una matriz de comprobación de paridad H de un código LDPC.

- La FIG. 2 es un diagrama de flujo que ilustra un procedimiento de decodificación de un código LDPC.
- La FIG. 3 es una vista que ilustra un ejemplo de una matriz de error de paridad de un código LDPC.
- La FIG. 4 es una vista que muestra un gráfico de Tanner de una matriz de comprobación de paridad.
- La FIG. 5 es una vista que muestra un nodo variable.
- 5 La FIG. 6 es una vista que muestra un nodo de comprobación.
- La FIG. 7 es una vista que muestra un ejemplo de una configuración de una realización de un sistema de transmisión al cual se aplica la presente invención.
- La FIG. 8 es un diagrama de bloques que muestra un ejemplo de una configuración de un aparato de transmisión 11.
- 10 La FIG. 9 es una vista que ilustra una matriz de comprobación de paridad.
- La FIG. 10 es una vista que ilustra una matriz de paridad.
- La FIG. 11 es una vista que ilustra una matriz de comprobación de paridad de un código LDPC y ponderaciones de columnas prescritas en el estándar DVB-S.2.
- La FIG. 12 es una vista que ilustra una disposición de punto de señal de 16QAM.
- 15 La FIG. 13 es una vista que ilustra una disposición de punto de señal de 64QAM.
- La FIG. 14 es una vista que ilustra una disposición de punto de señal de 64QAM.
- La FIG. 15 es una vista que ilustra una disposición de punto de señal de 64QAM.
- La FIG. 16 es una vista que ilustra un procesamiento de un demultiplexor 25.
- La FIG. 17 es una vista que ilustra un procesamiento del demultiplexor 25
- 20 La FIG. 18 es una vista que muestra un gráfico de Tanner con respecto a decodificación de un código LDPC.
- La FIG. 19 es una vista que muestra una matriz de paridad H_T que tiene una estructura de escalera y un gráfico de Tanner que corresponde a la matriz de paridad H_T .
- La FIG. 20 es una vista que muestra la matriz de paridad H_T de una matriz de comprobación de paridad H que corresponde al código LDPC después de intercalado de paridad.
- 25 La FIG. 21 es una vista que ilustra una matriz de comprobación de paridad de conversión.
- La FIG. 22 es una vista que ilustra un procesamiento de un intercalador de torsión de columna 24.
- La FIG. 23 es una vista que ilustra números de columna de una memoria 31 necesarios para el intercalado de torsión de columna y direcciones de posiciones de inicio de escritura.
- 30 La FIG. 24 es una vista que ilustra números de columna de la memoria 31 necesarios para el intercalado de torsión de columna y direcciones de posiciones de inicio de escritura.
- La FIG. 25 es un diagrama de flujo que ilustra un proceso de transmisión.
- La FIG. 26 es una vista que muestra un modelo de un camino de comunicación adoptado en una simulación.
- La FIG. 27 es una vista que ilustra una relación entre una tasa de error obtenida mediante la simulación y una frecuencia Doppler f_d de una fluctuación.
- 35 La FIG. 28 es una vista que ilustra una relación entre una tasa de error obtenida mediante la simulación y una frecuencia Doppler f_d de una fluctuación.
- La FIG. 29 es un diagrama de bloques que muestra un ejemplo de una configuración de una sección de codificación LDPC 21.
- La FIG. 30 es un diagrama de flujo que ilustra un proceso de sección de codificación LDPC.
- 40 La FIG. 31 es una vista que ilustra una tabla de valores iniciales de matriz de comprobación de paridad de una tasa de codificación de 2/3 y una longitud de código de 16.200.

de codificación de 9/10 y una longitud de código de 64.800.

La FIG. 56 es una vista que ilustra la tabla de valores iniciales de matriz de comprobación de paridad de la tasa de codificación de 9/10 y la longitud de código de 64.800.

5 La FIG. 57 es una vista que ilustra la tabla de valores iniciales de matriz de comprobación de paridad de la tasa de codificación de 9/10 y la longitud de código de 64.800.

La FIG. 58 es una vista que ilustra la tabla de valores iniciales de matriz de comprobación de paridad de la tasa de codificación de 9/10 y la longitud de código de 64.800.

La FIG. 59 es una vista que ilustra un método de determinación de una matriz de comprobación de paridad H de una tabla inicial de matriz de comprobación de paridad.

10 La FIG. 60 es una vista que ilustra un proceso de sustitución según los métodos existentes.

La FIG. 61 es una vista que ilustra un proceso de sustitución según los métodos existentes.

La FIG. 62 es una vista que ilustra grupos de bits de código y grupos de bits de símbolos donde un código LDPC que tiene una longitud de código de 64.800 y una tasa de codificación de 2/3 se modula por 256QAM y el múltiplo b es 2.

15 La FIG. 63 es una vista que ilustra una regla de asignación donde un código LDPC que tiene una longitud de código de 64.800 y una tasa de codificación de 2/3 se modula por 256QAM y el múltiplo b es 2.

La FIG. 64 es una vista que ilustra una sustitución de bits de código según la regla de asignación donde un código LDPC que tiene una longitud de código de 64.800 y una tasa de codificación de 2/3 se modula por 256QAM y el múltiplo b es 2.

20 La FIG. 65 es una vista que ilustra las BER donde un proceso de sustitución de un nuevo método de sustitución y donde se lleva a cabo un proceso de sustitución de un método existente.

La FIG. 66 es una vista que ilustra un ejemplo de una tabla de valores iniciales de matriz de comprobación de paridad para un código LDPC cuya E_b/N_0 como valor de umbral de rendimiento es mejor que el de un código estándar.

25 La FIG. 67 es una vista que ilustra el ejemplo de la tabla de valores iniciales de matriz de comprobación de paridad para un código LDPC cuya E_b/N_0 como valor de umbral de rendimiento es mejor que el del código estándar.

30 La FIG. 68 es una vista que ilustra el ejemplo de la tabla de valores iniciales de matriz de comprobación de paridad para un código LDPC cuya E_b/N_0 como valor de umbral de rendimiento es mejor que el del código estándar.

La FIG. 69 es una vista que ilustra relaciones de la E_s/N_0 y de la BER con respecto al código estándar y un código propuesto.

La FIG. 70 es un diagrama de bloques que muestra un ejemplo de una configuración de un aparato de recepción 12.

35 La FIG. 71 es un diagrama de flujo que ilustra un proceso de recepción.

La FIG. 72 es una vista que ilustra un ejemplo de una matriz de comprobación de paridad de un código LDPC.

La FIG. 73 es una vista que ilustra una matriz (matriz de comprobación de paridad de conversión) obtenida aplicando sustitución de filas y sustitución de columnas a una matriz de comprobación de paridad.

40 La FIG. 74 es una vista que ilustra una matriz de comprobación de paridad de conversión dividida en una unidad de 5 x 5 bits.

La FIG. 75 es un diagrama de bloques que muestra un ejemplo de una configuración de un aparato de decodificación en el que se lleva a cabo colectivamente una operación matemática de nodo para P nodos.

45 La FIG. 76 es un diagrama de bloques que muestra un ejemplo de una configuración de una sección de decodificación LDPC 56.

La FIG. 77 es un diagrama de bloques que muestra un ejemplo de una configuración de una realización de un

partir de una tabla inicial de matriz de comprobación de paridad.

La FIG. 125 es una vista que ilustra un ejemplo de sustitución de bits de código.

La FIG. 126 es una vista que ilustra otro ejemplo de sustitución de bits de código.

La FIG. 127 es una vista que ilustra un ejemplo adicional de sustitución de bits de código.

5 La FIG. 128 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

La FIG. 129 es una vista que ilustra un resultado de simulación de la BER.

La FIG. 130 es una vista que ilustra otro resultado de simulación de la BER.

La FIG. 131 es una vista que ilustra un resultado de simulación adicional de la BER.

La FIG. 132 es una vista que ilustra aún un resultado de simulación de la BER.

10 La FIG. 133 es una vista que ilustra un ejemplo de sustitución de bits de código.

La FIG. 134 es una vista que ilustra otro ejemplo de sustitución de bits de código.

La FIG. 135 es una vista que ilustra un ejemplo adicional de sustitución de bits de código.

La FIG. 136 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

La FIG. 137 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

15 La FIG. 138 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

La FIG. 139 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

La FIG. 140 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

La FIG. 141 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

La FIG. 142 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

20 La FIG. 143 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

La FIG. 144 es una vista que ilustra un ejemplo aún adicional de sustitución de bits de código.

La FIG. 145 es una vista que ilustra un procesamiento de un multiplexor 54 que compone un desintercalador 53.

La FIG. 146 es una vista que ilustra un procesamiento de un desintercalador de torsión de columna 55.

La FIG. 147 es un diagrama de bloques que muestra otro ejemplo de una configuración del aparato de recepción 12.

25 La FIG. 148 es un diagrama de bloques que muestra un primer ejemplo de una configuración de un sistema de recepción que se puede aplicar al aparato de recepción 12.

La FIG. 149 es un diagrama de bloques que muestra un segundo ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.

30 La FIG. 150 es un diagrama de bloques que muestra un tercer ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.

La FIG. 151 es una vista que ilustra grupos de bits de código y grupos de bits de símbolo donde un código propuesto que tiene una longitud de código de 64.800 y una tasa de codificación de 2/3 se modula por 256QAM y el múltiplo b es 2.

35 La FIG. 152 es una vista que ilustra una regla de asignación donde el código propuesto que tiene una longitud de código de 64.800 y una tasa de codificación de 2/3 se modula por 256QAM y el múltiplo b es 2.

La FIG. 153 es una vista que ilustra una sustitución de bits de código según la regla de asignación donde el código propuesto que tiene una longitud de código de 64.800 y una tasa de codificación de 2/3 se modula por 256QAM y el múltiplo b es 2.

40 La FIG. 154 es una vista que ilustra la BER donde se lleva a cabo un proceso de sustitución de un método adecuado para el código propuesto y donde se lleva a cabo un método de sustitución de un método existente para un código estándar.

La FIG. 155 es una vista que ilustra la BER en un caso en donde se lleva a cabo un proceso de sustitución del método adecuado para el código propuesto y en otro caso en donde se lleva a cabo un proceso de sustitución de un método existente.

Explicación de los símbolos de referencia

5 11 Aparato de transmisión, 12 Aparato de recepción, 21 Sección de codificación LDPC, 22 Intercalador de bits, 23 Intercalador de paridad, 24 Intercalador de torsión de columna, 25 Demultiplexor, 26 Sección de correspondencia, 27 Sección de modulación ortogonal, 31 Memoria, 32 Sección de sustitución, 51 Sección de demodulación ortogonal, 52 Sección de descorrespondencia, 53 Desintercalador, 54 Multiplexor, 55 Desintercalador de torsión de columna, 56 Sección de decodificación LDPC, 300 Memoria de almacenamiento de datos de borde, 301 Selector, 302 Sección de cálculo de nodo de comprobación, 303 Circuito de desplazamiento cíclico, 304 Memoria de almacenamiento de datos de borde, 305 Selector, 306 Memoria de datos de recepción, 307 Sección de cálculo de nodo variable, 308 Circuito de desplazamiento cíclico, 309 Sección de cálculo de palabra decodificada, 310 Sección de reordenación de datos de recepción, 311 Sección de reordenación de datos decodificados, 601 Bloque de procesamiento de codificación, 602 Bloque de almacenamiento, 611 Parte de ajuste de tasa de codificación, 612 Parte de lectura de tabla de valores iniciales, 613 Parte de producción de matriz de comprobación de paridad, 614 Parte de lectura de bit de información, 615 Parte de operación matemática de paridad de codificación, 616 Parte de control, 701 Bus, 702 CPU, 703 ROM, 704, RAM, 705 Disco duro, 706 Sección de salida, 707 Sección de entrada, 708 Sección de comunicación, 709 Unidad, 710 Interfaz de entrada/salida, 711 Medio de grabación extraíble, 1001 Sección de sustitución inversa, 1002 Memoria, 1011 Desintercalador de paridad, 1021 Sección de decodificación LDPC, 1101 Sección de adquisición, 1101 Sección de procesamiento de decodificación de línea de transmisión, 1103 Sección de procesamiento de decodificación de fuente de información, 1111 Sección de salida, 1121 Sección de grabación.

Mejor modo para llevar a cabo la invención

La FIG. 7 muestra un ejemplo de una configuración de una realización de un sistema de transmisión al cual se aplica la presente invención (el término sistema significa un agregado lógico de una pluralidad de aparatos con independencia de si el aparato de componente individual se incluye o no en el mismo alojamiento).

Con referencia a la FIG. 7, el sistema de transmisión incluye un aparato de transmisión 11 y un aparato de recepción 12.

El aparato de transmisión 11 lleva a cabo, por ejemplo, la transmisión (difusión) (transferencia) de un programa de difusión de televisión. Es decir, el aparato de transmisión 11, por ejemplo, codifica datos de objeto que son un objeto de transmisión tal como datos de imagen, datos de sonido, etc. como un programa de difusión de televisión en un código LDPC y transmite los datos resultantes a través, por ejemplo, de un camino de comunicación 13 tal como un canal por satélite, ondas terrestres y red de CATV.

El aparato de recepción 12 es, por ejemplo, un sintonizador, un receptor de televisión o un STB (Decodificador) para recibir un programa de difusión de televisión o PC (Ordenador Personal) para recibir IPTV (Televisión de Protocolo de Internet), y recibe códigos LDPC transmitidos al mismo desde el aparato de transmisión 11 a través de un camino de comunicación 13, decodifica los códigos LDPC a datos de objeto y emite los datos de objeto.

Aquí, se ha sabido que los códigos LDPC utilizados en el sistema de transmisión de la FIG. 7 presentan una capacidad muy alta en un camino de comunicación AWGN (Ruido Blanco Gaussiano Aditivo).

No obstante, en el camino de comunicación 13, tal como ondas terrestres, ocurren algunas veces errores de ráfaga o borrado. Por ejemplo, en un sistema OFDM (Multiplexación por División de Frecuencia Ortogonal), en un entorno multitrayecto en donde la D/U (Relación Deseado a Indeseado) es 0 dB (potencia de Indeseado = eco es igual a la potencia de Deseado = camino principal), la potencia de un símbolo particular llega a ser en cero (borrado) en respuesta a un retardo de un eco (caminos distintos del camino principal).

Además, también en una fluctuación (camino de comunicación en el que se añade un eco cuyo retardo es cero y al que se aplica una frecuencia Doppler (doppler)), donde la D/U es 0 dB, ocurre un caso en donde la potencia de un símbolo OFDM entero en un punto específico de tiempo se reduce a cero (borrado) por la frecuencia Doppler.

Además, a partir de una situación de líneas de cableado en el lado del aparato de recepción 12 desde una sección de recepción (no mostrada) tal como una antena o similar para recibir una señal del aparato de transmisión 11 al aparato de recepción 12 o de la inestabilidad de la fuente de alimentación al aparato de recepción 12, aparecen algunas veces errores de ráfaga.

Mientras tanto, en la decodificación de códigos LDPC, dado que la operación matemática de nodo variable de la expresión (1) en donde la adición de (valores de recepción u_{oi} de) bits de código de un

código LDPC como se ve en la FIG. 5 descrita anteriormente se lleva a cabo en una columna de la matriz de comprobación de paridad H y por lo tanto un nodo variable que corresponde a un bit de código del código LDPC, si ocurre un error con el bit de código usado para la operación matemática de nodo variable, entonces cae la precisión de un mensaje a ser determinado.

- 5 Entonces, dado que, en la decodificación del código LDPC, el mensaje determinado en el nodo variable que se conecta al nodo de comprobación se usa para llevar a cabo la operación matemática de nodo de comprobación de la expresión (7) en el nodo de comprobación, si el número de nodos de comprobación donde (bits de código del código LDPC que corresponde a) una pluralidad de nodos variables conectados a los mismos presentan un error (incluyendo borrado) al mismo tiempo llega a ser grande, entonces se deteriora el rendimiento de la decodificación.

10 Por ejemplo, si dos o más de los nodos variables conectados al nodo de comprobación sufren de borrado al mismo tiempo, el nodo de comprobación devuelve un mensaje de que la probabilidad de que el valor pueda ser 0 y la probabilidad de que el valor pueda ser 1 son iguales entre sí para todos los nodos variables. En este caso, aquellos nodos de comprobación a los que el mensaje de las probabilidades iguales no contribuye a un ciclo de procesamiento de decodificación (un conjunto de operación matemática de nodo variable y de operación matemática de nodo de comprobación), y como resultado, se requiere un número aumentado de veces de repetición del procesamiento de decodificación. Por consiguiente, se deteriora el rendimiento de la decodificación. Además, aumenta el consumo de potencia de un aparato de recepción 12 que lleva a cabo la decodificación del código LDPC.

20 Por consiguiente, el sistema de transmisión mostrado en la Fig. 7 está configurado de manera que la tolerancia a errores de ráfaga o borrado se mejora mientras que se mantiene el rendimiento en un camino de comunicación AWGN.

La FIG. 8 muestra un ejemplo de una configuración del aparato de transmisión 11 de la FIG. 7.

25 Con referencia a la FIG. 8, el aparato de transmisión 11 incluye una sección de codificación LDPC 21, un intercalador de bits 22, una sección de correspondencia 26 y una sección de modulación ortogonal 27.

A la sección de codificación LDPC 21, se suministran datos de objeto.

30 La sección de codificación LDPC 21 lleva a cabo codificación LDPC de los datos de objeto suministrados a la misma según una matriz de comprobación de paridad en la que una matriz de paridad que es una parte que corresponde a los bits de paridad de un código LDPC tiene una estructura de escalera y emite un código LDPC en donde los datos de objeto son bits de información.

En particular, la sección de codificación LDPC 21 lleva a cabo codificación LDPC de codificación de los datos de objeto en un código LDPC prescrito, por ejemplo, en los estándares DVB-S.2 o DVB-T.2 y emite un código LDPC obtenido como resultado de la codificación LDPC.

35 Aquí, en el estándar DVB-T.2, se programa para adoptar los códigos LDPC prescritos en el estándar DVB-S.2. El código LDPC prescrito en el estándar DVB-S.2 es un código IRA (Acumulación de Repetición Irregular), y la matriz de paridad en la matriz de comprobación de paridad del código LDPC tiene una estructura de escalera. La matriz de paridad y la estructura de escalera se describen en lo sucesivo. Además, el código IRA se describe, por ejemplo, en "Irregular Repeat-Accumulate Codes", H. Jin., A. Khandekar, y R. J. McEliece, en las Actas del 2º Simposio Internacional sobre Turbo códigos y Temas Relacionados, páginas 1-8, septiembre de 2000.

40 El código LDPC emitido desde la sección de codificación LDPC 21 se suministra al intercalador de bits 22.

El intercalador de bits 22 es un aparato de procesamiento de datos para intercalar datos e incluye un intercalador de paridad 23, un intercalador de torsión de columna 24 y un demultiplexor (DEMUX) 25.

45 El intercalador de paridad 23 lleva a cabo el intercalado de paridad de intercalado de bits de paridad del código LDPC desde la sección de codificación LDPC 21 a posiciones de otros bits de paridad y suministra el código LDPC después del intercalado de paridad al intercalador de torsión de columna 24.

El intercalador de torsión de columna 24 lleva a cabo intercalado de torsión de columna para el código LDPC desde el intercalador de paridad 23 y suministra el código LDPC después del intercalado de torsión de columna al demultiplexor 25.

50 En particular, el código LDPC se transmite después de que se mapean dos o más bits de código del mismo a puntos de señal que representan un símbolo de modulación ortogonal por la sección de correspondencia 26 descrita en lo sucesivo.

- El intercalador de torsión de columna 24 lleva a cabo, por ejemplo, tal intercalado de torsión de columna como se describe en lo sucesivo como un proceso de reordenación de bits de código del código LDPC desde el intercalador de paridad 23 de manera que una pluralidad de bits de código del código LDPC que corresponde al valor 1 incluido en una fila arbitraria de la matriz de comprobación de paridad usada en la sección de codificación LDPC 21 no se incluyen en un símbolo.
- El demultiplexor 25 lleva a cabo un proceso de sustitución de las posiciones de dos o más bits de código del código LDPC (que ha de ser un símbolo) desde el intercalador de torsión de columna 24 para obtener un código LDPC cuya tolerancia a AWGN se refuerza. Entonces, el demultiplexor 25 suministra dos o más bits de código de un código LDPC obtenido por el proceso de sustitución como un símbolo a la sección de correspondencia 26.
- La sección de correspondencia 26 mapea el símbolo desde el demultiplexor 25 a puntos de señal determinados por un método de modulación de modulación ortogonal (modulación de múltiples valores) llevada a cabo por la sección de modulación ortogonal 27.
- En particular, la sección de correspondencia 26 mapea el código LDPC desde el demultiplexor 25 a un punto de señal determinado por el sistema de modulación, en un plano IQ (constelación IQ) definido por un eje I representativo de una componente I que está en fase con una portadora y un eje Q representativo de una componente Q que es ortogonal a la onda portadora.
- Aquí, como el método de modulación de modulación ortogonal llevada a cabo por la sección de modulación ortogonal 27, están disponibles métodos de modulación que incluyen, por ejemplo, un método de modulación definido en los estándares DVB-T, es decir, por ejemplo, QPSK (Modulación por Desplazamiento de Fase en Cuadratura), 16QAM (Modulación de Amplitud en Cuadratura), 64QAM, 256QAM, 1024QAM, 4096QAM, etc. Qué método de modulación se debería usar para modulación ortogonal a ser llevada a cabo por la sección de modulación ortogonal 27 se ajusta por adelantado, por ejemplo, según una operación del aparato de transmisión 11 por un operador. Se ha de señalar que la sección de modulación ortogonal 27 puede llevar a cabo alguna otra modulación ortogonal tal como, por ejemplo, 4PAM (Modulación de Amplitud de Pulsos).
- El símbolo mapeado a un punto de señal por la sección de correspondencia 26 se suministra a la sección de modulación ortogonal 27.
- La sección de modulación ortogonal 27 lleva a cabo modulación ortogonal de una portadora según (el símbolo mapeado a) el punto de señal de la sección de correspondencia 26 y transmite una señal de modulación obtenida mediante la modulación ortogonal a través del camino de comunicación 13 (FIG. 7).
- Ahora, la FIG. 9 ilustra una matriz de comprobación de paridad H usada en codificación LDPC por la sección de codificación LDPC 21 de la FIG. 8.
- La matriz de comprobación de paridad H tiene una estructura LDGM (Matriz de Generación de Baja Densidad) y se puede representar mediante una expresión $H = [H_A|H_T]$ a partir de una matriz de información H_A de una parte que corresponde a bits de información y un matriz de paridad H_T que corresponde a bits de paridad de entre bits de código del código LDPC (matriz en la que los elementos de la matriz de información H_A son elementos en el lado izquierdo y los elementos de la matriz de paridad H_T son elementos en el lado derecho).
- Aquí, el número de bits de los bits de información y el número de bits de los bits de paridad de entre los bits de código de un código LDPC (una palabra de código) se conocen como longitud de información K y longitud de paridad M, y el número de bits de los bits de código de un código LDPC se conoce como longitud de código N (= K + M).
- La longitud de información K y la longitud de paridad M con respecto a un código LDPC de una cierta longitud de código N dependen de la tasa de codificación. Mientras tanto, la matriz de comprobación de paridad H es una matriz cuyas filas x columnas son M x N. Entonces, la matriz de información H_A es una matriz M x K y la matriz de paridad H_T es una matriz M x M.
- La FIG. 10 ilustra la matriz de paridad H_T de la matriz de comprobación de paridad H de un código LDPC prescrito en el estándar DVB-S.2 (y DVB-T.2).
- La matriz de paridad H_T de la matriz de comprobación de paridad H del código LDPC prescrito en el estándar DVB-S.2 tiene una estructura de escalera en donde los elementos del valor 1 se disponen como una escalera como se ve en la FIG. 10. La ponderación de fila de la matriz de paridad H_T es 1 con respecto a la primera fila, pero es 2 con respecto a todas las filas restantes. Mientras tanto, la ponderación de columna es 1 con respecto a la última fila, pero es 2 con respecto a todas las columnas restantes.
- Como se ha descrito anteriormente, el código LDPC de la matriz de comprobación de paridad H en donde la matriz de paridad H_T tiene una estructura de escalera se puede producir fácilmente usando la matriz de comprobación de paridad H.

En particular, un código LDPC (una palabra de código) se representa por un vector de fila c y un vector de columna obtenido trasponiendo el vector de fila se representa por c^T . Además, una parte de los bits de información de dentro del vector de fila c que es un código LDPC se representa por un vector de fila A y una parte de bits de paridad se representa por un vector de fila T .

5 Aquí, en este caso, el vector de fila c se puede presentar por una expresión $c = [A|T]$ a partir del vector de fila A como bits de información y el vector de fila T como bits de paridad (vector de fila en donde los elementos del vector de fila A son elementos en el lado izquierdo y los elementos del vector de fila T son elementos en el lado derecho).

Es necesario para la matriz de comprobación de paridad H y el vector de fila $c = [A|T]$ como el código LDPC satisfacer una expresión $Hc^T = 0$, y donde la matriz de paridad H_T de la matriz de comprobación de paridad $H = [H_A|H_T]$ tiene tal estructura de escalera como se muestra en la FIG. 10, el vector de fila T como bits de paridad que forma el vector de fila $c = [A|T]$ que satisface la expresión $Hc^T = 0$ se puede determinar secuencialmente ajustando sucesivamente los elementos en las filas comenzando con los elementos en la primera fila del vector de columna Hc^T en la expresión $Hc^T = 0$ a cero.

15 La FIG. 11 ilustra la matriz de comprobación de paridad H de un código LDPC y ponderaciones de columna definidas en el estándar DVB-S.2 (y DVB-T.2).

En particular, A de la FIG. 11 ilustra la matriz de comprobación de paridad H de un código LDPC definido en el estándar DVB-S.2.

Con respecto a las columnas KX de la primera columna de la matriz de comprobación de paridad H , la ponderación de columna es X ; con respecto a columnas $K3$ sucesivas, la ponderación es 3 ; con respecto a columnas $M-1$ sucesivas, la ponderación de columna es 2 ; y con respecto a la última columna, la ponderación de columna es 1 .

Aquí, $KX + K3 + M-1 + 1$ es igual a la longitud de código N .

En el estándar DVB-S.2, los números de columna KX , $K3$ y M (longitud de paridad) así como la ponderación de columna X están prescritos de tal manera como se ve en B de la FIG. 11.

25 En particular, B de la FIG. 11 ilustra los números de columna KX , $K3$ y M , así como la ponderación de columna X con respecto a diferentes tasas de codificación de los códigos LDPC prescritos en el estándar DVB-S.2.

En el estándar DVB-S.2, están prescritos los códigos LDPC de las longitudes de código N de 64.800 bits y 16.200 bits.

30 Y como se ve en B de la FIG. 11, para el código LDPC cuya longitud de código N es 64.800 bits, están prescritas 11 tasas de codificación (tasas nominales) $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ y $9/10$, y para el código LDPC cuya longitud de código N es 16.200 bits, están prescritas 10 tasas de codificación $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$ y $8/9$.

Con respecto a los códigos LDPC, se sabe que los bits de código que corresponden a una columna de la matriz de comprobación de paridad H que tiene una ponderación de columna más alta presenta una tasa de error inferior.

35 La matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 e ilustrada en la FIG.11 tiene una tendencia de que una columna más cercana al lado de la cabecera (lado izquierdo) tenga una ponderación de columna más alta. Por consiguiente, el código LDPC que corresponde a la matriz de comprobación de paridad H tiene una tendencia de que un bit de código más cercano a la cabecera es mayor en tolerancia a un error (tiene una tolerancia más alta a un error) y un bit de código más cercano a la cola es menor en tolerancia a un error.

40 La FIG. 12 ilustra una disposición de (puntos de señal que corresponden a) 16 símbolos en el plano IQ donde se lleva a cabo 16 QAM por la sección de modulación ortogonal 27 de la FIG. 8.

En particular, A de la FIG. 12 ilustra símbolos de 16QAM.

En 16QAM, un símbolo representa 4 bits, y existen $16 (= 2^4)$ símbolos. Entonces, los 16 símbolos se disponen de manera que forman una forma cuadrada de 4×4 símbolos en la dirección I x la dirección Q centrada en el origen del plano IQ.

45 Ahora, si el bit de orden $i+1$ a partir del bit más significativo de la cadena de bits representada por un símbolo se representa como el bit y_i , entonces 4 bits representados por un símbolo de 16QAM se pueden representar como los bits y_0 , y_1 , y_2 e y_3 en orden comenzando con el bit más significativo. Donde el método de modulación es 16QAM, 4 bits de código del código LDPC se ajustan (simbolizan) como un símbolo (valor de símbolo) de los 4 bits y_0 a y_3 .

50 B de la FIG. 12 indica los límites de bit con respecto a los 4 bits (en lo sucesivo, bit se conoce también como bit de símbolo) y_0 a y_3 representados por el símbolo del 16QAM.

Aquí, un límite de bit con respecto a un bit de símbolo y_i (en la FIG. 12, $i = 0, 1, 2, 3$) significa un límite entre un

símbolo cuyo bit y_i es 0 y otro símbolo cuyo bit y_i es 1.

Como se ve en B de la FIG. 12, en cuanto al bit de símbolo más significativo y_0 de entre los 4 bits de símbolo y_0 a y_3 representados por el símbolo de 16QAM, solamente una ubicación del eje Q en el plano IQ hace un límite de bit, y en cuanto al segundo bit de símbolo y_1 (segundo a partir del bit más significativo), solamente una ubicación del eje I en el plano IQ hace un límite de bit.

Además, en cuanto al tercer bit de símbolo y_3 , cada una de dos ubicaciones entre la primera y la segunda columnas y entre la tercera y cuarta columnas de la izquierda de los 4 x 4 símbolos hace un límite.

Además, en cuanto al cuarto bit de símbolo y_3 , cada una de dos ubicaciones entre la primera y la segunda filas y entre la tercera y cuarta filas de los 4 x 4 símbolos hace un límite.

El bit de símbolo y_1 representado por un símbolo es menos probable que llegue a ser erróneo y llega a ser menor en probabilidad de error en la medida que el número de símbolos separados lejos de un límite de bit aumenta, pero es más probable que llegue a ser erróneo y llegue a ser más alto en probabilidad de error en la medida que aumenta el número de símbolos colocados más cerca de un límite de bit.

Si un bit que es menos probable que llegue a ser erróneo (es tolerante a un error) se conoce como "bit fuerte" pero un bit que es más probable que llegue a ser erróneo (es menos tolerante a un error) se conoce como "bit débil", entonces en cuanto a los 4 bits de símbolo y_0 a y_3 representados por símbolos de 16QAM, el bit de símbolo más significativo y_0 y el segundo bit de símbolo y_1 son bits fuertes y el tercer bit de símbolo y_2 y el cuarto bit y_3 son bits débiles.

Las FIG. 13 a 15 ilustran disposiciones de (puntos de señal que corresponden a) 64 símbolos en el plano IQ donde se lleva a cabo 64QAM por la sección de modulación ortogonal 27 de la FIG. 8.

En 64QAM, un símbolo representa 6 bits, y existen 64 ($= 2^6$) símbolos. Entonces, los 64 símbolos se disponen de manera que hacen un cuadrado de 8 x 8 símbolos en la dirección I x la dirección Q centrado en el origen del plano IQ.

Los bits de símbolo representados por un símbolo de 64QAM se pueden representar como los bits y_0, y_1, y_2, y_3, y_4 e y_5 en orden comenzando con el bit más significativo. Donde el método de modulación es 64QAM, 6 bits de código del código LDPC se ajustan (simbolizan) como a un símbolo (valor de símbolo) de los 6 bits y_0 a y_5 .

Aquí, la FIG. 13 indica los límites de bit con respecto al bit de símbolo más significativo y_0 y al segundo bit de símbolo y_1 de entre los bits de símbolo y_0 a y_5 de símbolos de 64QAM; la FIG. 14 indica los límites de bit con respecto al tercer bit de símbolo y_2 y el cuarto bit de símbolo y_3 ; y la FIG. 15 indica los límites de bit con respecto al quinto bit de símbolo y_4 y el sexto bit de símbolo y_5 .

Como se ve en la FIG. 13, el número de límites de bits con respecto a cada uno del bit de símbolo más significativo y_0 y el segundo bit de símbolo y_1 es uno. Mientras tanto, como se ve en la FIG. 14, el número de límites de bits con respecto a cada uno del tercer bit de símbolo y_2 y el cuarto bit de símbolo y_3 es dos, y como se ve en la FIG. 15, el número de límites de bit con respecto a cada uno del quinto bit de símbolo y_4 y el sexto bit de símbolo y_5 es cuatro.

Por consiguiente, entre los bits de símbolo y_0 a y_5 de símbolos de 64QAM, el bit de símbolo más significativo y_0 y el segundo bit de símbolo y_1 son los bits más fuertes, y el tercer bit de símbolo y_2 y el cuarto bit de símbolo y_3 son los segundos bits más fuertes. Entonces, el quinto bit de símbolo y_4 y el sexto bit de símbolo y_5 son los bits más débiles.

A partir de la FIG. 12 y además a partir de las FIG. 13 a 15, se puede ver que, en cuanto a los bits de símbolo de símbolos de modulación ortogonal, hay una tendencia a que un bit de orden alto es un bit fuerte y un bit de orden bajo es un bit débil.

Aquí, como se ha descrito anteriormente con referencia a la FIG. 11, un código LDPC emitido desde la sección de codificación LDPC 21 (FIG. 8) incluye bits de código que son tolerantes a errores y bits de código que son menos tolerantes a errores.

Mientras tanto, como se ha descrito anteriormente con referencia a las FIG. 12 a 15, los bits de símbolo de símbolos de modulación ortogonal llevada a cabo por la sección de modulación ortogonal 27 incluyen bits fuertes y bits débiles.

Por consiguiente, si un bit de código del código LDPC que es bajo en tolerancia a un error se asigna a un bit de símbolo débil de un símbolo de modulación ortogonal, entonces la tolerancia a un error cae como un todo.

Por lo tanto, se ha propuesto un intercalador que intercala bits de código de un código LDPC de manera que los bits de código del código LDPC que son bajos en tolerancia a un error se asignan a bits fuertes (bits de símbolo) de un símbolo de modulación ortogonal.

El demultiplexor 25 de la FIG. 8 lleva a cabo el procesamiento del intercalador.

La FIG. 16 es una vista que ilustra el procesamiento del demultiplexor 25 de la FIG. 8.

En particular, A de la FIG. 16 muestra un ejemplo de una configuración funcional del demultiplexor 25.

El demultiplexor 25 incluye una memoria 31 y una sección de sustitución 32.

A la memoria 31, se suministra un código LDPC desde la sección de codificación LDPC 21.

5 La memoria 31 tiene una capacidad de almacenamiento para almacenar mb bits en la dirección (horizontal) de una fila y almacenar $N/(mb)$ bits en la dirección (vertical) de una columna. La memoria 31 escribe los bits de código del código LDPC suministrado a la misma en la dirección de columna y lee los bits de código en la dirección de fila y entonces suministra los bits de código leídos a la sección de sustitución 32.

10 Aquí, N (= longitud de información K + longitud de paridad M) representa la longitud de código del código LDPC como se ha descrito anteriormente.

Además, m representa el número de bits de los bits de código de un código LDPC para ser un símbolo, y b es un número entero positivo predeterminado y es un múltiplo a ser usado para multiplicar m por el número entero. El multiplexor 25 convierte (simboliza) los bits de código del código LDPC en símbolos como se ha descrito anteriormente, y el múltiplo b representa el número de símbolos obtenidos de una forma mediante simbolización de tiempo única por el multiplexor 25.

15 A de la FIG. 16 muestra un ejemplo de una configuración del demultiplexor 25 donde el sistema de modulación es 64QAM, y, por consiguiente, el número de bits m de los bits de código del código LDPC para ser un símbolo es 6 bits.

20 Además, en A de la FIG. 16, el múltiplo b es 1, y, por consiguiente, la memoria 31 tiene una capacidad de almacenamiento de $N/(6 \times 1) \times (6 \times 1)$ bits en la dirección de columna \times la dirección de fila.

Aquí, una región de almacenamiento de la memoria 31 que se extiende en la dirección de columna e incluye un bit en la dirección de fila se conoce en lo sucesivo adecuadamente como columna. En A de la FIG. 16, la memoria 31 incluye seis (= 6×1) columnas.

25 El demultiplexor 25 lleva a cabo la escritura de los bits de código del código LDPC en una dirección hacia abajo desde por encima de una columna que forma la memoria 31 (en una dirección de columna) comenzando con una columna del lado izquierdo hacia una columna del lado derecho.

Entonces, si la escritura de los bits de código termina con el bit de más abajo en la columna de más a la derecha, entonces los bits de código se leen y suministran a la sección de sustitución 32 en una unidad de 6 bits (mb bits) en la dirección de fila comenzando con la primera fila de todas las columnas que forman la memoria 31.

30 La sección de sustitución 32 lleva a cabo un proceso de sustitución de sustitución de la posición de los bits de código de 6 bits de la memoria 31 y emite los 6 bits obtenidos por la sustitución como 6 bits de símbolo y_0, y_1, y_2, y_3, y_4 y y_5 representativos de un símbolo de 64QAM.

35 En particular, mientras que mb bits de código (aquí, 6 bits) se leen en la dirección de fila de la memoria 31, si el bit de orden i ($i = 0, 1, \dots, mb-1$) a partir del bit más significativo de entre los mb bits de código leídos de la memoria 31 se representa por el bit b_i , entonces los 6 bits de código leídos en la dirección de fila de la memoria 31 se pueden representar como los bits b_0, b_1, b_2, b_3, b_4 y b_5 en orden comenzando con el bit más significativo.

Una relación de la ponderación de columna descrita anteriormente con referencia a la FIG. 11, conduce a que el bit de código colocado en la dirección del bit b_0 sea un bit de código alto en tolerancia a un error mientras que el bit de código en la dirección del bit b_5 es un bit de código bajo en tolerancia a un error.

40 La sección de sustitución 32 lleva a cabo un proceso de sustitución de sustitución de la posición de los 6 bits de código b_0 a b_5 de la memoria 31 de manera que un bit de código que es bajo en tolerancia a un error de entre los 6 bits de código b_0 a b_5 de la memoria 31 se puede asignar a un bit que es alto en tolerancia de entre los bits de símbolo y_0 a y_5 de un símbolo de 64QAM.

45 Aquí, para un método de sustitución para sustituir los 6 bits de código b_0 a b_5 de la memoria 31 para ser asignados a los 6 bits de símbolo y_0 a y_5 representativos de un símbolo de 64QAM, se han propuesto varios sistemas.

B de la FIG. 16 ilustra un primer método de sustitución; C de la FIG. 16 ilustra un segundo método de sustitución; y D de la FIG. 16 ilustra un tercer método de sustitución.

50 En B de la FIG. 16 a D de la FIG. 16 (de manera similar también en la FIG. 17 descrita en lo sucesivo), un segmento de línea que interconecta los bits b_i e y_j significa que el bit de código b_i está asignado al bit de símbolo y_j del símbolo (se sustituye en la posición del bit de símbolo y_j).

Como el primer método de sustitución, se propone adoptar uno de tres tipos de métodos de sustitución en B de la FIG. 16B y como el segundo método de sustitución, se propone adoptar uno de dos tipos de métodos de sustitución en C de la FIG. 16.

5 Como el tercer método de sustitución, se propone seleccionar y usar seis tipos de métodos de sustitución en D de la FIG. 16 en orden.

La FIG.17 ilustra un ejemplo de una configuración del demultiplexor 25 en un caso en donde el método de modulación es 64QAM (por consiguiente, el número de bits m de los bits de código de un código LDPC mapeado a un símbolo es 6 de manera similar a como en la FIG. 16) y el múltiplo b es 2, y un cuarto método de sustitución.

10 Donde el múltiplo b es 2, la memoria 31 tiene una capacidad de almacenamiento de $N/ (6 \times 2) \times (6 \times 2)$ bits en la dirección de columna \times la dirección de fila e incluye 12 (= 6×2) columnas.

A de la FIG. 17 ilustra un orden de escritura de un código LDPC en la memoria 31.

15 El demultiplexor 25 lleva a cabo la escritura de los bits de código del código LDPC en una dirección hacia abajo desde por encima de una columna que forma la memoria 31 (en la dirección de la columna) comenzando con una columna del lado izquierdo hacia una columna del lado derecho como se ha descrito anteriormente con referencia a la FIG. 16.

Entonces, si la escritura de los bits de código termina con el bit de más abajo en la columna de más a la derecha, entonces los bits de código se leen y suministran a la sección de sustitución 32 en una unidad de 12 bits (mb bits) en la dirección de fila comenzando con la primera fila de todas las columnas que forman la memoria 31.

20 La sección de sustitución 32 lleva a cabo un proceso de sustitución de sustitución de la posición de 12 bits de código de la memoria 31 según el cuarto método de sustitución y emite los 12 bits obtenidos mediante la sustitución como 12 bits representativos de dos símbolos (b símbolos) de 64QAM, en particular, como 6 bits de símbolo y_0, y_1, y_2, y_3, y_4 e y_5 representativos de un símbolo de 64QAM y 6 bits de símbolo y_0, y_1, y_2, y_3, y_4 e y_5 representativos de un siguiente símbolo.

25 Aquí, la B de la FIG. 17 ilustra el cuarto método de sustitución del proceso de sustitución por la sección de sustitución 32 de A de la FIG. 17.

30 Se ha de señalar que donde el múltiplo b es 2 (de manera similar también donde el múltiplo b es igual o más alto que 3), en el proceso de sustitución, mb bits de código se asignan a mb bits de símbolo de b símbolos sucesivos. En la siguiente descripción que incluye una descripción dada con referencia a la FIG. 17, el bit de orden $i + 1$ a partir del bit más significativo de entre los mb bits de símbolo de los b símbolos sucesivos se representa como el bit (bit de símbolo) y_i por la conveniencia de la descripción.

Además, qué método de sustitución es óptimo, es decir, qué método de sustitución proporciona la tasa de error mejorada en un camino de comunicación AWGN, difiere dependiendo de la tasa de codificación, la longitud de código y el método de modulación del código LDPC, etc.

35 Ahora, se describe con referencia a las FIG. 18 a 20 un intercalado de paridad mediante el intercalador de paridad 23 de la FIG. 8.

La FIG. 18 muestra (parte de) un gráfico de Tanner de la matriz de comprobación de paridad del código LDPC.

40 Si una pluralidad de (bits de código que corresponden a) nodos variables que se conectan a un nodo de comprobación tal como dos nodos variables sufren de un error tal como borrado al mismo tiempo como se muestra en la FIG. 18, entonces el nodo de comprobación devuelve un mensaje de una probabilidad igual que representa que la probabilidad de que el valor pueda ser 0 y la probabilidad de que el valor pueda ser 1 son iguales una a otra para todos los nodos variables que se conectan al nodo de comprobación. Por lo tanto, si una pluralidad de nodos variables que se conectan al mismo nodo de comprobación se colocan en un estado de borrado o similar al mismo tiempo, entonces se deteriora el rendimiento en la decodificación.

45 De paso, un código LDPC emitido desde la sección de codificación LDPC 21 de la FIG. 8 y prescrito en el estándar DVB-S.2 es un código IRA, y la matriz de paridad H_T de la matriz de comprobación de paridad H tiene una estructura de escalera como se muestra en la FIG. 10.

La FIG. 19 ilustra una matriz de paridad H_T que tiene una estructura de escalera y un gráfico de Tanner que corresponde a la matriz de paridad H_T .

50 En particular, A de la FIG. 19 ilustra una matriz de paridad H_T que tiene una estructura de escalera y B de la FIG. 19 muestra un gráfico de Tanner que corresponde a la matriz de paridad H_T de A de la FIG. 19.

Donde la matriz de paridad H_T tiene una estructura de escalera, en el gráfico de Tanner de la matriz de paridad H_T , nodos variables del código LDPC que corresponden a una columna de un elemento de la matriz de paridad H_T que

tiene el valor de 1 y cuyo mensaje se determina usando bits de código adyacentes (bits de paridad) se conectan al mismo nodo de comprobación.

5 Por consiguiente, si los bits de paridad adyacentes descritos anteriormente se colocan en un estado de error por errores de ráfaga, borrado o similares, entonces dado que un nodo de comprobación que se conecta a una pluralidad de nodos variables que corresponden a la pluralidad de bits de paridad que han llegado a ser un error (nodos variables cuyo mensaje ha de ser determinado usando bits de paridad) devuelve un mensaje de una probabilidad igual que representa que la probabilidad de que el valor pueda ser 0 y la probabilidad de que el valor sea 1 pueden ser iguales una a la otra para los nodos variables que se conectan con el nodo de comprobación, se deteriora el rendimiento de la decodificación. Entonces, donde la longitud de ráfaga (número de bits que se hacen un error por una ráfaga) es grande, el rendimiento de la decodificación se deteriora aún más.

Por lo tanto, con el fin de evitar el deterioro en el rendimiento de decodificación descrito anteriormente, el intercalador de paridad 23 (FIG. 8) lleva a cabo el intercalado de intercalar bits de paridad del código LDPC desde la sección de codificación LDPC 21 a posiciones de otros bits de paridad.

15 La FIG. 20 ilustra una matriz de paridad H_T de una matriz de comprobación de paridad H que corresponde al código LDPC después del intercalado de paridad llevado a cabo por el intercalador de paridad 23 de la FIG. 8.

Aquí, la matriz de información H_A de la matriz de comprobación de paridad H que corresponde al código LDPC prescrito en el estándar DVB-S.2 y emitido desde la sección de codificación LDPC 21 tiene una estructura cíclica.

20 La estructura cíclica significa una estructura en donde una cierta columna coincide con otra columna en un estado operado cíclicamente (rotación) e incluye, por ejemplo, una estructura en donde, para cada P columnas, las posiciones del valor 1 en las filas de las P columnas coinciden con las posiciones a las que la primera de las P columnas se desplaza cíclicamente en la dirección de columna en un valor que aumenta en proporción a un valor q obtenido dividiendo la longitud de paridad M . En lo que sigue, el número de P columnas en una estructura cíclica se conoce en lo sucesivo adecuadamente como un número de columna unidad de la estructura cíclica.

25 Como código LDPC prescrito en el estándar DVB-S.2 y emitido desde la sección de codificación LDPC 21, están disponibles dos códigos LDPC incluyendo aquéllos cuya longitud de código N es 64.800 bits y 16.200 bits como se ha descrito anteriormente con referencia a la FIG. 11.

30 Ahora, si se pone atención al código LDPC cuya longitud de código N es 64.800 bits de los dos códigos LDPC diferentes cuya longitud de código N es 64.800 bits y 16.200 bits, entonces están disponibles once tasas de codificación diferentes como la tasa de codificación del código LDPC cuya longitud de código N es 64.800 bits como se ha descrito anteriormente con referencia a la FIG. 11.

Con respecto a los códigos LDPC cuya longitud de código N es 64.800 bits y que tienen las once tasas de codificación diferentes, está prescrito en el estándar DVB-S.2 que el número de columnas P de la estructura cíclica se prescribe a 360 que es uno de los divisores de la longitud de paridad M excepto 1 y M .

35 Además, con respecto a los códigos LDPC cuya longitud de código N es 64.800 bits y que tienen las once tasas de codificación diferentes, la longitud de paridad M tiene un valor distinto de números primos y representado por una expresión $M = q \times P = q \times 360$ usando el valor q que es diferente dependiendo de la tasa de codificación. Por consiguiente, también el valor q es uno de los divisores de la longitud de paridad M excepto 1 y M de manera similar al número de columnas P de la estructura cíclica y se obtiene dividiendo la longitud de paridad M por el número de columnas P de la estructura cíclica (el producto de P y q que son divisores de la longitud de paridad M es la longitud de paridad M).

40 Donde la longitud de información se representa por K y un número entero mayor que 0 pero menor que P se representa por x mientras que un número entero mayor que 0 pero menor que q se representa por y , el intercalador de paridad 23 intercala, como intercalado de paridad, el bit de código de orden $K+qx+y+1$ de entre los bits de paridad que son los bits de orden $K+1$ a $K+M$ ($K + M = N$) del código LDPC desde la sección de codificación LDPC 21 a la posición del bit de código de orden $K+Py+x+1$.

45 Según tal intercalado de paridad, dado que los (bits de paridad que corresponden a) nodos variables que se conectan al mismo nodo de comprobación están separados por una distancia que corresponde al número de columnas P de la estructura cíclica, aquí, por 360 bits, donde la longitud de ráfaga es menor que 360 bits, se puede evitar tal situación de que una pluralidad de nodos variables que se conectan al mismo nodo de comprobación se representen erróneos al mismo tiempo. Como resultado, se puede mejorar la tolerancia a un error de ráfaga.

50 Se ha de señalar que el código LDPC después del intercalado de paridad por el cual el bit de código de orden $K+qx+y+1$ se intercala a la posición del bit de código de orden $K+Py+x+1$ coincide con el código LDPC de una matriz de comprobación de paridad (en lo sucesivo conocida también como matriz de comprobación de paridad de conversión) obtenida mediante una sustitución de columnas de sustitución de la columna de orden $K+qx+y+1$ de la matriz de comprobación de paridad H original a la columna de orden $K+Py+x+1$.

55

Además, en la matriz de paridad de la matriz de comprobación de paridad de conversión, una estructura seudocíclica cuya unidad es P columnas (en la FIG. 20, 360 columnas) aparece como se ve en la FIG. 20.

5 Aquí, la estructura seudocíclica significa una estructura que tiene una parte que tiene una estructura cíclica excepto parte de la misma. En una columna de comprobación de paridad de conversión obtenida aplicando una sustitución de columnas que corresponde al intercalado de paridad para la matriz de comprobación de paridad del código LDPC prescrito en el estándar DVB-S.2, una parte de 360 filas x 360 columnas (matriz de desplazamiento descrita en lo sucesivo) en una parte de la esquina derecha le falta un elemento de 1 (que tiene el valor de 0). Por lo tanto, la matriz de comprobación de paridad de conversión no tiene una estructura cíclica (completa) sino que tiene una estructura seudocíclica.

10 Se ha de señalar que la matriz de comprobación de paridad de conversión de la FIG. 20 es una matriz a la que también una sustitución de filas (sustitución de filas) para configurar la matriz de comprobación de paridad de conversión de una matriz de configuración descrita en lo sucesivo se aplica a la matriz de comprobación de paridad H original además de la sustitución de columnas que corresponde al intercalado de paridad.

15 Ahora, el intercalado de torsión de columna como un proceso de reordenación por el intercalador de torsión de columna 24 de FIG. 8 se describe con referencia a FIG. 21 a 24.

20 En el aparato de transmisión 11 de la FIG. 8, dos o más de los bits de código del código LDPC se transmiten como un símbolo como se ha descrito anteriormente con el fin de mejorar la eficiencia de utilización de frecuencias. En particular, por ejemplo, donde dos bits de los bits de código se usan para formar un símbolo, por ejemplo, se usa QPSK como el método de modulación, pero donde se usan 4 bits de los bits de código para formar un símbolo, por ejemplo, se usa 16QAM como el método de modulación.

Donde dos o más unos de los bits de código se transmiten como un símbolo de esta manera, si ocurre un borrado o similar con cierto símbolo, la totalidad de los bits de código (asignados a los bits de símbolo) del símbolo llegan a ser un error (borrado).

25 Por consiguiente, con el fin de disminuir la probabilidad de que una pluralidad de (bits de código que corresponden a) nodos variables que se conectan al mismo nodo de comprobación puedan sufrir de borrado al mismo tiempo para mejorar el rendimiento en la decodificación, es necesario evitar que los nodos variables que corresponden a los bits de código de un símbolo se conecten al mismo nodo de comprobación.

30 Mientras tanto, en la matriz de comprobación de paridad H de un código LDPC prescrito en el estándar DVB-S.2 y emitido desde la sección de codificación LDPC 21, la matriz de información H_A tiene una estructura cíclica y la matriz de paridad H_T tiene una estructura de escalera como se ha descrito anteriormente. Entonces, en una matriz de comprobación de paridad de conversión que es una matriz de comprobación de paridad del código LDPC después de un intercalado de paridad, una estructura cíclica (con precisión, una estructura seudocíclica como se ha descrito anteriormente) aparece también en la matriz de paridad como se describe en la FIG. 20.

La FIG. 21 muestra una matriz de comprobación de paridad de conversión.

35 En particular, A de la FIG. 21 ilustra una matriz de comprobación de paridad de conversión de una matriz de comprobación de paridad H que tiene una longitud de código N de 64.800 bits y una tasa de codificación (r) de 3/4.

En A de la FIG. 21, la posición de un elemento que tiene el valor de 1 en la matriz de comprobación de paridad de conversión se indica por un punto (-).

40 En B de la FIG. 21, un proceso llevado a cabo por el demultiplexor 25 (FIG. 8) para el código LDPC de la matriz de comprobación de paridad de conversión de A de la FIG. 21, es decir, el código LDPC después del intercalado de paridad.

En B de la FIG. 21, los bits de código del código LDPC después del intercalado de paridad se escriben en la dirección de columna en cuatro columnas que forman la memoria 31 del demultiplexor 25 usando 16QAM como el método de modulación.

45 Los bits de código escritos en la dirección de columna en las cuatro columnas que forman la memoria 31 se leen en la dirección de fila en una unidad de 4 bits que hacen un símbolo.

50 En este caso, los 4 bits de código B_0 , B_1 , B_2 y B_3 que hacen un símbolo algunas veces hacen bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad después de la conversión de A de la FIG. 21, y en este caso, los nodos variables que corresponden a los bits de código B_0 , B_1 , B_2 y B_3 se conectan al mismo nodo de comprobación.

Por consiguiente, donde los 4 bits de código B_0 , B_1 , B_2 y B_3 de un símbolo llegan a ser los bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad de conversión, si el borrado ocurre con el símbolo, entonces el mismo nodo de comprobación al cual están conectados los nodos variables que corresponden a los bits de código B_0 , B_1 , B_2 y B_3 no puede determinar un mensaje adecuado. Como

resultado, se deteriora el rendimiento en la decodificación.

También con respecto a las tasas de decodificación distintas de la tasa de codificación de 3/4, una pluralidad de bits de código que corresponden a una pluralidad de nodos variables que se conectan al mismo nodo de comprobación algunas veces hacen un símbolo de 16QAM de manera similar.

- 5 Por lo tanto, el intercalador de torsión de columna 24 lleva a cabo un intercalado de torsión de columna en donde los bits de código del código LDPC después del intercalado de paridad desde el intercalador de paridad 23 se intercalan de manera que una pluralidad de bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad de conversión no se incluyen en un símbolo.

La FIG. 22 es una vista que ilustra el intercalado de torsión de columna.

- 10 En particular, la FIG. 22 ilustra la memoria 31 (FIG. 16 y 17) del demultiplexor 25.

La memoria 31 tiene una capacidad de almacenamiento para almacenar mb bits en la dirección de columna (vertical) y almacena N/ (mb) bits en la dirección de fila (horizontal) e incluye mb columnas como se ha descrito en FIG. 16. Entonces, el intercalador de torsión de columna 24 escribe los bits de código del código LDPC en la dirección de columna en la memoria 31 y controla la posición de inicio de escritura cuando los bits de código se leen en la dirección de fila para llevar a cabo el intercalado de torsión de columna.

- 15 En particular, el intercalador de torsión de columna 24 cambia adecuadamente la posición de inicio de escritura en la que la escritura de bits de código ha de ser iniciada para cada una de una pluralidad de columnas de modo que una pluralidad de bits de código leídos en la dirección de fila y usados para hacer un símbolo puedan no llegar a ser bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad de conversión (reordena los bits de código del código LDPC de manera que una pluralidad de bits de código que corresponden a 1 e incluidos en una fila arbitraria de la matriz de comprobación de paridad pueda no ser incluida en el mismo símbolo).

- 20 Aquí, la FIG. 22 muestra un ejemplo de una configuración de la memoria 31 donde el método de modulación es 16QAM y además el múltiplo b descrito anteriormente con referencia a la FIG. 16 es 1. Por consiguiente, el número de bits m de los bits de código de un código LDPC a ser un símbolo es 4 bits, y la memoria 31 está formada de 4 (= mb) columnas.

- 25 El intercalador de torsión de columna 24 (en lugar del demultiplexor 25 mostrado en la FIG. 16) lleva a cabo la escritura de los bits de código del código LDPC en una dirección hacia abajo (dirección de columna) desde arriba en las cuatro columnas que forman la memoria 31 comenzando con una columna del lado izquierdo hacia una columna del lado derecho.

Entonces, cuando la escritura de los bits de código termina en la columna de más a la derecha, el intercalador de torsión de columna 24 lee los bits de código en una unidad de 4 bits (mb bits) en la dirección de fila comenzando con la primera fila de todas las columnas que forman la memoria 31 y emite los bits de código como un código LDPC después del intercalado de torsión de columna a la sección de sustitución 32 (FIG. 16 y 17) del demultiplexor 25.

- 35 No obstante, si la dirección de la posición (la más alta) de cabecera de cada columna se representa por 0 y las direcciones de las posiciones en la dirección de columna se representan por números enteros de un orden ascendente, entonces el intercalador de torsión de columna 24 fija, para la columna de más a la izquierda, la posición de inicio de escritura a la posición cuya dirección es 0; fija, para la segunda columna (desde la izquierda), la posición de inicio de escritura a la posición cuya dirección es 2; fija, para la tercera columna, la posición de inicio de escritura a la posición cuya dirección es 4; y fija, para la cuarta columna, la posición de inicio de escritura a la posición cuya dirección es 7.

- 40 Se ha de señalar que, con respecto a las columnas para las cuales la posición de inicio de escritura es cualquier otra posición distinta de la posición cuya dirección es 0, después de que los bits de código se escriben hacia abajo a la posición más baja, la posición de escritura vuelve a la parte superior (posición cuya dirección es 0) y se lleva a cabo una escritura hacia abajo a una posición inmediatamente anterior a la posición de inicio de escritura. A partir de entonces, se lleva a cabo una escritura en la siguiente columna (derecha).

- 45 Llevando a cabo tal intercalado de torsión de columna como se ha descrito anteriormente, se puede evitar tal situación de que una pluralidad de bits de código que corresponden a una pluralidad de nodos variables que se conectan al mismo nodo de comprobación se hagan un símbolo de 16QAM (incluido en el mismo símbolo) con respecto a los códigos LDPC de todas las tasas de codificación cuya longitud de código N es 64.800 como se ha prescrito en el estándar DVB-S.2, y como resultado, se puede mejorar el rendimiento en la decodificación en un camino de comunicación que proporciona borrado.

- 50 La FIG. 23 ilustra el número de columnas de la memoria 31 necesario para el intercalado de torsión de columna y la dirección de la posición de inicio de escritura para cada método de modulación con respecto a los códigos LDPC de las once tasas de codificación diferentes que tienen la longitud de código N de 64.800 como se ha prescrito en el

55

estándar DVB-S.2.

Donde el múltiplo b es 1 y, además, dado que, por ejemplo, se adopta QPSK como el método de modulación, el número de bits m de un símbolo es 2 bits, según la FIG. 23, la memoria 31 tiene dos columnas para almacenar 2×1 (= $m \times b$) bits en la dirección de fila y almacena $64.800 / (2 \times 1)$ bits en la dirección de columna.

- 5 Entonces, la posición de inicio de escritura para la primera de las dos columnas de la memoria 31 se fija a la posición cuya dirección es 0, y la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 2.

10 Se ha de señalar que el múltiplo b es 1, por ejemplo, donde se adopta uno del primer al tercer métodos de sustitución de la FIG. 16 como el método de sustitución del proceso de sustitución del demultiplexor 25 (FIG. 8) o en un caso similar.

Donde el múltiplo b es 2 y, además, dado que, por ejemplo, se adopta QPSK como el método de modulación, el número de bits m de un símbolo es 2 bits, según la FIG. 23, la memoria 31 tiene cuatro columnas para almacenar 2×2 bits en la dirección de fila y almacena $64.800 / (2 \times 2)$ bits en la dirección de columna.

- 15 Entonces, la posición de inicio de escritura para la primera de las cuatro columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 4, y la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 7.

Se ha de señalar que el múltiplo b es 2, por ejemplo, donde se adopta el cuarto método de sustitución de la FIG. 17 como el método de sustitución del proceso de sustitución del demultiplexor 25 (FIG. 8).

- 20 Donde el múltiplo b es 1 y, además, dado que, por ejemplo, se adopta 16QAM como el método de modulación, el número de bits m de un símbolo es 4 bits, según la FIG. 23, la memoria 31 tiene cuatro columnas para almacenar 4×1 bits en la dirección de fila y almacena $64.800 / (4 \times 1)$ bits en la dirección de columna.

- 25 Entonces, la posición de inicio de escritura para la primera de las cuatro columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 4, y la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 7.

Donde el múltiplo b es 2 y, además, dado que, por ejemplo, se adopta 16QAM como el método de modulación, el número de bits m de un símbolo es 4 bits, según la FIG. 23, la memoria 31 tiene ocho columnas para almacenar 4×2 bits en la dirección de fila y almacena $64.800 / (4 \times 2)$ bits en la dirección de columna.

- 30 Entonces, la posición de inicio de escritura para la primera de las ocho columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la sexta columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la séptima columna se fija a la posición cuya dirección es 7, y la posición de inicio de escritura para la octava columna se fija a la posición cuya dirección es 7.
- 35

- 40 Donde el múltiplo b es 1 y, además, dado que, por ejemplo, se adopta 64QAM como el método de modulación, el número de bits m de un símbolo es 6 bits, según la FIG. 23, la memoria 31 tiene seis columnas para almacenar 6×1 bits en la dirección de fila y almacena $64.800 / (6 \times 1)$ bits en la dirección de columna.

- 45 Entonces, la posición de inicio de escritura para la primera de las seis columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 9, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 10, y la posición de inicio de escritura para la sexta columna se fija a la posición cuya dirección es 13.

Donde el múltiplo b es 2 y, además, dado que, por ejemplo, se adopta 64QAM como el método de modulación, el número de bits m de un símbolo es 6 bits, según la FIG. 23, la memoria 31 tiene doce columnas para almacenar 6×2 bits en la dirección de fila y almacena $64.800 / (6 \times 2)$ bits en la dirección de columna.

- 50 Entonces, la posición de inicio de escritura para la primera de las doce columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 3, la posición de inicio de escritura para la

5 sexta columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la séptima columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la octava columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la novena columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la décima columna se fija a la posición cuya dirección es 7, la posición de inicio de escritura de la undécima columna se fija a la posición cuya dirección es 8, y la posición de inicio de escritura para la duodécima columna se fija a la posición cuya dirección es 9.

Donde el múltiplo b es 1 y, además, dado que, por ejemplo, se adopta 256QAM como el método de modulación, el número de bits m de un símbolo es 8 bits, según la FIG. 23, la memoria 31 tiene ocho columnas para almacenar 8×1 bits en la dirección de fila y almacena $64.800 / (8 \times 1)$ bits en la dirección de columna.

10 Entonces, la posición de inicio de escritura para la primera de las ocho columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la sexta columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la séptima columna se fija a la posición cuya dirección es 7, y la posición de inicio de escritura para la octava columna se fija a la posición cuya dirección es 7.

20 Donde el múltiplo b es 2 y, además, dado que, por ejemplo, se adopta 256QAM como el método de modulación, el número de bits m de un símbolo es 8 bits, según la FIG. 23, la memoria 31 tiene dieciséis columnas para almacenar 8×2 bits en la dirección de fila y almacena $64.800 / (8 \times 2)$ bits en la dirección de columna.

25 Entonces, la posición de inicio de escritura para la primera de las dieciséis columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la sexta columna se fija a la posición cuya dirección es 3, la posición de inicio de escritura para la séptima columna se fija a la posición cuya dirección es 7, la posición de inicio de escritura para la octava columna se fija a la posición cuya dirección es 15, la posición de inicio de escritura para la novena columna se fija a la posición cuya dirección es 16, la posición de inicio de escritura para la décima columna se fija a la posición cuya dirección es 20, la posición de inicio de escritura para la undécima columna se fija a la posición cuya dirección es 22, la posición de inicio de escritura para la duodécima columna se fija a la posición cuya dirección es 22, la posición de inicio de escritura para la decimotercera columna se fija a la posición cuya dirección es 27, la posición de inicio de escritura para la decimocuarta columna se fija a la posición cuya dirección es 27, la posición de inicio de escritura para la decimoquinta columna se fija a la posición cuya dirección es 28, y la posición de inicio de escritura para la decimosexta columna se fija a la posición cuya dirección es 32.

30 Donde el múltiplo b es 1 y, además, dado que, por ejemplo, se adopta 1024QAM como el método de modulación, el número de bits m de un símbolo es 10 bits, según la FIG. 23, la memoria 31 tiene diez columnas para almacenar 10×1 bits en la dirección de fila y almacena $64.800 / (10 \times 1)$ bits en la dirección de columna.

40 Entonces, la posición de inicio de escritura para la primera de las diez columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 3, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 6, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 8, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 11, la posición de inicio de escritura para la sexta columna se fija a la posición cuya dirección es 13, la posición de inicio de escritura para la séptima columna se fija a la posición cuya dirección es 15, la posición de inicio de escritura para la octava columna se fija a la posición cuya dirección es 17, la posición de inicio de escritura para la novena columna se fija a la posición cuya dirección es 18, y la posición de inicio de escritura para la décima columna se fija a la posición cuya dirección es 20.

50 Donde el múltiplo b es 2 y, además, dado que, por ejemplo, se adopta 1024QAM como el método de modulación, el número de bits m de un símbolo es 10 bits, según la FIG. 23, la memoria 31 tiene veinte columnas para almacenar 10×2 bits en la dirección de fila y almacena $64.800 / (10 \times 2)$ bits en la dirección de columna.

55 Entonces, la posición de inicio de escritura para la primera de las veinte columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 1, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 3, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la sexta columna se fija a la posición cuya dirección es 6, la posición de inicio de escritura para la séptima columna se fija a la posición cuya dirección es 6, la posición de inicio de escritura para la octava columna se fija a la posición cuya dirección es 9, la posición de inicio de escritura para la novena columna se fija a la posición cuya dirección es 13, la posición de inicio de escritura para la décima columna se fija a la posición cuya dirección es 14, la posición de

inicio de escritura para la undécima columna se fija a la posición cuya dirección es 14, la posición de inicio de escritura para la duodécima columna se fija a la posición cuya dirección es 16, la posición de inicio de escritura para la decimotercera columna se fija a la posición cuya dirección es 21, la posición de inicio de escritura para la decimocuarta columna se fija a la posición cuya dirección es 21, la posición de inicio de escritura para la decimoquinta columna se fija a la posición cuya dirección es 23, la posición de inicio de escritura para la decimosexta columna se fija a la posición cuya dirección es 25, la posición de inicio de escritura para la decimoséptima columna se fija a la posición cuya dirección es 25, la posición de inicio de escritura para la decimoctava columna se fija a la posición cuya dirección es 26, la posición de inicio de escritura para la decimonovena columna se fija a la posición cuya dirección es 28, y la posición de inicio de escritura para la vigésima columna se fija a la posición cuya dirección es 30.

Donde el múltiplo b es 1 y, además, dado que, por ejemplo, se adopta 4096QAM como el método de modulación, el número de bits m de un símbolo es 12 bits, según la FIG. 23, la memoria 31 tiene doce columnas para almacenar 12×1 bits en la dirección de fila y almacena $64.800 / (12 \times 1)$ bits en la dirección de columna.

Entonces, la posición de inicio de escritura para la primera de las doce columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 3, la posición de inicio de escritura para la sexta columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la séptima columna se fija a la posición cuya dirección es 4, la posición de inicio de escritura para la octava columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la novena columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la décima columna se fija a la posición cuya dirección es 7, la posición de inicio de escritura para la undécima columna se fija a la posición cuya dirección es 8, y la posición de inicio de escritura para la duodécima columna se fija a la posición cuya dirección es 9.

Donde el múltiplo b es 2 y, además, dado que, por ejemplo, se adopta 4096QAM como el método de modulación, el número de bits m de un símbolo es 12 bits, según la FIG. 23, la memoria 31 tiene veinticuatro columnas para almacenar 12×2 bits en la dirección de fila y almacena $64.800 / (12 \times 2)$ bits en la dirección de columna.

Entonces, la posición de inicio de escritura para la primera de las veinticuatro columnas de la memoria 31 se fija a la posición cuya dirección es 0, la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 5, la posición de inicio de escritura para la tercera columna se fija a la posición cuya dirección es 8, la posición de inicio de escritura para la cuarta columna se fija a la posición cuya dirección es 8, la posición de inicio de escritura para la quinta columna se fija a la posición cuya dirección es 8, la posición de inicio de escritura para la sexta columna se fija a la posición cuya dirección es 8, la posición de inicio de escritura para la séptima columna se fija a la posición cuya dirección es 10, la posición de inicio de escritura para la octava columna se fija a la posición cuya dirección es 10, la posición de inicio de escritura para la novena columna se fija a la posición cuya dirección es 10, la posición de inicio de escritura para la décima columna se fija a la posición cuya dirección es 12, la posición de inicio de escritura para la undécima columna se fija a la posición cuya dirección es 13, la posición de inicio de escritura para la duodécima columna se fija a la posición cuya dirección es 16, la posición de inicio de escritura para la decimotercera columna se fija a la posición cuya dirección es 17, la posición de inicio de escritura para la decimocuarta columna se fija a la posición cuya dirección es 19, la posición de inicio de escritura para la decimoquinta columna se fija a la posición cuya dirección es 21, la posición de inicio de escritura para la decimosexta columna se fija a la posición cuya dirección es 22, la posición de inicio de escritura para la decimoséptima columna se fija a la posición cuya dirección es 23, la posición de inicio de escritura para la decimoctava columna se fija a la posición cuya dirección es 26, la posición de inicio de escritura para la decimonovena columna se fija a la posición cuya dirección es 37, la posición de inicio de escritura para la vigésima columna se fija a la posición cuya dirección es 39, la posición de inicio de escritura para la vigesimoprimera columna se fija a la posición cuya dirección es 40, la posición de inicio de escritura para la vigesimosegunda columna se fija a la posición cuya dirección es 41, la posición de inicio de escritura para la vigesimotercera columna se fija a la posición cuya dirección es 41, y la posición de inicio de escritura para la vigesimocuarta columna se fija a la posición cuya dirección es 41.

La FIG. 24 indica el número de columnas de la memoria 31 necesario para intercalado de torsión de columna y la dirección de la posición de inicio de escritura para cada método de modulación con respecto a los códigos LDPC de las 10 tasas de codificación diferentes que tienen la longitud de código N de 16.200 como se ha prescrito en el estándar DVB-S.2.

Donde el múltiplo b es 1 y, además, dado que, por ejemplo, se adopta QPSK como el método de modulación, el número de bits m de un símbolo es 2 bits, según la FIG. 24, la memoria 31 tiene dos columnas para almacenar 2×1 bits en la dirección de fila y almacena $16.200 / (2 \times 1)$ bits en la dirección de columna.

Entonces, la posición de inicio de escritura para la primera de las dos columnas de la memoria 31 se fija a la posición cuya dirección es 0, y la posición de inicio de escritura para la segunda columna se fija a la posición cuya dirección es 0.

5 cuya dirección es 1, la posición de inicio de escritura para la novena columna se fija a la posición cuya dirección es 1, la posición de inicio de escritura para la décima columna se fija a la posición cuya dirección es 1, la posición de inicio de escritura para la undécima columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la duodécima columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la decimotercera columna se fija a la posición cuya dirección es 2, la posición de inicio de escritura para la decimocuarta columna se fija a la posición cuya dirección es 3, la posición de inicio de escritura para la decimoquinta columna se fija a la posición cuya dirección es 7, la posición de inicio de escritura para la decimosexta columna se fija a la posición cuya dirección es 9, la posición de inicio de escritura para la decimoséptima columna se fija a la posición cuya dirección es 9, la posición de inicio de escritura para la decimoctava columna se fija a la posición cuya dirección es 9, la posición de inicio de escritura para la decimonovena columna se fija a la posición cuya dirección es 10, la posición de inicio de escritura para la vigésima columna se fija a la posición cuya dirección es 10, la posición de inicio de escritura para la vigesimoprimera columna se fija a la posición cuya dirección es 10, la posición de inicio de escritura para la vigesimosegunda columna se fija a la posición cuya dirección es 10, la posición de inicio de escritura para la vigesimotercera columna se fija a la posición cuya dirección es 10, y la posición de inicio de escritura para la vigesimocuarta columna se fija a la posición cuya dirección es 11.

Ahora, un proceso de transmisión llevado a cabo por el aparato de transmisión 11 de la FIG. 8 se describe con referencia a un diagrama de flujo de la FIG. 25.

20 La sección de codificación LDPC 21 espera a que se suministren datos de objeto a la misma y, en el paso S101, codifica los datos de objeto en códigos LDPC y suministra los códigos LDPC al intercalador de bits 22. A partir de entonces, el procesamiento avanza al paso S102.

En el paso S102, el intercalador de bits 22 lleva a cabo un intercalado de bits para los códigos LDPC de la sección de codificación LDPC 21 y suministra a la sección de correspondencia 26 un símbolo en el que se simbolizan los códigos LDPC después del intercalado. A partir de entonces, el procesamiento avanza al paso S103.

25 En particular, en el paso S102, el intercalador de paridad 23 en el intercalador de bits 22 lleva a cabo un intercalado de paridad para los códigos LDPC de la sección de codificación LDPC 21 y suministra los códigos LDPC después del intercalado de paridad al intercalador de torsión de columna 24.

El intercalador de torsión de columna 24 lleva a cabo un intercalado de torsión de columna para el código LDPC del intercalador de paridad 23 y suministra un resultado del intercalado de torsión de columna al demultiplexor 25.

30 El demultiplexor 25 lleva a cabo un proceso de sustitución de sustitución de los bits de código del código LDPC después del intercalado de torsión de columna por el intercalador de torsión de columna 24 y convirtiendo los bits de código después de la sustitución en bits de símbolo (bits representativos de símbolos) de los símbolos.

35 Aquí, el proceso de sustitución por el demultiplexor 25 se puede llevar a cabo según el primer al cuarto métodos de sustitución descritos anteriormente con referencia a las FIG. 16 y 17 y además se puede llevar a cabo según una regla de asignación. La regla de asignación es una regla para asignar bits de código de un código LDPC a bits de símbolo representativos de símbolos, y se describen a continuación los detalles de la regla de asignación.

Los símbolos obtenidos por el proceso de sustitución por el demultiplexor 25 se suministran desde el demultiplexor 25 a la sección de correspondencia 26.

40 En el paso S103, la sección de correspondencia 26 mapea el símbolo desde el demultiplexor 25 a puntos de señal definidos por el método de modulación de modulación ortogonal llevada a cabo por la sección de modulación ortogonal 27 y suministra el símbolo mapeado a la sección de modulación ortogonal 27. Entonces, el procesamiento avanza hasta el paso S104.

45 En el paso S104, la sección de modulación ortogonal 27 lleva a cabo una modulación ortogonal de una portadora según los puntos de señal de la sección de correspondencia 26. Entonces, el procesamiento avanza al paso S105, en el que se transmite la señal de modulación obtenida como resultado de la modulación ortogonal, después de que se termine el procesamiento.

Se ha de señalar que el proceso de transmisión de la FIG. 25 se lleva a cabo por un conducto repetitivamente.

Llevando a cabo el intercalado de paridad y el intercalado de torsión de columna como se ha descrito anteriormente, se puede mejorar la tolerancia a borrado o a errores de ráfaga donde se transmite como un símbolo una pluralidad de bits de código de unos códigos LDPC.

50 Aquí, mientras que, en la FIG. 8, el intercalador de paridad 23 que es un bloque para llevar a cabo un intercalado de paridad y el intercalador de torsión de columna 24 que es un bloque para llevar a cabo un intercalado de torsión de columna se configuran por separado uno de otro por la conveniencia de la descripción, el intercalador de paridad 23 y el intercalador de torsión de columna 24 se pueden configurar de otro modo integralmente uno con otro.

En particular, tanto el intercalado de paridad como el intercalado de torsión de columna se pueden llevar a cabo

escribiendo y leyendo bits de código en y desde una memoria y se pueden representar mediante una matriz para convertir direcciones (direcciones de escritura) en las que la escritura de bits de código ha de ser llevada a cabo en direcciones (direcciones de lectura) a partir de las cuales ha de ser llevada a cabo la lectura de los bits de código.

5 Por consiguiente, si se determina por adelantado una matriz obtenida multiplicando una matriz representativa del intercalado de paridad y una matriz representativa del intercalado de torsión de columna, entonces si se usa la matriz para convertir los bits de código, se puede obtener entonces un resultado cuando se lleva a cabo un intercalado de paridad y entonces los códigos LDPC después del intercalado de paridad se intercalan con torsión de columna.

10 Además, en adición al intercalador de paridad 23 y al intercalador de torsión de columna 24, también se puede configurar integralmente el demultiplexor 25.

En particular, también el proceso de sustitución llevado a cabo por el demultiplexor 25 se puede representar por una matriz para convertir una dirección de escritura de la memoria 31 para almacenar un código LDPC en una dirección de lectura.

15 Por consiguiente, si se determina por adelantado una matriz obtenida mediante multiplicación de una matriz representativa del intercalado de paridad, otra matriz representativa del intercalado de torsión de columna y una matriz adicional representativa del proceso de sustitución, entonces el intercalado de paridad, el intercalado de torsión de columna y el proceso de sustitución se pueden llevar a cabo colectivamente por la matriz determinada.

Se ha de señalar que es posible llevar a cabo solamente uno o ninguno del intercalado de paridad y del intercalado de torsión de columna.

20 Ahora, una simulación llevada a cabo con respecto al aparato de transmisión 11 de la FIG. 8 para medir la tasa de error (tasa de error de bits) se describe con referencia a las FIG. 26 a 28.

La simulación se llevó a cabo adoptando un camino de comunicación que tiene una fluctuación cuya D/U es 0 dB.

La FIG. 26 muestra un modelo del camino de comunicación adoptado en la simulación.

En particular, A de la FIG. 26 muestra un modelo de la fluctuación adoptada en la simulación.

25 Mientras tanto, B de la FIG. 26 muestra un modelo de un camino de comunicación que tiene la fluctuación representada por el modelo de A de la FIG. 26.

Se ha de señalar que, en B de la FIG. 26, H representa el modelo de la fluctuación de A de la FIG. 26. Además, en B de la FIG. 26, N representa ICI (Interferencia entre Portadoras), y en la simulación, un valor esperado $E[N^2]$ de la potencia fue aproximado mediante AWGN.

30 Las FIG. 27 y 28 ilustran relaciones entre la tasa de error obtenida por la simulación y la frecuencia Doppler f_d de la fluctuación.

35 Se ha de señalar que la FIG. 27 ilustra una relación entre la tasa de error y la frecuencia Doppler f_d donde el método de modulación es 16QAM y la tasa de codificación (r) es (3/4) y además el método de sustitución es el primer método de sustitución. Mientras tanto, la FIG. 28 ilustra la relación entre la tasa de error y la frecuencia Doppler f_d donde el método de modulación es 64QAM y la tasa de codificación (r) es (5/6) y además el método de sustitución es el primer método de sustitución.

40 Además, en las FIG. 27 y 28, una curva de línea gruesa indica la relación entre la tasa de error y la frecuencia Doppler f_d donde se llevaron a cabo todos del intercalado de paridad, intercalado de torsión de columna y proceso de sustitución, y una curva de línea delgada indica la relación entre la tasa de error y la frecuencia Doppler f_d donde solamente se llevó a cabo el proceso de sustitución de entre el intercalado de paridad, el intercalado de torsión de columna y el proceso de sustitución.

En ambas de las FIG. 27 y 28, se puede reconocer que la tasa de error mejora (disminuye) donde se llevan a cabo todos del intercalado de paridad, intercalado de torsión de columna y proceso de sustitución, en lugar de donde solamente se lleva a cabo el proceso de sustitución.

45 Ahora, se describe además la sección de codificación LDPC 21 de la FIG. 8.

Como se ha descrito con referencia a la FIG. 11, en el estándar DVB-S.2, se prescribe la codificación LDPC de las dos longitudes de código N diferentes de 64.800 bits y 16.200 bits.

50 Y para el código LDPC cuya longitud de código N es 64.800 bits, se prescriben las 11 tasas de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, y para el código LDPC cuya longitud de código N es 16.200 bits, se prescriben las 10 tasas de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9 (B de la FIG. 11).

La sección de codificación LDPC 21 lleva a cabo la codificación (codificación de corrección de error) en códigos LDPC de las diferentes tasas de codificación cuya longitud de código N es 64.800 bits o 16.200 bits según una matriz de comprobación de paridad H preparada para cada longitud de código N y para cada tasa de codificación.

La FIG. 29 muestra un ejemplo de una configuración de la sección de codificación LDPC 21 de la FIG. 8.

- 5 La sección de codificación LDPC 21 incluye un bloque de procesamiento de codificación 601 y un bloque de almacenamiento 602.

El bloque de procesamiento de codificación 601 incluye una parte de ajuste de tasa de codificación 611, una parte de lectura de tabla de valores iniciales 612, una parte de producción de matriz de comprobación de paridad 613, una parte de lectura de bits de información 614, una parte de operación matemática de paridad de codificación 615, y una parte de control 616, y lleva a cabo la codificación LDPC de datos de objeto suministrados a la sección de codificación LDPC 21 y suministra un código LDPC obtenido como resultado de la codificación LDPC al intercalador de bits 22 (FIG. 8).

10

En particular, la parte de ajuste de tasa de codificación 611 fija una longitud de código N y una tasa de codificación para códigos LDPC, por ejemplo, en respuesta a una operación de un operador.

- 15 La parte de lectura de tabla de valores iniciales 612 lee una tabla de valores iniciales de matriz de comprobación de paridad descrita en lo sucesivo, que corresponde a la longitud de código N y la tasa de codificación fijada por la parte de ajuste de tasa de codificación 611 del bloque de almacenamiento 602.

La parte de producción de matriz de comprobación de paridad 613 coloca, en base a la tabla de valores iniciales de matriz de comprobación de paridad leída por la parte de lectura de tabla de valores iniciales 612, elementos del valor 1 de una matriz de información H_A que corresponde a una longitud de información K (= longitud de código N – longitud de paridad M) que corresponde a la longitud de código N y la tasa de codificación fijada por la parte de ajuste de tasa de codificación 611 en un periodo de 360 columnas (número de columnas unidad P de la estructura cíclica) en la dirección de columna para producir una matriz de comprobación de paridad H , y almacena la matriz de comprobación de paridad H en el bloque de almacenamiento 602.

20

- 25 La parte de lectura de bits de información 614 lee (extrae) bits de información para la longitud de información K a partir de los datos de objeto suministrados a la sección de codificación LDPC 21.

La parte de operación matemática de paridad de codificación 615 lee la matriz de comprobación de paridad H producida por la parte de producción de matriz de comprobación de paridad 613 del bloque de almacenamiento 602 y calcula los bits de paridad que corresponden a los bits de información leídos por la parte de lectura de bits de información 614 según una expresión predeterminada para producir una palabra de código (código LDPC).

30

La parte de control 616 controla los bloques que componen el bloque de procesamiento de codificación 601.

- En el bloque de almacenamiento 602, se almacena una pluralidad de tablas de valores iniciales de matriz de comprobación de paridad, etc., que corresponden individualmente con las múltiples tasas de codificación ilustradas en la FIG. 11 con respecto a las individuales de las dos longitudes de código N de 64.800 bits y 16.200 bits. Además, el bloque de almacenamiento 602 almacena temporalmente los datos necesarios para procesamiento del bloque de procesamiento de codificación 601.
- 35

La FIG. 30 es un diagrama de flujo que ilustra un proceso de recepción llevado a cabo por el aparato de recepción 12 de la FIG. 29.

- 40 En el paso S201, la parte de ajuste de tasa de codificación 611 determina (fija) una longitud de código N y una tasa de codificación r usada para llevar a cabo la codificación LDPC.

En el paso S202, la parte de lectura de tabla de valores iniciales 612 lee desde el bloque de almacenamiento 602 una tabla de valores iniciales de matriz de comprobación de paridad predeterminada que corresponde a la longitud de código N y la tasa de codificación r determinada por la parte de ajuste de tasa de codificación 611.

- 45 En el paso S203, la parte de producción de matriz de comprobación de paridad 613 determina (produce) una matriz de comprobación de paridad H para un código LDPC que tiene la longitud de código N y la tasa de codificación r determinada por la parte de ajuste de tasa de codificación 611 usando la tabla de valores iniciales de matriz de comprobación de paridad leída desde el bloque de almacenamiento 602 por la parte de lectura de tabla de valores iniciales 612, y suministra la matriz de comprobación de paridad H al bloque de almacenamiento 602 para ser almacenada.

- 50 En el paso S204, la parte de lectura de bits de información 614 lee los bits de información de la longitud de información K (= $N \times r$) que corresponde a la longitud de código N y la tasa de codificación r determinada por la parte de ajuste de tasa de codificación 611 de entre los datos de objeto suministrados a la sección de codificación LDPC 21 y lee la matriz de comprobación de paridad H determinada por la parte de producción de matriz de comprobación de paridad 613 del bloque de almacenamiento 602, y suministra los bits de información y la matriz de comprobación

de paridad H a la parte de operación matemática de paridad de codificación 615.

En el paso S205, la parte de operación matemática de paridad de codificación 615 opera sucesivamente de forma matemática un bit de paridad de una palabra de código c que satisface una expresión (8).

$$Hc^T = 0 \quad \dots (8)$$

5 En la expresión (8), c indica un vector de fila como la palabra de código (código LDPC) y c^T indica la inversión del vector de fila c.

Aquí, como se ha descrito anteriormente, donde, desde dentro del vector de fila c como un código LDPC (una palabra de código), una parte que corresponde a los bits de información se representa por un vector de fila A y una parte que corresponde a los bits de paridad se representa por un vector de fila T, el vector de fila c se puede representar mediante una expresión $c = [A|T]$ del vector de fila A como los bits de información y el vector de fila T como los bits de paridad.

Es necesario que la matriz de comprobación de paridad H y el vector de fila $c = [A|T]$ como código LDPC satisfagan la expresión $Hc^T = 0$, y donde la matriz de paridad H_T de la matriz de comprobación de paridad $H = [H_A | H_T]$ tenga una estructura de escalera mostrada en la FIG. 10, el vector de fila T como bits de paridad que configura el vector de fila $c = [A|T]$ que satisface la expresión $Hc^T = 0$ se puede determinar secuencialmente fijando los elementos de cada fila a cero en orden comenzando con los elementos en la primera fila del vector de columna Hc^T en la expresión $Hc^T = 0$.

Si la parte de operación matemática de paridad de codificación 615 determina un bit de paridad T para un bit de información A, entonces emite una palabra de código $c = [A|T]$ representada por el bit de información A y el bit de paridad T como resultado de la codificación LDPC del bit de información A.

Se ha de señalar que la palabra de código c tiene 64.800 bits o 16.200 bits.

A partir de entonces, en el paso S206, la parte de control 616 decide si se debería terminar o no la codificación LDPC. Si se decide en el paso S206 que no se debería terminar la codificación LDPC, es decir, por ejemplo, si quedan allí datos de objeto que han de ser codificados LDPC, entonces el procesamiento vuelve al paso S201, y a partir de entonces, se repiten los procesos en los pasos S201 a S206.

Por otra parte, si se decide en el paso S206 que se debería terminar la codificación LDPC, es decir, por ejemplo, si no quedan allí datos de objeto que han de ser codificados LDPC, la sección de codificación LDPC 21 termina el procesamiento.

Como se ha descrito anteriormente, se preparan las tablas de valores iniciales de matriz de comprobación de paridad que corresponden a las longitudes de código N y las tasa de codificación r, y la sección de codificación LDPC 21 lleva a cabo la codificación LDPC para una longitud de código N predeterminada y una tasa de codificación r predeterminada usando una matriz de comprobación de paridad H producida a partir de una tabla de valores iniciales de matriz de comprobación de paridad que corresponde a la longitud de código N predeterminada y la tasa de codificación r predeterminada.

Cada tabla de valores iniciales de matriz de comprobación de paridad es una tabla que representa la posición de elementos del valor 1 de la matriz de información H_A que corresponde a la longitud de información K que corresponde a la longitud de código N y la tasa de codificación r del código LDPC de la matriz de comprobación de paridad H (código LDPC definido por la matriz de comprobación de paridad H) para cada 360 filas (número de columnas unidad P de la estructura periódica), y se produce por adelantado para una matriz de comprobación de paridad H para cada longitud de código N y cada tasa de codificación r.

Las FIG. 31 a 58 ilustran algunas de las tablas de valores iniciales de matriz de comprobación de paridad prescritas en el estándar DVB-S.2.

En particular, la FIG. 31 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 2/3.

Las FIG. 32 a 34 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 2/3.

Se ha de señalar que la FIG. 33 es una vista que continúa desde la FIG. 32 y la FIG. 34 es una vista que continúa desde la FIG. 33.

La FIG. 35 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 3/4.

Las FIG. 36 a 39 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 3/4.

5 Se ha de señalar que la FIG. 37 es una vista que continúa desde la FIG. 36 y la FIG. 38 es una vista que continúa desde la FIG. 37. Además, la FIG. 39 es una vista que continúa desde la FIG. 38.

La FIG. 40 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 4/5.

10 Las FIG. 41 a 44 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 4/5.

Se ha de señalar que la FIG. 42 es una vista que continúa desde la FIG. 41 y la FIG. 43 es una vista que continúa desde la FIG. 42. Además, la FIG. 44 es una vista que continúa desde la FIG. 43.

15 La FIG. 45 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 5/6.

Las FIG. 46 a 49 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 5/6.

20 Se ha de señalar que la FIG. 47 es una vista que continúa desde la FIG. 46 y la FIG. 48 es una vista que continúa desde la FIG. 47. Además, la FIG. 49 es una vista que continúa desde la FIG. 48.

La FIG. 50 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 8/9.

25 Las FIG. 51 a 54 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 8/9.

Se ha de señalar que la FIG. 52 es una vista que continúa desde la FIG. 51 y la FIG. 53 es una vista que continúa desde la FIG. 52. Además, la FIG. 54 es una vista que continúa desde la FIG. 53.

30 Las FIG. 55 a 58 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 9/10.

Se ha de señalar que la FIG. 56 es una vista que continúa desde la FIG. 55 y la FIG. 57 es una vista que continúa desde la FIG. 56. Además, la FIG. 58 es una vista que continúa desde la FIG. 57.

35 La parte de producción de matriz de comprobación de paridad 613 (FIG. 29) determina una matriz de comprobación de paridad H de la siguiente manera usando las tablas de valores iniciales de matriz de comprobación de paridad.

En particular, la FIG. 59 ilustra un método para determinar una matriz de comprobación de paridad H a partir de una tabla de valores iniciales de matriz de comprobación de paridad.

40 Se ha de señalar que la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 59 indica la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 2/3 mostrada en la FIG. 31.

45 Como se ha descrito anteriormente, la tabla de valores iniciales de matriz de comprobación de paridad es una tabla que representa la posición de elementos del valor 1 de una matriz de información H_A (FIG. 9) que corresponde a la longitud de información K que corresponde a la longitud de código N y a la tasa de codificación r del código LDPC para cada 360 columnas (para cada número de columnas unidad P de la estructura cíclica), y en la primera fila de la tabla de valores iniciales de matriz de comprobación de paridad, un número de números de fila de elementos del valor 1 en la columna de orden $1 + 360x(i-1)$ de la matriz de comprobación de paridad H (números de fila donde el número de fila de la primera fila de la matriz de comprobación de paridad H es 0) igual al número de ponderaciones de columna que tiene la columna de orden $1 + 360x(i-1)$.

50 Aquí, dado que la matriz de paridad H_T (FIG. 9) de la matriz de comprobación de paridad H que corresponde a la longitud de paridad M, se determina como se ilustra en la FIG. 19, según la tabla de valores iniciales de matriz de

comprobación de paridad, se determina la matriz de información H_A (FIG. 9) de la matriz de comprobación de paridad H que corresponde a la longitud de información K .

El número de fila $k+1$ de la tabla de valores iniciales de matriz de comprobación de paridad difiere dependiendo de la longitud de información K .

- 5 La longitud de información K y el número de fila $k+1$ de la tabla de valores iniciales de matriz de comprobación de paridad satisfacen una relación dada por una expresión (9).

$$K = (k + 1) \times 360 \quad \dots (9)$$

Aquí, 360 en la expresión (9) es el número de columnas unidad P de la estructura cíclica descrita con referencia a la FIG. 20.

- 10 En la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 59, se enumeran 13 valores numéricos en la primera a tercera filas, y se enumeran tres valores numéricos en la cuarta fila a la de orden $k+1$ (en la FIG. 59, 30ª).

Por consiguiente, el número de ponderaciones de columna en la matriz de comprobación de paridad H determinado a partir de la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 59 es 13 en la primera fila a la de orden $1 + 360x (3-1)-1$, pero es 3 en las filas de orden $1 + 360x (3-1)$ a la de orden K .

- 15

La primera fila de la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 59 incluye 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622, y esto indica que, en la primera columna de la matriz de comprobación de paridad H , los elementos en filas de los números de fila de 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622 tienen el valor 1 (y además los otros elementos tienen el valor 0).

- 20 Mientras tanto, la segunda fila de la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 59 incluye 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108, y esto indica que, en la columna de orden 361 (= orden $1+360x (2-1)$) de la matriz de comprobación de paridad H , los elementos en las filas de los números de fila de 1, 122, 1546, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108 tienen el valor 1.

- 25 Como se ha dado anteriormente, la tabla de valores iniciales de matriz de comprobación de paridad representa la posición de elementos del valor 1 de la matriz de información H_A de la matriz de comprobación de paridad H para cada 360 columnas.

Cada una de las columnas de la matriz de comprobación de paridad H distinta de la columna de orden $1+360x (i-1)$, es decir, cada una de las columnas desde la columna de orden $2+360x (i-1)$ hasta la de orden $360xi$, incluye elementos del valor de 1 obtenidos desplazando cíclicamente los elementos del valor de 1 de la columna de orden $1+360x (i-1)$ que dependen de la tabla de valores iniciales de matriz de comprobación de paridad periódicamente en la dirección hacia abajo (en dirección hacia abajo de la columna) según la longitud de paridad M .

- 30

En particular, por ejemplo, la columna de orden $2+360x (i-1)$ es una columna obtenida desplazando cíclicamente la columna de orden $1+360x (i-1)$ en la dirección hacia abajo por $M/360 (= q)$, y la siguiente de orden $3+360x (i-1)$ es una columna obtenida desplazando cíclicamente la columna de orden $1+360x (i-1)$ en la dirección hacia abajo por $2 \times M/360 (= 2 \times q)$ y luego desplazando cíclicamente la columna desplazada cíclicamente (columna de orden $2+360x (i-1)$) en la dirección hacia abajo por $M/360 (= q)$.

- 35

Ahora, si se supone que el valor numérico en la columna de orden j (orden j desde la izquierda) en la fila de orden i (fila de orden i desde arriba) de la tabla de valores iniciales de matriz de comprobación de paridad se representa por $b_{i,j}$ y el número de fila del elemento de orden j del valor 1 en la columna de orden w de la matriz de comprobación de paridad H se representa por $H_{w,j}$, entonces el número de filas $H_{w,j}$ del elemento del valor 1 en la columna de orden w que es una columna distinta de la columna de orden $1+360x (i-1)$ de la matriz de comprobación de paridad H se puede determinar según la siguiente expresión.

- 40

$$H_{w,j} = \text{mod} \{h_{i,j} + \text{mod} ((w-1), P) \times q, M\} \quad \dots(10)$$

Aquí, $\text{mod} (x, y)$ significa un resto cuando x se divide por y .

- 45 Mientras tanto, P es un número de columnas unidad de la estructura cíclica descrita anteriormente y es, por ejemplo, en el estándar DVB-S.2, como se ha descrito anteriormente, 360. Además, q es un valor $M/360$ obtenido dividiendo la longitud de paridad M por el número de columnas unidad $P (= 360)$ de la estructura cíclica.

La parte de producción de matriz de comprobación de paridad 613 (FIG. 29) especifica el número de filas de los elementos del valor 1 en la columna de orden $1 + 360x (i-1)$ de la matriz de comprobación de paridad H a partir de la tabla de valores iniciales de matriz de comprobación de paridad.

- 50

Además, la parte de producción de matriz de comprobación de paridad 613 (FIG. 29) determina el número de fila $H_{w,j}$ del elemento del valor 1 en la columna de orden w que es una columna distinta de la columna de orden $1 + 360x (i-$

1) de la matriz de comprobación de paridad H según la expresión (10) y produce una matriz de comprobación de paridad H en la que los elementos de los números de filas obtenidos por lo precedente tienen el valor 1.

De paso, se sabe que el código LDPC que tiene una tasa de codificación de 2/3 prescrita en el estándar DVB-S.2 es inferior (más alto) en el suelo de error del mismo en comparación con los códigos LDPC de las otras tasas de codificación.

Aquí, ocurre un fenómeno (fenómeno de suelo de error) que, como la S/N (E_s/N_0) llega a ser más alto, la caída de la tasa de error (BER) llega a ser más apagada y la tasa de error detiene su caída, y la tasa de error cuando se detiene la caída es un suelo de error.

Si el suelo de error llega a ser más alto, entonces generalmente la tolerancia a errores en el camino de comunicación 13 (FIG. 7) cae y, por lo tanto, es deseable adoptar una contramedida para mejorar la tolerancia a errores.

Como contramedida para mejorar la tolerancia a errores, por ejemplo, está disponible un proceso de sustitución que se lleva a cabo por el demultiplexor 25 (FIG. 8).

En el proceso de sustitución, como método de sustitución para sustituir los bits de código de un código LDPC, por ejemplo, están disponibles el primer al cuarto métodos de sustitución descritos anteriormente. No obstante, se demanda proponer un método que tenga una tolerancia a errores mejorada aún más en comparación con los métodos ya propuestos que incluyen el primero al cuarto métodos de sustitución.

De esta manera, el demultiplexor 25 (FIG. 8) está configurado de manera que puede llevar a cabo un proceso de sustitución según una regla de asignación como se ha descrito anteriormente con referencia a la FIG. 25.

En lo que sigue, antes de que se describa un proceso de sustitución según una regla de asignación, se describe un proceso de sustitución mediante métodos de sustitución (en lo sucesivo referidos como métodos existentes) ya propuestos.

Un proceso de sustitución donde se supone que el proceso de sustitución se lleva a cabo según los métodos existentes por el demultiplexor 25 se describe con referencia a las FIG. 60 y 61.

La FIG. 60 muestra un ejemplo del proceso de sustitución de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de 3/5.

En particular, A de la FIG. 60 ilustra un ejemplo del método de sustitución de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2.

Donde el método de modulación es 16QAM, 4 (= m) bits de entre los bits de código se asignan como un símbolo a algunos de los 16 puntos de señal prescritos por 16QAM.

Además, donde la longitud de código N es de 64.800 bits y el múltiplo b es 2, la memoria 31 (FIG. 16 y 17) del demultiplexor 25 tiene ocho columnas para almacenar 4×2 (= mb) bits en la dirección de fila y almacena $64.800 / (4 \times 2)$ bits en la dirección de columna.

En el demultiplexor 25, cuando los bits de código del código LDPC se escriben en la dirección de columna de la memoria 31 y termina la escritura de los 64.800 bits de código (una palabra de código), los bits de código escritos en la memoria 31 se leen en una unidad de 4×2 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32 (FIG. 16 y 17).

La sección de sustitución 32 sustituye los 4×2 (= mb) bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6$ y b_7 leídos de la memoria 31 de manera que, como se ve en A de la FIG. 60, los 4×2 (= mb) bits de código b_0 a b_7 se asignan a los 4×2 (= mb) bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 de dos (= b) símbolos sucesivos.

En particular, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_7 ,

el bit de código b_1 al bit de símbolo y_1 ,

el bit de código b_2 al bit de símbolo y_4 ,

el bit de código b_3 al bit de símbolo y_2 ,

el bit de código b_4 al bit de símbolo y_5 ,

el bit de código b_5 al bit de símbolo y_3 ,

el bit de código b_6 al bit de símbolo y_6 , y

el bit de código b_7 al bit de símbolo y_0 .

5 En particular, B de la FIG. 60 ilustra un ejemplo del método de sustitución de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación es 3/5 y además el método de modulación es 64QAM y el múltiplo b es 2.

Donde el método de modulación es 64QAM, 6 (= m) bits de entre los bits de código se mapean como un símbolo a algunos de los 64 puntos de señal prescritos por 64QAM.

10 Además, donde la longitud de código N es de 64.800 bits y el múltiplo b es 2, la memoria 31 (FIG. 16 y 17) del demultiplexor 25 tiene 12 columnas para almacenar 6×2 (= mb) bits en la dirección de fila y almacena $64.800 / (6 \times 2)$ bits en la dirección de columna.

En el demultiplexor 25, cuando los bits de código del código LDPC se escriben en la dirección de columna de la memoria 31 y termina la escritura de los 64.800 bits de código (una palabra de código), los bits de código escritos en la memoria 31 se leen en una unidad de 6×2 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32 (FIG. 16 y 17).

15 La sección de sustitución 32 sustituye, por ejemplo, los 6×2 (= mb) bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}$ y b_{11} leídos de la memoria 31 de manera que, como se ve en B de la FIG. 60, los 6×2 (= mb) bits de código b_0 a b_{11} , se asignan a 6×2 (= mb) bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}$ e y_{11} de dos (= b) símbolos sucesivos.

En particular, la sección de sustitución 32 lleva a cabo una sustitución para asignar

20 el bit de código b_0 al bit de símbolo y_{11} ,

el bit de código b_1 al bit de símbolo y_7 ,

el bit de código b_2 al bit de símbolo y_3 ,

el bit de código b_3 al bit de símbolo y_{10} ,

el bit de código b_4 al bit de símbolo y_6 ,

25 el bit de código b_5 al bit de símbolo y_2 ,

el bit de código b_6 al bit de símbolo y_9 ,

el bit de código b_7 al bit de símbolo y_5 ,

el bit de código b_8 al bit de símbolo y_1 ,

el bit de código b_9 al bit de símbolo y_8 ,

30 el bit de código b_{10} al bit de símbolo y_4 , y

el bit de código b_{11} al bit de símbolo y_0 .

En particular, C de la FIG. 60 ilustra un ejemplo del método de sustitución de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación es 3/5 y además el método de modulación es 256QAM y el múltiplo b es 2.

35 Donde el método de modulación es 256QAM, 8 (= m) bits de entre los bits de código se mapean como un símbolo a algunos de los 256 puntos de señal prescritos por 256QAM.

Además, donde la longitud de código N es de 64.800 bits y el múltiplo b es 2, la memoria 31 (FIG. 16 y 17) del demultiplexor 25 tiene 16 columnas para almacenar 8×2 (= mb) bits en la dirección de fila y almacena $64.800 / (8 \times 2)$ bits en la dirección de columna.

40 En el demultiplexor 25, cuando los bits de código del código LDPC se escriben en la dirección de columna de la memoria 31 y termina la escritura de los 64.800 bits de código (una palabra de código), los bits de código escritos en la memoria 31 se leen en una unidad de 8×2 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32 (FIG. 16 y 17).

45 La sección de sustitución 32 sustituye, por ejemplo, los 8×2 (= mb) bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}, b_{11}, b_{12}, b_{13}, b_{14}$ y b_{15} leídos de la memoria 31 de manera que, como se ve en C de la FIG. 60, los 8×2 (= mb) bits de código b_0 a b_{15} , se asignan a 8×2 (= mb) bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}, y_{11}, y_{12}, y_{13}, y_{14}$

e y_{15} de dos (= b) símbolos sucesivos.

En particular, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_{15} ,

el bit de código b_1 al bit de símbolo y_{14} ,

5 el bit de código b_2 al bit de símbolo y_{13} ,

el bit de código b_3 al bit de símbolo y_{12} ,

el bit de código b_4 al bit de símbolo y_{11} ,

el bit de código b_5 al bit de símbolo y_{10} ,

el bit de código b_6 al bit de símbolo y_9 ,

10 el bit de código b_7 al bit de símbolo y_8 ,

el bit de código b_8 al bit de símbolo y_7 ,

el bit de código b_9 al bit de símbolo y_6 ,

el bit de código b_{10} al bit de símbolo y_5 ,

el bit de código b_{11} al bit de símbolo y_4 ,

15 el bit de código b_{12} al bit de símbolo y_3 ,

el bit de código b_{13} al bit de símbolo y_2 ,

el bit de código b_{14} al bit de símbolo y_1 , y

el bit de código b_{15} al bit de símbolo y_0 .

20 La FIG. 61 muestra un ejemplo del proceso de sustitución de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 16.200 bits y una tasa de codificación de 3/5.

En particular, A de la FIG. 61 ilustra un ejemplo del método de sustitución de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 16.200 bits y una tasa de codificación de 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2.

25 Donde el método de modulación es 16QAM, 4 (= m) bits de entre los bits de código se asignan como un símbolo a algunos de los 16 puntos de señal prescritos por 16QAM.

Además, donde la longitud de código N es de 16.200 bits y el múltiplo b es 2, la memoria 31 (FIG. 16 y 17) del demultiplexor 25 tiene 8 columnas para almacenar 4×2 (= mb) bits en la dirección de fila y almacena $16.200 / (4 \times 2)$ bits en la dirección de columna.

30 En el demultiplexor 25, cuando los bits de código del código LDPC se escriben en la dirección de columna de la memoria 31 y termina la escritura de los 16.200 bits de código (una palabra de código), los bits de código escritos en la memoria 31 se leen en una unidad de 4×2 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32 (FIG. 16 y 17).

35 La sección de sustitución 32 sustituye, por ejemplo, los 4×2 (= mb) bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6$ y b_7 leídos de la memoria 31 de manera, que como se ve en A de la FIG. 61, los 4×2 (= mb) bits de código b_0 a b_7 se asignan a los 4×2 (= mb) bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 de dos (= b) símbolos sucesivos.

En particular, la sección de sustitución 32 lleva a cabo una sustitución para asignar los bits de código b_0 a b_7 a los bits de símbolo y_0 a y_7 como en el caso de A de la FIG. 60 descrito anteriormente.

40 En particular, B de la FIG. 61 ilustra un ejemplo del método de sustitución de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 16.200 bits y una tasa de codificación es 3/5 y además el método de modulación es 64QAM y el múltiplo b es 2.

Donde el método de modulación es 64QAM, 6 (= m) bits de entre los bits de código se mapean como un símbolo a algunos de los 64 puntos de señal prescritos por 64QAM.

Además, donde la longitud de código N es de 16.200 bits y el múltiplo b es 2, la memoria 31 (FIG. 16 y 17) del demultiplexor 25 tiene 12 columnas para almacenar 6×2 (= mb) bits en la dirección de fila y almacena $16.200 / (6 \times 2)$ bits en la dirección de columna.

2) bits en la dirección de columna.

5 En el demultiplexor 25, cuando los bits de código del código LDPC se escriben en la dirección de columna de la memoria 31 y termina la escritura de los 16.200 bits de código (una palabra de código), los bits de código escritos en la memoria 31 se leen en una unidad de 6×2 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32 (FIG. 16 y 17).

La sección de sustitución 32 sustituye, por ejemplo, los 6×2 (= mb) bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6, b_7, b_8, b_9, b_{10}$ y b_{11} leídos de la memoria 31 de manera que, como se ve en B de la FIG. 61, los 6×2 (= mb) bits de código b_0 a b_{11} , se asignan a 6×2 (= mb) bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6, y_7, y_8, y_9, y_{10}$ e y_{11} de dos (= b) símbolos sucesivos.

10 En particular, la sección de sustitución 32 lleva a cabo una sustitución para asignar los bits de código b_0 a b_{11} a los bits de símbolo y_0 a y_{11} como en el caso de B de la FIG. 60 descrito anteriormente.

En particular, C de la FIG. 61 ilustra un ejemplo del método de sustitución de un método existente donde el código LDPC es un código LDPC que tiene una longitud de código N de 16.200 bits y una tasa de codificación es $3/5$ y además el método de modulación es 256QAM y el múltiplo b es 1.

15 Donde el método de modulación es 256QAM, 8 (= m) bits de entre los bits de código se mapean como un símbolo a algunos de los 256 puntos de señal prescritos por 256QAM.

Además, donde la longitud de código N es de 16.200 bits y el múltiplo b es 1, la memoria 31 (FIG. 16 y 17) del demultiplexor 25 tiene 8 columnas para almacenar 8×1 (= mb) bits en la dirección de fila y almacena $16.200 / (8 \times 1)$ bits en la dirección de columna.

20 En el demultiplexor 25, cuando los bits de código del código LDPC se escriben en la dirección de columna de la memoria 31 y termina la escritura de los 16.200 bits de código (una palabra de código), los bits de código escritos en la memoria 31 se leen en una unidad de 8×1 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32 (FIG. 16 y 17).

25 La sección de sustitución 32 sustituye, por ejemplo, los 8×1 (= mb) bits de código $b_0, b_1, b_2, b_3, b_4, b_5, b_6$ y b_7 leídos de la memoria 31 de manera que, como se ve en C de la FIG. 61, los 8×1 (= mb) bits de código b_0 a b_7 se asignan a 8×1 (= mb) bits de símbolo $y_0, y_1, y_2, y_3, y_4, y_5, y_6$ e y_7 de un (= b) símbolo sucesivo.

En particular, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_7 ,

el bit de código b_1 al bit de símbolo y_3 ,

30 el bit de código b_2 al bit de símbolo y_1 ,

el bit de código b_3 al bit de símbolo y_5 ,

el bit de código b_4 al bit de símbolo y_2 ,

el bit de código b_5 al bit de símbolo y_6 ,

el bit de código b_6 al bit de símbolo y_4 , y

35 el bit de código b_7 al bit de símbolo y_0 .

Ahora, se describe un proceso de sustitución según una regla de asignación (en lo sucesivo conocida también como proceso de sustitución según el nuevo método de sustitución).

Las FIG. 62 a 64 son vistas que ilustran el nuevo método de sustitución.

40 En el nuevo método de sustitución, la sección de sustitución 32 del demultiplexor 25 lleva a cabo la sustitución de mb bits de código según una regla de asignación determinada por adelantado.

45 La regla de asignación es una regla para asignar bits de código de un código LDPC a bits de símbolo. En la regla de asignación, se prescriben un conjunto de grupos que es una combinación de un grupo de bits de código de bits de código y un grupo de bits de símbolo de bits de símbolos a los que están asignados los bits de código del grupo de bits de código y un número de bits (en lo sucesivo conocido también como número de bit de grupo) de bits de código y bits de símbolo del grupo de bits de código y el grupo de bits de símbolos del conjunto de grupos.

Aquí, los bits de código son diferentes en probabilidad de error, entre los mismos y también los bits de símbolo son diferentes en probabilidad de error entre los mismos como se ha descrito anteriormente. El grupo de bits de código es un grupo en el que los bits de código se agrupan según la probabilidad de error y el grupo de bits de símbolo es

un grupo en el que los bits de símbolo se agrupan según la probabilidad de error.

La FIG. 62 ilustra grupos de bits de código y grupos de bits de símbolo donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de $2/3$ y además el método de modulación es 256QAM y el múltiplo b es 2.

- 5 En este caso, $8 \times 2 (= mb)$ bits de código b_0 a b_{15} leídos de la memoria 31 se pueden agrupar en cinco grupos de bits de código Gb_1, Gb_2, Gb_3, Gb_4 y Gb_5 como se ve en A de la FIG. 62 según la diferencia de probabilidad de error.

Aquí, el grupo de bits de código Gb_i es un grupo en el que los bits de código que pertenecen al grupo de bits de código Gb_i tienen una probabilidad de error mejor (inferior), en la medida que el sufijo i del mismo tiene un valor inferior.

- 10 En A de la Fig. 62, al grupo de bits de código Gb_1 , pertenece el bit de código b_0 ; al grupo de bits de código Gb_2 , pertenece el bit de código b_1 ; al grupo de bits de código Gb_3 , pertenecen los bits de código b_2 a b_9 ; al grupo de bits de código Gb_4 , pertenece el bit de código b_{10} ; y al grupo de bits de código Gb_5 , pertenecen los bits de código b_{11} a b_{15} .

- 15 Donde el método de modulación es 256QAM y el múltiplo b es 2, los $8 \times 2 (= mb)$ bits de símbolo y_0 a y_{15} se pueden agrupar en cuatro grupos de bits de símbolo Gy_1, Gy_2, Gy_3 y Gy_4 como se ve en B de la FIG. 62 según la diferencia de probabilidad de error.

Aquí, el grupo de bits de símbolo Gy_i es un grupo en el que los bits de símbolo que pertenecen al grupo de bits de símbolo Gy_i tienen una probabilidad de error mejor en la medida que el sufijo i del mismo tiene un valor inferior de manera similar al grupo de bits de código.

- 20 En B de la Fig. 62, al grupo de bits de símbolo Gy_1 , pertenecen los bits de símbolo y_0, y_1, y_8 e y_9 ; al grupo de bits de símbolo Gy_2 , pertenecen los bits de símbolo y_2, y_3, y_{10} e y_{11} ; al grupo de bits de símbolo Gy_3 , pertenecen los bits de símbolo y_4, y_5, y_{12} e y_{13} ; y al grupo de bits de símbolo Gy_4 , pertenecen los bits de símbolo y_6, y_7, y_{14} e y_{15} .

- 25 La FIG. 63 ilustra una regla de asignación donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de $2/3$ y además el método de modulación es 256QAM y el múltiplo b es 2.

En la regla de asignación de la FIG. 63, la combinación del grupo de bits de código Gb_1 y el grupo de bits de símbolo Gy_4 se define en el primero de la izquierda de la FIG. 63 como un conjunto de grupos. Además, el número de bits de grupo del conjunto de grupos se prescribe a 1 bit.

- 30 En la siguiente descripción, un conjunto de grupos y un número de bits de grupo del conjunto de grupos se conocen colectivamente como información de conjunto de grupos. Por ejemplo, el conjunto de grupos del grupo de bits de código Gb_1 y el grupo de bits de símbolo Gy_4 y 1 bit que es el número de bits de grupo del conjunto de grupos se describen como información de conjunto de grupos $(Gb_1, Gy_4, 1)$.

- 35 En la regla de asignación de la FIG. 63, se prescribe información de conjunto de grupos $(Gb_2, Gy_4, 1)$, $(Gb_3, Gy_1, 3)$, $(Gb_3, Gy_2, 1)$, $(Gb_3, Gy_3, 2)$, $(Gb_3, Gy_4, 2)$, $(Gb_4, Gy_3, 1)$, $(Gb_5, Gy_1, 1)$, $(Gb_5, Gy_2, 3)$ y $(Gb_5, Gy_3, 1)$ además de la información de conjunto de grupos $(Gb_1, Gy_4, 1)$.

Por ejemplo, la información de conjunto de grupos $(Gb_1, Gy_4, 1)$ significa que un bit de código que pertenece al grupo de bits de código Gb_1 se asigna a un bit de símbolo que pertenece al grupo de bits de símbolo Gy_4 .

Por consiguiente, según la regla de asignación de la FIG. 63, se prescribe que,

- 40 dependiendo de la información de conjunto de grupos $(Gb_1, Gy_4, 1)$, un bit de código del grupo de bits de código Gb_1 que es el mejor en probabilidad de error se asigna a un bit de símbolo del grupo de bits de símbolo Gy_4 que es el cuarto el mejor en probabilidad de error, que

dependiendo de la información de conjunto de grupos $(Gb_2, Gy_4, 1)$, un bit de código del grupo de bits de código Gb_2 que es el segundo mejor en probabilidad de error se asigna a un bit de símbolo del grupo de bits de símbolo Gy_4 que es el cuarto mejor en probabilidad de error, que

- 45 dependiendo de la información de conjunto de grupos $(Gb_3, Gy_1, 3)$, tres bits de código del grupo de bits de código Gb_3 que es el tercero mejor en probabilidad de error se asignan a tres bits de símbolo del grupo de bits de símbolo Gy_1 que es el mejor en probabilidad de error, que

- 50 dependiendo de la información de conjunto de grupos $(Gb_3, Gy_2, 1)$, un bit de código del grupo de bits de código Gb_3 que es el tercero mejor en probabilidad de error se asigna a un bit de símbolo del grupo de bits de símbolo Gy_2 que es el segundo mejor en probabilidad de error, que

dependiendo de la información de conjunto de grupos $(Gb_3, Gy_3, 2)$, dos bits de código del grupo de bits de

código Gb_3 que es el tercero mejor en probabilidad de error se asignan a dos bits de símbolo del grupo de bits de símbolo Gy_3 que es el tercero mejor en probabilidad de error, que

5 dependiendo de la información de conjunto de grupos ($Gb_3, Gy_4, 2$), dos bits de código del grupo de bits de código Gb_3 que es el tercero mejor en probabilidad de error se asignan a dos bits de símbolo del grupo de bits de símbolo Gy_4 que es el cuarto mejor en probabilidad de error, que

dependiendo de la información de conjunto de grupos ($Gb_4, Gy_3, 1$), un bit de código del grupo de bits de código Gb_4 que es el cuarto mejor en probabilidad de error se asigna a un bit de símbolo del grupo de bits de símbolo Gy_3 que es el tercero mejor en probabilidad de error, que

10 dependiendo de la información de conjunto de grupos ($Gb_5, Gy_1, 1$), un bit de código del grupo de bits de código Gb_5 que es el quinto mejor en probabilidad de error se asigna a un bit de símbolo del grupo de bits de símbolo Gy_1 que es el mejor en probabilidad de error, que

dependiendo de la información de conjunto de grupos ($Gb_5, Gy_2, 3$), tres bits de código del grupo de bits de código Gb_5 que es el quinto mejor en probabilidad de error se asignan a tres bits de símbolo del grupo de bits de símbolo Gy_2 que es el segundo mejor en probabilidad de error, y que

15 dependiendo de la información de conjunto de grupos ($Gb_5, Gy_3, 1$), un bit de código del grupo de bits de código Gb_5 que es el quinto mejor en probabilidad de error se asigna a un bit de símbolo del grupo de bits de símbolo Gy_3 que es el tercero mejor en probabilidad de error.

20 Como se ha descrito anteriormente, el grupo de bits de código es un grupo en el que se agrupan los bits de código según la probabilidad de error, y el grupo de bits de símbolo es un grupo en el que se agrupan los bits de símbolo según la probabilidad de error. Por consiguiente, también se puede considerar que la regla de asignación prescribe una combinación de la probabilidad de error de bits de código y la probabilidad de error de bits de símbolo a los que se asignan los bits de código.

25 De esta manera, la regla de asignación que prescribe una combinación de la probabilidad de error de los bits de código y la probabilidad de error de los bits de símbolo a los que se asignan los bits de código se determina de manera que se hace mejor la tolerancia a errores (tolerancia al ruido), por ejemplo, a través de una simulación en donde se mide la BER o similar.

Se ha de señalar que, incluso si el destino de asignación de un bit de código de un cierto grupo de bits de código se cambia entre los bits del mismo grupo de bits de símbolo, la tolerancia a errores no es influenciada (poco) por ello.

30 Por consiguiente, con el fin de mejorar la tolerancia a errores, información de conjunto de grupos que hace la BER (Tasa de Error Bit) incluyendo el suelo de error menor, en particular, combinaciones (conjuntos de grupos) de grupos de bits de código de bits de código y grupos de bits de símbolo de bits de símbolo a los que los bits de código de los grupos de bits de código han de ser asignados y los números de bits (números de bits de grupo) de los bits de código de los grupos de bits de código y los grupos de bits de símbolo de los conjuntos de grupos y de los bits de símbolo, se debería definir como una regla de asignación, y la sustitución de los bits de código se debería llevar a cabo de manera que los bits de código se asignen a los bits de símbolo según la regla de asignación.

35 No obstante, necesita ser determinado por adelantado un método de asignación particular con respecto a qué símbolo se debería asignar cada bit de código según la regla de asignación entre el aparato de transmisión 11 y el aparato de recepción 12 (FIG. 7).

La FIG. 64 ilustra un ejemplo de sustitución de bits de código según la regla de asignación de la FIG. 63.

40 En particular, A de la FIG. 64 ilustra un primer ejemplo de sustitución de bits de código según la regla de asignación de la FIG. 63 donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de $2/3$ y además el método de modulación es 256QAM y el múltiplo b es 2.

45 Donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de $2/3$ y además el método de modulación es 256QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para $(64.800 / (8 \times 2) \times (8 \times 2))$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $8 \times 2 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32 (FIG. 16 y 17).

50 La sección de sustitución 32 sustituye los $8 \times 2 (= mb)$ bits de código b_0 a b_{15} leídos de la memoria 31 según la regla de asignación de la FIG. 63 de manera que se asignan los $8 \times 2 (= mb)$ bits de código b_0 a b_{15} , por ejemplo, a los $8 \times 2 (= mb)$ bits de símbolo y_0 a y_{15} de dos $(= b)$ símbolos sucesivos como se ve en A de la FIG. 64.

En particular, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_{15} ,

- el bit de código b_1 al bit de símbolo y_7 ,
- el bit de código b_2 al bit de símbolo y_1 ,
- el bit de código b_3 al bit de símbolo y_5 ,
- el bit de código b_4 al bit de símbolo y_6 ,
- 5 el bit de código b_5 al bit de símbolo y_{13} ,
- el bit de código b_6 al bit de símbolo y_{11} ,
- el bit de código b_7 al bit de símbolo y_9 ,
- el bit de código b_8 al bit de símbolo y_8 ,
- el bit de código b_9 al bit de símbolo y_{14} ,
- 10 el bit de código b_{10} al bit de símbolo y_{12} ,
- el bit de código b_{11} al bit de símbolo y_3 ,
- el bit de código b_{12} al bit de símbolo y_0 ,
- el bit de código b_{13} al bit de símbolo y_{10} ,
- el bit de código b_{14} al bit de símbolo y_4 , y
- 15 el bit de código b_{15} al bit de símbolo y_2 .

B de la FIG. 64 ilustra un segundo ejemplo de sustitución de bits de código según la regla de asignación de la FIG. 63 donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de $2/3$ y además el método de modulación es 256QAM y el múltiplo b es 2.

- Según B de la FIG. 64, la sección de sustitución 32 lleva a cabo una sustitución para asignar los $8 \times 2 (= mb)$ bits de código b_0 a b_{15} leídos de la memoria 31 según la regla de asignación de la FIG. 63 de tal manera que asignan
- el bit de código b_0 al bit de símbolo y_{15} ,
 - el bit de código b_1 al bit de símbolo y_{14} ,
 - el bit de código b_2 al bit de símbolo y_8 ,
 - el bit de código b_3 al bit de símbolo y_5 ,
 - 25 el bit de código b_4 al bit de símbolo y_6 ,
 - el bit de código b_5 al bit de símbolo y_4 ,
 - el bit de código b_6 al bit de símbolo y_2 ,
 - el bit de código b_7 al bit de símbolo y_1 ,
 - el bit de código b_8 al bit de símbolo y_9 ,
 - 30 el bit de código b_9 al bit de símbolo y_7 ,
 - el bit de código b_{10} al bit de símbolo y_{12} ,
 - el bit de código b_{11} al bit de símbolo y_3 ,
 - el bit de código b_{12} al bit de símbolo y_{13} ,
 - el bit de código b_{13} al bit de símbolo y_{10} ,
 - 35 el bit de código b_{14} al bit de símbolo y_0 , y
 - el bit de código b_{15} al bit de símbolo y_{11} .

Aquí, los métodos de asignación de los bits de código b_i a los bits de símbolo y_i ilustrados en A de la FIG. 64 y B de la FIG. 64 observan la regla de asignación de la FIG. 63 (siguen la regla de asignación).

La FIG. 65 ilustra un resultado de una simulación de la BER (Tasa de Error Bit) en un caso en donde se lleva a cabo un proceso de sustitución en A de la FIG. 64 entre los procesos de sustitución del nuevo sistema de sustitución descrito anteriormente con referencia a las FIG. 62 a 64 y en otro caso en donde se lleva a cabo un proceso de sustitución descrito anteriormente con referencia a C de la FIG. 60 entre los métodos existentes.

- 5 En particular, la FIG. 65 ilustra la BER donde se determina como objeto un código LDPC que se prescribe en el DVB-S.2 y tiene una longitud de código N de 64.800 y una tasa de codificación de $2/3$ y además se adopta 256QAM como el método de modulación y 2 se adopta como el múltiplo b .

Se ha de señalar que, en la FIG. 65, el eje de abscisas indica la E_s/N_0 y el eje de ordenadas indica la BER. Además, una marca redonda representa la BER donde se lleva a cabo un proceso de sustitución del nuevo método de sustitución, y un asterisco (marca en estrella) representa la BER donde se lleva a cabo un proceso de sustitución del método existente.

A partir de la FIG. 65, se puede reconocer que, según el proceso de sustitución del nuevo método de sustitución, el suelo de error cae significativamente en comparación con el del proceso de sustitución del método existente y se mejora la tolerancia a errores.

- 15 Se ha de señalar que, mientras que, en la presente realización, la sección de sustitución 32 en el demultiplexor 25 lleva a cabo el proceso de sustitución para bits de código leídos de la memoria 31 por la conveniencia de la descripción, el proceso de sustitución se puede llevar a cabo controlando la escritura o la lectura de los bits de código hacia en o desde la memoria 31.

En particular, el proceso de sustitución se puede llevar a cabo, por ejemplo, controlando la dirección (dirección de lectura) para leer un bit de código de manera que la lectura de los bits de código de la memoria 31 se lleva a cabo en orden de los bits de código después de la sustitución.

Ahora, como contramedida para mejorar la tolerancia a errores, un método de adopción de un código LDPC que reduce el suelo de error está disponible además del método que adopta un proceso de sustitución del método de sustitución que reduce el suelo de error.

- 25 De esta manera, la sección de codificación LDPC 21 (FIG. 8) puede llevar a cabo la codificación de un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de $2/3$ en un código LDPC de alto rendimiento adoptando una tabla de valores iniciales de matriz de comprobación de paridad que es diferente de las tablas de valores iniciales de matriz de comprobación de paridad prescritas en el estándar DVB-S.2 y a partir de la cual se determina una matriz de comprobación de paridad H adecuada y usando una matriz de comprobación de paridad determinada a partir de la tabla de valores iniciales de matriz de comprobación de paridad.

Aquí, la matriz de comprobación de paridad H adecuada es una matriz de comprobación de paridad que satisface una condición predeterminada para hacer la BER (Tasa de Error de Bit) inferior cuando una señal de modulación de un código LDPC obtenido de una matriz de comprobación de paridad se transmite a una E_s/N_0 (relación de potencia de señal a potencia de ruido por símbolo) baja o E_b/N_0 (relación de potencia de señal a potencia de ruido por bit). Además, el código LDPC de un rendimiento alto es un código LDPC obtenido a partir de una matriz de comprobación de paridad adecuada.

La matriz de comprobación de paridad H adecuada se puede determinar, por ejemplo, llevando a cabo una simulación de la BER cuando una señal de modulación de un código LDPC obtenido a partir de diversas matrices de comprobación de paridad que satisfacen una condición predeterminada se transmite a una relación E_s/N_0 baja.

- 40 La condición predeterminada que debería satisfacer la matriz de comprobación de paridad H adecuada es, por ejemplo, que el resultado de un análisis obtenido por un método de análisis de un rendimiento de un código llamado evolución de densidad es bueno, que la matriz de comprobación de paridad H no incluye un bucle de elementos del valor 1 llamado ciclo 4, que la matriz de comprobación de paridad H no incluye el ciclo 6, y así sucesivamente.

Aquí, la evolución de densidad y la incorporación de la misma se describen, por ejemplo, en S. Y. Chung, G. D. Forney, T. J. Richardson y R. Urbanke, "On the Design of Low-Density Parity-Check Codes within 0.0045 dB of the Shannon Limit", IEEE Communications Letters, VOL. 5, N° 2, febrero de 2001.

Por ejemplo, si el valor de varianza de ruido se aumenta gradualmente a partir de cero en un canal AWGN, entonces, aunque el valor esperado de la probabilidad de error de un código LDPC es cero primero, llega a ser diferente de cero si el valor de varianza de ruido llega a ser más alto que un cierto valor umbral (umbral).

- 50 Según la evolución de densidad, el valor esperado de la probabilidad de error de la misma llega a ser diferente de cero. Comparando el valor de umbral del valor de varianza (en lo sucesivo conocido como valor de umbral de rendimiento) de ruido, se puede determinar si el rendimiento del código LDPC (adecuación de la matriz de comprobación de paridad) es bueno o no. Aquí, como el valor umbral de rendimiento, la E_b/N_0 cuando la BER comienza a caer (disminuye).

- Si un valor umbral de rendimiento, obtenido por análisis mediante evolución de densidad, con respecto a un código LDPC que se define en el estándar DVB-S.2 y tiene una longitud de código N de 64.800 y una tasa de codificación r de 2/3 (tal código LDPC se conoce también en lo sucesivo como código estándar) se representa por V , entonces en la simulación, un código LDPC (matriz de comprobación de paridad) que tiene una longitud de código N de 64.800 y una tasa de codificación r de 2/3 y presenta un valor umbral de rendimiento menor que $V + \Delta$ obtenido añadiendo un margen predeterminado Δ a V se seleccionó como el código LDPC que tiene un buen rendimiento.
- Las FIG. 66 a 68 ilustran una tabla de valores iniciales de matriz de comprobación de paridad para uno de los códigos LDPC cuya E_b/N_0 como el valor umbral de rendimiento es menor que $V + \Delta$ (código LDPC que tiene una longitud de código N de 64.800 y una tasa de codificación r de 2/3).
- Se ha de señalar que la FIG. 67 es una vista que continúa a la FIG. 66, y la FIG. 68 es una vista que continúa a la FIG. 67.
- En una matriz de comprobación de paridad H determinada a partir de la tabla de valores iniciales de matriz de comprobación de paridad de las FIG. 66 a 68, ni el ciclo 4 ni el ciclo 6 existen.
- La FIG. 69 ilustra un resultado de la simulación de la BER con respecto a un código LDPC de una matriz de comprobación de paridad H determinada a partir de la tabla de valores iniciales de matriz de comprobación de paridad de las FIG. 66 a 68 (tal código LDPC se conoce también en lo sucesivo como código propuesto).
- En particular, la FIG. 69 ilustra, donde el método de modulación es 256QAM, la BER con respecto a la E_s/N_0 del código estándar (en la figura, la BER se indica mediante una marca redonda) y la BER para la E_s/N_0 del código propuesto (en la figura, la BER se indica con una marca cuadrada). Se ha de señalar que, en la FIG. 69, un proceso de sustitución del método existente de C de la FIG. 60 se adopta como el proceso de sustitución.
- A partir de la FIG. 69, se puede reconocer que el código propuesto es mejor en rendimiento que el código estándar y que particularmente el suelo de error se mejora significativamente.
- Se ha de señalar que la condición predeterminada que debería satisfacer la matriz de comprobación de paridad H adecuada se puede determinar adecuadamente desde tal punto de vista como mejora del rendimiento de decodificación de un código LDPC, facilitación (simplificación) de un proceso de decodificación de un código LDPC, y así sucesivamente.
- La FIG. 70 es un diagrama de bloques que muestra un ejemplo de una configuración del aparato de recepción 12 de la FIG. 7.
- Con referencia a la FIG. 70, el aparato de recepción 12 es un aparato de procesamiento de datos para recibir una señal de modulación desde el aparato de transmisión 11 (FIG. 7) e incluye una sección de demodulación ortogonal 51, una sección de descorrespondencia 52, un desintercalador 53 y una sección de decodificación LDPC 56.
- La sección de demodulación ortogonal 51 recibe una señal de modulación desde el aparato de transmisión 11 y lleva a cabo la demodulación ortogonal, y entonces suministra los símbolos obtenidos como resultado de la demodulación ortogonal (valores en los ejes I y Q) a la sección de descorrespondencia 52.
- La sección de descorrespondencia 52 lleva a cabo la descorrespondencia de la conversión de los puntos de señal de la sección de demodulación ortogonal 51 a los bits de código de un código LDPC para ser símbolos simbolizados y suministra los bits de código al desintercalador 53.
- El desintercalador 53 incluye un multiplexor (MUX) 54 y un desintercalador de torsión de columna 55 y lleva a cabo el desintercalado de los símbolos de los bits de símbolo de la sección de descorrespondencia 52.
- En particular, el multiplexor 54 lleva a cabo un proceso de sustitución inversa (proceso inverso al proceso de sustitución) que corresponde al proceso de sustitución llevado a cabo por el demultiplexor 25 de la FIG. 8 para los símbolos de los bits de símbolo de la sección de descorrespondencia 52, es decir, un proceso de sustitución inversa de devolución de las posiciones de los bits de código (bits de símbolo) de los códigos LDPC sustituidos por el proceso de sustitución a las posiciones originales. Entonces, el multiplexor 54 suministra un código LDPC obtenido como resultado del proceso de sustitución inversa al desintercalador de torsión de columna 55.
- El desintercalador de torsión de columna 55 lleva a cabo el desintercalado de torsión de columna (proceso inverso al intercalado de torsión de columna) que corresponde al intercalado de torsión de columna como el proceso de reordenación llevado a cabo por el intercalador de torsión de columna 24 de la FIG. 8, es decir, por ejemplo, el desintercalado de torsión de columna como un proceso de reordenación inversa de devolución de la disposición de los bits de código del código LDPC que tienen una disposición cambiada por el intercalado de torsión de columna como el proceso de reordenación a la disposición original, para el código LDPC desde el multiplexor 54.
- En particular, el desintercalador de torsión de columna 55 lleva a cabo el desintercalado de torsión de columna escribiendo los bits de código del código LDPC en y leyendo los bits de código escritos de la memoria para desintercalar, la memoria que está configurada de manera similar a la memoria 31 mostrada en la FIG. 22 y así

sucesivamente.

5 Se ha de señalar que, en el desintercalador de torsión de columna 55, la escritura de los bits de código se lleva a cabo en la dirección de fila de la memoria para desintercalar usando direcciones de lectura al leer los códigos de la memoria 31 como direcciones de escritura. Mientras tanto, la lectura de los bits de código se lleva a cabo en la dirección de columna de la memoria para desintercalar usando las direcciones de escritura al escribir los bits de código en la memoria 31 como direcciones de lectura.

Los códigos LDPC obtenidos como resultado del intercalado de torsión de columna se suministran desde el desintercalador de torsión de columna 55 a la sección de decodificación LDPC 56.

10 Aquí, mientras que el código LDPC suministrado desde la sección de descorrespondencia 52 al desintercalador 53 se ha obtenido mediante el intercalado de paridad, intercalado de torsión de columna y proceso de sustitución llevado a cabo en este orden, por lo tanto, el desintercalador 53 lleva a cabo solamente un proceso de sustitución inversa que corresponde al proceso de sustitución y el desintercalado de torsión de columna que corresponde al intercalado de torsión de columna. Por consiguiente, no se lleva a cabo el desintercalado de paridad que corresponde al intercalado de paridad (proceso inverso al intercalado de paridad), es decir, el desintercalado de paridad que devuelve la disposición de los bits de código de los códigos LDPC, cuya disposición se ha variado por el intercalado de paridad, a la disposición original.

Por consiguiente, el código LDPC para el cual se han llevado a cabo el proceso de sustitución inversa y el desintercalado de torsión de columna, pero no se ha llevado a cabo el desintercalado de paridad se suministra desde el (desintercalador de torsión de columna 55 del) desintercalador 53 a la sección de decodificación LDPC 56.

20 La sección de decodificación LDPC 56 lleva a cabo la decodificación LDPC del código LDPC desde el desintercalador 53 usando una matriz de comprobación de paridad de conversión, obtenida llevando a cabo al menos una sustitución de columnas que corresponde al intercalado de paridad para la matriz de comprobación de paridad H usada para la codificación LDPC por la sección de codificación LDPC 21 de la FIG. 8, y emite los datos obtenidos como resultado de la decodificación LDPC como resultado de decodificación de los datos de objeto.

25 La FIG. 71 es un diagrama de flujo que ilustra un proceso de recepción llevado a cabo por el aparato de recepción 12 de la FIG. 70.

30 La sección de demodulación ortogonal 51 recibe una señal de modulación desde el aparato de transmisión 11 en el paso S111. Entonces, el procesamiento avanza al paso S112, en el que la sección de demodulación ortogonal 51 lleva a cabo la demodulación ortogonal de la señal de modulación. La sección de demodulación ortogonal 51 suministra los puntos de señal obtenidos como resultado de la demodulación ortogonal a la sección de descorrespondencia 52, después de lo cual el procesamiento avanza desde el paso S112 hasta el paso S113.

En el paso S113, la sección de descorrespondencia 52 lleva a cabo la descorrespondencia de conversión de los puntos de señal desde la sección de demodulación ortogonal 51 en símbolos y suministra los bits de código al desintercalador 53, después de lo cual el procesamiento avanza al paso S114.

35 En el paso S114, el desintercalador 53 lleva a cabo el desintercalado de los símbolos de los bits de símbolo desde la sección de descorrespondencia 52, después de lo cual el procesamiento avanza al paso S115.

En particular, en el paso S114, el multiplexor 54 en el desintercalador 53 lleva a cabo un proceso de sustitución inversa para los símbolos de los bits de símbolo desde la sección de descorrespondencia 52 y suministra el código LDPC obtenido como resultado del proceso de sustitución inversa al desintercalador de torsión de columna 55.

40 El desintercalador de torsión de columna 55 lleva a cabo un desintercalado de torsión de columna para el código LDPC desde el multiplexor 54 y suministra un código LDPC obtenido como resultado del desintercalado de torsión de columna a la sección de decodificación LDPC 56.

45 En el paso S115, la sección de decodificación LDPC 56 lleva a cabo la decodificación LDPC del código LDPC desde el desintercalador de torsión de columna 55 usando una matriz de comprobación de paridad de conversión obtenida llevando a cabo al menos una sustitución de columnas que corresponde al intercalado de paridad para la matriz de comprobación de paridad H usada para la codificación LDPC por la sección de codificación LDPC 21 de la FIG. 8, y emite los datos obtenidos mediante la decodificación LDPC como resultado de decodificación de los datos de objeto. A partir de entonces, se termina el procesamiento.

Se ha de señalar que el proceso de recepción de la FIG. 71 se lleva a cabo repetitivamente.

50 También en la FIG. 70, el multiplexor 54 para llevar a cabo el proceso de sustitución inversa y el desintercalador de torsión de columna 55 para llevar a cabo el desintercalado de torsión de columna se configuran separadamente uno de otro por la conveniencia de la descripción de manera similar que en el caso de la FIG. 8. No obstante, el multiplexor 54 y el desintercalador de torsión de columna 55 se pueden configurar integralmente uno con otro.

Además, donde el aparato de transmisión 11 de la FIG. 8 no lleva a cabo el intercalado de torsión de columna, no

hay necesidad de proporcionar el desintercalador de torsión de columna 55 en el aparato de recepción 12 de la FIG. 70.

Ahora, se describe además la decodificación LDPC llevada a cabo por la sección de decodificación LDPC 56 de la FIG. 70.

- 5 La sección de decodificación LDPC 56 de la FIG. 70 lleva a cabo la decodificación LDPC de un código LDPC, para el cual se han llevado a cabo el proceso de sustitución inversa y el desintercalado de torsión de columna, pero no se ha llevado a cabo el desintercalado de paridad, desde el desintercalador de torsión de columna 55 como se ha descrito anteriormente usando una matriz de comprobación de paridad de conversión obtenida llevando a cabo al menos una sustitución de columnas que corresponde al intercalado de paridad para la matriz de comprobación de paridad H usada para la codificación LDPC por la sección de codificación LDPC 21 de la FIG. 8.

Aquí, se ha propuesto anteriormente una decodificación LDPC que puede suprimir la frecuencia de operación dentro de un intervalo suficientemente implementable mientras que se suprime la escala de circuito llevando a cabo la decodificación LDPC usando la matriz de comprobación de paridad de conversión (véase, por ejemplo, la Patente japonesa abierta a la inspección pública N° 2004-343170).

- 15 De esta manera, la decodificación LDPC propuesta anteriormente que usa un matriz de comprobación de paridad de conversión se describe primero con referencia a las FIG. 72 a 75.

La FIG. 72 muestra un ejemplo de la matriz de comprobación de paridad H de un código LDPC cuya longitud de código N es 90 y la tasa de codificación es 2/3.

- 20 Se ha de señalar que, en la FIG. 72, 0 se representa por un periodo (.) (esto se aplica de manera similar también a las FIG. 73 y 74 descritas en lo sucesivo).

En la matriz de comprobación de paridad H de la FIG. 72, la matriz de paridad tiene una estructura de escalera.

La FIG. 73 ilustra una matriz de comprobación de paridad H' obtenida aplicando la sustitución de fila de una expresión (11) y la sustitución de columnas de una expresión (12) a la matriz de comprobación de paridad H de la FIG. 72.

- 25 Sustitución de fila: fila de orden $6s+t+1 \rightarrow$ fila de orden $5t+s+1 \dots$ (11)

Sustitución de columna: columna de orden $6x+y+61 \rightarrow$ columna de orden $5y+x+61 \dots$ (12)

No obstante, en las expresiones (11) y (12), s, t, x e y son números enteros dentro de los intervalos de $0 \leq s < 5$, $0 \leq t < 6$, $0 \leq x < 5$ y $0 \leq t < 6$, respectivamente.

- 30 Según la sustitución de fila de la expresión (11), la sustitución se lleva a cabo de tal manera que las filas 1ª, 7ª, 13ª, 19ª y 25ª, cada uno de cuyos números indica un resto de 1 donde se divide por 6 se sustituyen por las filas 1ª, 2ª, 3ª, 4ª y 5ª, y las filas 2ª, 8ª, 14ª, 20ª y 26ª, cada uno de cuyos números indica un resto de 2 donde se divide por 6 se sustituyen por las filas 6ª, 7ª, 8ª, 9ª y 10ª.

- 35 Por otra parte, según la sustitución de columnas de la expresión (12), se lleva a cabo la sustitución para la 61ª y sucesivas columnas (matriz de paridad) de manera que las columnas 61ª, 67ª, 73ª, 79ª y 85ª cada uno de cuyos números indica un resto de 1 donde se divide por 6 se sustituyen por las columnas 61ª, 62ª, 63ª, 64ª y 65ª, y las columnas 62ª, 68ª, 74ª, 80ª y 86ª cada uno de cuyos números indica un resto de 2 donde se divide por 6 se sustituyen por las columnas 66ª, 67ª, 68ª, 69ª y 70ª.

Una matriz obtenida llevando a cabo la sustitución de las filas y de las columnas para la matriz de comprobación de paridad H de la FIG. 72 es una matriz de comprobación de paridad H' de la FIG. 73.

- 40 Aquí, incluso si se lleva a cabo la sustitución de filas de la matriz de comprobación de paridad H, esto no tiene influencia en la disposición de los bits de código del código LDPC.

- 45 Mientras tanto, la sustitución de columnas de la expresión (12) corresponde al intercalado de paridad cuando la longitud de información K, el número de columnas unidad P de la estructura cíclica y el testador q (= M/P) de la longitud de paridad M (aquí, 30) en el intercalado de paridad de intercalado del bit de código de orden $K+qx+y+1$ a la posición del bit de código de orden $K+Py+x+1$ se fijan a 60, 5 y 6, respectivamente.

- 50 Si la matriz de comprobación de paridad H' (en lo sucesivo conocida adecuadamente como matriz de comprobación de paridad de sustitución) de la FIG. 73 se multiplica por un resultado de sustitución igual que el de la expresión (12) para el código LDPC de la matriz de comprobación de paridad H (en lo sucesivo conocida adecuadamente como matriz de comprobación de paridad original) de la FIG. 72, entonces se emite el vector 0. En particular, donde un vector de filas obtenido aplicando la sustitución de columnas de la expresión (12) para el vector de filas c como el código LDPC (una palabra de código) de la matriz de comprobación de paridad H original se representa por c', dado que Hc^T llega a ser el vector 0 sobre la base de la característica de la matriz de comprobación de paridad, también

$H'c^T$ llega a ser naturalmente el vector 0.

A partir de lo precedente, la matriz de comprobación de paridad de conversión H' de la FIG. 73 llega a ser la matriz de comprobación de paridad de un código LDPC c' obtenido llevando a cabo la sustitución de columnas de la expresión (12) para el código LDPC c de la matriz de comprobación de paridad H original.

- 5 Por consiguiente, llevando a cabo la sustitución de columnas de la expresión (12) para el código LDPC c de la matriz de comprobación de paridad H original, decodificando (decodificación LDPC) el código LDPC c' después de la sustitución de columnas usando la matriz de comprobación de paridad H' de la FIG. 73 y luego llevando a cabo la sustitución inversa a la sustitución de columnas de la expresión (12) para el resultado de la decodificación, se puede obtener un resultado de decodificación similar al obtenido donde el código LDPC de la matriz de comprobación de paridad H original se decodifica usando la matriz de comprobación de paridad H .

La FIG. 74 muestra la matriz de comprobación de paridad de conversión H' de la FIG. 73 en donde se proporciona un espacio entre unidades de 5 x 5 matrices.

- 15 En la FIG. 74, la matriz de comprobación de paridad de conversión H' está representada por una combinación de una matriz unidad de 5 x 5 elementos, otra matriz (en lo sucesivo conocida adecuadamente como matriz cuasi unidad) que corresponde a la matriz unidad cuyo elemento o elementos de 1 se cambian a un elemento o elementos de 0, una matriz adicional (en lo sucesivo conocida adecuadamente como matriz de desplazamiento) que corresponde a la matriz unidad o matriz cuasi unidad después de que se desplaza cíclicamente (desplazamiento cíclico), una matriz aún adicional (en lo sucesivo conocida adecuadamente como matriz de suma) de dos o más de la matriz unidad, matriz cuasi unidad y matriz de desplazamiento, y una matriz 0 de 5 x 5 elementos.

- 20 Se puede considerar que la matriz de comprobación de paridad de conversión H' de la FIG. 74 se compone de una matriz unidad, una matriz cuasi unidad, una matriz de desplazamiento, una matriz de suma y una matriz 0 de 5 x 5 elementos. Por lo tanto, las matrices de 5 x 5 elementos que componen la matriz de comprobación de paridad de conversión H' se conocen en lo sucesivo como matrices componentes.

- 25 Para la decodificación de un código LDPC representado por una matriz de comprobación de paridad representada por una matriz de $P \times P$ componentes, se puede usar una arquitectura que lleva a cabo una operación matemática de nodo de comprobación y una operación matemática de nodo variable simultáneamente para P nodos de comprobación y P nodos variables.

La FIG. 75 es un diagrama de bloques que muestra un ejemplo de una configuración de un aparato de decodificación que lleva a cabo tal decodificación como se acaba de describir.

- 30 En particular, la FIG. 75 muestra un ejemplo de una configuración de un aparato de decodificación que lleva a cabo la decodificación de códigos LDPC de la matriz de comprobación de paridad H original de la FIG. 72 usando la matriz de comprobación de paridad de conversión H' de la FIG. 74 obtenida llevando a cabo al menos la sustitución de columnas de la expresión (12).

- 35 El aparato de decodificación de la FIG. 75 incluye una memoria de almacenamiento de datos de borde 300 que incluye seis FIFO 300₁ a 300₆, un selector 301 para seleccionar las FIFO 300₁ a 300₆, una sección de cálculo de nodo de comprobación 302, dos circuitos de desplazamiento cíclico 303 y 308, una memoria de almacenamiento de datos de borde 304 que incluye 18 FIFO 304₁ a 304₁₈, un selector 305 para seleccionar las FIFO 304₁ a 304₁₈, una memoria de datos de recepción 306 para almacenar información de recepción, una sección de cálculo de nodo variable 307, una sección de cálculo de palabra decodificada 309, una sección de reordenación de datos de recepción 310, y una sección de reordenación de datos decodificados 311.

- 40 En primer lugar, se describe un método de almacenamiento de datos en las memorias de almacenamiento de datos de borde 300 y 304.

- 45 La memoria de almacenamiento de datos de borde 300 incluye las seis FIFO 300₁ a 300₆ el número de las cuales es igual a un cociente cuando el número de filas 30 de la matriz de comprobación de paridad de conversión H' de la FIG. 74 se divide por el número de filas 5 de las matrices componentes. Cada una de las FIFO 300_y ($y = 1, 2, \dots, 6$) tiene una pluralidad de etapas de regiones de almacenamiento de manera que los mensajes que corresponden a cinco bordes cuyo número es igual al número de filas y al número de columnas de las matrices componentes se puede leer de o escribir en las regiones de almacenamiento de cada etapa al mismo tiempo. Además, el número de etapas de las regiones de almacenamiento de cada FIFO 300_y es nueve que es el máximo número de 1 (ponderación de Hamming) en la dirección de fila de la matriz de comprobación de paridad de conversión de la FIG. 74.

- 50 En la FIFO 300₁, los datos (mensajes v_i de nodos variables) que corresponden a las posiciones del valor 1 en la primera a la quinta filas de la matriz de comprobación de paridad de conversión H' de la FIG. 74 se almacenan de una forma cerrada en la dirección horizontal en las filas individuales (en la forma en donde 0 se ignora). En particular, si un elemento en la fila j de la columna de orden i se representa como (j, i) , entonces en las regiones de almacenamiento en la primera etapa de la FIFO 300₁, se almacenan los datos que corresponden a las posiciones del

valor 1 de la matriz unidad de 5 x 5 elementos de (1, 1) a (5, 5) de la matriz de comprobación de paridad de conversión H'. En las regiones de almacenamiento en la segunda etapa, los datos que corresponden a las posiciones del valor 1 de una matriz de desplazamiento de (1, 21) a (5, 25) de la matriz de comprobación de paridad de conversión H' (una matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 elementos en tres en la dirección hacia la derecha). También en las regiones de almacenamiento en la tercera a octava etapas, los datos se almacenan en una relación asociada con la matriz de comprobación de paridad de conversión H'. Entonces, en las regiones de almacenamiento en la novena etapa, se almacenan los datos que corresponden a las posiciones del valor de una matriz de desplazamiento de (1, 86) a (5, 90) de la matriz de comprobación de paridad de conversión H' (una matriz de desplazamiento obtenida sustituyendo el valor 1 en la primera fila de la matriz unidad de 5 x 5 elementos con el valor 0 y luego desplazando cíclicamente la matriz unidad después de la sustitución por uno en la dirección hacia la izquierda).

En la FIFO 300₂, se almacenan los datos que corresponden a las posiciones del valor 1 de la sexta a la décima filas de la matriz de comprobación de paridad de conversión H' de la FIG. 74. En particular, en la región de almacenamiento en la primera etapa de la FIFO 300₂, se almacenan los datos que corresponden a las posiciones del valor 1 de una primera matriz de desplazamiento que forma una matriz de suma de (6, 1) a (10, 5) de la matriz de comprobación de paridad de conversión H' (una matriz de suma que es la suma de una primera matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 elementos en uno en la dirección hacia la derecha y una segunda matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 elementos en dos en la dirección hacia la derecha). Además, en la región de almacenamiento en la segunda etapa, se almacenan los datos que corresponden a las posiciones del valor 1 de la segunda matriz de desplazamiento que forma la matriz de suma de (6, 1) a (10, 5) de la matriz de comprobación de paridad de conversión H'.

En particular, con respecto a una matriz componente cuya ponderación es 2 o más, donde la matriz componente se representa en forma de la suma de varios de entre una matriz unidad de P x P elementos que tienen la ponderación 1, una matriz cuasi unidad que corresponde a la matriz unidad cuyos uno o más elementos que tienen el valor 1 se sustituyen con 0 y una matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad o la matriz cuasi unidad, los datos que corresponden a las posiciones del valor 1 de la matriz unidad, matriz cuasi unidad o matriz de desplazamiento cuya ponderación es 1 (mensajes que corresponden a los bordes que pertenecen a la matriz unidad, matriz cuasi unidad o matriz de desplazamiento) se almacenan en la misma dirección (misma FIFO de entre las FIFO 300₁ a 300₆).

También en las regiones de almacenamiento en la tercera a la novena etapas, los datos se almacenan en una relación asociada con la matriz de comprobación de paridad de conversión H'.

También las FIFO 300₃ a 300₆ almacenan datos en una relación asociada con la matriz de comprobación de paridad de conversión H'.

La memoria de almacenamiento de datos de borde 304 incluye 18 FIFO 304₁ a 304₁₈ el número de las cuales es igual al cociente cuando el número de columnas 90 de la matriz de comprobación de paridad de conversión H' se divide por el número de columnas 5 de la matriz componente. Cada memoria de almacenamiento de datos de borde 304_x (x = 1, 2, ..., 18) incluye una pluralidad de etapas de regiones de almacenamiento, y mensajes que corresponden a cinco bordes el número de los cuales es igual al número de filas y el número de columnas de la matriz de comprobación de paridad de conversión H' se pueden leer de o escribir en las regiones de almacenamiento de cada etapa al mismo tiempo.

En la FIFO 304₁, los datos que corresponden a las posiciones del valor 1 desde la primera a la quinta columnas de la matriz de comprobación de paridad de conversión H' de la FIG. 74 (mensajes u_j de los nodos de comprobación) se almacenan de una forma cerrada en la dirección vertical en las columnas individuales (en la forma en donde 0 se ignora). En particular, en las regiones de almacenamiento en la primera etapa de la FIFO 304₁, se almacenan los datos que corresponden a las posiciones del valor 1 de la matriz unidad de 5 x 5 elementos de (1, 1) a (5, 5) de la matriz de comprobación de paridad de conversión H'. En las regiones de almacenamiento en la segunda etapa, se almacenan los datos que corresponden a las posiciones del valor de una primera matriz de desplazamiento que forma una matriz de suma de (6, 1) a (10, 5) de la matriz de comprobación de paridad vertical H' (una matriz de suma que es la suma de una primera matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 elementos en uno a la derecha y una segunda matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad de 5 x 5 elementos en dos a la derecha). Además, en las regiones de almacenamiento en la tercera etapa, los datos que corresponden a las posiciones del valor 1 de la segunda matriz de desplazamiento que forma la matriz de suma de (6, 1) a (10, 5) de la matriz de comprobación de paridad vertical H'.

En particular, con respecto a una matriz componente cuya ponderación es 2 o más, donde la matriz componente se representa en forma de la suma de varias de entre una matriz unidad de P x P elementos que tiene la ponderación 1, una matriz cuasi unidad que corresponde a la matriz unidad cuyos uno o más elementos que tienen el valor 1 se sustituyen con 0 y una matriz de desplazamiento obtenida desplazando cíclicamente la matriz unidad o la matriz cuasi unidad, los datos que corresponden a las posiciones del valor 1 de la matriz unidad, matriz cuasi unidad o matriz de desplazamiento cuya ponderación es 1 (mensajes que corresponden a los bordes que pertenecen a la matriz unidad, matriz cuasi unidad o matriz de desplazamiento) se almacenan en la misma dirección (misma FIFO de

entre las FIFO 304₁ a 304₁₈).

También con respecto a las regiones de almacenamiento en la cuarta y la quinta etapas, los datos se almacenan en una relación asociada con la matriz de comprobación de paridad de conversión H'. El número de etapas de las regiones de almacenamiento de la FIFO 304₁ es 5, que es un número máximo del número de 1 (ponderación de Hamming) en la dirección de fila en la primera a la quinta columnas de la matriz de comprobación de paridad de conversión H'.

También las FIFO 304₂ y 304₃ almacenan datos en una relación asociada con la matriz de comprobación de paridad de conversión H' de manera similar, y cada longitud (número de etapa) de las FIFO 304₂ y 304₃ es 5. También las FIFO 304₄ a 304₁₂ almacenan datos en una relación asociada con la matriz de comprobación de paridad de conversión H' de manera similar, y cada longitud de las FIFO 304₄ a 304₁₂ es 3. También las FIFO 304₁₃ a 304₁₈ almacenan datos en una relación asociada con la matriz de comprobación de paridad de conversión H' de manera similar, y cada longitud de las FIFO 304₁₃ a 304₁₈ es 2.

Ahora, se describe la operación del aparato de decodificación de la FIG. 75.

La memoria de almacenamiento de datos de borde 300 incluye las seis FIFO 300₁ a 300₆, y las FIFO en las que han de ser almacenados datos se seleccionan de entre las FIFO 300₁ a 300₆ según la información (datos de matriz) D312 que representa a qué fila de la matriz de comprobación de paridad de conversión H' pertenecen cinco mensajes D311 suministrados desde el circuito de desplazamiento cíclico 308 en la etapa anterior. Entonces, los cinco mensajes D311 se almacenan colectivamente y en orden en las FIFO seleccionadas. Además, cuando han de ser leídos los datos, la memoria de almacenamiento de datos de borde 300 lee cinco mensajes D300₁ en orden desde la FIFO 300₁ y suministra los cinco mensajes D300₁ al selector 301 en la etapa sucesiva. Después de que termina la lectura de los mensajes de la FIFO 300₁, la memoria de almacenamiento de datos de borde 300 lee los mensajes en orden también desde las FIFO 300₂ a 300₆ y suministra los mensajes leídos al selector 301.

El selector 301 selecciona los cinco mensajes de esa FIFO desde la cual se leen actualmente los datos de entre las FIFO 300₁ a 300₆ según una señal de selección D301 y suministra los cinco mensajes como mensajes D302 a la sección de cálculo de nodo de comprobación 302.

La sección de cálculo de nodo de comprobación 302 incluye cinco calculadoras de nodos de comprobación 302₁ a 302₅ y lleva a cabo la operación matemática de nodo de comprobación según la expresión (7) usando los mensajes D302 (D302₁ a D302₅) (mensajes v_i de la expresión (7)) suministrados a la misma a través del selector 301. Entonces, la sección de cálculo de nodo de comprobación 302 suministra cinco mensajes D303 (D303₁ a D303₅) (mensajes u_j de la expresión (7)) obtenidos como resultado de la operación matemática de nodo de comprobación al circuito de desplazamiento cíclico 303.

El circuito de desplazamiento cíclico 303 desplaza cíclicamente los cinco mensajes D303₁ a 303₅ determinados por la sección de cálculo de nodo de comprobación 302 en base a información (datos de matriz) D305 con respecto a qué número de matrices unidad originales, los bordes correspondientes se desplazan cíclicamente en la matriz de comprobación de paridad de conversión H', y suministra un resultado del desplazamiento cíclico como un mensaje D304 a la memoria de almacenamiento de datos de borde 304.

La memoria de almacenamiento de datos de borde 304 incluye 18 FIFO 304₁ a 304₁₈. La memoria de almacenamiento de datos de borde 304 selecciona una FIFO en la que se han de almacenar datos de entre las FIFO 304₁ a 304₁₈ según la información D305 con respecto a qué fila de la matriz de comprobación de paridad de conversión H' pertenecen los cinco mensajes D304 suministrados desde el circuito de desplazamiento cíclico 303 en la etapa anterior y almacena colectivamente los cinco mensajes D304 en orden en la FIFO seleccionada. Por otra parte, cuando los datos han de ser leídos, la memoria de almacenamiento de datos de borde 304 lee cinco mensajes D306₁ en orden desde la FIFO 304₁ y suministra los mensajes D306₁ al selector 305 en la etapa sucesiva. Después de que termina la lectura de los datos de la FIFO 304₁, la memoria de almacenamiento de datos de borde 304 lee los mensajes también en orden de las FIFO 304₂ a 304₁₈ y suministra los mensajes al selector 305.

El selector 305 selecciona los cinco mensajes de la FIFO de la cual se leen datos actualmente de entre las FIFO 304₁ a 304₁₈ según una señal de selección D307 y suministra los mensajes seleccionados como mensajes D308 a la sección de cálculo de nodo variable 307 y la sección de cálculo de palabra decodificada 309.

Por otra parte, la sección de reordenación de datos de recepción 310 lleva a cabo la sustitución de columnas de la expresión (12) para reordenar un código LDPC D313 recibido a través de un camino de comunicación y suministra el código LDPC reordenado D313 como datos de recepción D314 a la memoria de datos de recepción 306. La memoria de datos de recepción 306 calcula y almacena una LLR (relación de verosimilitud logarítmica) de recepción a partir de los datos de recepción D314 suministrados a la misma desde la sección de reordenación de datos de recepción 310 y recoge y suministra cada cinco de las LLR de recepción como valores de recepción D309 a la sección de cálculo de nodo variable 307 y la sección de cálculo de palabra decodificada 309.

La sección de cálculo de nodo variable 307 incluye cinco calculadoras de nodo variable 307₁ a 307₅ y lleva a cabo una operación matemática de nodo variable según la expresión (1) usando los mensajes D308 (308₁ a 308₅)

(mensajes u_j de la expresión (1)) suministrados a la misma a través del selector 305 y los cinco valores de recepción D309 (valores de recepción u_{oi} de la expresión (1)) suministrados a la misma desde la memoria de datos de recepción 306. Entonces, la sección de cálculo de nodo variable 307 suministra mensajes D310 (D301₁ a D310₅) (mensajes v_i de la expresión (1)) obtenidos como resultado de la operación matemática al circuito de desplazamiento cíclico 308.

El circuito de desplazamiento cíclico 308 desplaza cíclicamente los mensajes D310₁ a D310₅ calculados por la sección de cálculo de nodo variable 307 en base a la información con respecto a qué número de matrices unidad originales el borde correspondiente se desplaza cíclicamente en la matriz de comprobación de paridad de conversión H' , y suministra un resultado del desplazamiento cíclico como un mensaje D311 a la memoria de almacenamiento de datos de borde 300.

Llevando a cabo la secuencia de operaciones descrita anteriormente, se puede llevar a cabo la decodificación en un ciclo de un código LDPC. En el aparato de decodificación de la FIG. 75, después de que un código LDPC se decodifica un número predeterminado de veces, se determina un resultado de decodificación final por la sección de cálculo de palabra decodificada 309 y la sección de reordenación de datos decodificados 311 y luego se emite.

En particular, la sección de cálculo de palabra decodificada 309 incluye cinco calculadoras de palabra decodificada 309₁ a 309₅ y actúa como una etapa final en una pluralidad de ciclos de decodificación para calcular un resultado de decodificación (palabra decodificada) según la expresión (5) usando los cinco mensajes D308 (D308₁ a D308₅) (mensajes u_j de la expresión (5)) emitidos desde el selector 305 y los cinco valores de recepción D309 (valores de recepción u_{oi} de la expresión (5)) emitidos desde la memoria de datos de recepción 306. Entonces, la sección de cálculo de palabra decodificada 309 suministra datos decodificados D315 obtenidos como resultado del cálculo a la sección de reordenación de datos decodificados 311.

La sección de reordenación de datos decodificados 311 lleva a cabo la sustitución inversa a la sustitución de columnas de la expresión (12) para los datos decodificados D315 suministrados a la misma desde la sección de cálculo de palabra decodificada 309 para reordenar el orden de los datos decodificados D315 y emite los datos decodificados reordenados D315 como resultado de decodificación D316.

Como se ha descrito anteriormente, aplicando una o ambas de sustitución de filas y sustitución de columnas a una matriz de comprobación de paridad (matriz de comprobación de paridad original) para convertir la matriz de comprobación de paridad en una matriz de comprobación de paridad (matriz de comprobación de paridad de conversión) que se puede representar mediante una combinación de una matriz unidad de $P \times P$ elementos, una matriz cuasi unidad que corresponde a la matriz unidad cuyo elemento o elementos de 1 se cambian a un elemento o elementos de 0, una matriz de desplazamiento que corresponde a la matriz unidad o matriz cuasi unidad después de que se desplaza cíclicamente, una matriz de suma de dos o más de la matriz unidad, matriz cuasi unidad y matriz de desplazamiento, y una matriz 0 de $P \times P$ elementos como se ha descrito anteriormente, llega a ser posible adoptar para decodificación de código LDPC una arquitectura que lleva a cabo la operación matemática de nodo de comprobación y la operación matemática de nodo variable simultáneamente para los P nodos de comprobación y los P nodos variables. En consecuencia, llevando a cabo la operación matemática de nodo simultáneamente para los P nodos, es posible suprimir la frecuencia de operación dentro de un intervalo implementable para llevar a cabo la decodificación LDPC.

La sección de decodificación LDPC 56 que compone el aparato de recepción 12 de la FIG. 70 lleva a cabo la operación matemática de nodo de comprobación y la operación matemática de nodo variable simultáneamente para P nodos de comprobación y P nodos variables para llevar a cabo la decodificación LDPC de forma similar al aparato de decodificación de la FIG. 75.

En particular, se supone ahora simplificar la descripción que la matriz de comprobación de paridad de un código LDPC emitido desde la sección de codificación LDPC 21 que compone el aparato de transmisión 11 de la FIG. 8 es, por ejemplo, la matriz de comprobación de paridad H en donde la matriz de paridad tiene una estructura de escalera mostrada en la FIG. 72. En este caso, el intercalado de paridad 23 del aparato de transmisión 11 lleva a cabo intercalado de paridad para intercalar el bit de código de orden $K + qx + y + 1$ a la posición del bit de código de orden $K + Py + x + 1$ con la longitud de información K fijada a 60, con el número de columnas unidad P de la estructura cíclica fijado a 5 y con el testador $q (= M/P)$ de la longitud de paridad M a 6.

Dado que este intercalado de paridad corresponde a la sustitución de columnas de la expresión (12), la sección de decodificación LDPC 56 no necesita llevar a cabo la sustitución de columnas de la expresión (12).

Por lo tanto, en el aparato de recepción 12 de la FIG. 70, un código LDPC para el que no se ha llevado a cabo un desintercalado de paridad, es decir, un código LDPC en un estado en el que se lleva a cabo la sustitución de columnas de la expresión (12), se suministra desde el desintercalador de torsión de columnas 55 a la sección de decodificación LDPC 56 como se ha descrito anteriormente. La sección de decodificación LDPC 56 lleva a cabo un procesamiento similar al del aparato de decodificación de la FIG. 75 excepto que no se lleva a cabo la sustitución de columnas de la expresión (12).

En particular, la FIG. 76 muestra un ejemplo de una configuración de la sección de decodificación LDPC 56 de la

FIG. 70.

Con referencia a la FIG. 76, la sección de decodificación LDPC 56 se configura de manera similar a la del aparato de decodificación de la FIG. 75 excepto que no se proporciona la sección de reordenación de datos de recepción 310 de la FIG. 75 y lleva a cabo un procesamiento similar al del aparato de decodificación de la FIG. 75 excepto que no se lleva a cabo la sustitución de columnas de la expresión (12). Por lo tanto, la descripción de la sección de decodificación LDPC 56 se omite en la presente memoria.

Dado que la sección de decodificación LDPC 56 se puede configurar sin incluir la sección de reordenación de datos de recepción 310 como se ha descrito anteriormente, se puede reducir en escala en comparación con el aparato de decodificación de la FIG. 75.

Se ha de señalar que, mientras, en las FIG. 72 a 76, se supone que la longitud de código N del código LDPC es 90; la longitud de información K es 60; el número de columnas unidad P (número de filas y número de columnas de una matriz componente) de la estructura cíclica es 5; y el testador $q (= M/P)$ de la longitud de paridad M es 6, para una descripción simplificada, la longitud de código N, la longitud de información K, el número de columnas unidad P de la estructura cíclica y el testador $q (= M/P)$ no se limitan individualmente a los valores específicos dados anteriormente.

En particular, mientras que la sección de codificación LDPC 21 en el aparato de transmisión 11 de la FIG. 8 emite un código LDPC en donde, por ejemplo, la longitud de código N es 64.800 o 16.200, la longitud de información K es $N - Pq (= N - M)$, el número de columnas unidad P de la estructura cíclica es 360 y el testador q es M/P , la sección de decodificación LDPC 56 en la FIG. 76 se puede aplicar también donde se lleva a cabo la decodificación LDPC llevando a cabo la operación matemática de nodo de comprobación y la operación matemática de nodo variable simultáneamente para P nodos de comprobación y P nodos variables con respecto a tal código LDPC como se acaba de describir.

Aunque la serie de procesos descritos anteriormente se puede ejecutar por hardware, de otro modo se puede ejecutar por software. Donde la serie de procesos se ejecuta por software, un programa que construye el software se instala en un ordenador para uso universal o similar.

La FIG. 77 muestra un ejemplo de una configuración de una realización de un ordenador en el que se instala un programa para ejecutar la serie de procesos descritos anteriormente.

El programa puede estar grabado por adelantado en un disco duro 705 o en una ROM 703 como medio de grabación incorporado en el ordenador.

O, el programa se puede almacenar (grabar) temporal o permanentemente en un medio de grabación extraíble 711 tal como un disco flexible, un CD-ROM (Memoria de Sólo Lectura de Disco Compacto), un disco MO (Magneto óptico), un DVD (Disco Digital Versátil), un disco magnético o una memoria de semiconductores. Tal medio de grabación extraíble 711, como se acaba de describir, se puede proporcionar como un denominado paquete de software.

Se ha de señalar que el programa no solamente se puede instalar a partir de tal medio de grabación extraíble 711 como se ha descrito anteriormente en el ordenador, sino que también se puede instalar en el disco duro 705 integrado en el ordenador donde se transfiere al mismo y se recibe por una sección de comunicación 708. En este caso, el programa se puede transferir al ordenador mediante comunicación inalámbrica desde un sitio de descarga a través de un satélite artificial para difusión digital por satélite o transferir al ordenador mediante comunicación por cable a través de una red, tal como una LAN (Red de Área Local) o Internet.

El ordenador tiene una CPU (unidad central de procesamiento) 702 incorporada dentro del mismo. Una interfaz de entrada/salida 7410 se conecta a la CPU 702 mediante un bus 701, y si se introduce una instrucción a la CPU 702 a través de la interfaz de entrada/salida 710 cuando una sección de entrada 707 configurada desde un teclado, un ratón, un micrófono, etc. se opera por un usuario o en un caso similar, la CPU 702 ejecuta el programa almacenado en la ROM (Memoria de Sólo Lectura) 703. O, la CPU 702 carga un programa almacenado en el disco duro 705, un programa transferido desde un satélite o una red, recibido por la sección de comunicación 708 e instalado en el disco duro 705 o un programa leído del medio de grabación extraíble 711 cargado en una unidad 709 e instalado en el disco duro 705 en una RAM (Memoria de Acceso Aleatorio) 704 y ejecuta el programa. En consecuencia, la CPU 702 lleva a cabo el procesamiento según el diagrama de flujo descrito anteriormente o el procesamiento llevado a cabo por la configuración del diagrama de bloques descrito anteriormente. Entonces, la CPU 702 emite un resultado del procesamiento desde una sección de salida 706 configurada desde un LCD (Visualizador de Cristal Líquido), un altavoz, etc. y transmite el resultado del procesamiento desde la sección de comunicación 708 a través de la interfaz de entrada/salida 710 o graba el resultado del procesamiento en el disco duro 705 según lo demande la ocasión.

Aquí, en la presente especificación, los pasos de procesamiento que describen el programa para hacer al ordenador llevar a cabo varios procesos no necesitan ser procesados necesariamente en una serie de tiempo según el orden descrito como un diagrama de flujo, sino que incluyen aquellos procesos a ser ejecutados en paralelo o individualmente (por ejemplo, procesos paralelos o procesos mediante un objeto).

Además, el programa se puede procesar mediante un único ordenador o se puede procesar mediante procesamiento distribuido mediante una pluralidad de ordenadores. Además, el programa se puede transferir a y ejecutar por un ordenador en un lugar remoto.

5 Ahora, se describe además un proceso para codificación LDPC por la sección de codificación LDPC 21 del aparato de transmisión 11.

Por ejemplo, en el estándar DVB-S.2, se prescribe codificación LDPC de las dos longitudes de código N diferentes de 64.800 bits y 16.200 bits.

10 Y, para el código LDPC cuya longitud de código N es de 64.800 bits, se prescriben las 11 tasas de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 y 9/10, y para el código LDPC cuya longitud de código N es 16.200 bits, se prescriben las 10 tasas de codificación 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6 y 8/9.

La sección de codificación LDPC 21 lleva a cabo la codificación (codificación de corrección de errores) en códigos LDPC de las diferentes tasas de codificación cuya longitud de código N es 64.800 bits o 16.200 bits según una matriz de comprobación de paridad H preparada para cada longitud de código N y para cada tasa de codificación.

15 En particular, la sección de codificación LDPC 21 almacena una tabla de valores iniciales de matriz de comprobación de paridad descrita en lo sucesivo para producir una matriz de comprobación de paridad H para cada longitud de código N y para cada tasa de codificación.

20 Aquí, en el estándar DVB-S.2, se prescriben códigos LDPC de las dos longitudes de código N diferentes de 64.800 bits y 16.200 bits como se ha descrito anteriormente, y se prescriben las 11 tasas de codificación diferentes para el código LDPC cuya longitud de código N es de 64.800 bits y se prescriben las 10 tasas de codificación diferentes para el código LDPC cuya longitud de código N es de 16.200 bits.

25 Por consiguiente, donde el aparato de transmisión 11 es un aparato que lleva a cabo el procesamiento en cumplimiento con el estándar DVB-S.2, las tablas de valores iniciales de matriz de comprobación de paridad que corresponden individualmente a las 11 tasas de codificación diferentes para el código LDPC cuya longitud de código N es de 64.800 bits y las tablas de valores iniciales de matriz de comprobación de paridad que corresponden individualmente a las 10 tasas de codificación diferentes para el código LDPC cuya longitud de código N es 16.200 bits se almacenan en la sección de codificación LDPC 21.

30 La sección de codificación LDPC 21 fija una longitud de código N y una tasa de codificación r para códigos LDPC, por ejemplo, en respuesta a una operación de un operador. La longitud de código N y la tasa de codificación r fijada por la sección de codificación LDPC 21 se conocen en lo sucesivo de manera adecuada como longitud de código N fijada y tasa de codificación r fijada, respectivamente.

35 La sección de codificación LDPC 21 coloca, en base a las tablas de valores iniciales de matriz de comprobación de paridad que corresponden a la longitud de código N fijada y la tasa de codificación r fijada, elementos del valor 1 de una matriz de información H_A que corresponde a una longitud de información K ($= Nr =$ longitud de código N - longitud de paridad M) que corresponde a la longitud de código N fijada y a la tasa de codificación r fijada en un periodo de 360 columnas (número de columnas unidad P de la estructura cíclica) en la dirección de columna para producir una matriz de comprobación de paridad H.

40 Entonces, la sección de codificación LDPC 21 extrae bits de información para la longitud de información K de datos objeto que son objeto de transmisión, tales como datos de imagen o datos de sonido suministrados desde el aparato de transmisión 11. Además, la sección de codificación LDPC 21 calcula los bits de paridad que corresponden a los bits de información en base a la matriz de comprobación de paridad H para producir una palabra de código (código LDPC) para una longitud de código.

En otras palabras, la sección de codificación LDPC 21 lleva a cabo sucesivamente una operación matemática de un bit de paridad de la palabra de código c que satisface la siguiente expresión.

$$Hc^T = 0$$

45 Aquí, en la expresión anterior, c indica un vector de fila como la palabra de código (código LDPC) y c^T indica la inversión del vector de fila c.

50 Donde, desde dentro del vector de fila c como un código LDPC (una palabra de código), una parte que corresponde a los bits de información se representa por un vector de fila A y una parte que corresponde a los bits de paridad se representa por un vector de fila T, el vector de fila c se puede representar mediante una expresión $c = [A|T]$ a partir del vector de fila A como los bits de información y del vector de fila T como los bits de paridad.

Mientras tanto, la matriz de comprobación de paridad H se puede representar, a partir de la matriz de información H_A de aquéllos de los bits de código del código LDPC que corresponden a los bits de información y la matriz de paridad H_T de aquéllos de los bits de código del código LDPC que corresponden a los bits de paridad mediante una expresión $H = [H_A|H_T]$ (matriz en donde los elementos de la matriz de información H_A son elementos en el lado

izquierdo y los elementos de la matriz de paridad H_T son elementos en el lado derecho).

Además, por ejemplo, en el estándar DVB-S.2, la matriz de comprobación de paridad H_T de la matriz de comprobación de paridad $H = [H_A|H_T]$ tiene una estructura de escalera.

5 Es necesario para la matriz de comprobación de paridad H y el vector de fila $c = [A|T]$ como código LDPC satisfacer la expresión $Hc^T = 0$, y donde la matriz de paridad H_T de la matriz de comprobación de paridad $H = [H_A|H_T]$ tenga una estructura de escalera, el vector de fila T como bits de paridad que configura el vector de fila $c = [A|T]$ que satisface la expresión $Hc^T = 0$ se puede determinar secuencialmente fijando los elementos de cada fila a cero en orden comenzando con los elementos de la primera fila del vector de columna Hc^T en la expresión $Hc^T = 0$.

10 Si la sección de codificación LDPC 21 determina un bit de paridad T para un bit de información A , entonces emite una palabra de código $c = [A|T]$ representada por el bit de información A y el bit de paridad T como resultado de codificación LDPC del bit de información A .

15 Como se ha descrito anteriormente, la sección de codificación LDPC 21 almacena las tablas de valores iniciales de matriz de comprobación de paridad que corresponden a las longitudes de código N y las tasas de codificación r por adelantado dentro de la misma y lleva a cabo la codificación LDPC de la longitud de código N fijada y la tasa de codificación r fijada usando una matriz de comprobación de paridad H producida a partir de las tablas de valores iniciales de matriz de comprobación de paridad que corresponde a la longitud de código N fijada y la tasa de codificación r fijada.

20 Cada tabla de valores iniciales de matriz de comprobación de paridad es una tabla que representa la posición de elementos del valor 1 de la matriz de información H_A que corresponde a la longitud de información K que corresponde a la longitud de código N y la tasa de codificación r del código LDPC de la matriz de comprobación de paridad H (código LDPC definido por la matriz de comprobación de paridad H) para cada 360 filas (número de columnas unidad P de la estructura periódica), y se produce por adelantado para una matriz de comprobación de paridad H para cada longitud de código N y cada tasa de codificación r .

25 Las FIG. 78 a 123 ilustran las tablas de valores iniciales de matriz de comprobación de paridad para producir varias matrices de comprobación de paridad H que incluyen tablas de valores iniciales de matriz de comprobación de paridad prescritas en el estándar DVB-S.2.

En particular, la FIG. 78 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 2/3.

30 Las FIG. 79 a 81 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 2/3.

Se ha de señalar que la FIG. 80 es una vista que continúa desde la FIG. 79 y la FIG. 81 es una vista que continúa desde la FIG. 80.

35 La FIG. 82 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 3/4.

40 Las FIG. 83 a 86 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 3/4.

Se ha de señalar que la FIG. 84 es una vista que continúa desde la FIG. 83 y la FIG. 85 es una vista que continúa desde la FIG. 84. Además, la FIG. 86 es una vista que continúa desde la FIG. 85.

45 La FIG. 87 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 4/5.

Las FIG. 88 a 91 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 4/5.

50 Se ha de señalar que la FIG. 89 es una vista que continúa desde la FIG. 88 y la FIG. 90 es una vista que continúa desde la FIG. 89. Además, la FIG. 91 es una vista que continúa desde la FIG. 90.

La FIG. 92 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 5/6.

Las FIG. 93 a 96 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 5/6.

5 Se ha de señalar que la FIG. 94 es una vista que continúa desde la FIG. 93 y la FIG. 95 es una vista que continúa desde la FIG. 94. Además, la FIG. 96 es una vista que continúa desde la FIG. 95.

La FIG. 97 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 8/9.

10 Las FIG. 98 a 101 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 8/9.

Se ha de señalar que la FIG. 99 es una vista que continúa desde la FIG. 98 y la FIG. 100 es una vista que continúa desde la FIG. 99. Además, la FIG. 101 es una vista que continúa desde la FIG. 100.

15 Las FIG. 102 a 105 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 9/10.

Se ha de señalar que la FIG. 103 es una vista que continúa desde la FIG. 102 y la FIG. 104 es una vista que continúa desde la FIG. 103. Además, la FIG. 105 es una vista que continúa desde la FIG. 104.

20 Las FIG. 106 y 107 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 1/4.

Se ha de señalar que la FIG. 107 es una vista que continúa desde la FIG. 106.

25 Las FIG. 108 y 109 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 1/3.

Se ha de señalar que la FIG. 109 es una vista que continúa desde la FIG. 108.

Las FIG. 110 y 111 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 2/5.

30 Se ha de señalar que la FIG. 111 es una vista que continúa desde la FIG. 110.

Las FIG. 112 a 114 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 1/2.

35 Se ha de señalar que la FIG. 113 es una vista que continúa desde la FIG. 112 y la FIG. 114 es una vista que continúa desde la FIG. 113.

Las FIG. 115 a 117 muestran la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 64.800 bits y una tasa de codificación r de 3/5.

40 Se ha de señalar que la FIG. 116 es una vista que continúa desde la FIG. 115 y la FIG. 117 es una vista que continúa desde la FIG. 116.

La FIG. 118 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 1/4.

45 La FIG. 119 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 1/3.

La FIG. 120 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 2/5.

50 La FIG. 121 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de

comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 1/2.

5 La FIG. 122 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 3/5.

La FIG. 123 muestra la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 3/5, que se puede usar en lugar de la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 122.

10 La sección de codificación LDPC 21 del aparato de transmisión 11 determina una matriz de comprobación de paridad H de la siguiente manera usando las tablas de valores iniciales de matriz de comprobación de paridad.

En particular, la FIG. 124 ilustra un método para determinar una matriz de comprobación de paridad H a partir de una tabla de valores iniciales de matriz de comprobación de paridad.

15 Se ha de señalar que la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 124 indica la tabla de valores iniciales de matriz de comprobación de paridad para una matriz de comprobación de paridad H prescrita en el estándar DVB-S.2 y que tiene una longitud de código N de 16.200 bits y una tasa de codificación r de 2/3 mostrada en la FIG. 178.

20 Como se ha descrito anteriormente, la tabla de valores iniciales de matriz de comprobación de paridad es una tabla que representa la posición de elementos del valor 1 de una matriz de información H_A que corresponde a la longitud de información K que corresponde a la longitud de código N y la tasa de codificación r del código LDPC para cada 360 columnas (para cada número de columnas unidad P de la estructura cíclica), y en la primera fila de la tabla de valores iniciales de matriz de comprobación de paridad, un número de números de fila de elementos del valor 1 en la columna de orden $1 + 360 \times (i-1)$ de la matriz de comprobación de paridad H (números de fila donde el número de fila de la primera fila de la matriz de comprobación de paridad H es 0) es igual al número de ponderaciones de columna que tiene la columna de orden $1 + 360 \times (i-1)$.

25 Aquí, se supone que la matriz de paridad H_T de la matriz de comprobación de paridad H que corresponde a la longitud de paridad M tiene una estructura de escalera y se determina por adelantado. Según la tabla de valores iniciales de matriz de comprobación de paridad, se determina la matriz de información H_A que corresponde a la longitud de información K de dentro de la matriz de comprobación de paridad H.

30 El número de fila k+1 de la tabla de valores iniciales de matriz de comprobación de paridad difiere dependiendo de la longitud de información K.

La longitud de información K y el número de fila k+1 de la tabla de valores iniciales de matriz de comprobación de paridad satisfacen una relación dada por la siguiente expresión.

$$K = (k + 1) \times 360$$

Aquí, 360 en la expresión anterior es el número de columnas unidad P de la estructura cíclica.

35 En la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 124, se enumeran 13 valores numéricos en la primera a la tercera filas, y se enumeran tres valores numéricos en las filas cuarta a la de orden k+1 (en la Figura 124, la 30ª).

40 Por consiguiente, el número de ponderaciones de columnas en la matriz de comprobación de paridad H determinado a partir de la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 124 es 13 en las filas primera a la de orden $1 + 360 \times (3-1) - 1$ pero es 3 en las filas de orden $1 + 360 \times (3-1)$ a la de orden K.

La primera fila de la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 124 incluye 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622, y esto indica que, en la primera columna de la matriz de comprobación de paridad H, los elementos en filas de los números de fila de 0, 2084, 1613, 1548, 1286, 1460, 3196, 4297, 2481, 3369, 3451, 4620 y 2622 tienen el valor 1 (y además los otros elementos tienen el valor 0).

45 Mientras tanto, la segunda fila de la tabla de valores iniciales de matriz de comprobación de paridad de la FIG. 124 incluye 1, 122, 1516, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108, y esto indica que, en la columna de orden 361 (= orden $1+360 \times (2-1)$) de la matriz de comprobación de paridad H, los elementos en filas de los números de filas de 1, 122, 1546, 3448, 2880, 1407, 1847, 3799, 3529, 373, 971, 4358 y 3108 tienen el valor 1.

50 Como se ha dado anteriormente, la tabla de valores iniciales de matriz de comprobación de paridad representa la posición de elementos del valor 1 de la matriz de información H_A de la matriz de comprobación de paridad H para cada 360 columnas.

Cada una de las columnas de la matriz de comprobación de paridad H distinta de la columna de orden $1+360 \times (i-1)$,

es decir, cada una de las columnas desde la columna de orden $2+360x(i-1)$ hasta la de orden $360xi$, incluye elementos del valor de 1 obtenidos desplazando cíclicamente los elementos del valor de 1 de la columna de orden $1+360x(i-1)$ que dependen de la tabla de valores iniciales de matriz de comprobación de paridad periódicamente en la dirección hacia abajo (en la dirección hacia abajo de la columna) según la longitud de paridad M .

5 En particular, por ejemplo, la columna de orden $2+360x(i-1)$ es una columna obtenida desplazando cíclicamente la columna de orden $1+360x(i-1)$ en la dirección hacia abajo por $M/360 (= q)$, y la siguiente de orden $3+360x(i-1)$ es una columna obtenida desplazando cíclicamente la columna de orden $1+360x(i-1)$ en la dirección hacia abajo por $2 \times M/360 (= 2 \times q)$ y luego desplazando cíclicamente la columna desplazada cíclicamente (columna de orden $2+360x(i-1)$) en la dirección hacia abajo por $M/360 (= q)$.

10 Ahora, si se supone que el valor numérico en la columna de orden j (orden j desde la izquierda) en la fila de orden i (fila de orden i desde arriba) de la tabla de valores iniciales de matriz de comprobación de paridad se representa por $b_{i,j}$ y el número de fila del elemento de orden j del valor 1 en la columna de orden w de la matriz de comprobación de paridad H se representa por $H_{w,j}$, entonces el número de filas $H_{w,j}$ del elemento del valor 1 en la columna de orden w que es una columna distinta de la columna de orden $1+360x(i-1)$ de la matriz de comprobación de paridad H se puede determinar según la siguiente expresión.

$$H_{w-j} = \text{mod} \{h_{i,j} + \text{mod} ((w-1), P) \times q, M\}$$

Aquí, $\text{mod}(x, y)$ significa un resto cuando x se divide por y .

Mientras tanto, P es un número de columnas unidad de la estructura cíclica descrita anteriormente y es, por ejemplo, en el estándar DVB-S.2, 360. Además, q es un valor $M/360$ obtenido dividiendo la longitud de paridad M por el número de columnas unidad $P (= 360)$ de la estructura cíclica.

La sección de codificación LDPC 21 especifica el número de filas de los elementos del valor 1 en la columna de orden $1+360x(i-1)$ de la matriz de comprobación de paridad H de la tabla de valores iniciales de matriz de comprobación de paridad.

25 Además, la sección de codificación LDPC 21 determina el número de fila $H_{w,j}$ del elemento del valor 1 en la columna de orden w que es una columna distinta de la columna de orden $1+360x(i-1)$ de la matriz de comprobación de paridad H y produce una matriz de comprobación de paridad H en la que los elementos de los números de fila obtenidos mediante lo precedente tienen el valor 1.

30 Ahora, se describen las variaciones del método de sustitución de bits de código de un código LDPC en el proceso de sustitución mediante la sección de sustitución 32 del demultiplexor 25 en el aparato de transmisión 11, es decir, del patrón de asignación (conocido en lo sucesivo como patrón de asignación de bits) de bits de código de un código LDPC y bits de símbolo representativos de un símbolo.

35 En el demultiplexor 25, los bits de código del código LDPC se escriben en la dirección de columna de la memoria 31, que almacena $(N/(mb)) \times (mb)$ bits en la dirección de columna x la dirección de fila. A partir de entonces, los bits de código se leen en una unidad de mb bits en la dirección de fila. Además, en el demultiplexor 25, la sección de sustitución 32 sustituye los mb bits de código leídos en la dirección de fila de la memoria 31 y determina los bits de código después de la sustitución como mb bits de símbolos de símbolos b (sucesivos).

40 En particular, la sección de sustitución 32 determina el bit de orden $i+1$ a partir del bit más significativo de los mb bits de código leídos en la dirección de fila de la memoria 31 como el bit de código b_i y determina el bit de orden $i+1$ a partir del bit más significativo de los mb bits de símbolo de los b símbolos (sucesivos) como el bit de símbolo y_i , y entonces sustituye los mb bits de código b_0 a b_{mb-1} según un patrón de asignación de bits predeterminado.

La FIG. 125 muestra un ejemplo de un patrón de asignación de bits de que se puede adoptar donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es $5/6$ o $9/10$ y además el método de modulación es 4096QAM y el múltiplo b es 1.

45 Donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es $5/6$ o $9/10$ y además el método de modulación es 4096QAM y el múltiplo b es 1, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(64.800/(12 \times 1)) \times (12 \times 1)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $12 \times 1 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32.

50 La sección de sustitución 32 sustituye $12 \times 1 (= mb)$ bits de código b_0 a b_{11} de manera que los $12 \times 1 (= mb)$ bits de código b_0 a b_{11} que se leen de la memoria 31 se pueden asignar a los $12 \times 1 (= mb)$ bits de símbolo y_0 a y_{11} de un $(= b)$ símbolo como se ve en la FIG. 125.

En particular, según la FIG. 125, la sección de sustitución 32 lleva a cabo, con respecto a ambos de un código LDPC que tiene la tasa de codificación de $5/6$ y un código LDPC que tiene la tasa de codificación de $9/10$ de entre los códigos LDPC que tienen la longitud de código N de 64.800 bits, una sustitución para asignar

el bit de código b_0 al bit de símbolo y_8 ,
 el bit de código b_1 al bit de símbolo y_0 ,
 el bit de código b_2 al bit de símbolo y_6 ,
 el bit de código b_3 al bit de símbolo y_1 ,
 5 el bit de código b_4 al bit de símbolo y_4 ,
 el bit de código b_5 al bit de símbolo y_5 ,
 el bit de código b_6 al bit de símbolo y_2 ,
 el bit de código b_7 al bit de símbolo y_3 ,
 el bit de código b_8 al bit de símbolo y_7 ,
 10 el bit de código b_9 al bit de símbolo y_{10} ,
 el bit de código b_{10} al bit de símbolo y_{11} , y
 el bit de código b_{11} al bit de símbolo y_9 .

La FIG. 226 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es 5/6 o 9/10 y además el método de modulación es 4096QAM y el múltiplo b es 2.

Donde el código LDPC es un código LDPC cuya longitud de código N es de 64.800 bits y cuya tasa de codificación es 5/6 o 9/10 y además el método de modulación es 4096QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(64.800 / (12 \times 2)) \times (12 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $12 \times 2 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32.

La sección de sustitución 32 sustituye $12 \times 2 (= mb)$ bits de código b_0 a b_{23} de manera que los $12 \times 2 (= mb)$ bits de código b_0 a b_{23} que se leen de la memoria 31 se pueden asignar a los $12 \times 2 (= mb)$ bits de símbolo y_0 a y_{23} de dos $(= b)$ símbolos sucesivos como se ve en la FIG. 126.

En particular, según la FIG. 126, la sección de sustitución 32 lleva a cabo, con respecto a ambos de un código LDPC que tiene la tasa de codificación de 5/6 y un código LDPC que tiene la tasa de codificación de 9/10 de entre los códigos LDPC que tienen la longitud de código N de 64.800 bits, una sustitución para asignar

el bit de código b_0 al bit de símbolo y_8 ,
 el bit de código b_2 al bit de símbolo y_0 ,
 el bit de código b_4 al bit de símbolo y_6 ,
 30 el bit de código b_6 al bit de símbolo y_1 ,
 el bit de código b_8 al bit de símbolo y_4 ,
 el bit de código b_{10} al bit de símbolo y_5 ,
 el bit de código b_{12} al bit de símbolo y_2 ,
 el bit de código b_{14} al bit de símbolo y_3 ,
 35 el bit de código b_{16} al bit de símbolo y_7 ,
 el bit de código b_{18} al bit de símbolo y_{10} ,
 el bit de código b_{20} al bit de símbolo y_{11} ,
 el bit de código b_{22} al bit de símbolo y_9 ,
 el bit de código b_1 al bit de símbolo y_{20} ,
 40 el bit de código b_3 al bit de símbolo y_{12} ,
 el bit de código b_5 al bit de símbolo y_{18} ,

el bit de código b_7 al bit de símbolo y_{13} ,

el bit de código b_9 al bit de símbolo y_{16} ,

el bit de código b_{11} al bit de símbolo y_{17} ,

el bit de código b_{13} al bit de símbolo y_{14} ,

5 el bit de código b_{15} al bit de símbolo y_{15} ,

el bit de código b_{17} al bit de símbolo y_{19} ,

el bit de código b_{19} al bit de símbolo y_{22} ,

el bit de código b_{21} al bit de símbolo y_{23} , y

el bit de código b_{23} al bit de símbolo y_{21} .

10 Aquí, el patrón de asignación de bits de la FIG. 126 utiliza el patrón de asignación de bits de la FIG. 125 en donde el múltiplo b es 1 sin ninguna modificación. En particular, en la FIG. 126, la asignación de los bits de código b_0, b_2, \dots, b_{22} a los bits de símbolo y_i y la asignación de los b_1, b_3, \dots, b_{23} a los bits de símbolo y_i son similares a la asignación de los bits de código b_0 a b_{11} a los bits de símbolo y_1 de la FIG. 125.

15 La FIG. 127 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de modulación es 1024QAM y el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es $3/4, 5/6$ u $8/9$ y además el múltiplo b es 2 y también donde el método de modulación es 1024QAM y el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya longitud de codificación es $3/4, 5/6$ o $9/10$ y además el múltiplo b es 2.

20 Donde el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es $3/4, 5/6$ u $8/9$ y el método de modulación es 1024QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(16.200 / (10 \times 2)) \times (10 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de 10×2 ($= mb$) bits en la dirección de fila y se suministran a la sección de sustitución 32.

25 Por otra parte, donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es $3/4, 5/6$ o $9/10$ y el método de modulación es 1024QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(64.800 / (10 \times 2)) \times (10 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de 10×2 ($= mb$) bits en la dirección de fila y se suministran a la sección de sustitución 32.

30 La sección de sustitución 32 sustituye 10×2 ($= mb$) bits de código b_0 a b_{19} de manera que los 10×2 ($= mb$) bits de código b_0 a b_{19} que se leen de la memoria 31 se pueden asignar a los 10×2 ($= mb$) bits de símbolo y_0 a y_{19} de dos ($= b$) símbolos sucesivos como se ve en la FIG. 127.

35 En particular, según la FIG. 127, la sección de sustitución 32 lleva a cabo, con respecto a todos los códigos LDPC que tienen la tasa de codificación de $3/4$, los códigos LDPC que tienen la tasa de codificación de $5/6$ y los códigos LDPC que tienen una tasa de codificación adicional de $8/9$ de entre los códigos LDPC que tienen la longitud de código N de 16.200 así como un código LDPC que tiene la tasa de codificación de $3/4$, los códigos LDPC que tienen la tasa de codificación de $5/6$ y los códigos LDPC que tienen una tasa de codificación adicional de $9/10$ de entre los códigos LDPC que tienen otra longitud de código N de 64.800, una sustitución para asignar

el bit de código b_0 al bit de símbolo y_8 ,

el bit de código b_1 al bit de símbolo y_3 ,

40 el bit de código b_2 al bit de símbolo y_7 ,

el bit de código b_3 al bit de símbolo y_{10} ,

el bit de código b_4 al bit de símbolo y_{19} ,

el bit de código b_5 al bit de símbolo y_4 ,

el bit de código b_6 al bit de símbolo y_9 ,

45 el bit de código b_7 al bit de símbolo y_5 ,

el bit de código b_8 al bit de símbolo y_{17} ,

el bit de código b_9 al bit de símbolo y_6 ,

el bit de código b_{10} al bit de símbolo y_{14} ,

el bit de código b_{11} al bit de símbolo y_{11} ,

el bit de código b_{12} al bit de símbolo y_2 ,

5 el bit de código b_{13} al bit de símbolo y_{18} ,

el bit de código b_{14} al bit de símbolo y_{16} ,

el bit de código b_{15} al bit de símbolo y_{15} ,

el bit de código b_{16} al bit de símbolo y_0 ,

el bit de código b_{17} al bit de símbolo y_1 ,

10 el bit de código b_{18} al bit de símbolo y_{13} , y

el bit de código b_{19} al bit de símbolo y_{12} .

La FIG. 128 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de modulación es 4096QAM y el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es $5/6$ u $8/9$ y además el múltiplo b es 2 y también donde el método de modulación es 4096QAM y el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es $5/6$ o $9/10$ y además el múltiplo b es 2.

15

Donde el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es $5/6$ u $8/9$ y el método de modulación es 4096QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(16.200 / (12 \times 2)) \times (12 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $12 \times 2 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32.

20

Por otra parte, donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es $5/6$ o $9/10$ y el método de modulación es 4096QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(64.800 / (12 \times 2)) \times (12 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $12 \times 2 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32.

25

La sección de sustitución 32 sustituye $12 \times 2 (= mb)$ bits de código b_0 a b_{23} de manera que los $12 \times 2 (= mb)$ bits que se leen de la memoria 31 se pueden asignar a los $12 \times 2 (= mb)$ bits de símbolo y_0 a y_{23} de dos ($= b$) símbolos sucesivos como se ve en la FIG. 128.

30 En particular, según la FIG. 128, la sección de sustitución 32 lleva a cabo, con respecto a todos los códigos LDPC que tienen la tasa de codificación de $5/6$ y los códigos LDPC que tienen la tasa de codificación de $8/9$ de entre los códigos LDPC que tienen la longitud de código de 16.200 bits así como códigos LDPC que tienen la tasa de codificación de $5/6$ y códigos LDPC que tienen la tasa de codificación de $9/10$ de entre los códigos LDPC que tienen otra longitud de código N de 64.800, una sustitución para asignar

35 el bit de código b_0 al bit de símbolo y_{10} ,

el bit de código b_1 al bit de símbolo y_{15} ,

el bit de código b_2 al bit de símbolo y_4 ,

el bit de código b_3 al bit de símbolo y_{19} ,

el bit de código b_4 al bit de símbolo y_{21} ,

40 el bit de código b_5 al bit de símbolo y_{16} ,

el bit de código b_6 al bit de símbolo y_{23} ,

el bit de código b_7 al bit de símbolo y_{18} ,

el bit de código b_8 al bit de símbolo y_{11} ,

el bit de código b_9 al bit de símbolo y_{14} ,

45 el bit de código b_{10} al bit de símbolo y_{22} ,

el bit de código b_{11} al bit de símbolo y_5 ,

el bit de código b_{12} al bit de símbolo y_6 ,

el bit de código b_{13} al bit de símbolo y_{17} ,

el bit de código b_{14} al bit de símbolo y_{13} ,

5 el bit de código b_{15} al bit de símbolo y_{20} ,

el bit de código b_{16} al bit de símbolo y_1 ,

el bit de código b_{17} al bit de símbolo y_3 ,

el bit de código b_{18} al bit de símbolo y_9 ,

el bit de código b_{19} al bit de símbolo y_2 .

10 el bit de código b_{20} al bit de símbolo y_7 ,

el bit de código b_{21} al bit de símbolo y_8 ,

el bit de código b_{22} al bit de símbolo y_{12} , y

el bit de código y_{23} al bit de símbolo y_0 .

15 Según los patrones de asignación de bits mostrados en las FIG. 125 a 128, se puede adoptar el mismo patrón de asignación de bits para una pluralidad de tipos de códigos LDPC, y, además, la tolerancia a los errores se puede fijar a un rendimiento deseado con respecto a todos los múltiples tipos de códigos LDPC.

En particular, las FIG. 129 a 132 ilustran resultados de simulaciones de la BER (Tasa de Error de Bit) donde se lleva a cabo un proceso de sustitución según los patrones de asignación de bits de las FIG. 125 a 128.

20 Se ha de señalar que, en las FIG. 129 a 132, el eje de abscisas representa E_s/N_0 (relación potencia de señal a potencia de ruido por un símbolo) y el eje de ordenadas representa la BER.

Además, la curva de línea continua representa la BER donde se lleva a cabo el proceso de sustitución y una línea discontinua larga y corta alterna representa la BER donde no se lleva a cabo un proceso de sustitución.

25 La FIG. 129 ilustra la BER donde se lleva a cabo un proceso de sustitución según el patrón de asignación de bits de la FIG. 125 para códigos LDPC cuya longitud de código N es 64.800 y cuya tasa de codificación es 5/6 y 9/10 adoptando 4096QAM como el método de modulación y fijando el múltiplo b a 1.

La FIG. 130 ilustra la BER donde se lleva a cabo un proceso de sustitución según el patrón de asignación de bits de la FIG. 126 para códigos LDPC cuya longitud de código N es 64.800 y cuya tasa de codificación es 5/6 y 9/10 adoptando 4096QAM como el método de modulación y fijando el múltiplo b a 2.

30 Se ha de señalar que, en las FIG. 129 y 130, un gráfico que tiene una marca triangular aplicada al mismo representa la BER con respecto al código LDPC que tiene la tasa de codificación de 5/6, y un gráfico que tiene un asterisco aplicado al mismo representa la BER con respecto al código LDPC que tiene la tasa de codificación de 9/10.

35 La FIG. 131 ilustra la BER donde se lleva a cabo un proceso de sustitución según el patrón de asignación de bits de la FIG. 127 para códigos LDPC cuya longitud de código N es 16.200 y cuya tasa de codificación es 3/4, 5/6 y 8/9 y para códigos LDPC cuya longitud de código N es 64.800 y cuya tasa de codificación es 3/4, 5/6 y 9/10 adoptando 1024QAM como el método de modulación y fijando el múltiplo b a 2.

40 Se ha de señalar que, en la FIG. 131, un gráfico que tiene un asterisco aplicado al mismo representa la BER con respecto al código LDPC que tiene la longitud de código N de 64.800 y la tasa de codificación de 9/10, y un gráfico que tiene una marca triangular dirigida hacia arriba aplicada al mismo representa la BER con respecto a los códigos LDPC que tienen la longitud de código N de 64.800 y la tasa de codificación de 5/6. Además, un gráfico que tiene una marca cuadrada aplicada al mismo representa la BER con respecto al código LDPC que tiene la longitud de código N de 64.800 y la tasa de codificación de 3/4.

45 Además, en la FIG. 131, un gráfico que tiene una marca redonda aplicada al mismo representa la BER con respecto al código LDPC que tiene la longitud de código N de 16.200 y la tasa de codificación de 8/9, y un gráfico que tiene una marca triangular dirigida hacia abajo aplicada al mismo representa la BER con respecto al código LDPC que tiene la longitud de código N de 16.200 y la tasa de codificación de 5/6. Además, un gráfico que tiene una marca más aplicada al mismo representa la BER con respecto al código LDPC que tiene la longitud de código N de 16.200 y la tasa de codificación de 3/4.

La FIG. 132 ilustra la BER donde se lleva a cabo un proceso de sustitución según el patrón de asignación de bits de la FIG. 128 para códigos LDPC cuya longitud de código N es 16.200 y cuya tasa de codificación es 5/6 y 8/9 y para códigos LDPC cuya longitud de código N es 64.800 y cuya tasa de codificación es 5/6 y 9/10 adoptando 4096QAM como el método de modulación y fijando el múltiplo b a 2.

5 Se ha de señalar que, en la FIG. 132, un gráfico que tiene un asterisco aplicado al mismo representa la BER con respecto al código LDPC que tiene la longitud de código N de 64.800 y tasa de codificación de 9/10, y un gráfico que tiene una marca triangular dirigida hacia arriba aplicada al mismo representa la BER con respecto a los códigos LDPC que tienen la longitud de código N de 64.800 y la tasa de codificación de 5/6.

10 Además, en la FIG. 132, un gráfico que tiene una marca redonda aplicada al mismo representa la BER con respecto al código LDPC que tiene la longitud de código N de 16.200 y la tasa de codificación de 8/9, y un gráfico que tiene una marca triangular dirigida hacia abajo aplicada al mismo representa la BER con respecto al código LDPC que tiene la longitud de código N de 16.200 y la tasa de codificación de 5/6.

15 Según las FIG. 129 a 132, se puede adoptar el mismo patrón de asignación de bits con respecto a una pluralidad de tipos de códigos LDPC. Además, la tolerancia a los errores se puede fijar a un rendimiento deseado con respecto a todos los múltiples tipos de códigos LDPC.

En particular, donde se adopta un patrón de asignación de bits para uso exclusivo para cada uno de una pluralidad de tipos de códigos LDPC que tienen diferentes longitudes de código y diferentes tasas de codificación, la tolerancia a un error se puede elevar a un rendimiento muy alto. No obstante, es necesario cambiar el patrón de asignación de bits para cada uno de una pluralidad de tipos de códigos LDPC.

20 Por otra parte, según los patrones de asignación de bits de las FIG. 125 a 128, se puede adoptar el mismo patrón de asignación de bits para una pluralidad de tipos de códigos LDPC que tienen diferentes longitudes de código y diferentes tasas de codificación, y se elimina la necesidad de cambiar el patrón de asignación de bits para cada uno de una pluralidad de tipos de códigos LDPC como en un caso en donde se adopta un patrón de asignación de bits para uso exclusivo para cada uno de una pluralidad de tipos de códigos LDPC.

25 Además, según los patrones de asignación de bits de las FIG. 125 a 128, se puede elevar la tolerancia a errores a un rendimiento alto, aunque es un poco menor que aquél donde se adopta un patrón de asignación de bits para uso exclusivo para cada uno de una pluralidad de tipos de códigos LDPC.

30 En particular, por ejemplo, donde el método de modulación es 4096QAM, se puede usar el mismo patrón de asignación de bits en la FIG. 125 o 126 para todos los códigos LDPC que tienen la longitud de código N de 64.800 y la tasa de codificación de 5/6 y 9/10. Incluso donde se adopta el mismo patrón de asignación de bits de esta manera, se puede elevar la tolerancia a errores a un rendimiento alto.

35 Además, por ejemplo, donde el método de modulación es 1024QAM, se puede adoptar el mismo patrón de asignación de bits de la FIG. 127 para todos los códigos LDPC que tienen la longitud de código N de 16.200 y la tasa de codificación de 3/4, 5/6 y 8/9 y los códigos LDPC que tienen la longitud de código N de 64.800 y la tasa de codificación de 3/4, 5/6 y 9/10. Entonces, incluso si se adopta el mismo patrón de asignación de bits de esta manera, se puede elevar la tolerancia a errores a un rendimiento alto.

40 Mientras tanto, por ejemplo, donde el método de modulación es 4096QAM, se puede adoptar el mismo patrón de asignación de bits de la FIG. 128 para todos los códigos LDPC que tienen la longitud de código N de 16.200 y la tasa de codificación de 5/6 y 8/9 y los códigos LDPC que tienen la longitud de código N de 64.800 y la tasa de codificación de 5/6 y 9/10. Entonces, incluso si se adopta el mismo patrón de asignación de bits de esta manera, se puede elevar la tolerancia a errores a un rendimiento alto.

Se describen además variaciones del patrón de asignación de bits.

45 La FIG. 133 ilustra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el código LDPC es cualquier código LDPC que tiene la longitud de código N de 16.200 o 64.800 bits y una de las tasas de codificación para el código LDPC definido por una matriz de comprobación de paridad H producida, por ejemplo, a partir de cualquiera de las tablas de valores iniciales de matriz de comprobación de paridad mostradas en las FIG. 78 a 123 distintas de la tasa de codificación de 3/5 y además el método de modulación es QPSK y el múltiplo b es 1.

50 Donde el código LDPC es un código LDPC que tiene la longitud de código N de 16.200 o 64.800 bits y tiene la tasa de codificación distinta de 3/5 y además el método de modulación es QPSK y el múltiplo b es 1, el demultiplexor 25 lee bits de código escritos en la memoria 31 para almacenar $(N / (2 \times 1)) \times (2 \times 1)$ bits en la dirección de columna x la dirección de fila en una unidad de 2×1 (= mb) bits en la dirección de fila y suministra los bits de código leídos a la sección de sustitución 32.

55 La sección de sustitución 32 sustituye los 2×1 (= mb) bits de código b_0 y b_1 leídos de la memoria 31 de tal manera que los 2×1 (= mb) bits de código b_0 y b_1 se asignan a los 2×1 (= mb) bits de símbolo y_0 e y_1 de un (= b) símbolo como se ve en la FIG. 133.

En particular, según la FIG. 133, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_0 y

el bit de código b_1 al bit de símbolo y_1 .

5 Se ha de señalar que, en este caso, también es posible considerar que la sustitución no se lleva a cabo y los bits de código b_0 y b_1 se determinan como están como los bits de símbolo y_0 e y_1 , respectivamente.

La FIG. 134 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el código LDPC es un código LDPC que tiene la longitud de código N de 16.200 o 64.800 bits y tiene la tasa de codificación distinta de $3/5$ y además el método de modulación es 16QAM y el múltiplo b es 2.

10 Donde el código LDPC es un código LDPC que tiene la longitud de código N de 16.200 o 64.800 bits y tiene la tasa de codificación distinta de $3/5$ y además el método de modulación es 16QAM y el múltiplo b es 2, el demultiplexor 25 lee los bits de código escritos en la memoria 31 para almacenar $(N / (4 \times 2)) \times (4 \times 2)$ bits en la dirección de columna x la dirección de fila en una unidad de 4×2 ($= mb$) bits en la dirección de fila y suministra los bits de código leídos a la sección de sustitución 32.

15 La sección de sustitución 32 sustituye los 4×2 ($= mb$) bits de código b_0 a b_7 leídos de la memoria 31 de tal manera que los 4×2 ($= mb$) bits de código se asignan a los 4×2 ($= mb$) bits de símbolo y_0 a y_7 de dos ($= b$) símbolos sucesivos como se ve en la FIG. 134.

En particular, según la FIG. 134, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_7 ,

el bit de código b_1 al bit de símbolo y_1 ,

20 el bit de código b_2 al bit de símbolo y_4 ,

el bit de código b_3 al bit de símbolo y_2 ,

el bit de código b_4 al bit de símbolo y_5 ,

el bit de código b_5 al bit de símbolo y_3 ,

el bit de código b_6 al bit de símbolo y_6 , y

25 el bit de código b_7 al bit de símbolo y_0 .

La FIG. 135 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de modulación es 64QAM y el código LDPC es un código LDPC cuya longitud de código N es 16.200 o 64.800 bits y cuya tasa de codificación es cualquiera distinta de $3/5$ y además el múltiplo b es 2.

30 Donde el código LDPC es un código LDPC cuya longitud de código N es 16.200 o 64.800 bits y cuya tasa de codificación es cualquiera distinta de $3/5$ y el método de modulación es 64QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(N / (6 \times 2)) \times (6 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de 6×2 ($= mb$) bits en la dirección de fila y se suministran a la sección de sustitución 32.

35 La sección de sustitución 32 sustituye los 6×2 ($= mb$) bits de código b_0 a b_{11} leídos de la memoria 31 de manera que los 6×2 ($= mb$) bits de código b_0 a b_{11} se pueden asignar a los 6×2 ($= mb$) bits de símbolo y_0 a y_{11} de dos ($= b$) símbolos sucesivos como se ve en la FIG. 135.

En particular, según la FIG. 135, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_{11} ,

el bit de código b_1 al bit de símbolo y_7 ,

40 el bit de código b_2 al bit de símbolo y_3 ,

el bit de código b_3 al bit de símbolo y_{10} ,

el bit de código b_4 al bit de símbolo y_6 ,

el bit de código b_5 al bit de símbolo y_2 ,

el bit de código b_6 al bit de símbolo y_9 ,

- el bit de código b_7 al bit de símbolo y_5 ,
- el bit de código b_8 al bit de símbolo y_1 ,
- el bit de código b_9 al bit de símbolo y_8 ,
- el bit de código b_{10} al bit de símbolo y_4 , y
- 5 el bit de código b_{11} al bit de símbolo y_0 .

La FIG. 136 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de modulación es 256QAM y el código LDPC es un código LDPC cuya longitud de código N es de 64.800 bits y cuya tasa de codificación es cualquiera distinta de $3/5$ y además el múltiplo b es 2.

10 Donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es cualquiera distinta de $3/5$ y el método de modulación es 256QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(64.800 / (8 \times 2)) \times (8 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $8 \times 2 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32.

15 La sección de sustitución 32 sustituye los $8 \times 2 (= mb)$ bits de código b_0 a b_{15} leídos de la memoria 31 de manera que los $8 \times 2 (= mb)$ bits de código b_0 a b_{15} se pueden asignar a los $8 \times 2 (= mb)$ bits de símbolo y_0 a y_{15} de dos ($= b$) símbolos sucesivos como se ve en la FIG. 136.

En particular, según la FIG. 136, la sección de sustitución 32 lleva a cabo una sustitución para asignar

- el bit de código b_0 al bit de símbolo y_{15} ,
- el bit de código b_1 al bit de símbolo y_1 ,
- 20 el bit de código b_2 al bit de símbolo y_{13} ,
- el bit de código b_3 al bit de símbolo y_3 ,
- el bit de código b_4 al bit de símbolo y_8 ,
- el bit de código b_5 al bit de símbolo y_{11} ,
- el bit de código b_6 al bit de símbolo y_9 ,
- 25 el bit de código b_7 al bit de símbolo y_5 ,
- el bit de código b_8 al bit de símbolo y_{10} ,
- el bit de código b_9 al bit de símbolo y_6 ,
- el bit de código b_{10} al bit de símbolo y_4 ,
- el bit de código b_{11} al bit de símbolo y_7 ,
- 30 el bit de código b_{12} al bit de símbolo y_{12} ,
- el bit de código b_{13} al bit de símbolo y_2 ,
- el bit de código b_{14} al bit de símbolo y_{14} , y
- el bit de código b_{15} al bit de símbolo y_0 .

35 La FIG. 137 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de modulación es 256QAM y el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es cualquiera distinta de $3/5$ y además el múltiplo b es 1.

40 Donde el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es cualquiera distinta de $3/5$ y el método de modulación es 256QAM y además el múltiplo b es 1, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(16.200 / (8 \times 1)) \times (8 \times 1)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $8 \times 1 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32.

La sección de sustitución 32 sustituye los $8 \times 1 (= mb)$ bits de código b_0 a b_7 leídos de la memoria 31 de manera que los $8 \times 1 (= mb)$ bits de código b_0 a b_7 se pueden asignar a los $8 \times 1 (= mb)$ bits de símbolo y_0 a y_7 de un ($= b$) símbolo como se ve en la FIG. 137.

En particular, según la FIG. 137, la sección de sustitución 32 lleva a cabo una sustitución para asignar

- el bit de código b_0 al bit de símbolo y_7 ,
- el bit de código b_1 al bit de símbolo y_3 ,
- el bit de código b_2 al bit de símbolo y_1 ,
- 5 el bit de código b_3 al bit de símbolo y_5 ,
- el bit de código b_4 al bit de símbolo y_2 ,
- el bit de código b_5 al bit de símbolo y_6 ,
- el bit de código b_6 al bit de símbolo y_4 , y
- el bit de código b_7 al bit de símbolo y_0 .

10 La FIG. 138 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el código LDPC es un código LDPC cuya longitud de código N es de 16.200 o 64.800 bits y cuya tasa de codificación es cualquiera distinta de $3/5$ y además el método de modulación es QPSK y el múltiplo b es 1.

15 Donde el código LDPC es un código LDPC cuya longitud de código N es 16.200 o 64.800 bits y cuya tasa de codificación es cualquiera distinta de $3/5$ y además el método de modulación es QPSK y el múltiplo b es 1, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(N / (2 \times 1)) \times (2 \times 1)$ bits en la dirección de columna \times la dirección de fila se leen en una unidad de 2×1 ($= mb$) bits en la dirección de fila y se suministran a la sección de sustitución 32.

20 La sección de sustitución 32 sustituye los 2×1 ($= mb$) bits de código b_0 y b_1 leídos de la memoria 31 de manera que los 2×1 ($= mb$) bits de código b_0 y b_1 se pueden asignar a los 2×1 ($= mb$) bits de símbolo y_0 e y_1 de un ($= b$) símbolo como se ve en la FIG. 138.

En particular, según la FIG. 138, la sección de sustitución 32 lleva a cabo una sustitución para asignar

- el bit de código b_0 al bit de símbolo y_0 , y
- el bit de código b_1 al bit de símbolo y_2 .

25 Se ha de señalar que, en este caso, también es posible considerar que la sustitución no se lleva a cabo y los bits de código b_0 y b_1 se determinan como están como los bits de símbolo y_0 e y_1 , respectivamente.

La FIG. 139 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es $3/5$ y además el método de modulación es 16QAM y el múltiplo b es 2.

30 Donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es $3/5$ y además el método de modulación es 16QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(64.800 / (4 \times 2)) \times (4 \times 2)$ bits en la dirección de columna \times la dirección de fila se leen en una unidad de 4×2 ($= mb$) bits en la dirección de fila y se suministran a la sección de sustitución 32.

35 La sección de sustitución 32 sustituye los 4×2 ($= mb$) bits de código b_0 a b_7 leídos de la memoria 31 de manera que los 4×2 ($= mb$) bits de código b_0 a b_7 se pueden asignar a los 4×2 ($= mb$) bits de símbolo y_0 a y_7 de dos ($= b$) símbolos sucesivos como se ve en la FIG. 139.

En particular, según la FIG. 139, la sección de sustitución 32 lleva a cabo una sustitución para asignar

- el bit de código b_0 al bit de símbolo y_0 ,
- el bit de código b_1 al bit de símbolo y_5 ,
- el bit de código b_2 al bit de símbolo y_1 ,
- 40 el bit de código b_3 al bit de símbolo y_2 ,
- el bit de código b_4 al bit de símbolo y_4 ,
- el bit de código b_5 al bit de símbolo y_7 ,
- el bit de código b_6 al bit de símbolo y_3 , y
- el bit de código b_7 al bit de símbolo y_6 .

La FIG. 140 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el código LDPC es un código LDPC cuya longitud de código N es de 16.200 bits y cuya tasa de codificación es 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2.

5 Donde el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es 3/5 y además el método de modulación es 16QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(16.200 / (4 \times 2)) \times (4 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $4 \times 2 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32.

10 La sección de sustitución 32 sustituye los $4 \times 2 (= mb)$ bits de código b_0 a b_7 leídos de la memoria 31 de manera que los $4 \times 2 (= mb)$ bits de código b_0 a b_7 se pueden asignar a los $4 \times 2 (= mb)$ bits de símbolo y_0 a y_7 de dos ($= b$) símbolos sucesivos como se ve en la FIG. 240.

En particular, según la FIG. 140, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_7 ,

el bit de código b_1 al bit de símbolo y_1 ,

el bit de código b_2 al bit de símbolo y_4 ,

15 el bit de código b_3 al bit de símbolo y_2 ,

el bit de código b_4 al bit de símbolo y_5 ,

el bit de código b_5 al bit de símbolo y_3 ,

el bit de código b_6 al bit de símbolo y_6 , y

el bit de código b_7 al bit de símbolo y_0 .

20 La FIG. 141 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de modulación es 64QAM y el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es 3/5 y además el múltiplo b es 2.

25 Donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es 3/5 y el método de modulación es 64QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(64.800 / (6 \times 2)) \times (6 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de $6 \times 2 (= mb)$ bits en la dirección de fila y se suministran a la sección de sustitución 32.

La sección de sustitución 32 sustituye los $6 \times 2 (= mb)$ bits de código b_0 a b_{11} leídos de la memoria 31 de manera que los $6 \times 2 (= mb)$ bits de código b_0 a b_{11} se pueden asignar a los $6 \times 2 (= mb)$ bits de símbolo y_0 a y_{11} de dos ($= b$) símbolos sucesivos como se ve en la FIG. 141.

30 En particular, según la FIG. 141, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_2 ,

el bit de código b_1 al bit de símbolo y_7 ,

el bit de código b_2 al bit de símbolo y_6 ,

el bit de código b_3 al bit de símbolo y_9 ,

35 el bit de código b_4 al bit de símbolo y_0 ,

el bit de código b_5 al bit de símbolo y_3 ,

el bit de código b_6 al bit de símbolo y_1 ,

el bit de código b_7 al bit de símbolo y_8 ,

el bit de código b_8 al bit de símbolo y_4 ,

40 el bit de código b_9 al bit de símbolo y_{11} ,

el bit de código b_{10} al bit de símbolo y_5 , y

el bit de código b_{11} al bit de símbolo y_{10} .

La FIG. 142 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de

modulación es 64QAM y el código LDPC es un código LDPC cuya longitud de código N es de 16.200 bits y cuya tasa de codificación es 3/5 y además el múltiplo b es 2.

5 Donde el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es 3/5 y el método de modulación es 64QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(16.200 / (6 \times 2)) \times (6 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de 6×2 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32.

La sección de sustitución 32 sustituye los 6×2 (= mb) bits de código b_0 a b_{11} leídos de la memoria 31 de manera que los 6×2 (= mb) bits de código b_0 a b_{11} se pueden asignar a los 6×2 (= mb) bits de símbolo y_0 a y_{11} de dos (= b) símbolos sucesivos como se ve en la FIG. 142.

10 En particular, según la FIG. 142, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_{11} ,

el bit de código b_1 al bit de símbolo y_7 ,

el bit de código b_2 al bit de símbolo y_3 ,

el bit de código b_3 al bit de símbolo y_{10} ,

15 el bit de código b_4 al bit de símbolo y_6 ,

el bit de código b_5 al bit de símbolo y_2 ,

el bit de código b_6 al bit de símbolo y_9 ,

el bit de código b_7 al bit de símbolo y_5 ,

el bit de código b_8 al bit de símbolo y_1 ,

20 el bit de código b_9 al bit de símbolo y_8 ,

el bit de código b_{10} al bit de símbolo y_4 , y

el bit de código b_{11} al bit de símbolo y_0 .

25 La FIG. 143 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de modulación es 256QAM y el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es 3/5 y además el múltiplo b es 2.

Donde el código LDPC es un código LDPC cuya longitud de código N es 64.800 bits y cuya tasa de codificación es 3/5 y el método de modulación es 256QAM y además el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(64.800 / (8 \times 2)) \times (8 \times 2)$ bits en la dirección de columna x la dirección de fila se leen en una unidad de 8×2 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32.

30 La sección de sustitución 32 sustituye los 8×2 (= mb) bits de código b_0 a b_{15} leídos de la memoria 31 de manera que los 8×2 (= mb) bits de código b_0 a b_{15} se pueden asignar a los 8×2 (= mb) bits de símbolo y_0 a y_{15} de dos (= b) símbolos sucesivos como se ve en la FIG. 143.

En particular, según la FIG. 143, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_2 ,

35 el bit de código b_1 al bit de símbolo y_{11} ,

el bit de código b_2 al bit de símbolo y_3 ,

el bit de código b_3 al bit de símbolo y_4 ,

el bit de código b_4 al bit de símbolo y_0 ,

el bit de código b_5 al bit de símbolo y_9 ,

40 el bit de código b_6 al bit de símbolo y_1 ,

el bit de código b_7 al bit de símbolo y_8 ,

el bit de código b_8 al bit de símbolo y_{10} ,

el bit de código b_9 al bit de símbolo y_{13} ,

el bit de código b_{10} al bit de símbolo y_7 ,

el bit de código b_{11} al bit de símbolo y_{14} ,

el bit de código b_{12} al bit de símbolo y_6 ,

5 el bit de código b_{13} al bit de símbolo y_{15} ,

el bit de código b_{14} al bit de símbolo y_5 , y

el bit de código b_{15} al bit de símbolo y_{12} .

10 La FIG. 144 muestra un ejemplo de un patrón de asignación de bits que se puede adoptar donde el método de modulación es 256QAM y el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es $3/5$ y además el múltiplo b es 1.

Donde el código LDPC es un código LDPC cuya longitud de código N es 16.200 bits y cuya tasa de codificación es $3/5$ y el método de modulación es 256QAM y además el múltiplo b es 1, en el demultiplexor 25, los bits de código escritos en la memoria 31 para almacenar $(16.200 / (8 \times 1)) \times (8 \times 1)$ bits en la dirección de columna \times la dirección de fila se leen en una unidad de 8×1 (= mb) bits en la dirección de fila y se suministran a la sección de sustitución 32.

15 La sección de sustitución 32 sustituye los 8×1 (= mb) bits de código b_0 a b_7 leídos de la memoria 31 de manera que los 8×1 (= mb) bits de código b_0 a b_7 se pueden asignar a los 8×1 (= mb) bits de símbolo y_0 a y_7 de un (= b) símbolo como se ve en la FIG. 144.

En particular, según la FIG. 144, la sección de sustitución 32 lleva a cabo una sustitución para asignar

el bit de código b_0 al bit de símbolo y_7 ,

20 el bit de código b_1 al bit de símbolo y_3 ,

el bit de código b_2 al bit de símbolo y_1 ,

el bit de código b_3 al bit de símbolo y_5 ,

el bit de código b_4 al bit de símbolo y_2 ,

el bit de código b_5 al bit de símbolo y_6 ,

25 el bit de código b_6 al bit de símbolo y_4 , y

el bit de código b_7 al bit de símbolo y_0 .

Ahora, se describe el desintercalador 53 que compone el aparato de recepción 12.

La FIG. 145 es una vista que ilustra el procesamiento del multiplexor 54 que compone el desintercalador 53.

En particular, A de la FIG. 145 muestra un ejemplo de una configuración funcional del multiplexor 54.

30 El multiplexor 54 se compone de una sección de sustitución inversa 1001 y una memoria 1002.

35 El multiplexor 54 determina los bits de símbolo de símbolos suministrados desde la sección de descorrespondencia 52 en la etapa anterior como un objeto de procesamiento de la misma y lleva a cabo un proceso de sustitución inversa que corresponde al proceso de sustitución llevado a cabo por el demultiplexor 25 del aparato de transmisión 11 (proceso inverso al proceso de sustitución), es decir, un proceso de sustitución inversa de devolución de las posiciones de los bits de código (bits de símbolo) del código LDPC sustituido por el proceso de sustitución. Entonces, el multiplexor 54 suministra un código LDPC obtenido como resultado del proceso de sustitución inversa al desintercalador de torsión de columna 55 en la etapa sucesiva.

En particular, en el multiplexor 54, se suministran mb bits de símbolo $y_0, y_1, \dots, y_{mb-1}$ de b símbolos en una unidad de b símbolos (sucesivos) a la sección de sustitución inversa 1001.

40 La sección de sustitución inversa 1001 lleva a cabo una sustitución inversa de devolución de la disposición de los mb bits de símbolo y_0 a y_{mb-1} a la disposición original de los mb bits de código $b_0, b_1, \dots, b_{mb-1}$ (se lleva a cabo una disposición de los bits de código b_0 a b_{mb-1} antes de la sustitución por la sección de sustitución 32 que compone el demultiplexor 25 en el lado del aparato de transmisión 11). La sección de sustitución inversa 1001 emite los bits de código b_0 a b_{mb-1} obtenidos como resultado de la sustitución inversa.

45 La memoria 1002 tiene una capacidad de almacenamiento de almacenamiento de mb bits en la dirección de fila

(horizontal) y almacenamiento de $N/(mb)$ bits en la dirección de columna (vertical) de manera similar a la memoria 31 que compone el demultiplexor 25 del lado del aparato de transmisión 11. En otras palabras, la sección de sustitución inversa 1001 se configura de mb columnas cada una de las cuales almacena $N/(mb)$ bits.

5 No obstante, en la memoria 1002, se lleva a cabo la escritura de los bits de código de códigos LDPC emitidos desde la sección de sustitución inversa 1001 en una dirección en la que se lleva a cabo la lectura de los bits de código de la memoria 31 del demultiplexor 25 del aparato de transmisión 11, y se lleva a cabo la lectura de los bits de código escritos en la memoria 1002 en una dirección en la cual se lleva a cabo la escritura de los bits de código en la memoria 31.

10 En particular, el multiplexor 54 del aparato de recepción 12 lleva a cabo sucesivamente la escritura de bits de código de un código LDPC emitido desde la sección de sustitución inversa 1001 en una unidad de mb bits en la dirección de fila comenzando con la primera fila de la memoria 1002 hacia un punto más bajo como se ve en A de la FIG. 145.

Entonces, cuando termina la escritura de bits de código para una longitud de código, el multiplexor 54 lee los bits de código en la dirección de columna de la memoria 1002 y suministra los bits de código al desintercalador de torsión de columna 55 en la etapa sucesiva.

15 Aquí, B de la FIG. 145 es una vista que ilustra la lectura de los bits de código de la memoria 1002.

El multiplexor 54 lleva a cabo la lectura de bits de código de un código LDPC en una dirección hacia abajo (dirección de columna) desde arriba de una columna que compone la memoria 1002 comenzando con una columna de más a la izquierda hacia una columna del lado derecho.

20 Ahora, el procesamiento del desintercalador de torsión de columna 55 que compone el desintercalador 53 del aparato de recepción 12 se describe con referencia a la FIG. 146.

La FIG. 146 muestra un ejemplo de una configuración de la memoria 1002 del multiplexor 54.

La memoria 1002 tiene una capacidad de almacenamiento para almacenar mb bits en la dirección (vertical) de columna y almacena $N/(mb)$ bits en la dirección de fila (horizontal) y se compone de mb columnas.

25 El desintercalador de torsión de columna 55 escribe los bits de código de un código LDPC en la dirección de fila en la memoria 1002 y controla la posición en la que se inicia la lectura cuando los bits de código se leen en la dirección de columna para llevar a cabo desintercalado de torsión de columna.

30 En particular, el desintercalador de torsión de columna 55 lleva a cabo un proceso de reordenación inversa de cambio adecuadamente de la posición de inicio de lectura en la que la lectura de los bits de código con respecto a cada una de una pluralidad de columnas ha de ser iniciada para devolver la disposición de los bits de código reordenados por el intercalado de torsión de columna a la disposición original.

Aquí, la FIG. 146 muestra un ejemplo de una configuración de la memoria 1002, donde el método de modulación es 16QAM y el múltiplo b es 1. Por consiguiente, el número de bits m de un símbolo es 4 bits, y la memoria 1002 incluye cuatro (= mb) columnas.

35 El desintercalador de torsión de columna 55 lleva a cabo (en lugar del multiplexor 54), la escritura de bits de código de un código LDPC emitido desde la sección de sustitución 1001 en la dirección de fila sucesivamente en la memoria 1002 comenzando con la primera fila hacia una fila de más abajo.

40 Entonces, si termina la escritura de bits de código para una longitud de código, entonces el desintercalador de torsión de columna 55 lleva a cabo la lectura de los bits de código en la dirección hacia abajo (dirección de columna) desde una parte superior de la memoria 1002 comenzando con una columna de más a la izquierda hacia una columna del lado derecho.

No obstante, el desintercalador de torsión de columna 55 lleva a cabo la lectura de los bits de código de la memoria 1002 determinando la posición de inicio de escritura tras la escritura de los bits de código por el intercalador de torsión de columna 24 en el lado del aparato de transmisión 11 a una posición de inicio de lectura de los bits de código.

45 En particular, si la dirección de la posición de la parte superior de cada columna se determina como 0 y la dirección de cada posición en la dirección de columna se representa por un número entero dado en un orden ascendente, entonces donde el método de modulación es 16QAM y el múltiplo b es 1, el desintercalador de torsión de columna 55 fija la posición de inicio de lectura para la columna de más a la izquierda a la posición cuya dirección es 0, fija la posición de inicio de lectura para la segunda columna (desde la izquierda) a la posición cuya dirección es 2, fija la posición de inicio de lectura para la tercera columna a la posición cuya dirección es 4, y fija la posición de inicio de lectura para la cuarta columna a la posición cuya dirección es 7.

50 Se ha de señalar que, con respecto a cada una de aquellas columnas cuya posición de inicio de lectura tiene una dirección distinta de 0, la lectura de los bits de código se lleva a cabo de manera que, después de que tal lectura se

lleva a cabo hacia abajo a la posición más baja, la posición de lectura se devuelve a la parte superior (posición cuya dirección es 0) de la columna y la lectura se lleva a cabo hacia abajo a la posición inmediatamente anterior a la posición de inicio de lectura. Entonces, después de eso, la lectura se lleva a cabo desde la siguiente columna (derecha).

- 5 Llevando a cabo tal intercalado de torsión de columna como se ha descrito anteriormente, la disposición de los bits de código reorganizados por el intercalado de torsión de columna se devuelve a la disposición original.

La FIG. 147 es un diagrama de bloques que muestra otro ejemplo de la configuración del aparato de recepción 12.

- 10 Con referencia a la FIG. 147, el aparato de recepción 12 es un aparato de procesamiento de datos que recibe una señal de modulación desde el aparato de transmisión 11 e incluye una sección de demodulación ortogonal 51, una sección de descorrespondencia 52, un desintercalador 53 y una sección de decodificación LDPC 1021.

La sección de demodulación ortogonal 51 recibe una señal de modulación desde el aparato de transmisión 11, lleva a cabo la demodulación ortogonal y suministra los símbolos (valores en las direcciones de los ejes I y Q) obtenidos como resultado de la demodulación ortogonal a la sección de descorrespondencia 52.

- 15 La sección de descorrespondencia 52 lleva a cabo la descorrespondencia de conversión de los símbolos desde la sección de demodulación ortogonal 51 en bits de código de un código de LDPC y suministra los bits de código al desintercalador 53.

El desintercalador 53 incluye un multiplexor (MUX) 54, un desintercalador de torsión de columna 55 y un desintercalador de paridad 1011 y lleva a cabo el desintercalado de los bits de código del código de LDPC desde la sección de descorrespondencia 52.

- 20 En particular, el multiplexor 54 determina un código LDPC desde la sección de descorrespondencia 52 como un objeto de procesamiento de la misma y lleva a cabo un proceso de sustitución inversa que corresponde al proceso de sustitución llevado a cabo por el demultiplexor 25 del aparato de transmisión 11 (proceso inverso al proceso de sustitución), es decir, un proceso de sustitución inversa de devolución de las posiciones de los bits de código sustituidos por el proceso de sustitución a las posiciones originales. Entonces, el multiplexor 54 suministra un código LDPC obtenido como resultado del proceso de sustitución inversa al desintercalador de torsión de columna 55.

- 25 El desintercalador de torsión de columna 55 determina el código de LDPC desde el multiplexor 54 como un objeto de procesamiento y lleva a cabo el desintercalado de torsión de columna que corresponde al intercalado de torsión de la columna como un proceso de reordenación llevado a cabo por el intercalador de torsión de columna 24 del aparato de transmisión 11.

- 30 El código LDPC obtenido como resultado del desintercalado de torsión de columna se suministra desde el desintercalador de torsión de columna 55 al desintercalador de paridad 1011.

- 35 El desintercalador de paridad 1011 determina los bits de código después del desintercalado de torsión de columna por el desintercalador de torsión de columna 55 como un objeto de procesamiento del mismo y lleva a cabo el desintercalado de paridad que corresponde al intercalado de paridad llevado a cabo por el intercalador de paridad 23 del aparato de transmisión 11 (proceso inverso al intercalado de paridad), es decir, el desintercalado de paridad de devolución de la disposición de los bits de código del código LDPC cuya disposición se cambió por el intercalado de paridad a la disposición original.

El código LDPC obtenido como resultado del desintercalado de paridad se suministra desde el desintercalador de paridad 1011 a la sección de decodificación LDPC 1021.

- 40 Por consiguiente, en el aparato de recepción 12 de la FIG. 147, el código LDPC para el que se han llevado a cabo el proceso de sustitución inversa, el desintercalado de torsión de columna y el desintercalado de paridad, es decir, un código LDPC obtenido mediante codificación LDPC según la matriz de comprobación de paridad H, se suministra a la sección de decodificación LDPC 1021.

- 45 La sección de decodificación LDPC 1021 lleva a cabo la decodificación LDPC del código LDPC desde el desintercalador 53 usando la matriz de comprobación de paridad H en sí misma usada para codificación LDPC por la sección de codificación LDPC 21 del aparato de transmisión 11 o una matriz de comprobación de paridad de conversión obtenida llevando a cabo al menos conversión de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H. Entonces, la sección de decodificación LDPC 1021 emite los datos obtenidos mediante la decodificación LDPC como resultado de la decodificación de los datos de objeto.

- 50 Aquí, en el aparato de recepción 12 de la FIG. 147, dado que un código LDPC obtenido mediante codificación LDPC según la matriz de comprobación de paridad H se suministra desde el (desintercalador de paridad 1011 del) desintercalador 53 a la sección de decodificación LDPC 1021, donde la decodificación LDPC del código LDPC se lleva a cabo usando la matriz de comprobación de paridad H en sí misma usada para la codificación LDPC por la sección de codificación LDPC 21 del aparato de transmisión 11, se puede configurar la sección de decodificación

LDPC 1021, por ejemplo, desde un aparato de decodificación que lleva a cabo decodificación LDPC según un método de decodificación en serie completo en donde la operación matemática de mensajes (mensajes de nodo de comprobación y mensajes de nodo variable) se lleva a cabo para un nodo uno por uno u otro aparato de decodificación en donde la decodificación LDPC se lleva a cabo según un método de decodificación en paralelo completo en donde la operación matemática de los mensajes se lleva a cabo simultáneamente (en paralelo) para todos los nodos.

Además, donde la decodificación LDPC de un código LDPC se lleva a cabo usando una matriz de comprobación de paridad de conversión obtenida llevando a cabo al menos la sustitución de columna que corresponde al intercalado de paridad para la matriz de comprobación de paridad H usada en la codificación LDPC por la sección de codificación LDPC 21 del aparato de transmisión 11, la sección de decodificación LDPC 1021 se puede confirmar a partir de un aparato de decodificación de una arquitectura que lleva a cabo la operación matemática de nodo de comprobación y la operación matemática de nodo variable simultáneamente para P (o un testador de P distinto de 1) nodos de comprobación y P nodos variables y que tiene una sección de reordenación de datos de recepción 310 para llevar a cabo una sustitución de columnas similar a la sustitución de columnas para obtener una matriz de comprobación de paridad de conversión para el código LDPC para reordenar los bits de código de los códigos LDPC.

Se ha de señalar que, mientras que, en la FIG. 147, el multiplexor 54 para llevar a cabo el proceso de sustitución inversa, el desintercalador de torsión de columna 55 para llevar a cabo el desintercalado de torsión de columna y el desintercalador de paridad 1011 para llevar a cabo el desintercalado de paridad se configuran por separado unos de otros por la conveniencia de la descripción, dos o más del multiplexor 54, el desintercalador de torsión de columna 55 y el desintercalador de paridad 1011 se pueden configurar integralmente de manera similar al intercalador de paridad 23, al intercalador de torsión de columna 24 y al demultiplexor 25 del aparato de transmisión 11.

La FIG. 148 es un diagrama de bloques que muestra un primer ejemplo de una configuración de un sistema de recepción que se puede aplicar al aparato de recepción 12.

Con referencia a la FIG. 148, el sistema de recepción incluye una sección de adquisición 1101, una sección de procesamiento de decodificación de línea de transmisión 1102 y una sección de procesamiento de decodificación de fuente de información 1103.

La sección de adquisición 1101 adquiere una señal que incluye un código LDPC obtenido al menos mediante codificación LDPC de datos de objeto tales como datos de imagen y datos de música de un programa a través de una línea de transmisión tal como, por ejemplo, difusión digital terrestre, difusión digital por satélite, una red de CATV, Internet o alguna otra red. Entonces, la sección de adquisición de 1101 suministra la señal adquirida a la sección de procesamiento de decodificación de línea de transmisión 1102.

Aquí, donde se emite la señal adquirida por la sección de adquisición 1101, por ejemplo, desde una estación de difusión a través de ondas terrestres, ondas por satélite, una CATV (Televisión por Cable) o similares, la sección de adquisición 1101 se configura a partir de un sintonizador, un STB (Decodificador) o similares. Por otra parte, donde la señal adquirida por la sección de adquisición 1101 se transmite en un estado de multidifusión como en la IPTV (Televisión de Protocolo de Internet), por ejemplo, desde un servidor web, la sección de adquisición 11 se configura a partir de una I/F (Interfaz) de red tal como, por ejemplo, una NIC (Tarjeta de Interfaz de Red).

La sección de procesamiento de decodificación de línea de transmisión 1102 lleva a cabo un proceso de decodificación de línea de transmisión que incluye al menos un proceso para corregir los errores producidos en la línea de transmisión para la señal adquirida a través de la línea de transmisión por la sección de adquisición 1101, y suministra una señal obtenida como resultado del proceso de decodificación de línea de transmisión a la sección de procesamiento de decodificación de fuente de información 1103.

En particular, la señal adquirida a través de la línea de transmisión por la sección de adquisición 1101 es una señal obtenida llevando a cabo al menos codificación de corrección de error para corregir errores producidos en la línea de transmisión, y para tal señal como se acaba de describir, la sección de procesamiento de decodificación de línea de transmisión 1102 lleva a cabo un proceso de decodificación de línea de transmisión tal como, por ejemplo, un proceso de corrección de error.

Aquí, como la codificación de corrección de error, por ejemplo, están disponibles la codificación LDPC, la codificación Reed-Solomon, etc. Aquí, como la codificación de corrección de error, al menos se lleva a cabo la codificación LDPC.

Además, el proceso de decodificación de línea de transmisión incluye algunas veces la demodulación de una señal de modulación, etc.

La sección de procesamiento de decodificación de fuente de información 1103 lleva a cabo un proceso de decodificación de fuente de información que incluye al menos un proceso para descomprimir información comprimida en información original para la señal para la que se ha llevado a cabo el proceso de decodificación de línea de transmisión.

- En particular, la señal adquirida a través de la línea de transmisión por la sección de adquisición 1101 algunas veces se ha procesado mediante codificación de compresión para comprimir información con el fin de reducir la cantidad de datos, tales como imágenes, sonido, etc. como información. En este caso, la sección de procesamiento de decodificación de fuente de información 1103 lleva a cabo un proceso de decodificación de fuente de información tal como un proceso (proceso de descompresión) para descomprimir la información comprimida en información original para una señal para la cual se ha llevado a cabo el proceso de decodificación de línea de transmisión.
- Se ha de señalar que, donde la señal adquirida a través de la línea de transmisión por la sección de adquisición 1101 no se ha llevado a cabo con codificación de compresión, la sección de procesamiento de decodificación de fuente de información 1103 no lleva a cabo el proceso de descompresión de la información comprimida en la información original.
- Aquí, como el proceso de descompresión, por ejemplo, están disponibles una decodificación MPEG, etc. Además, el proceso de decodificación de línea de transmisión algunas veces incluye desaleatorización además del proceso de descompresión.
- En el sistema de recepción configurado de tal manera como se ha descrito anteriormente, la sección de adquisición 1101 recibe una señal obtenida llevando a cabo codificación de compresión tal como codificación MPEG para datos de, por ejemplo, imágenes, sonido, etc. y además llevando a cabo codificación de corrección de error tal como codificación LDPC para los datos codificados con compresión a través de una línea de transmisión. La señal se suministra a la sección de procesamiento de decodificación de línea de transmisión 1102.
- En la sección de procesamiento de decodificación de línea de transmisión 1102, procesos similares a los llevados a cabo, por ejemplo, por la sección de demodulación ortogonal 51, la sección de descorrespondencia 52, el desintercalador 53 y la sección de decodificación LDPC 56 (o sección de decodificación LDPC 1021) se llevan a cabo como el proceso de decodificación de línea de transmisión para la señal desde la sección de adquisición 1101. Entonces, una señal obtenida como resultado del proceso de decodificación de línea de transmisión se suministra a la sección de procesamiento de decodificación de fuente de información 1103.
- En la sección de procesamiento de decodificación de fuente de información 1103, un proceso de decodificación de fuente de información tal como una decodificación MPEG se lleva a cabo para la señal desde la sección de procesamiento de decodificación de línea de transmisión 1102, y se emite una imagen o un sonido obtenido como resultado del proceso de decodificación de información.
- Tal sistema de recepción de la FIG. 148 como se ha descrito anteriormente se puede aplicar, por ejemplo, a un sintonizador de televisión para recibir difusión de televisión como difusión digital, etc.
- Se ha de señalar que es posible configurar la sección de adquisición 1101, la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103 cada una como un aparato independiente (hardware (IC (Circuito Integrado) o similar) o un módulo de software).
- Además, en cuanto a la sección de adquisición 1101, la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103, un conjunto de la sección de adquisición 1101 y la sección de procesamiento de decodificación de línea de transmisión 1102, otro conjunto de la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103 o un conjunto adicional de la sección de adquisición 1101, la sección de procesamiento de decodificación de línea de transmisión 1102 y la sección de procesamiento de decodificación de fuente de información 1103 se pueden configurar como un único aparato independiente.
- La FIG. 149 es un diagrama de bloques que muestra un segundo ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.
- Se ha de señalar que, en la FIG. 149, elementos que corresponden a aquéllos en la FIG. 148 se denotan mediante números de referencia similares, y la descripción de ellos se omite adecuadamente en la siguiente descripción.
- El sistema de recepción de la FIG. 149 es común al de la FIG. 148 en que incluye una sección de adquisición 1101, una sección de procesamiento de decodificación de línea de transmisión 1102 y una sección de procesamiento de decodificación de fuente de información 1103 pero es diferente del de la FIG. 148 en que incluye nuevamente una sección de salida 1111.
- La sección de salida 1111 es, por ejemplo, un aparato de visualización para visualizar una imagen o un altavoz para emitir sonido y emite una imagen, un sonido del tipo de una señal emitida desde la sección de procesamiento de decodificación de fuente de información 1103. En otras palabras, la sección de salida 1111 muestra una imagen o emite un sonido.
- Tal sistema de recepción de la FIG. 149 como se ha descrito anteriormente se puede aplicar, por ejemplo, a una TV (receptor de televisión) para recibir una difusión de televisión como una difusión digital, un receptor de radio para

recibir una difusión de radio, etc.

Se ha de señalar que, donde la señal adquirida por la sección de adquisición 1101 no está en una forma en donde no se aplica codificación de compresión, una señal emitida desde la sección de procesamiento de decodificación de línea de transmisión 1102 se suministra a la sección de salida 1111.

- 5 La FIG. 150 es un diagrama de bloques que muestra un tercer ejemplo de la configuración del sistema de recepción que se puede aplicar al aparato de recepción 12.

Se ha de señalar que, en la FIG. 150, elementos que corresponden a los de la FIG. 148 se denotan mediante números de referencia similares, y en la siguiente descripción, se omite adecuadamente la descripción de ellos.

- 10 El sistema de recepción de la FIG. 150 es común al de la FIG. 148 en que incluye una sección de adquisición 1101 y una sección de procesamiento de decodificación de línea de transmisión 1102.

No obstante, el sistema de recepción de la FIG. 150 es diferente del de la FIG. 148 en que no incluye la sección de procesamiento de decodificación de fuente de información 1103 sino que incluye nuevamente una sección de grabación 1121.

- 15 La sección de grabación 1121 graba (almacena) una señal (por ejemplo, un paquete TS de un TS de MPEG) emitida desde la sección de procesamiento de decodificación de línea de transmisión 1102 en o dentro de un medio de grabación (almacenamiento) tal como un disco óptico, un disco duro (disco magnético) o como una memoria rápida.

Tal sistema de recepción de la FIG. 150 como se ha descrito anteriormente se puede aplicar a un grabador para grabar una difusión de televisión o similar.

- 20 Se ha de señalar que, en la FIG. 150, el sistema de recepción puede incluir la sección de procesamiento de decodificación de fuente de información 1103 de manera que una señal después de que el proceso de decodificación de fuente de información se ha llevado a cabo por la sección de procesamiento de decodificación de fuente de información 1103, es decir, una imagen o un sonido obtenido decodificando, se graba por la sección de grabación 1121.

- 25 De paso, según el proceso de sustitución del nuevo método de sustitución en donde los bits de código se sustituyen de tal manera como se ilustra en la FIG. 64 según la regla de asignación de la FIG. 63, se puede mejorar la tolerancia a errores en comparación con el proceso de sustitución del método existente en donde los bits de código se sustituyen de tal manera como se ilustra en C de la FIG. 60 (FIG. 65).

- 30 Además, con un código LDPC (código propuesto) de una matriz de comprobación de paridad H determinada a partir de la tabla de valores iniciales de matriz de comprobación de paridad de las FIG. 66 a 68, se puede mejorar la tolerancia a errores en comparación con el código estándar.

- 35 Aunque la tolerancia a errores se puede mejorar solamente mediante la adopción del nuevo método de sustitución o del código propuesto como se ha descrito anteriormente, la tolerancia a errores se puede mejorar además adoptando un proceso de sustitución de un método (en lo sucesivo conocido también como método adecuado) en donde se adopta el código propuesto y se lleva a cabo para el código propuesto la sustitución de bits de código según una regla de asignación adecuada.

Las FIG. 151 a 155 son vistas que ilustran el método adecuado.

- 40 En particular, la FIG. 151 ilustra grupos de bits de código y grupos de bits de símbolos donde el código LDPC es un código LDPC (código propuesto) de una matriz de comprobación de paridad H que tiene una longitud de código N de 64.800 bits y una tasa de codificación de 2/3 y determinada a partir de la tabla de valores iniciales de matriz de comprobación de paridad de las FIG. 66 a 68 y además el método de modulación es 256QAM y el múltiplo b es 2.

En este caso, la lectura se lleva a cabo en una unidad de $8 \times 2 (= mb)$ bits de código b_0 a b_{15} de la memoria 31, y los $8 \times 2 (= mb)$ bits de código b_0 a b_{15} se pueden agrupar en cinco grupos de bits de código Gb_1, Gb_2, Gb_3, Gb_4 y Gb_5 como se ve en A de la FIG. 151 según una diferencia en la probabilidad de error.

- 45 En A de la FIG. 151, al grupo de bits de código Gb_1 , pertenece el bit de código b_0 ; al grupo de bits de código Gb_2 , pertenece el bit de código b_1 ; al grupo de bits de código Gb_3 , pertenecen los bits de código b_2 a b_9 ; al grupo de bits de código Gb_4 , pertenece el bit de código b_{10} ; y al grupo de bits de código Gb_5 , pertenecen los bits de código b_{11} a b_{15} .

- 50 Donde el método de modulación es 256QAM y el múltiplo b es 2, los $8 \times 2 (= mb)$ bits de código y_0 a y_{15} se pueden agrupar en cuatro grupos de bits de símbolo Gy_1, Gy_2, Gy_3 y Gy_4 como se ve en B de la FIG. 151 según una diferencia en la probabilidad de error.

En B de la FIG. 151, al grupo de bits de símbolo Gy_1 , pertenecen los bits de símbolo y_0, y_1, y_8 e y_9 ; al grupo de bits de símbolo Gy_2 , pertenecen los bits de símbolo y_2, y_3, y_{10} e y_{11} ; al grupo de bits de símbolo Gy_3 , pertenecen los bits

de símbolo y_4 , y_5 , y_{12} e y_{13} ; y al grupo de bits de símbolo Gy_4 , pertenecen los bits de símbolo y_6 , y_7 , y_{14} e y_{15} .

La FIG. 152 ilustra una regla de asignación del método adecuado donde el código LDPC es el código propuesto y además el método de modulación es 256QAM y el múltiplo b es 2.

5 Según la regla de asignación de la FIG. 152, se prescribe información de conjunto de grupos (Gb_1 , Gy_4 , 1), (Gb_2 , Gy_2 , 1), (Gb_3 , Gy_1 , 2), (Gb_3 , Gy_2 , 2), (Gy_3 , Gy_3 , 2), (Gb_3 , Gy_4 , 2), (Gb_4 , Gy_4 , 1), (Gb_5 , Gy_1 , 2) (Gb_5 , Gy_2 , 1), y (Gb_5 , Gy_3 , 2).

Por lo tanto, según la regla de asignación de la FIG. 152, se prescribe

10 para asignar, en base a la información de conjunto de grupos (Gb_1 , Gy_4 , 1), uno de los bits de código del grupo de bits de código Gb_1 que tiene la mejor probabilidad de error a uno de los bits de símbolo del grupo de bits de símbolo Gy_4 que tiene la cuarta mejor probabilidad de error,

para asignar, en base a la información de conjunto de grupos (Gb_2 , Gy_2 , 1), uno de los bits de código del grupo de bits de código Gb_2 que tiene la segunda mejor probabilidad de error a uno de los bits de símbolo del grupo de bits de símbolo Gy_2 que tiene la segunda mejor probabilidad de error,

15 para asignar, en base a la información de conjunto de grupos (Gb_3 , Gy_1 , 2), dos de los bits de código del grupo de bits de código Gb_3 que tiene la tercera mejor probabilidad de error a dos de los bits de símbolo del grupo de bits de símbolo Gy_1 que tiene la mejor probabilidad de error,

para asignar, en base a la información de conjunto de grupos (Gb_3 , Gy_2 , 2), dos de los bits de código del grupo de bits de código Gb_3 que tiene la tercera mejor probabilidad de error a dos de los bits de símbolo del grupo de bits de símbolos Gy_2 que tiene la segunda mejor probabilidad de error,

20 para asignar, en base a la información de conjunto de grupos (Gb_3 , Gy_3 , 3), dos de los bits de código del grupo de bits de código Gb_3 que tiene la tercera mejor probabilidad de error a dos de los bits de símbolo del grupo de bits de símbolo Gy_3 que tiene la tercera mejor probabilidad de error,

25 para asignar, en base a la información de conjunto de grupos (Gb_3 , Gy_4 , 2), dos de los bits de código del grupo de bits de código Gb_3 que tiene la tercera mejor probabilidad de error a dos de los bits de símbolo del grupo de bits de símbolo Gy_4 que tiene la cuarta mejor probabilidad de error,

para asignar, en base a la información de conjunto de grupos (Gb_4 , Gy_4 , 1), uno de los bits de código del grupo de bits de código Gb_4 que tiene la cuarta mejor probabilidad de error a uno de los bits de símbolo del grupo de bits de símbolo Gy_4 que tiene la cuarta mejor probabilidad de error,

30 para asignar, en base a la información de conjunto de grupos (Gb_5 , Gy_1 , 2), dos de los bits de código del grupo de bits de código Gb_5 que tiene la quinta mejor probabilidad de error a dos de los bits de símbolo del grupo de bits de símbolo Gy_1 que tiene la mejor probabilidad de error,

para asignar, en base a la información de conjunto de grupos (Gb_5 , Gy_2 , 1), uno de los bits de código del grupo de bits de código Gb_5 que tiene la quinta mejor probabilidad de error para uno de los bits de símbolo del grupo de bits de símbolo Gy_2 que tiene la segunda mejor probabilidad de error, y

35 para asignar, en base a la información de conjunto de grupos (Gb_5 , Gy_3 , 2), dos de los bits de código del grupo de bits de código Gb_5 que tiene la quinta mejor probabilidad de error a dos de los bits de símbolo del grupo de bits de símbolo Gy_3 que tiene la tercera mejor probabilidad de error.

La -FIG. 153 ilustra un ejemplo de sustitución de bits de código según la regla de asignación de la FIG. 152.

40 En particular, A de la FIG. 153 ilustra un primer ejemplo de sustitución de bits de código según la regla de asignación de la FIG. 152 donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de $2/3$ y además el método de modulación es 256QAM y el múltiplo b es 2.

45 Donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de $2/3$ y además el método de modulación es 256QAM y el múltiplo b es 2, en el demultiplexor 25, los bits de código escritos en la memoria 31 de $(64.800 / (8 \times 2)) \times (8 \times 2)$ bits en la dirección de la columna x la dirección de la fila se leen en una unidad de 8×2 ($= mb$) bits en la dirección de la fila y se suministran a la sección de sustitución 32 (FIG. 16 y 17).

La sección de sustitución 32 sustituye los 8×2 bits de código b_0 a b_{15} según la regla de asignación de la FIG. 152 de manera que los 8×2 ($= mb$) bits de código b_0 a b_{15} leídos de la memoria 31 se asignan a los 8×2 ($= mb$) bits de símbolo y_0 a y_{15} de dos ($= b$) símbolos sucesivos, por ejemplo, como se ve en A de la FIG. 153.

50 En particular, la sección de sustitución 32 lleva a cabo una sustitución para asignar

- el bit de código b_0 al bit de símbolo y_7 ,
- el bit de código b_1 al bit de símbolo y_2 ,
- el bit de código b_2 al bit de símbolo y_9 ,
- el bit de código b_3 al bit de símbolo y_0 ,
- 5 el bit de código b_4 al bit de símbolo y_4 ,
- el bit de código b_5 al bit de símbolo y_6 ,
- el bit de código b_6 al bit de símbolo y_{13} ,
- el bit de código b_7 al bit de símbolo y_3 ,
- el bit de código b_8 al bit de símbolo y_{14} ,
- 10 el bit de código b_9 al bit de símbolo y_{10} ,
- el bit de código b_{10} al bit de símbolo y_{15} ,
- el bit de código b_{11} al bit de símbolo y_5 ,
- el bit de código b_{12} al bit de símbolo y_8 ,
- el bit de código b_{13} al bit de símbolo y_{12} ,
- 15 el bit de código b_{14} al bit de símbolo y_{11} , y
- el bit de código b_{15} al bit de símbolo y_1 .

B de la FIG. 153 ilustra un segundo ejemplo de sustitución de bits de código según la regla de asignación de la FIG. 152 donde el código LDPC es un código LDPC que tiene una longitud de código N de 64.800 bits y una tasa de codificación de $2/3$ y además el método de modulación es 256QAM y el múltiplo b es 2.

20 Según B de la FIG. 153, la sección de sustitución 32 lleva a cabo, para los 8×2 ($= mb$) bits b_0 a b_{15} leídos de la memoria 31, según la regla de asignación de la FIG. 152, una sustitución para asignar

- el bit de código b_0 al bit de símbolo y_7 ,
- el bit de código b_1 al bit de símbolo y_2 ,
- el bit de código b_2 al bit de símbolo y_1 ,
- 25 el bit de código b_3 al bit de símbolo y_0 ,
- el bit de código b_4 al bit de símbolo y_{13} ,
- el bit de código b_5 al bit de símbolo y_{12} ,
- el bit de código b_6 al bit de símbolo y_6 ,
- el bit de código b_7 al bit de símbolo y_3 ,
- 30 el bit de código b_8 al bit de símbolo y_{15} ,
- el bit de código b_9 al bit de símbolo y_{11} ,
- el bit de código b_{10} al bit de símbolo y_{14} ,
- el bit de código b_{11} al bit de símbolo y_5 ,
- el bit de código b_{12} al bit de símbolo y_8 ,
- 35 el bit de código b_{13} al bit de símbolo y_4 ,
- el bit de código b_{14} al bit de símbolo y_{10} , y
- el bit de código b_{15} al bit de símbolo y_9 .

Aquí, ambos modos de asignación de los bits de código b_i a los bits de símbolo y_i ilustrados en A de la FIG. 153 y B

de la FIG. 153 observan la regla de asignación de la FIG. 152 (cumplen con la regla de asignación).

Las FIG. 154 y 155 ilustran los resultados de una simulación de la BER donde se llevó a cabo un proceso de sustitución del método adecuado descrito anteriormente con referencia a las FIG. 151 a 153.

5 Se ha de señalar que, en las FIG. 154 y 155, el eje de abscisas indica E_s/N_0 y el eje de ordenadas indica la BER. Además, en las FIG. 154 y 155, el método de modulación es 256QAM y el múltiplo b es 2.

10 La FIG. 154 ilustra la BER (representada por una marca redonda en la figura) donde el método de sustitución de A de la FIG. 153 de dentro del método adecuado descrito anteriormente con referencia a las FIG. 151 a 153 para el código propuesto y la BER (representada por un asterisco en la figura) donde el proceso de sustitución descrito con referencia a C de la FIG. 60 (proceso de sustitución del método existente) para el código LDPC (código estándar) que tiene una longitud de código N de 64.800 y una tasa de codificación de $2/3$ y está prescrito en el estándar DVB-S.2.

15 A partir de la FIG. 154, se puede reconocer que, llevando a cabo un proceso de sustitución del método adecuado para el código propuesto, se puede reducir significativamente el suelo de error y se puede mejorar la tolerancia a errores en comparación con un caso alternativo en donde se lleva a cabo un proceso de sustitución del método existente para el código estándar.

La FIG. 155 ilustra la BER (indicada por una marca redonda en la figura) donde un proceso de sustitución del método adecuado se llevó a cabo para el código propuesto y la BER (indicada por un asterisco en la figura) donde el proceso de sustitución descrito anteriormente con referencia a C de la FIG. 60 (proceso de sustitución del método existente) se llevó a cabo para el código propuesto.

20 A partir de la FIG. 155, se puede reconocer que, adoptando el proceso de sustitución del método adecuado, se puede reducir la BER y se puede mejorar la tolerancia a errores en comparación con un caso alternativo en donde se adopta el proceso de sustitución del método existente.

25 Se debería entender por los expertos en la técnica que pueden ocurrir diversas modificaciones, combinaciones, subcombinaciones y alteraciones dependiendo de los requisitos de diseño y otros factores en la medida en que estén dentro del alcance de las reivindicaciones adjuntas o los equivalentes de las mismas.

REIVINDICACIONES

1. Un aparato de procesamiento de datos (11), que comprende

una sección de sustitución (32) para asignar mb bits de código, donde $m = 8$ y un número entero positivo predeterminado $b = 2$, a b símbolos de m bits de símbolo, en donde los mb bits se han obtenido codificando bits de información en una palabra de código de Control de Paridad de Baja Densidad, LDPC, con una longitud de código N de 64.800 y una tasa de codificación de $2/3$, los bits de código de la palabra de código LDPC que están escritos en una dirección de columna de una unidad de almacenamiento (31) para almacenar mb bits en una dirección de fila y N/mb bits en la dirección de columna, donde los mb bits de código leídos en la dirección de fila de dicha unidad de almacenamiento se ajustan como los b símbolos, la sección de sustitución que se configura para formar los símbolos de m bits para mapear sobre $b = 2$ puntos de señal en un plano I-Q de 256QAM, en donde la sección de sustitución se configura para asignar los mb bits de código b_i a los bits de símbolo y_j de los símbolos de m bits asignando:

el bit de código b_0 al bit de símbolo y_7 ,

el bit de código b_1 al bit de símbolo y_2 ,

el bit de código b_2 al bit de símbolo y_9 ,

el bit de código b_3 al bit de símbolo y_0 ,

el bit de código b_4 al bit de símbolo y_4 ,

el bit de código b_5 al bit de símbolo y_6 ,

el bit de código b_6 al bit de símbolo y_{13} ,

el bit de código b_7 al bit de símbolo y_3 ,

el bit de código b_8 al bit de símbolo y_{14} ,

el bit de código b_9 al bit de símbolo y_{10} ,

el bit de código b_{10} al bit de símbolo y_{15} ,

el bit de código b_{11} al bit de símbolo y_5 ,

el bit de código b_{12} al bit de símbolo y_8 ,

el bit de código b_{13} al bit de símbolo y_{12} ,

el bit de código b_{14} al bit de símbolo y_{11} ,

el bit de código b_{15} al bit de símbolo y_1 ,

y el bit de orden i a partir del bit más significativo de los mb bits de código se representa como un bit b_i y el bit de orden j a partir del bit más significativo de los mb bits de símbolo de dos símbolos sucesivos se representa como un bit y_j , en donde

los bits de información se codifican en las palabras de código LDPC de N bits usando una matriz de comprobación de paridad $M \times N$ del código LDPC, donde M es una longitud de paridad, la matriz de comprobación de paridad $M \times N$ que está compuesta de una matriz de información $M \times K$ donde $K = N - M$ y una matriz de paridad $M \times M$, la matriz de paridad $M \times M$ que tiene una estructura de escalera en la que elementos que tienen un valor 1 se disponen en una escalera con una ponderación de fila de la primera fila que es 1 y una ponderación de fila de todas las filas restantes que es 2, en donde

la matriz de información se representa por una tabla de valores iniciales de matriz de comprobación de paridad, que muestra en su fila de orden i , $1 \leq i \leq 120$, las posiciones de elementos del valor de 1 en la columna de orden $(1+360(i-1))$ de la matriz de información, y en donde en base a cada columna de orden $(1+360(i-1))$, $1 \leq i \leq 120$, las columnas $(2+360(i-1))$ a $(360i)$ de la matriz de información se determinan desplazando cíclicamente hacia abajo la columna precedente respectiva en $M/360$;

la tabla de valores iniciales de matriz de comprobación de paridad que está formada como:

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039,

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379,

ES 2 639 994 T3

127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002,
2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393,
1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325,
706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335,
5 4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748,
412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860,
777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419,
4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938,
2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025,
10 1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920,
856 1690 12787,
6532 7357 9151,
4210 16615 18152,
11494 14036 17470,
15 2474 10291 10323,
1778 6973 10739,
4347 9570 18748,
2189 11942 20666,
3868 7526 17706,
20 8780 14796 18268,
160 16232 17399,
1285 2003 18922,
4658 17331 20361,
2765 4862 5875,
25 4565 5521 8759,
3484 7305 15829,
5024 17730 17879,
7031 12346 15024,
179 6365 11352,
30 2490 3143 5098,
2643 3101 21259,
4315 4724 13130,
594 17365 18322,
5983 8597 9627,
35 10837 15102 20876,
10448 20418 21478,
3848 12029 15228,

ES 2 639 994 T3

708 5652 13146,
5998 7534 16117,
2098 13201 18317,
9186 14548 17776,
5 5246 10398 18597,
3083 4944 21021,
13726 18495 19921,
6736 10811 17545,
10084 12411 14432,
10 1064 13555 17033,
679 9878 13547,
3422 9910 20194,
3640 3701 10046,
5862 10134 11498,
15 5923 9580 15060,
1073 3012 16427,
5527 20113 20883,
7058 12924 15151,
9764 12230 17375,
20 772 7711 12723,
555 13816 15376,
10574 11268 17932,
15442 17266 20482,
390 3371 8781,
25 10512 12216 17180,
4309 14068 15783,
3971 11673 20009,
9259 14270 17199,
2947 5852 20101,
30 3965 9722 15363,
1429 5689 16771,
6101 6849 12781,
3676 9347 18761,
350 11659 18342,
35 5961 14803 16123,
2113 9163 13443,
2155 9808 12885,

ES 2 639 994 T3

2861 7988 11031,
7309 9220 20745,
6834 8742 11977,
2133 12908 14704,
5 10170 13809 18153,
13464 14787 14975,
799 1107 3789,
3571 8176 10165,
5433 13446 15481,
10 3351 6767 12840,
8950 8974 11650,
1430 4250 21332,
6283 10628 15050,
8632 14404 16916,
15 6509 10702 16278,
15900 16395 17995,
8031 18420 19733,
3747 4634 17087,
4453 6297 16262,
20 2792 3513 17031,
14846 20893 21563,
17220 20436 21337,
275 4107 10497,
3536 7520 10027,
25 14089 14943 19455,
1965 3931 21104,
2439 11565 17932,
154 15279 21414,
10017 11269 16546,
30 7169 10161 16928,
10284 16791 20655,
36 3175 8475,
2605 16269 19290,
8947 9178 15420,
35 5687 9156 12408,
8096 9738 14711,
4935 8093 19266,

2667 10062 15972,

6389 11318 14417,

8800 18137 18434,

5824 5927 15314,

5 6056 13168 15179,

3284 13138 18919,

13115 17259 17332.

2. Un aparato de procesamiento de datos según la Reivindicación 1, que comprende

10 una unidad de codificación (21) para codificar los bits de información en las palabras de código LDPC de longitud de código N de 64.800 y una tasa de codificación de $2/3$, y

la unidad de almacenamiento (31) para almacenar mb bits en la dirección de fila y $N/(mb)$ bits en la dirección de columna.

3. Un método de procesamiento de datos, que comprende

15 un paso de asignación para asignar mb bits de código, donde $m = 8$ y un número entero positivo predeterminado $b = 2$, a b símbolos de m bits de símbolo, en donde los mb bits de código se han obtenido codificando bits de información en una palabra de código de Comprobación de Paridad de Baja Densidad, LDPC, con una longitud de código N de 64.800 y una tasa de codificación de $2/3$, los bits de código de la palabra de código LDPC que están escritos en una dirección de columna de una unidad de almacenamiento (31) para almacenar mb bits en una dirección de fila y N/mb bits en la dirección de columna, donde los mb bits de código leídos en la dirección de fila de dicha unidad de almacenamiento se ajustan como los b símbolos, el paso de asignación que está configurado para formar los símbolos de m bits para mapear sobre $b = 2$ puntos de señal en un plano I-Q de 256QAM, en donde el paso de asignación está configurado para asignar los mb bits de código b_i a los bits de símbolo y_j de los símbolos de m bits asignando:

el bit de código b_0 al bit de símbolo y_7 ,

25 el bit de código b_1 al bit de símbolo y_2 ,

el bit de código b_2 al bit de símbolo y_9 ,

el bit de código b_3 al bit de símbolo y_0 ,

el bit de código b_4 al bit de símbolo y_4 ,

el bit de código b_5 al bit de símbolo y_6 ,

30 el bit de código b_6 al bit de símbolo y_{13} ,

el bit de código b_7 al bit de símbolo y_3 ,

el bit de código b_8 al bit de símbolo y_{14} ,

el bit de código b_9 al bit de símbolo y_{10} ,

el bit de código b_{10} al bit de símbolo y_{15} ,

35 el bit de código b_{11} al bit de símbolo y_5 ,

el bit de código b_{12} al bit de símbolo y_8 ,

el bit de código b_{13} al bit de símbolo y_{12} ,

el bit de código b_{14} al bit de símbolo y_{11} ,

el bit de código b_{15} al bit de símbolo y_1 ,

40 y el bit de orden i a partir del bit más significativo de los mb bits de código se representa como un bit b_i y el bit de orden j a partir del bit más significativo de los mb bits de símbolo de dos símbolos sucesivos se representa como un bit y_j , en donde

ES 2 639 994 T3

los bits de información se codifican en las palabras de código LDPC de N bits usando una matriz de comprobación de paridad MxN del código LDPC, donde M es una longitud de paridad, la matriz de comprobación de paridad MxN que está compuesta de una matriz de información MxK donde $K = N - M$ y una matriz de paridad MxM, la matriz de paridad MxM que tiene una estructura de escalera en la que elementos que tienen un valor 1 se disponen en una escalera con una ponderación de fila de la primera fila que es 1 y una ponderación de fila de todas las filas restantes que es 2, en donde

la matriz de información se representa por una tabla de valores iniciales de matriz de comprobación de paridad, que muestra en su fila de orden i , $1 \leq i \leq 120$, las posiciones de elementos del valor de 1 en la columna de orden $(1+360(i-1))$ de la matriz de información, y en donde en base a cada columna de orden $(1+360(i-1))$, $1 \leq i \leq 120$, las columnas $(2+360(i-1))$ a $(360i)$ de la matriz de información se determinan desplazando cíclicamente hacia abajo la columna precedente respectiva en $M/360$;

la tabla de valores iniciales de matriz de comprobación de paridad que está formada como:

317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039,

1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379,

127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002,

2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393,

1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325,

706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335,

4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748,

412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860,

777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419,

4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938,

2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025,

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920,

856 1690 12787,

6532 7357 9151,

4210 16615 18152,

11494 14036 17470,

2474 10291 10323,

1778 6973 10739,

4347 9570 18748,

2189 11942 20666,

3868 7526 17706,

8780 14796 18268,

160 16232 17399,

1285 2003 18922,

4658 17331 20361,

2765 4862 5875,

4565 5521 8759,

3484 7305 15829,

5024 17730 17879,

ES 2 639 994 T3

7031 12346 15024,
179 6365 11352,
2490 3143 5098,
2643 3101 21259,
5 4315 4724 13130,
594 17365 18322,
5983 8597 9627,
10837 15102 20876,
10448 20418 21478,
10 3848 12029 15228,
708 5652 13146,
5998 7534 16117,
2098 13201 18317,
9186 14548 17776,
15 5246 10398 18597,
3083 4944 21021,
13726 18495 19921,
6736 10811 17545,
10084 12411 14432,
20 1064 13555 17033,
679 9878 13547,
3422 9910 20194,
3640 3701 10046,
5862 10134 11498,
25 5923 9580 15060,
1073 3012 16427,
5527 20113 20883,
7058 12924 15151,
9764 12230 17375,
30 772 7711 12723,
555 13816 15376,
10574 11268 17932,
15442 17266 20482,
390 3371 8781,
35 10512 12216 17180,
4309 14068 15783,
3971 11673 20009,

ES 2 639 994 T3

9259 14270 17199,
2947 5852 20101,
3965 9722 15363,
1429 5689 16771,
5 6101 6849 12781,
3676 9347 18761,
350 11659 18342,
5961 14803 16123,
2113 9163 13443,
10 2155 9808 12885,
2861 7988 11031,
7309 9220 20745,
6834 8742 11977,
2133 12908 14704,
15 10170 13809 18153,
13464 14787 14975,
799 1107 3789,
3571 8176 10165,
5433 13446 15481,
20 3351 6767 12840,
8950 8974 11650,
1430 4250 21332,
6283 10628 15050,
8632 14404 16916,
25 6509 10702 16278,
15900 16395 17995,
8031 18420 19733,
3747 4634 17087,
4453 6297 16262,
30 2792 3513 17031,
14846 20893 21563,
17220 20436 21337,
275 4107 10497,
3536 7520 10027,
35 14089 14943 19455,
1965 3931 21104,
2439 11565 17932,

154 15279 21414,
 10017 11269 16546,
 7169 10161 16928,
 10284 16791 20655,
 5 36 3175 8475,
 2605 16269 19290,
 8947 9178 15420,
 5687 9156 12408,
 8096 9738 14711,
 10 4935 8093 19266,
 2667 10062 15972,
 6389 11318 14417,
 8800 18137 18434,
 5824 5927 15314,
 15 6056 13168 15179,
 3284 13138 18919,
 13115 17259 17332.

4. Un método de procesamiento de datos según la Reivindicación 3, que comprende

20 un paso de codificación para codificar los bits de información en las palabras de código LDPC de longitud de código N de 64.800 y una tasa de codificación de 2/3 y
 el paso de almacenamiento para almacenar mb bits en la dirección de fila y N/ (mb) bits en la dirección de columna.

5. Un aparato de decodificación de datos (12) que comprende

25 una sección de sustitución inversa (1001) para asignar bits de símbolo de símbolos recibidos correspondientes a puntos de señal en un plano I-Q de 256 QAM a bits de código de una palabra de código de Comprobación de Paridad de Baja Densidad, LDPC, de longitud de código N = 64.800 bits y una tasa de codificación de 2/3,

una sección de decodificación LDPC (1021) para decodificar los bits de código de la palabra de código LDPC asignada por la sección de sustitución inversa (1001) en base a una matriz de comprobación de paridad del código LDPC,

30 en donde, cuando los mb bits de código leídos en la dirección de fila desde una unidad de almacenamiento configurada para almacenar mb bits en una dirección de fila y N/ mb bits en una dirección de columna, los bits de código de la palabra de código LDPC que se han escrito en la dirección de columna en dicha unidad de almacenamiento, se han transmitido como b símbolos sucesivos de m bits, y m = 8 y b = 2,

35 la sección de sustitución inversa (1001) asigna los mb bits de símbolo y_j de b símbolos sucesivos a los mb bits de código b_i asignando

el bit y_7 al bit b_0 ,

el bit y_2 al bit b_1 ,

el bit y_9 al bit b_2 ,

el bit y_0 al bit b_3 ,

40 el bit y_4 al bit b_4 ,

el bit y_6 al bit b_5 ,

el bit y_{13} al bit b_6 ,

el bit y_3 al bit b_7 ,

el bit y_{14} al bit b_8 ,

el bit y_{10} al bit b_9 ,

5 el bit y_{15} al bit b_{10} ,

el bit y_5 al bit b_{11} ,

el bit y_8 al bit b_{12} ,

el bit y_{12} al bit b_{13} ,

el bit y_{11} al bit b_{14} ,

10 el bit y_1 al bit b_{15} ,

y el bit de orden i a partir del bit más significativo de los mb bits de código se representa como un bit b_i y el bit de orden j a partir del bit más significativo de los mb bits de símbolo de dos símbolos sucesivos se representa como un bit y_j ,

15 la matriz de comprobación de paridad $M \times N$ del código LDPC, donde M es una longitud de paridad, que está compuesta de una matriz de información $M \times K$ donde $K = N - M$ y una matriz de paridad $M \times M$, la matriz de paridad $M \times M$ que tiene una estructura de escalera en la que elementos que tienen un valor 1 se disponen en una escalera con una ponderación de fila de la primera fila que es 1 y una ponderación de fila de todas las filas restantes que es 2, en donde

20 la matriz de información se representa por una tabla de valores iniciales de matriz de comprobación de paridad, que muestra en su fila de orden i , $1 \leq i \leq 120$, las posiciones de elementos del valor de 1 en la columna de orden $(1+360(i-1))$ de la matriz de información, y en donde en base a cada columna de orden $(1+360(i-1))$, $1 \leq i \leq 120$, las columnas $(2+360(i-1))$ a $(360i)$ de la matriz de información se determinan desplazando cíclicamente hacia abajo la columna precedente respectiva en $M/360$;

la tabla de valores iniciales de matriz de comprobación de paridad que está formada como:

25 317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039,
 1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379,
 127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002,
 2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393,
 1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325,
 30 706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335,
 4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748,
 412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860,
 777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419,
 4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938,
 35 2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025,
 1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920,
 856 1690 12787,
 6532 7357 9151,
 4210 16615 18152,
 40 11494 14036 17470,
 2474 10291 10323,

ES 2 639 994 T3

1778 6973 10739,
4347 9570 18748,
2189 11942 20666,
3868 7526 17706,
5 8780 14796 18268,
160 16232 17399,
1285 2003 18922,
4658 17331 20361,
2765 4862 5875,
10 4565 5521 8759,
3484 7305 15829,
5024 17730 17879,
7031 12346 15024,
179 6365 11352,
15 2490 3143 5098,
2643 3101 21259,
4315 4724 13130,
594 17365 18322,
5983 8597 9627,
20 10837 15102 20876,
10448 20418 21478,
3848 12029 15228,
708 5652 13146,
5998 7534 16117,
25 2098 13201 18317,
9186 14548 17776,
5246 10398 18597,
3083 4944 21021,
13726 18495 19921,
30 6736 10811 17545,
10084 12411 14432,
1064 13555 17033,
679 9878 13547,
3422 9910 20194,
35 3640 3701 10046,
5862 10134 11498,
5923 9580 15060,

ES 2 639 994 T3

1073 3012 16427,
5527 20113 20883,
7058 12924 15151,
9764 12230 17375,
5 772 7711 12723,
555 13816 15376,
10574 11268 17932,
15442 17266 20482,
390 3371 8781,
10 10512 12216 17180,
4309 14068 15783,
3971 11673 20009,
9259 14270 17199,
2947 5852 20101,
15 3965 9722 15363,
1429 5689 16771,
6101 6849 12781,
3676 9347 18761,
350 11659 18342,
20 5961 14803 16123,
2113 9163 13443,
2155 9808 12885,
2861 7988 11031,
7309 9220 20745,
25 6834 8742 11977,
2133 12908 14704,
10170 13809 18153,
13464 14787 14975,
799 1107 3789,
30 3571 8176 10165,
5433 13446 15481,
3351 6767 12840,
8950 8974 11650,
1430 4250 21332,
35 6283 10628 15050,
8632 14404 16916,
6509 10702 16278,

15900 16395 17995,
 8031 18420 19733,
 3747 4634 17087,
 4453 6297 16262,
 5 2792 3513 17031,
 14846 20893 21563,
 17220 20436 21337,
 275 4107 10497,
 3536 7520 10027,
 10 14089 14943 19455,
 1965 3931 21104,
 2439 11565 17932,
 154 15279 21414,
 10017 11269 16546,
 15 7169 10161 16928,
 10284 16791 20655,
 36 3175 8475,
 2605 16269 19290,
 8947 9178 15420,
 20 5687 9156 12408,
 8096 9738 14711,
 4935 8093 19266,
 2667 10062 15972,
 6389 11318 14417,
 25 8800 18137 18434,
 5824 5927 15314,
 6056 13168 15179,
 3284 13138 18919,

6. Un método de decodificación de datos que comprende

30 un paso de sustitución inversa de asignación de bits de símbolo de símbolos recibidos que corresponden a puntos de señal en un plano I-Q de 256 QAM a bits de código de una palabra de código de Comprobación de Paridad de Baja Densidad, LDPC, de longitud de código $N = 64.800$ bits y una tasa de codificación de $2/3$,
 un paso de decodificación de decodificación de los bits de código de la palabra de código LDPC asignada por el paso de sustitución inversa en base a una matriz de comprobación de paridad del código LDPC,
 35 en donde, cuando los mb bits de código leídos en la dirección de fila desde una unidad de almacenamiento configurada para almacenar mb bits en una dirección de fila y N/mb bits en una dirección de columna, los bits de código de la palabra de código LDPC que se han escrito en la dirección de columna en dicha unidad de almacenamiento, se han transmitido como b símbolos sucesivos de m bits, y $m = 8$ y $b = 2$,
 el paso de sustitución inversa asigna los mb bits de símbolo y_j de b símbolos sucesivos a los mb bits de código b_i
 40 asignando

- el bit y_7 al bit b_0 ,
- el bit y_2 al bit b_1 ,
- el bit y_9 al bit b_2 ,
- el bit y_0 al bit b_3 ,
- 5 el bit y_4 al bit b_4 ,
- el bit y_6 al bit b_5 ,
- el bit y_{13} al bit b_6 ,
- el bit y_3 al bit b_7 ,
- el bit y_{14} al bit b_8 ,
- 10 el bit y_{10} al bit b_9 ,
- el bit y_{15} al bit b_{10} ,
- el bit y_5 al bit b_{11} ,
- el bit y_8 al bit b_{12} ,
- el bit y_{12} al bit b_{13} ,
- 15 el bit y_{11} al bit b_{14} ,
- el bit y_1 al bit b_{15} ,
- y el bit de orden i a partir del bit más significativo de los mb bits de código se representa como un bit b_i y el bit de orden j a partir del bit más significativo de los mb bits de símbolo de dos símbolos sucesivos se representa como un bit y_j ,
- 20 la matriz de comprobación de paridad $M \times N$ del código LDPC, donde M es una longitud de paridad, que está compuesta de una matriz de información $M \times K$ donde $K = N - M$ y una matriz de paridad $M \times M$, la matriz de paridad $M \times M$ que tiene una estructura de escalera en la que elementos que tienen un valor 1 se disponen en una escalera con una ponderación de fila de la primera fila que es 1 y una ponderación de fila de todas las filas restantes que es 2, en donde
- 25 la matriz de información se representa por una tabla de valores iniciales de matriz de comprobación de paridad, que muestra en su fila de orden i , $1 \leq i \leq 120$, las posiciones de elementos del valor de 1 en la columna de orden $(1+360(i-1))$ de la matriz de información, y en donde en base a cada columna de orden $(1+360(i-1))$, $1 \leq i \leq 120$, las columnas $(2+360(i-1))$ a $(360i)$ de la matriz de información se determinan desplazando cíclicamente hacia abajo la columna precedente respectiva en $M/360$;
- 30 la tabla de valores iniciales de matriz de comprobación de paridad que está formada como:
- 317 2255 2324 2723 3538 3576 6194 6700 9101 10057 12739 17407 21039,
- 1958 2007 3294 4394 12762 14505 14593 14692 16522 17737 19245 21272 21379,
- 127 860 5001 5633 8644 9282 12690 14644 17553 19511 19681 20954 21002,
- 2514 2822 5781 6297 8063 9469 9551 11407 11837 12985 15710 20236 20393,
- 35 1565 3106 4659 4926 6495 6872 7343 8720 15785 16434 16727 19884 21325,
- 706 3220 8568 10896 12486 13663 16398 16599 19475 19781 20625 20961 21335,
- 4257 10449 12406 14561 16049 16522 17214 18029 18033 18802 19062 19526 20748,
- 412 433 558 2614 2978 4157 6584 9320 11683 11819 13024 14486 16860,
- 777 5906 7403 8550 8717 8770 11436 12846 13629 14755 15688 16392 16419,
- 40 4093 5045 6037 7248 8633 9771 10260 10809 11326 12072 17516 19344 19938,
- 2120 2648 3155 3852 6888 12258 14821 15359 16378 16437 17791 20614 21025,

ES 2 639 994 T3

1085 2434 5816 7151 8050 9422 10884 12728 15353 17733 18140 18729 20920,
856 1690 12787,
6532 7357 9151,
4210 16615 18152,
5 11494 14036 17470,
2474 10291 10323,
1778 6973 10739,
4347 9570 18748,
2189 11942 20666,
10 3868 7526 17706,
8780 14796 18268,
160 16232 17399,
1285 2003 18922,
4658 17331 20361,
15 2765 4862 5875,
4565 5521 8759,
3484 7305 15829,
5024 17730 17879,
7031 12346 15024,
20 179 6365 11352,
2490 3143 5098,
2643 3101 21259,
4315 4724 13130,
594 17365 18322,
25 5983 8597 9627,
10837 15102 20876,
10448 20418 21478,
3848 12029 15228,
708 5652 13146,
30 5998 7534 16117,
2098 13201 18317,
9186 14548 17776,
5246 10398 18597,
3083 4944 21021,
35 13726 18495 19921,
6736 10811 17545,
10084 12411 14432,

ES 2 639 994 T3

1064 13555 17033,
679 9878 13547,
3422 9910 20194,
3640 3701 10046,
5 5862 10134 11498,
5923 9580 15060,
1073 3012 16427,
5527 20113 20883,
7058 12924 15151,
10 9764 12230 17375,
772 7711 12723,
555 13816 15376,
10574 11268 17932,
15442 17266 20482,
15 390 3371 8781,
10512 12216 17180,
4309 14068 15783,
3971 11673 20009,
9259 14270 17199,
20 2947 5852 20101,
3965 9722 15363,
1429 5689 16771,
6101 6849 12781,
3676 9347 18761,
25 350 11659 18342,
5961 14803 16123,
2113 9163 13443,
2155 9808 12885,
2861 7988 11031,
30 7309 9220 20745,
6834 8742 11977,
2133 12908 14704,
10170 13809 18153,
13464 14787 14975,
35 799 1107 3789,
3571 8176 10165,
5433 13446 15481,

ES 2 639 994 T3

3351 6767 12840,
8950 8974 11650,
1430 4250 21332,
6283 10628 15050,
5 8632 14404 16916,
6509 10702 16278,
15900 16395 17995,
8031 18420 19733,
3747 4634 17087,
10 4453 6297 16262,
2792 3513 17031,
14846 20893 21563,
17220 20436 21337,
275 4107 10497,
15 3536 7520 10027,
14089 14943 19455,
1965 3931 21104,
2439 11565 17932,
154 15279 21414,
20 10017 11269 16546,
7169 10161 16928,
10284 16791 20655,
36 3175 8475,
2605 16269 19290,
25 8947 9178 15420,
5687 9156 12408,
8096 9738 14711,
4935 8093 19266,
2667 10062 15972,
30 6389 11318 14417,
8800 18137 18434,
5824 5927 15314,
6056 13168 15179,
3284 13138 18919,
35 13115 17259 17332.

FIG. 1

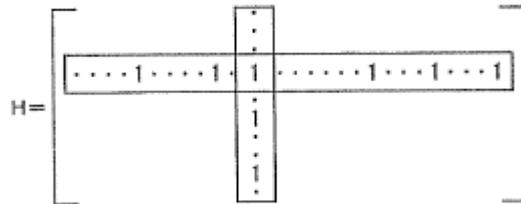


FIG. 2

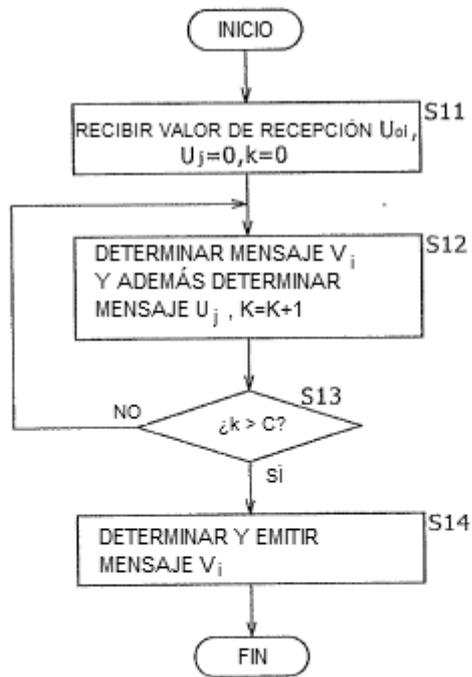


FIG. 3

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 \\ 1 & 1 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \end{bmatrix}$$

FIG. 4

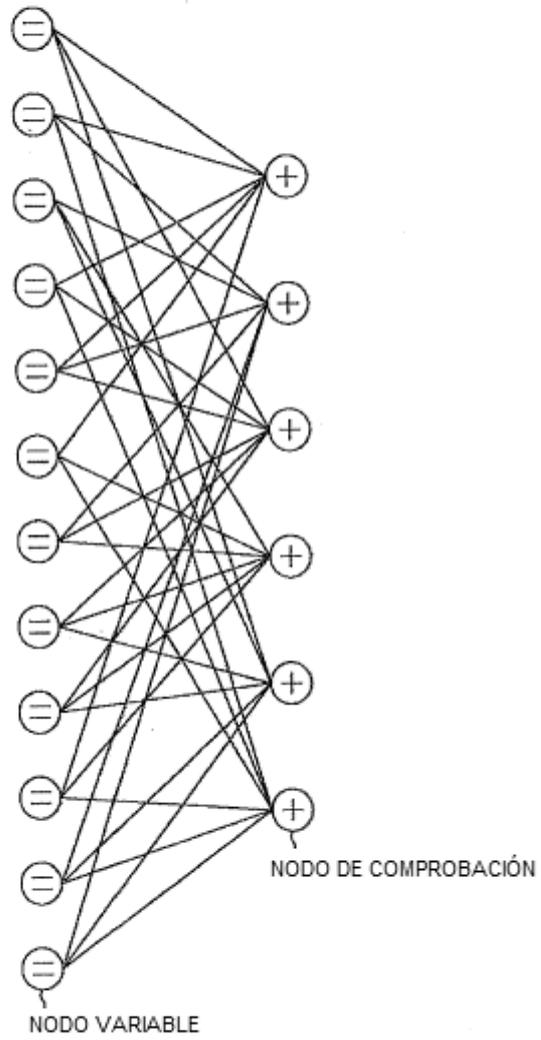


FIG. 5

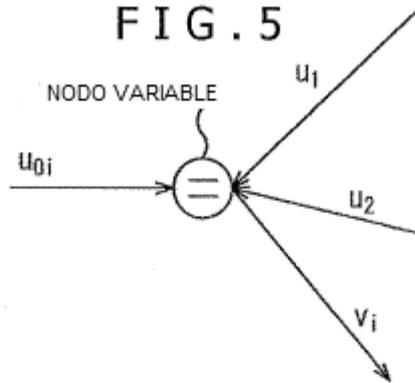


FIG. 6

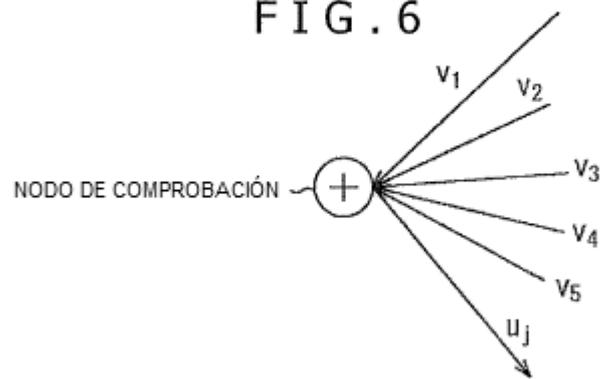


FIG. 7

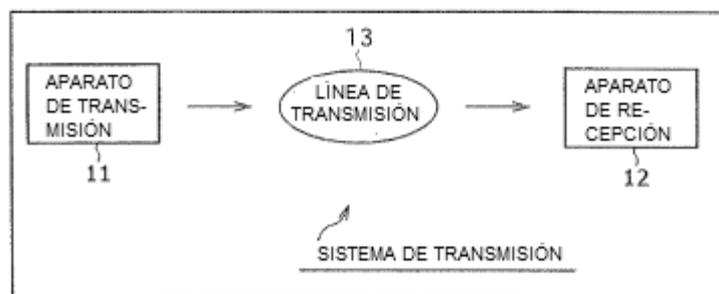


FIG. 8

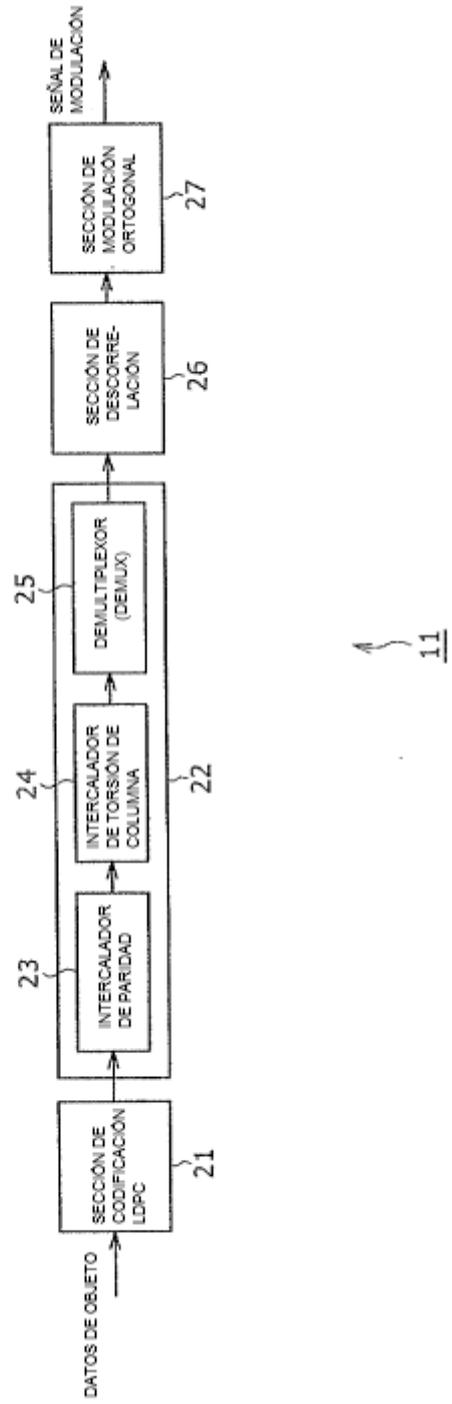


FIG. 9

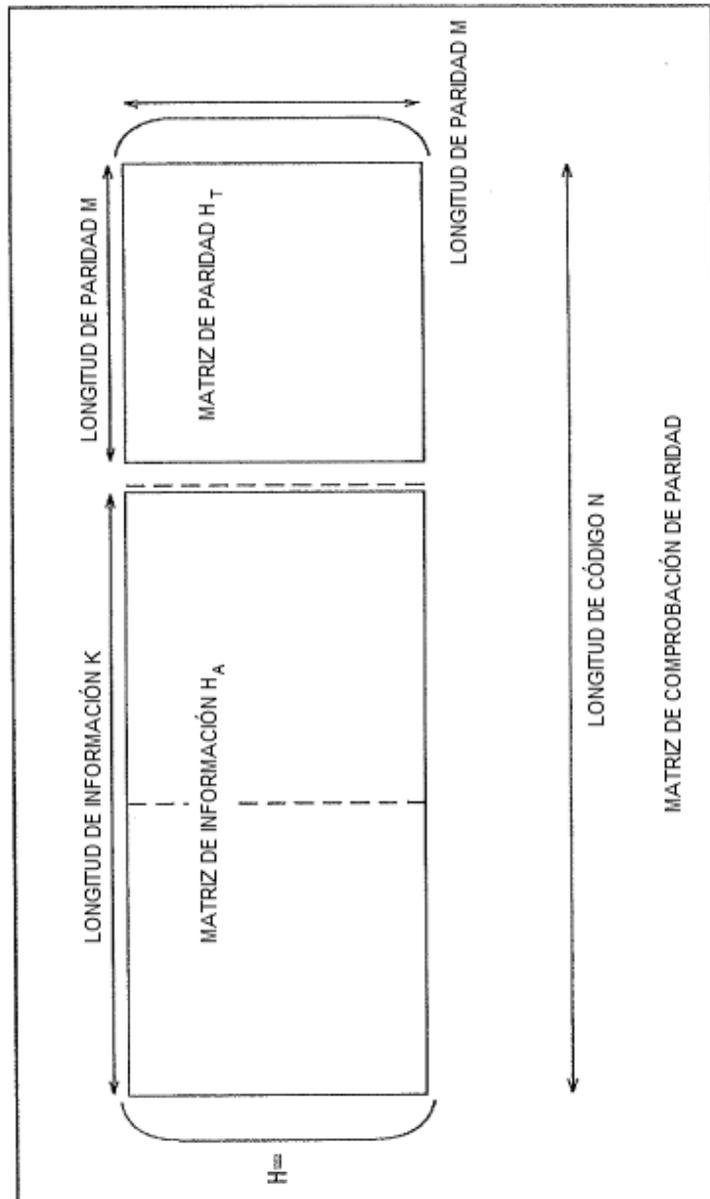


FIG. 10

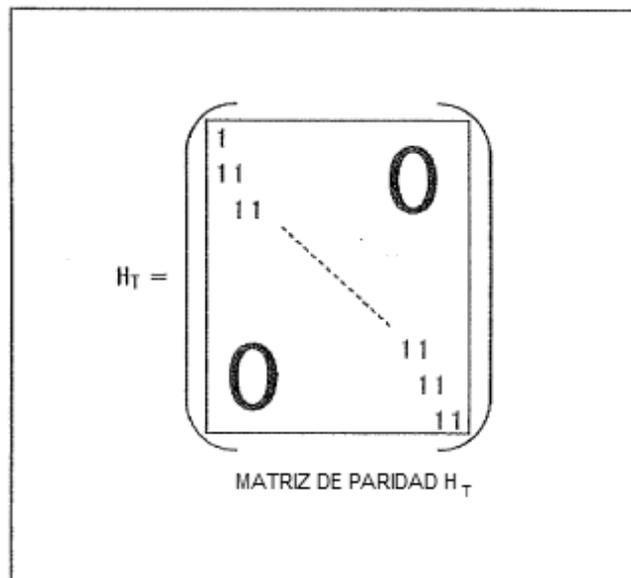


FIG. 11

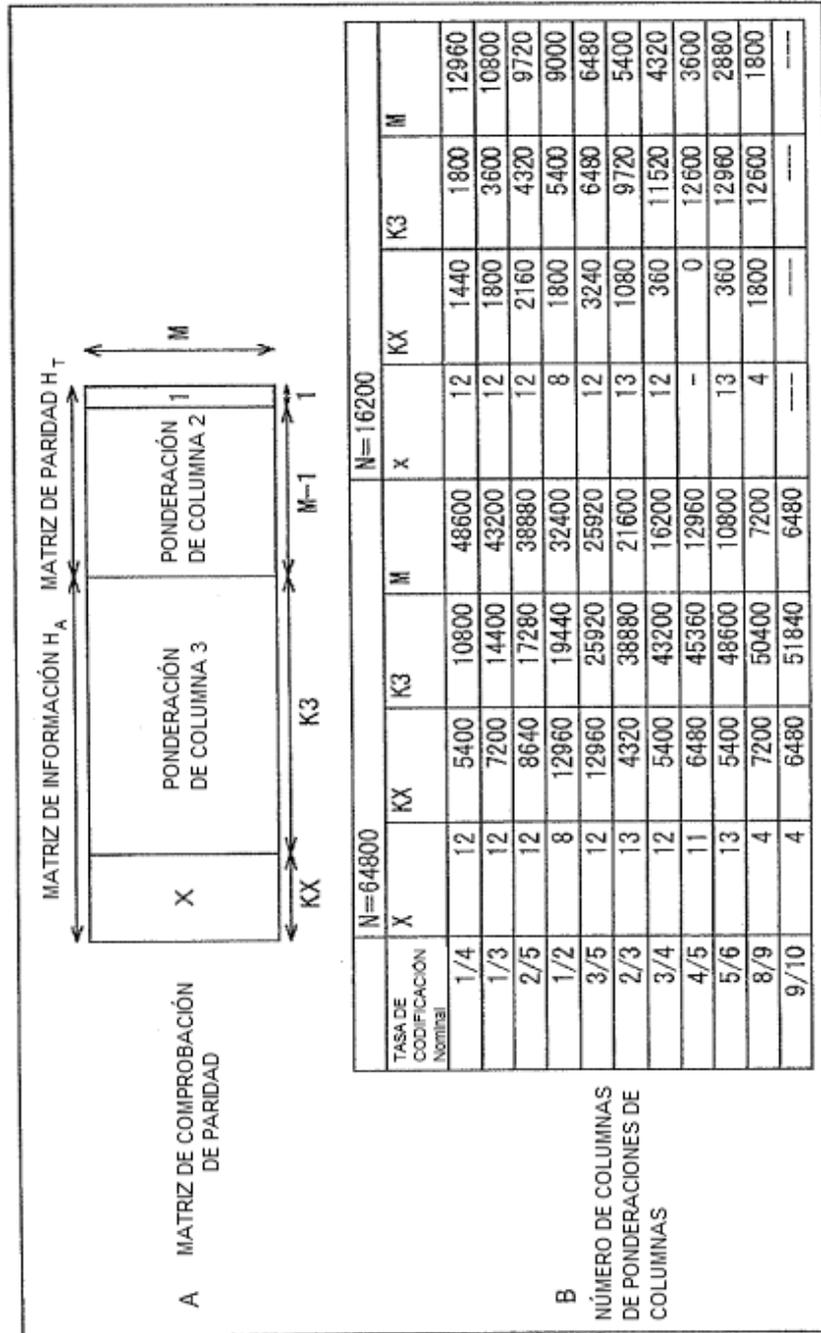


FIG.12

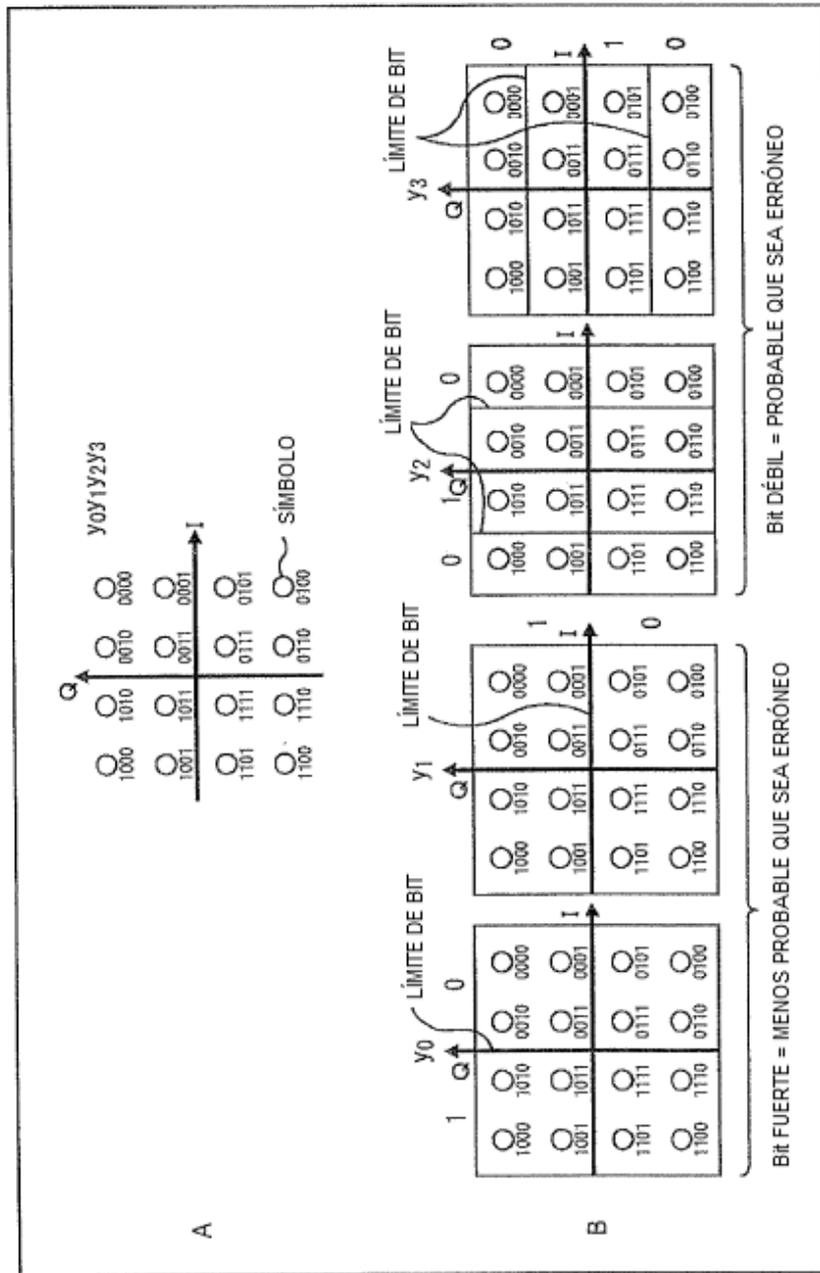


FIG. 13

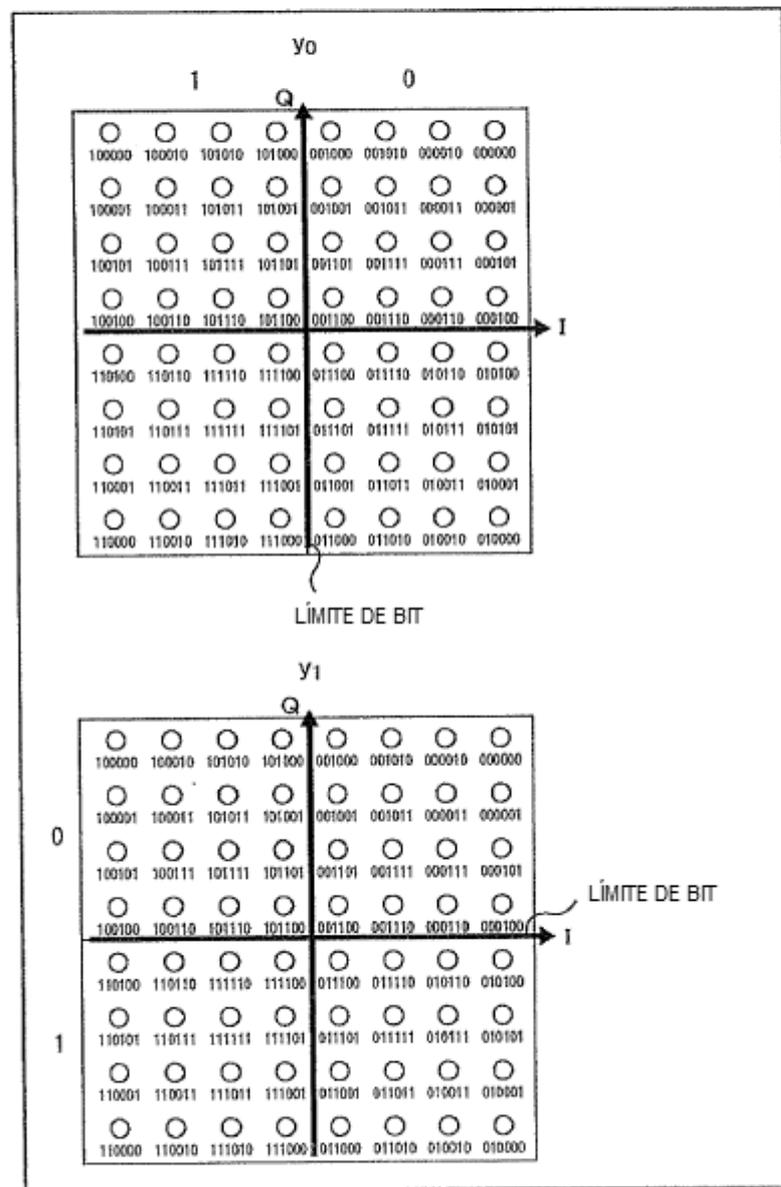


FIG. 14

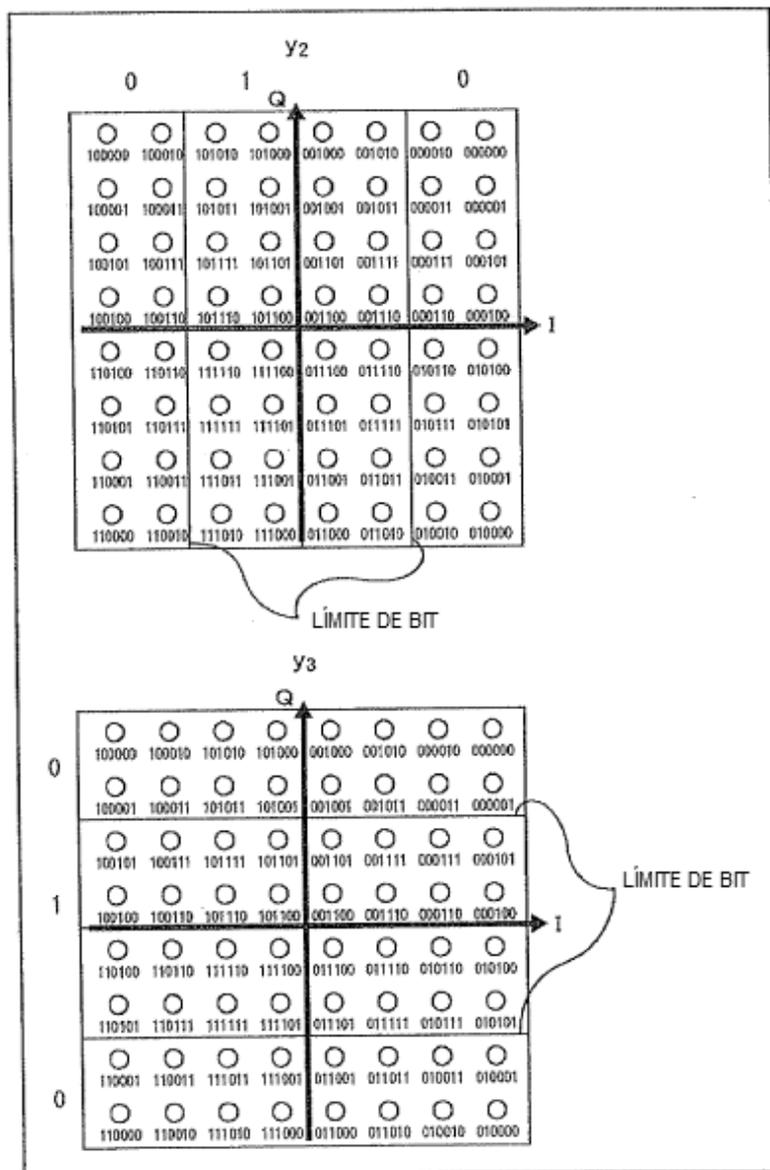


FIG. 15

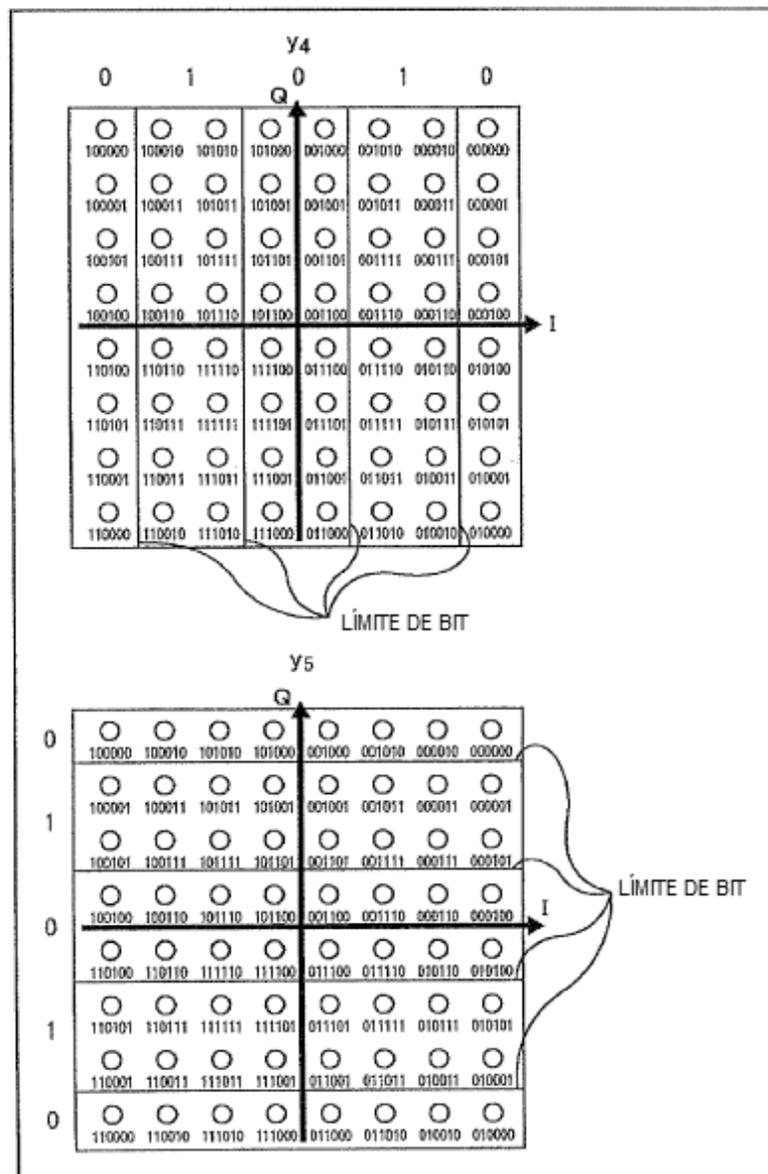


FIG. 16

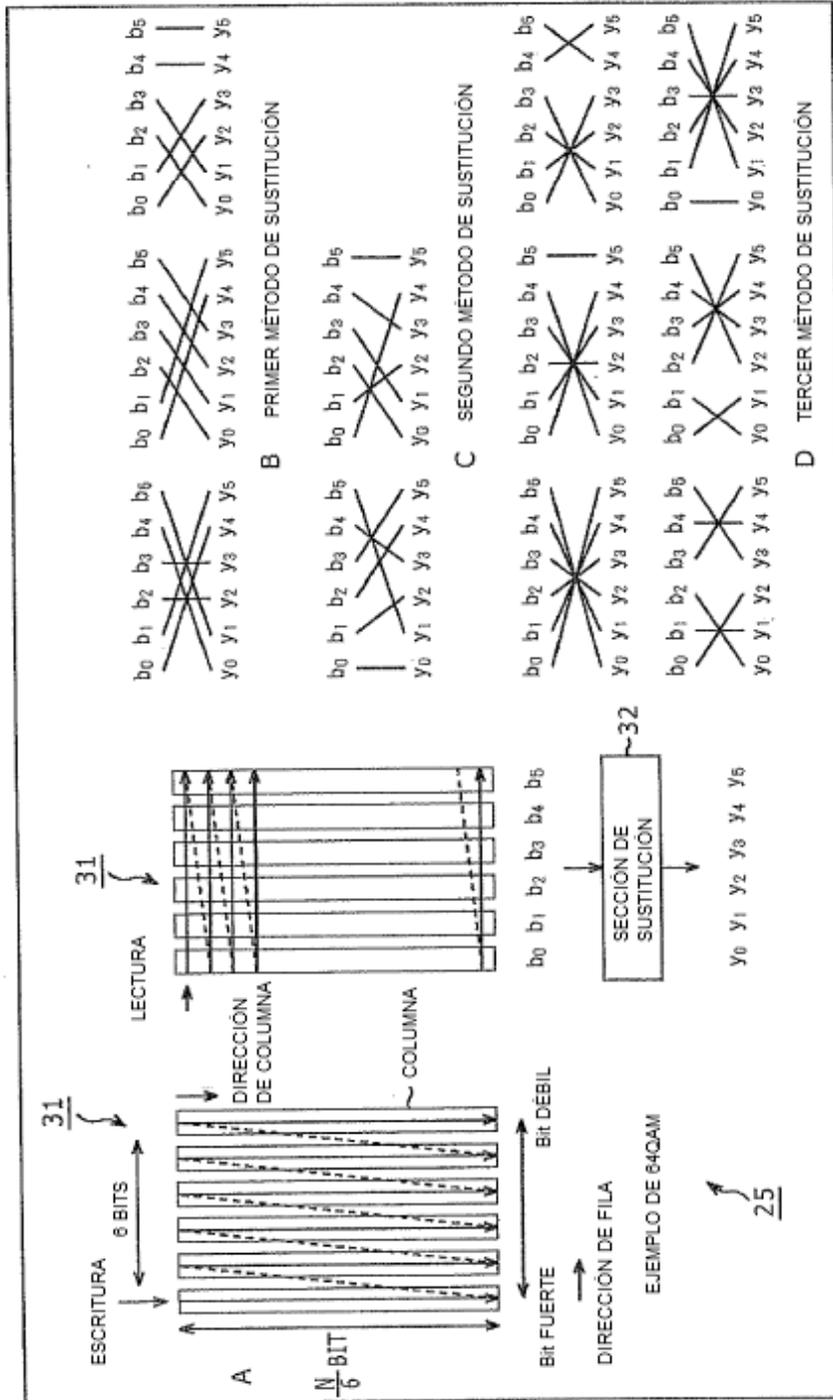


FIG.17

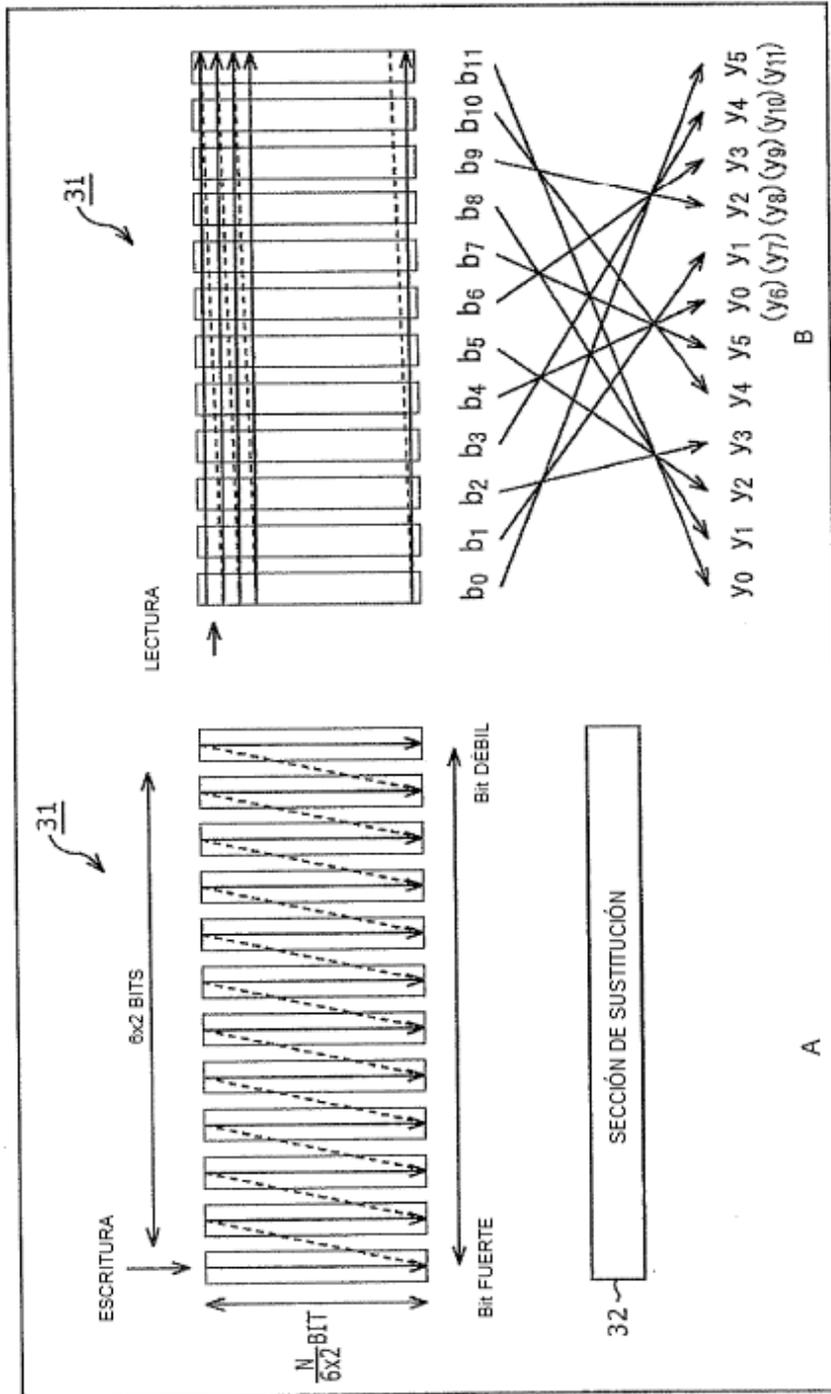


FIG. 18

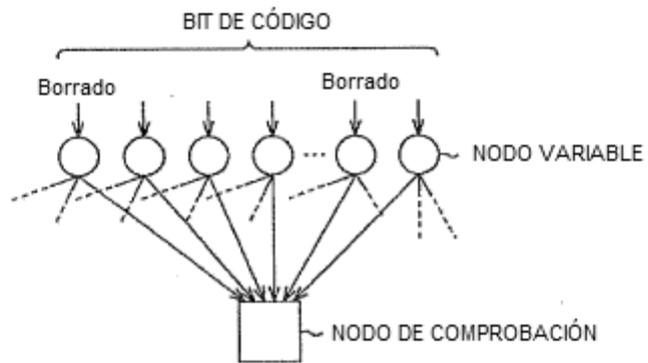


FIG. 19

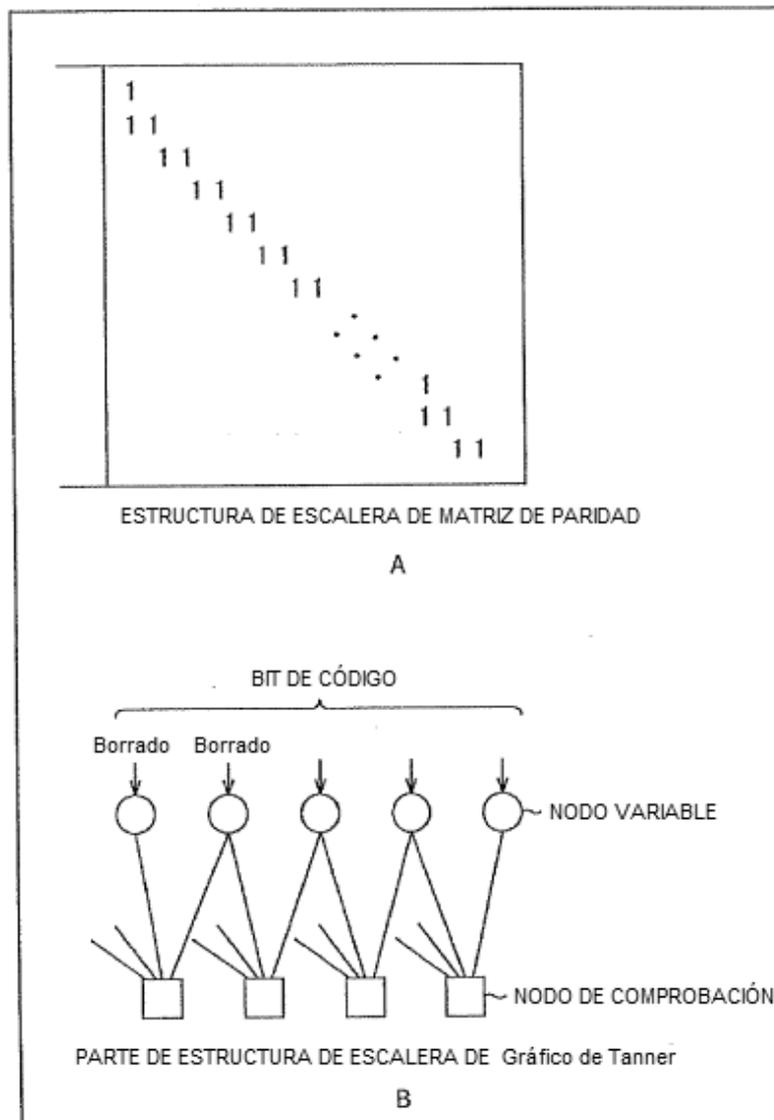


FIG. 20

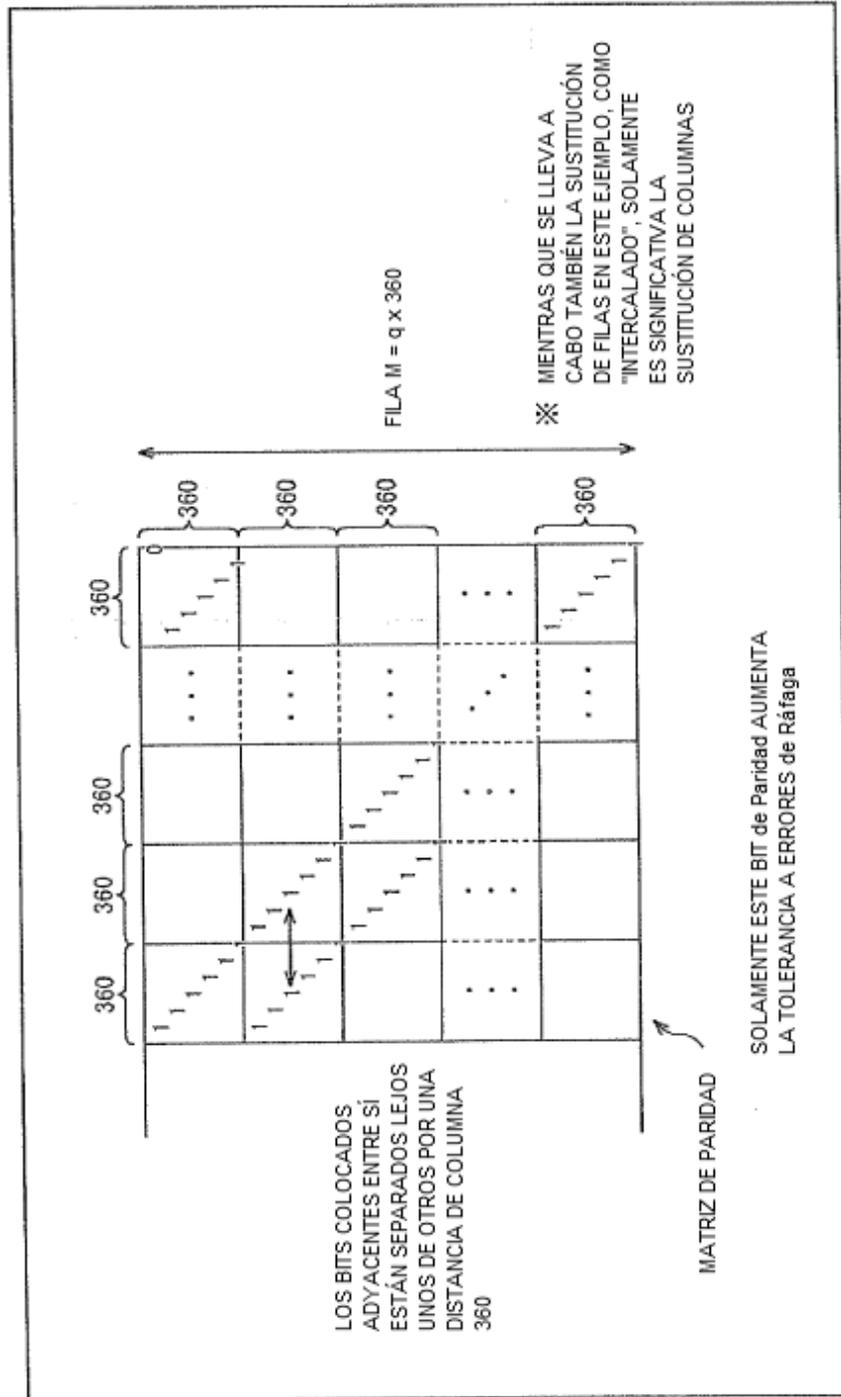


FIG. 21

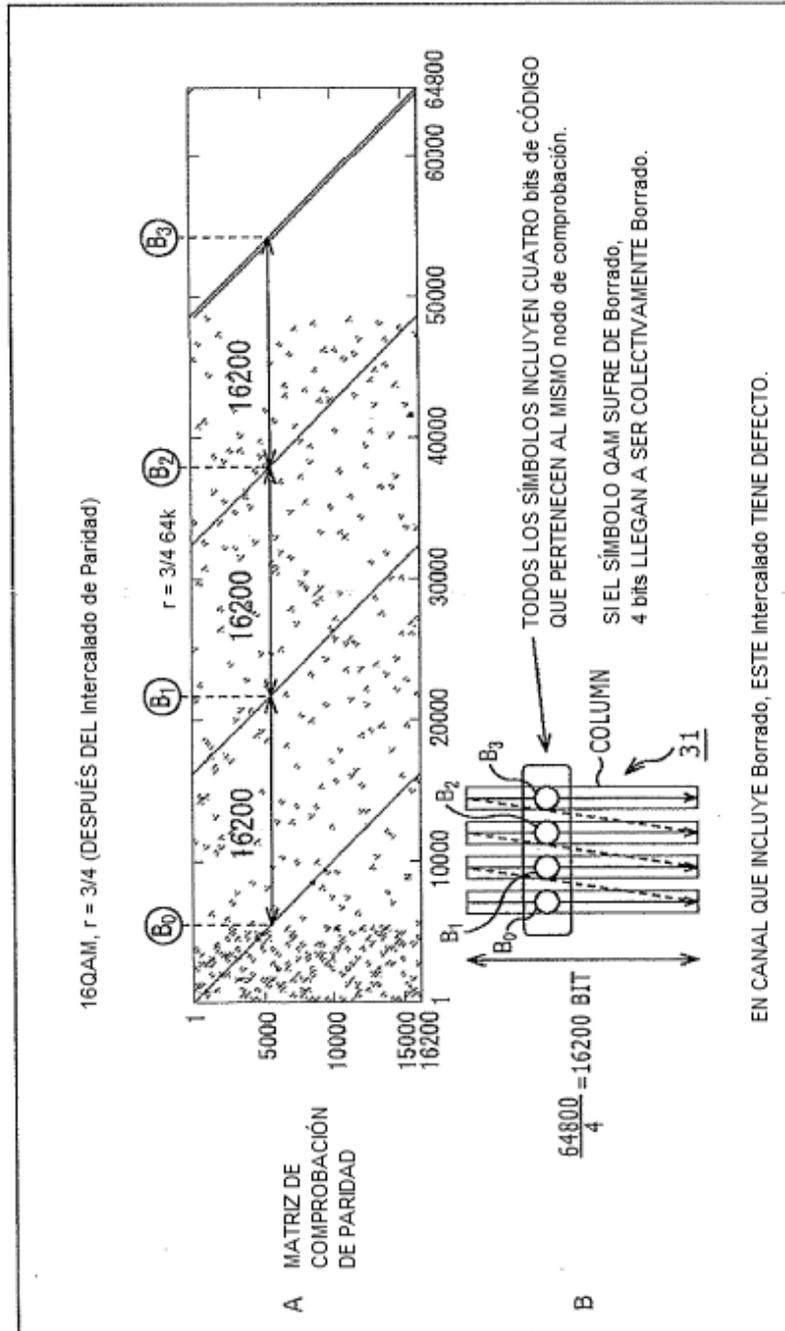


FIG.22

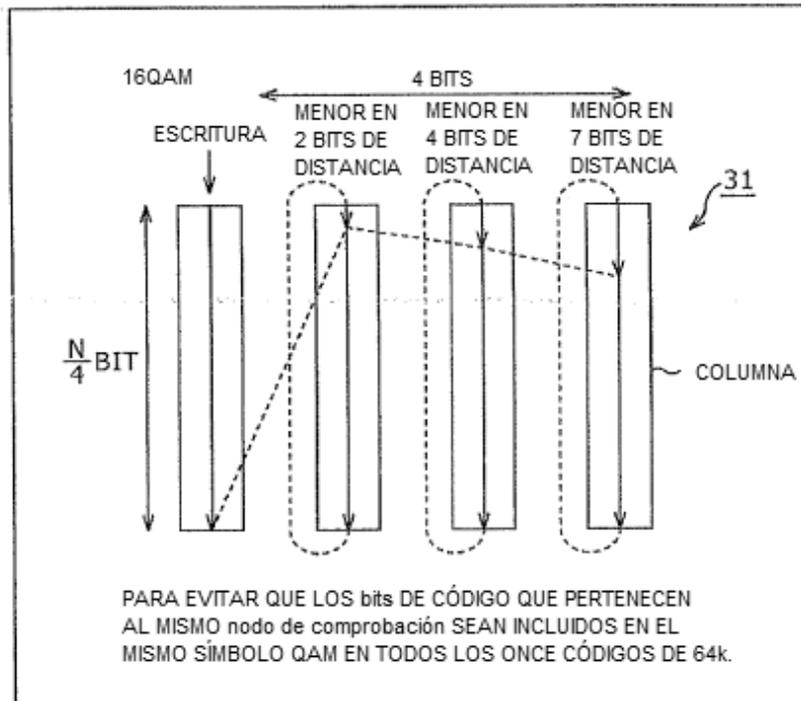


FIG. 24

NÚMERO mb DE COLUMNAS DE MEMORIA REQUERIDO	b = 1 PRIMERA TERCER MÉTODOS DE SUSTITUCIÓN	b = 2 CUARTO MÉTODOS DE SUSTITUCIÓN	POSICIÓN DE INICIO DE ESCRITURA EN mb COLUMNAS																							
			1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
2	QPSK		0	0																						
4	16QAM	QPSK	0	2	3	3																				
6	64QAM		0	0	2	3	7	7																		
8	256QAM	16QAM	0	0	0	1	7	20	20	21																
10	1024QAM		0	1	2	2	3	3	4	4	5	7														
12	4096QAM	64QAM	0	0	0	2	2	2	3	3	3	6	7	7												
20		1024QAM	0	0	0	2	2	2	2	2	2	5	5	5	5	7	7	7	7	8	8	10				
24		4096QAM	0	0	0	0	0	0	0	0	1	1	1	2	2	3	3	3	7	9	10	10	10	10	10	11

FIG. 25

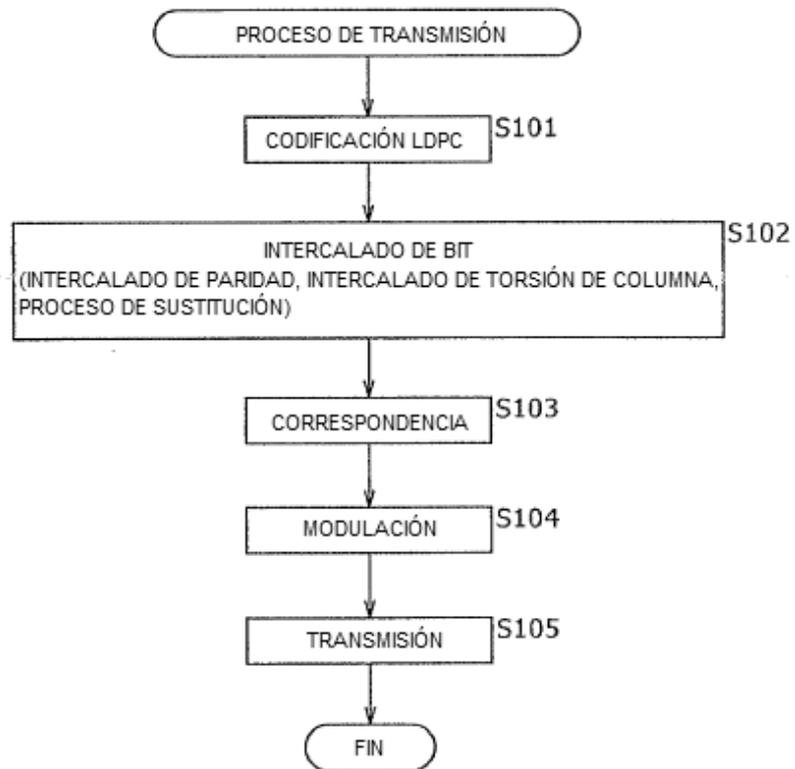


FIG. 26

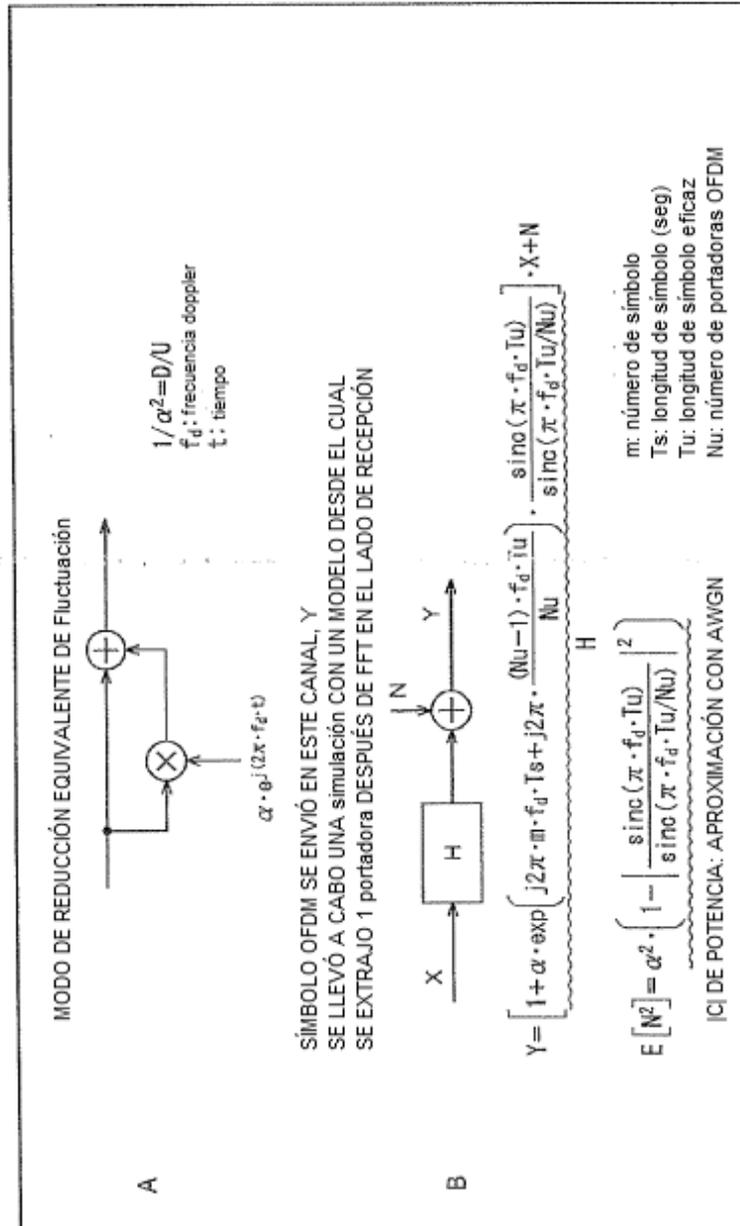


FIG. 2.7

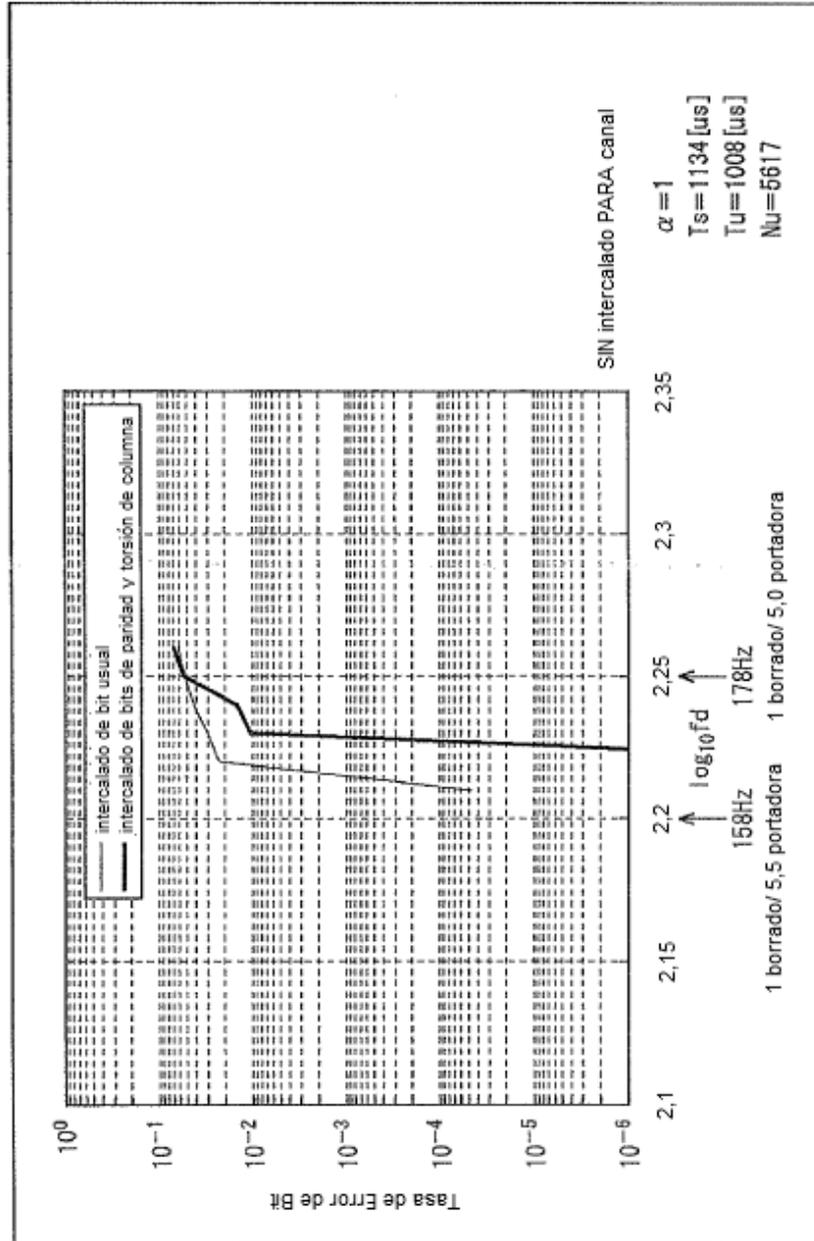


FIG. 28

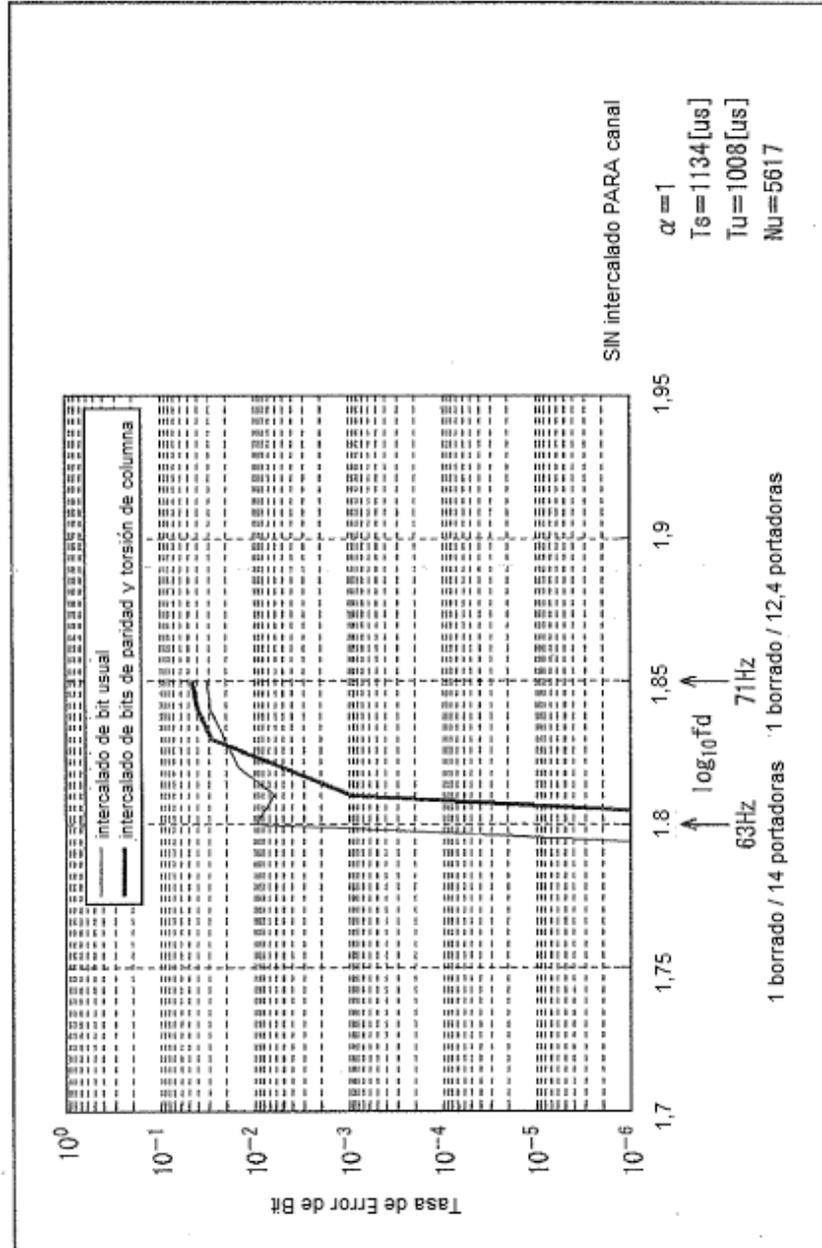


FIG. 29

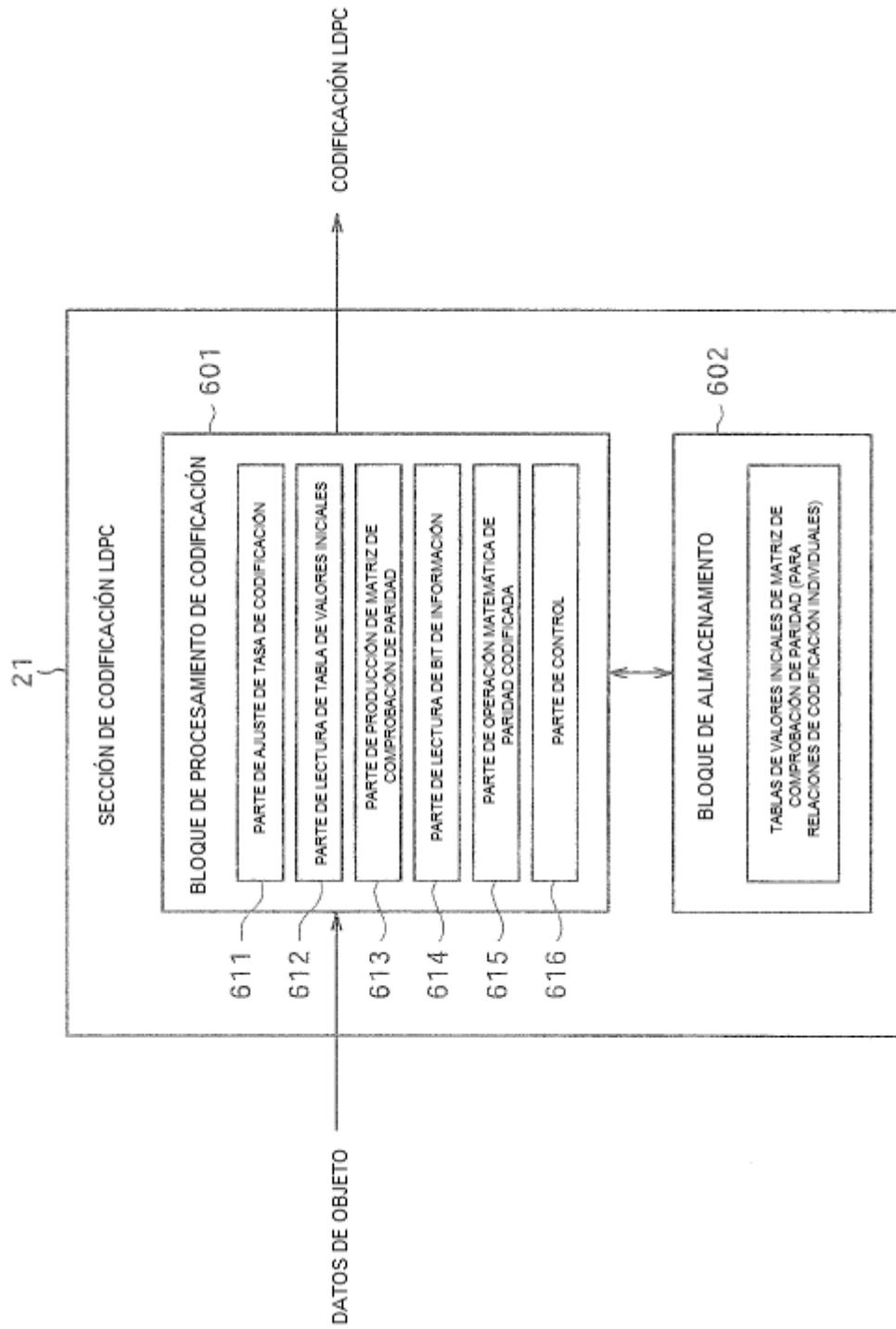


FIG. 30

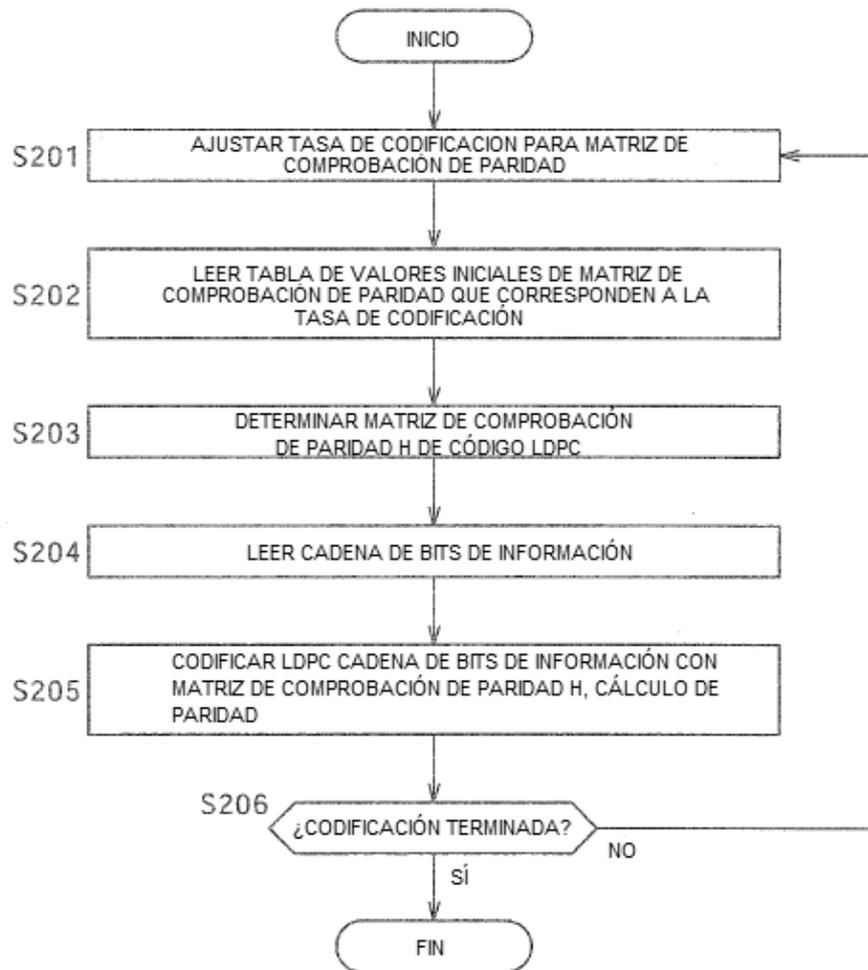


FIG. 31

r ^{2/3} 16K												
0	2084	1613	1548	1286	1460	3196	4297	2481	3369	3451	4620	2622
1	122	1516	3448	2880	1407	1847	3799	3529	373	971	4358	3108
2	259	3399	929	2650	864	3996	3833	107	5287	164	3125	2350
3	342	3529										
4	4198	2147										
5	1880	4836										
6	3864	4910										
7	243	1542										
8	3011	1436										
9	2167	2512										
10	4606	1003										
11	2835	705										
12	3426	2365										
13	3848	2474										
14	1360	1743										
0	163	2536										
1	2583	1180										
2	1542	509										
3	4418	1005										
4	5212	5117										
5	2155	2922										
6	347	2696										
7	226	4296										
8	1560	487										
9	3926	1640										
10	149	2928										
11	2364	563										
12	635	688										
13	231	1684										
14	1129	3894										

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{2}{3}$, $N = 16200$

FIG. 32

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{2}{3}$, $N = 64800$

r2/3 64K	s
0	10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928
1	17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483
2	17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151
3	19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532
4	4651 19689 1608 659 16707 14335 6143 3058 14618 17894 20684 5306
5	9778 2552 12096 12369 15198 16890 4851 3109 1700 18725 1997 15882
6	486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430
7	20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192
8	3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454
9	19525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353
10	4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171
11	14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12395 4322
12	13800 14161
13	2948 9647
14	14693 16027
15	20506 11082
16	1143 9020
17	13501 4014
18	1548 2190
19	12216 21556
20	2095 19897
21	4189 7958
22	15940 10048
23	515 12614
24	8501 8450
25	17595 16784
26	5913 8495
27	16394 10423
28	7409 6981
29	6678 15939
30	20344 12987
31	2510 14588
32	17918 6655
33	6703 19451
34	496 4217
35	7290 5766
36	10521 8925
37	20379 11905
38	4090 5838
39	19082 17040

FIG. 33

40 20233 12352
41 19365 19546
42 6249 19030
43 11037 19193
44 19760 11772
45 19644 7428
46 16076 3521
47 11779 21062
48 13062 9682
49 8934 5217
50 11087 3319
51 18892 4356
52 7894 3898
53 5963 4360
54 7346 11726
55 5182 5609
56 2412 17295
57 9845 20494
58 6687 1864
59 20564 5216
0 18226 17207
1 9380 8266
2 7073 3065
3 18252 13437
4 9161 15642
5 10714 10153
6 11585 9078
7 5359 9418
8 9024 9515
9 1206 16354
10 14994 1102
11 9375 20796
12 15964 6027
13 14789 6452
14 8002 18591
15 14742 14089
16 253 3045
17 1274 19286
18 14777 2044
19 13920 9900
20 452 7374

FIG. 34

21	18206	9921
22	6131	5414
23	10077	9726
24	12045	5479
25	4322	7990
26	15616	5550
27	15561	10661
28	20718	7387
29	2518	18804
30	8984	2600
31	6516	17909
32	11148	98
33	20559	3704
34	7510	1569
35	16000	11692
36	9147	10303
37	16650	191
38	15577	18685
39	17167	20917
40	4256	3391
41	20092	17219
42	9218	5056
43	18429	8472
44	12093	20753
45	16345	12748
46	16023	11095
47	5048	17595
48	18995	4817
49	16483	3536
50	1439	16148
51	3661	3039
52	19010	18121
53	8968	11793
54	13427	18003
55	5303	3083
56	531	16668
57	4771	6722
58	5695	7960
59	3589	14630

FIG. 35

r3/4 16K	
3	3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4	2681 2135
5	3107 4027
6	2637 3373
7	3830 3449
8	4129 2060
9	4184 2742
10	3946 1070
11	2239 984
0	1458 3031
1	3003 1328
2	1137 1716
3	132 3725
4	1817 638
5	1774 3447
6	3632 1257
7	542 3694
8	1015 1945
9	1948 412
10	995 2238
11	4141 1907
0	2480 3079
1	3021 1088
2	713 1379
3	997 3903
4	2323 3361
5	1110 986
6	2532 142
7	1690 2405
8	1298 1881
9	615 174
10	1648 3112
11	1415 2808

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{3}{4}$, $N = 16200$

FIG. 36

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{3}{4}$, $N = 64800$

$r3/4$	64K
0	6385 7901 14611 13389 11200 3252 5243 2504 2722 821 7374
1	11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2	7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3	1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4	7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5	1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6	4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7	4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8	6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9	3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10	8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11	1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12	3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13	8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14	14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15	3149 11981
16	13416 6906
17	13098 13352
18	2009 14460
19	7207 4314
20	3312 3945
21	4418 6248
22	2669 13975
23	7571 9023
24	14172 2967
25	7271 7138
26	6135 13670
27	7490 14559
28	8657 2466
29	8599 12834
30	3470 3152
31	13917 4365
32	6024 13730
33	10973 14182
34	2464 13167
35	5281 15049
36	1103 1849
37	2058 1069
38	9654 6095
39	14311 7667

FIG. 37

40	15617	8146
41	4588	11218
42	13660	6243
43	8578	7874
44	11741	2686
0	1022	1264
1	12604	9965
2	8217	2707
3	3156	11793
4	354	1514
5	6978	14058
6	7922	16079
7	15087	12138
8	5053	6470
9	12687	14932
10	15458	1763
11	8121	1721
12	12431	549
13	4129	7091
14	1426	8415
15	9783	7604
16	6295	11329
17	1409	12061
18	8065	9087
19	2918	8438
20	1293	14115
21	3922	13851
22	3851	4000
23	5865	1768
24	2655	14957
25	5565	6332
26	4303	12631
27	11653	12236
28	16025	7632
29	4655	14128
30	9584	13123
31	13987	9597
32	15409	12110
33	8754	15490
34	7416	15325
35	2909	15549

FIG. 38

36	2995	8257
37	9406	4791
38	11111	4854
39	2812	8521
40	8476	14717
41	7820	15360
42	1179	7939
43	2357	8678
44	7703	6216
0	3477	7067
1	3931	13845
2	7675	12899
3	1754	8187
4	7785	1400
5	9213	5891
6	2494	7703
7	2576	7902
8	4821	15682
9	10426	11935
10	1810	904
11	11332	9264
12	11312	3570
13	14916	2650
14	7679	7842
15	6089	13084
16	3938	2751
17	8509	4648
18	12204	8917
19	5749	12443
20	12613	4431
21	1344	4014
22	8488	13850
23	1730	14896
24	14942	7126
25	14983	8863
26	6578	8564
27	4947	396
28	297	12805
29	13878	6692
30	11857	11186
31	14395	11493

FIG. 39

32	16145	12251
33	13462	7428
34	14526	13119
35	2535	11243
36	6465	12690
37	6872	9334
38	15371	14023
39	8101	10187
40	11963	4848
41	15125	6119
42	8051	14465
43	11139	5167
44	2883	14521

FIG. 40

r4/5	16K
5	896 1565
6	2493 184
7	212 3210
8	727 1339
9	3428 612
0	2663 1947
1	230 2695
2	2025 2794
3	3039 283
4	862 2889
5	376 2110
6	2034 2286
7	951 2068
8	3108 3542
9	307 1421
0	2272 1197
1	1800 3280
2	331 2308
3	465 2552
4	1038 2479
5	1383 343
6	94 236
7	2619 121
8	1497 2774
9	2116 1855
0	722 1584
1	2767 1881
2	2701 1610
3	3283 1732
4	168 1099
5	3074 243
6	3460 945
7	2049 1746
8	566 1427
9	3545 1168

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{4}{5}$, N=16200

FIG. 41

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{4}{5}$, $N = 64800$

r4/5 64K	s
0	149 11212 5575 6360 12559 8108 8505 408 10026 12828
1	5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2	8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3	2699 4304 8350 712 2841 3250 4731 10105 517 7516
4	12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5	6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6	11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7	4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8	8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9	3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10	1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11	11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12	7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13	4418 1467 2490 5841 817 11453 533 11217 11962 5251
14	1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15	11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16	6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17	12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18	10155 4210
19	1010 10483
20	8900 10250
21	10243 12278
22	7070 4397
23	12271 3887
24	11980 6836
25	9514 4356
26	7137 10281
27	11881 2526
28	1969 11477
29	3044 10921
30	2236 8724
31	9104 6340
32	7342 8582
33	11675 10405
34	6467 12775
35	3186 12198
0	9621 11445
1	7486 5611
2	4319 4879
3	2196 344

FIG. 42

4 7527 6650
5 10693 2440
6 6755 2706
7 5144 5998
8 11043 8033
9 4846 4435
10 4157 9228
11 12270 6562
12 11954 7592
13 7420 2592
14 8810 9636
15 689 5430
16 920 1304
17 1253 11934
18 9559 6016
19 312 7589
20 4439 4197
21 4002 9555
22 12232 7779
23 1494 8782
24 10749 3969
25 4368 3479
26 6316 5342
27 2455 3493
28 12157 7405
29 6598 11495
30 11805 4455
31 9625 2090
32 4731 2321
33 3578 2608
34 8504 1849
35 4027 1151
0 5647 4935
1 4219 1870
2 10968 8054
3 6970 5447
4 3217 5638
5 8972 669
6 5618 12472
7 1457 1280
8 8868 3883

FIG. 43

9 8866 1224
10 8371 5972
11 266 4405
12 3706 3244
13 6039 5844
14 7200 3283
15 1502 11282
16 12318 2202
17 4523 965
18 9587 7011
19 2552 2051
20 12045 10306
21 11070 5104
22 6627 6906
23 9889 2121
24 829 9701
25 2201 1819
26 6689 12925
27 2139 8757
28 12004 5948
29 8704 3191
30 8171 10933
31 6297 7116
32 616 7146
33 5142 9761
34 10377 8138
35 7616 5811
0 7285 9863
1 7764 10867
2 12343 9019
3 4414 8331
4 3464 642
5 6960 2039
6 786 3021
7 710 2086
8 7423 5601
9 8120 4885
10 12385 11990
11 9739 10034
12 424 10162
13 1347 7597

FIG. 44

14	1450	112
15	7965	8478
16	8945	7397
17	6590	8316
18	6838	9011
19	6174	9410
20	255	113
21	6197	5835
22	12902	3844
23	4377	3505
24	5478	8672
25	4453	2132
26	9724	1380
27	12131	11526
28	12323	9511
29	8231	1752
30	497	9022
31	9288	3080
32	2481	7515
33	2696	268
34	4023	12341
35	7108	5553

FIG. 45

r5/6	16K
3	2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4	2447 1926
5	414 1224
6	2114 842
7	212 573
0	2383 2112
1	2286 2348
2	545 819
3	1264 143
4	1701 2258
5	964 166
6	114 2413
7	2243 81
0	1245 1581
1	775 169
2	1696 1104
3	1914 2831
4	532 1450
5	91 974
6	497 2228
7	2326 1579
0	2482 256
1	1117 1261
2	1257 1658
3	1478 1225
4	2511 980
5	2320 2675
6	435 1278
7	228 503
0	1885 2369
1	57 483
2	838 1050
3	1231 1990
4	1738 68
5	2392 951
6	163 645
7	2644 1704

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{5}{6}$, $N = 16200$

FIG. 46

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{5}{6}$, $N = 64800$

r5/6 64K	s
0	4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1	2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2	10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716
3	9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4	2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5	3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6	3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7	6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8	10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9	3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10	8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11	8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978
12	7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13	7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14	3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15	6304 7621
16	6498 9209
17	7293 6786
18	5950 1708
19	8521 1793
20	6174 7854
21	9773 1190
22	9517 10268
23	2181 9349
24	1949 5560
25	1556 555
26	8600 3827
27	5072 1057
28	7928 3542
29	3226 3762
0	7045 2420
1	9645 2641
2	2774 2452
3	5331 2031
4	9400 7503
5	1850 2338
6	10456 9774
7	1692 9276
8	10037 4038
9	3964 338

FIG. 47

10 2640 5087
11 858 3473
12 5582 5683
13 9523 916
14 4107 1559
15 4506 3491
16 8191 4182
17 10192 6157
18 5668 3305
19 3449 1540
20 4766 2697
21 4069 6675
22 1117 1016
23 5619 3085
24 8483 8400
25 8255 394
26 6338 5042
27 6174 5119
28 7203 1989
29 1781 5174
0 1464 3559
1 3376 4214
2 7238 67
3 10595 8831
4 1221 6513
5 5300 4652
6 1429 9749
7 7878 5131
8 4435 10284
9 6331 5507
10 6662 4941
11 9614 10238
12 8400 8025
13 9156 5630
14 7067 8878
15 9027 3415
16 1690 3866
17 2854 8469
18 6206 630
19 363 5453
20 4125 7008

FIG. 48

21	1612	6702
22	9069	9226
23	5767	4060
24	3743	9237
25	7018	5572
26	8892	4536
27	853	6064
28	8069	5893
29	2051	2885
0	10691	3153
1	3602	4055
2	328	1717
3	2219	9299
4	1939	7898
5	617	206
6	8544	1374
7	10676	3240
8	6672	9489
9	3170	7457
10	7868	5731
11	6121	10732
12	4843	9132
13	580	9591
14	6267	9290
15	3009	2268
16	195	2419
17	8016	1557
18	1516	9195
19	8062	9064
20	2095	8968
21	753	7326
22	6291	3833
23	2614	7844
24	2303	646
25	2075	611
26	4687	362
27	8684	9940
28	4830	2065
29	7038	1363
0	1769	7837
1	3801	1689

FIG. 49

2	10070	2359
3	3667	9918
4	1914	6920
5	4244	5669
6	10245	7821
7	7648	3944
8	3310	5488
9	6346	9666
10	7088	6122
11	1291	7827
12	10592	8945
13	3609	7120
14	9168	9112
15	6203	8052
16	3330	2895
17	4264	10563
18	10556	6496
19	8807	7645
20	1999	4530
21	9202	6818
22	3403	1734
23	2106	9023
24	6881	3883
25	3895	2171
26	4062	6424
27	3755	9536
28	4683	2131
29	7347	8027

FIG. 50

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{8}{9}$, $N = 16200$

r8/9 16K	s
0	1558 712 805
1	1450 873 1337
2	1741 1129 1184
3	294 806 1566
4	482 605 923
0	926 1578
1	777 1374
2	608 151
3	1195 210
4	1484 692
0	427 488
1	828 1124
2	874 1366
3	1500 835
4	1496 502
0	1006 1701
1	1155 97
2	657 1403
3	1453 624
4	429 1495
0	809 385
1	367 151
2	1323 202
3	960 318
4	1451 1039
0	1098 1722
1	1015 1428
2	1261 1564
3	544 1190
4	1472 1246
0	508 630
1	421 1704
2	284 898
3	392 577
4	1155 556
0	631 1000
1	732 1368
2	1328 329
3	1515 506
4	1104 1172

FIG. 51

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{8}{9}$, $N = 64800$

r8/9 64K			
0	6235	2848	3222
1	5800	3492	5348
2	2757	927	90
3	6961	4516	4739
4	1172	3237	6264
5	1927	2425	3683
6	3714	6309	2495
7	3070	6342	7154
8	2428	613	3761
9	2906	264	5927
10	1716	1950	4273
11	4613	6179	3491
12	4865	3286	6005
13	1343	5923	3529
14	4589	4035	2132
15	1579	3920	6737
16	1644	1191	5998
17	1482	2381	4620
18	6791	6014	6596
19	2738	5918	3786
0	5156	6166	
1	1504	4356	
2	130	1904	
3	6027	3187	
4	6718	759	
5	6240	2870	
6	2343	1311	
7	1039	5465	
8	6617	2513	
9	1588	5222	
10	6561	535	
11	4765	2054	
12	5966	6892	
13	1969	3869	
14	3571	2420	
15	4632	981	
16	3215	4163	
17	973	3117	
18	3802	6198	
19	3794	3948	

FIG. 52

0	3196	6126
1	573	1909
2	850	4034
3	5622	1601
4	6005	524
5	5251	5783
6	172	2032
7	1875	2475
8	497	1291
9	2566	3430
10	1249	740
11	2944	1948
12	6528	2899
13	2243	3616
14	867	3733
15	1374	4702
16	4698	2285
17	4760	3917
18	1859	4058
19	6141	3527
0	2148	5066
1	1306	145
2	2319	871
3	3463	1061
4	5554	6647
5	5837	339
6	5821	4932
7	6356	4756
8	3930	418
9	211	3094
10	1007	4928
11	3584	1235
12	6982	2869
13	1612	1013
14	953	4964
15	4555	4410
16	4925	4842
17	5778	600
18	6509	2417
19	1260	4903
0	3369	3031

FIG. 53

1 3557 3224
2 3028 583
3 3258 440
4 6226 6655
5 4895 1094
6 1481 6847
7 4433 1932
8 2107 1649
9 2119 2065
10 4003 6388
11 6720 3622
12 3694 4521
13 1164 7050
14 1965 3613
15 4331 66
16 2970 1796
17 4652 3218
18 1762 4777
19 5736 1399
0 970 2572
1 2062 6599
2 4597 4870
3 1228 6913
4 4159 1037
5 2916 2362
6 395 1226
7 6911 4548
8 4618 2241
9 4120 4280
10 5825 474
11 2154 5558
12 3793 5471
13 5707 1595
14 1403 325
15 6601 5183
16 6369 4569
17 4846 896
18 7092 6184
19 6764 7127
0 6358 1951
1 3117 6960

FIG. 54

2	2710	7062
3	1133	3504
4	3694	657
5	1355	110
6	3329	6736
7	2505	3407
8	2462	4806
9	4216	214
10	5348	5619
11	6627	6243
12	2644	5073
13	4212	5088
14	3463	3889
15	5306	478
16	4320	6121
17	3961	1125
18	5699	1195
19	6511	792
0	3934	2778
1	3238	6587
2	1111	6596
3	1457	6226
4	1446	3885
5	3907	4043
6	6839	2873
7	1733	5615
8	5202	4269
9	3024	4722
10	5445	6372
11	370	1828
12	4695	1600
13	680	2074
14	1801	6690
15	2669	1377
16	2463	1681
17	5972	5171
18	5728	4284
19	1696	1459

FIG. 55

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{9}{10}$, $N = 64800$

r9/10 64K	s		
0	5611	2563	2900
1	5220	3143	4813
2	2481	834	81
3	6265	4064	4265
4	1055	2914	5638
5	1734	2182	3315
6	3342	5678	2246
7	2185	552	3385
8	2615	236	5334
9	1546	1755	3846
10	4154	5561	3142
11	4382	2957	5400
12	1209	5329	3179
13	1421	3528	6063
14	1480	1072	5398
15	3843	1777	4369
16	1334	2145	4163
17	2368	5055	260
0	6118	5405	
1	2994	4370	
2	3405	1669	
3	4640	5550	
4	1354	3921	
5	117	1713	
6	5425	2866	
7	6047	683	
8	5616	2582	
9	2108	1179	
10	933	4921	
11	5953	2261	
12	1430	4699	
13	5905	480	
14	4289	1846	
15	5374	6208	
16	1775	3476	
17	3216	2178	
0	4165	884	
1	2896	3744	
2	874	2801	
3	3423	5579	

FIG. 56

4 3404 3552
5 2876 5515
6 516 1719
7 765 3631
8 5059 1441
9 5629 598
10 5405 473
11 4724 5210
12 155 1832
13 1689 2229
14 449 1164
15 2308 3088
16 1122 669
17 2268 5758
0 5878 2609
1 782 3359
2 1231 4231
3 4225 2052
4 4286 3517
5 5531 3184
6 1935 4560
7 1174 131
8 3115 956
9 3129 1088
10 5238 4440
11 5722 4280
12 3540 375
13 191 2782
14 906 4432
15 3225 1111
16 6296 2583
17 1457 903
0 855 4475
1 4097 3970
2 4433 4361
3 5198 541
4 1146 4426
5 3202 2902
6 2724 525
7 1083 4124
8 2326 6003

FIG. 57

9	5605	5990
10	4376	1579
11	4407	984
12	1332	6163
13	5359	3975
14	1907	1854
15	3601	5748
16	6056	3266
17	3322	4085
0	1768	3244
1	2149	144
2	1589	4291
3	5154	1252
4	1855	5939
5	4820	2706
6	1475	3360
7	4266	693
8	4156	2018
9	2103	752
10	3710	3853
11	5123	931
12	6146	3323
13	1939	5002
14	5140	1437
15	1263	293
16	5949	4665
17	4548	6380
0	3171	4690
1	5204	2114
2	6384	5565
3	5722	1757
4	2805	6264
5	1202	2616
6	1018	3244
7	4018	5289
8	2257	3067
9	2483	3073
10	1196	5329
11	649	3918
12	3791	4581
13	5028	3803

FIG. 58

14	3119	3506
15	4779	431
16	3888	5510
17	4387	4084
0	5836	1692
1	5126	1078
2	5721	6165
3	3540	2499
4	2225	6348
5	1044	1484
6	6323	4042
7	1313	5603
8	1303	3496
9	3516	3639
10	5161	2293
11	4682	3845
12	3045	643
13	2818	2616
14	3267	649
15	6236	593
16	646	2948
17	4213	1442
0	5779	1596
1	2403	1237
2	2217	1514
3	5609	716
4	5155	3858
5	1517	1312
6	2554	3158
7	5280	2643
8	4990	1353
9	5648	1170
10	1152	4366
11	3561	5368
12	3581	1411
13	5647	4661
14	1542	5401
15	5078	2687
16	316	1755
17	3392	1991

FIG. 59

NÚMEROS DE FILAS DE MATRIZ DE COMPROBACIÓN DE PARIDAD (MATRIZ DE INFORMACIÓN H_A) DE CADA 360 COLUMNAS COMENZANDO CON LA PRIMERA COLUMNA SE INDICAN

NÚMEROS DE FILAS DE MATRIZ DE COMPROBACIÓN DE PARIDAD

PRIMERA COLUMNA DE H_A	0	2084	1613	1548	1286	1460	3196	4297	2481	3369	3451	4620	2622
361ª COLUMNA DE H_A	1	122	1516	3448	2880	1407	1847	3799	3529	373	971	4358	3108
721ª COLUMNA DE H_A	2	259	3399	929	2650	364	3996	3833	107	5287	164	3125	2350
1081ª COLUMNA DE H_A	3	342	3529										
	4	4198	2147										
	5	1890	4836										
	6	3864	4910										
	7	243	1542										
	8	3011	1436										
	9	2167	2512										
	10	4606	1003										
	11	2835	705										
	12	3426	2365										
	13	3948	2474										
	14	1360	1743										
	0	163	2536										
	1	2583	1180										
	2	1542	509										
	3	4418	1005										
	4	5212	5117										
	5	2155	2922										
	6	347	2696										
	7	226	4296										
	8	1560	487										
	9	3925	1640										
	10	149	2928										
	11	2364	563										
	12	635	688										
	13	231	1684										
	14	1129	3894										

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD

FIG. 60

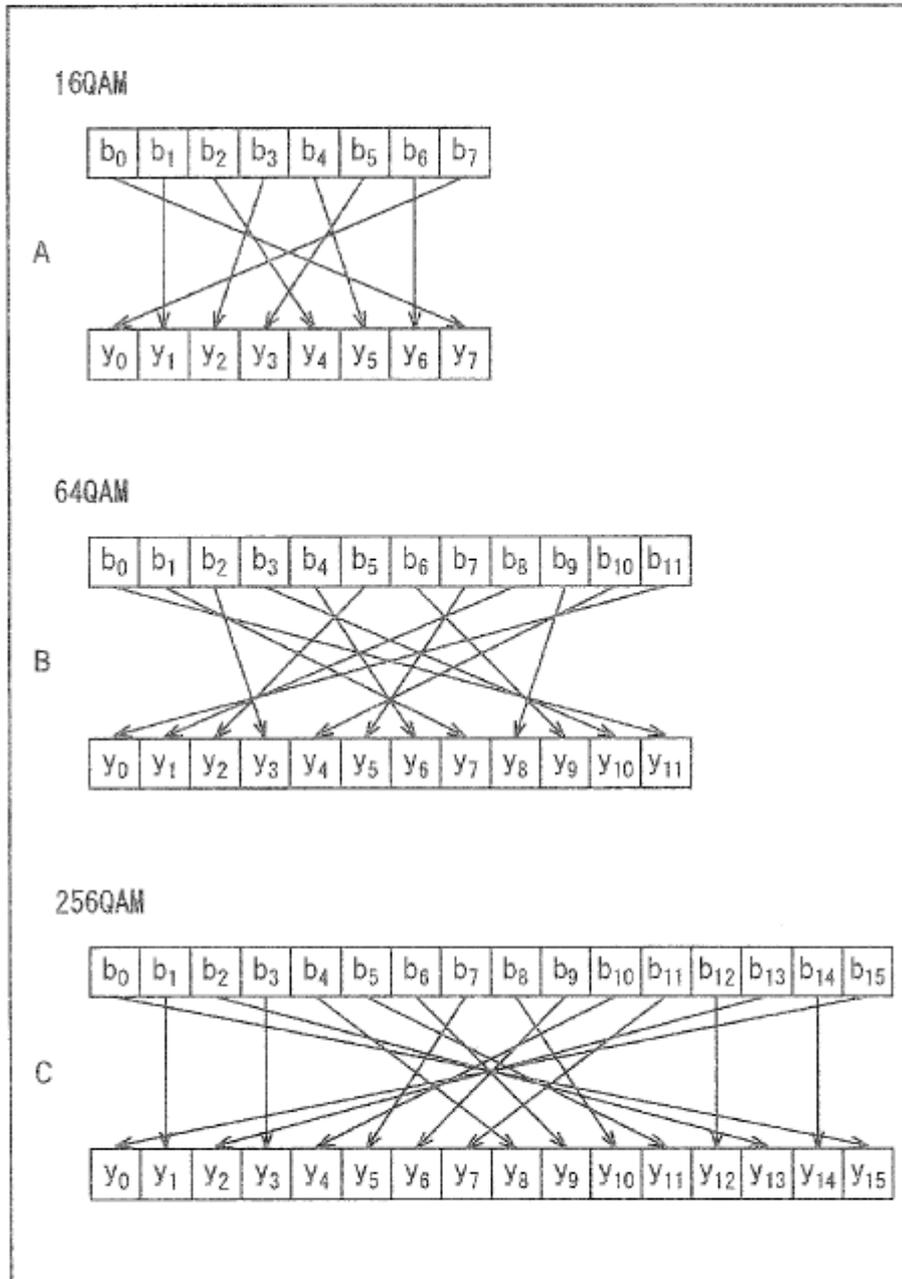


FIG. 61

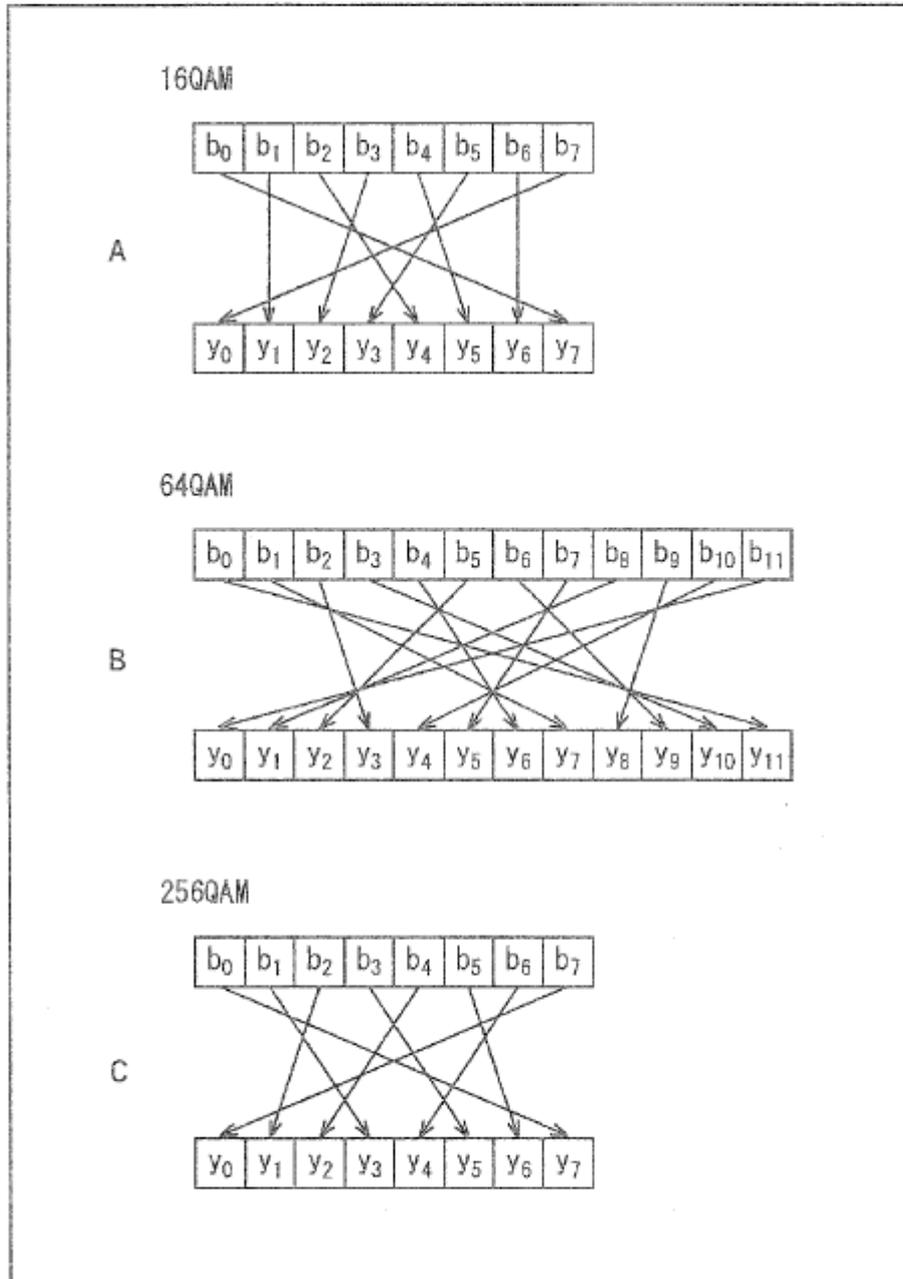


FIG. 62

256QAM r2/3 64K

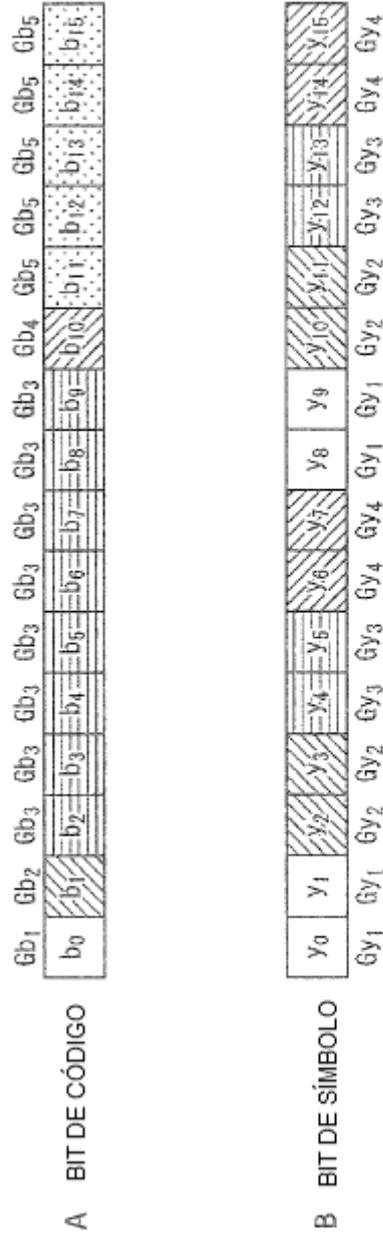


FIG. 63

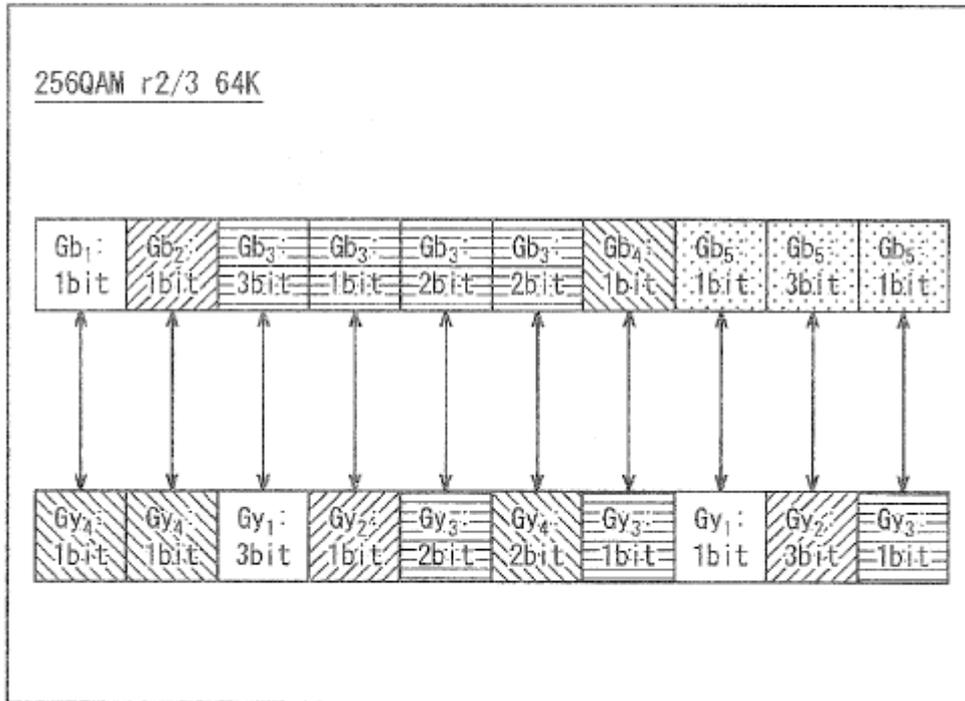


FIG. 64

256QAM r2/3 64K

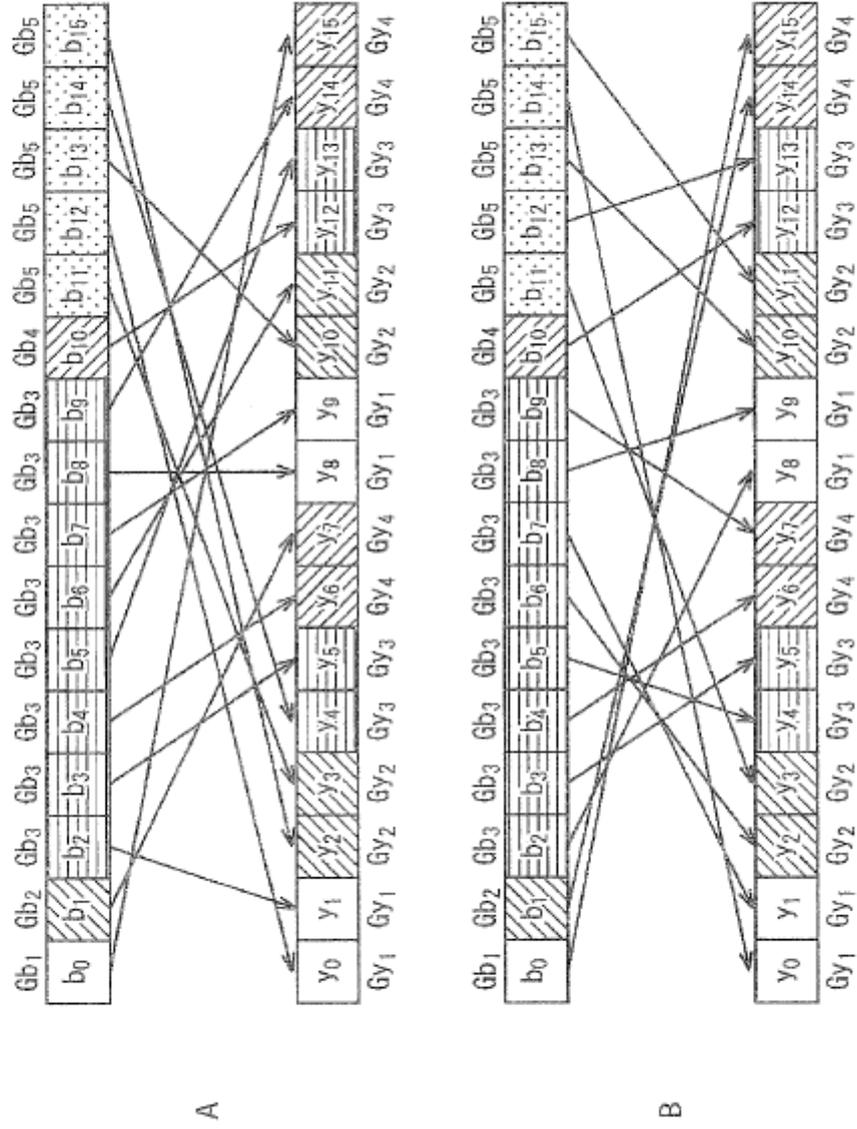


FIG. 65

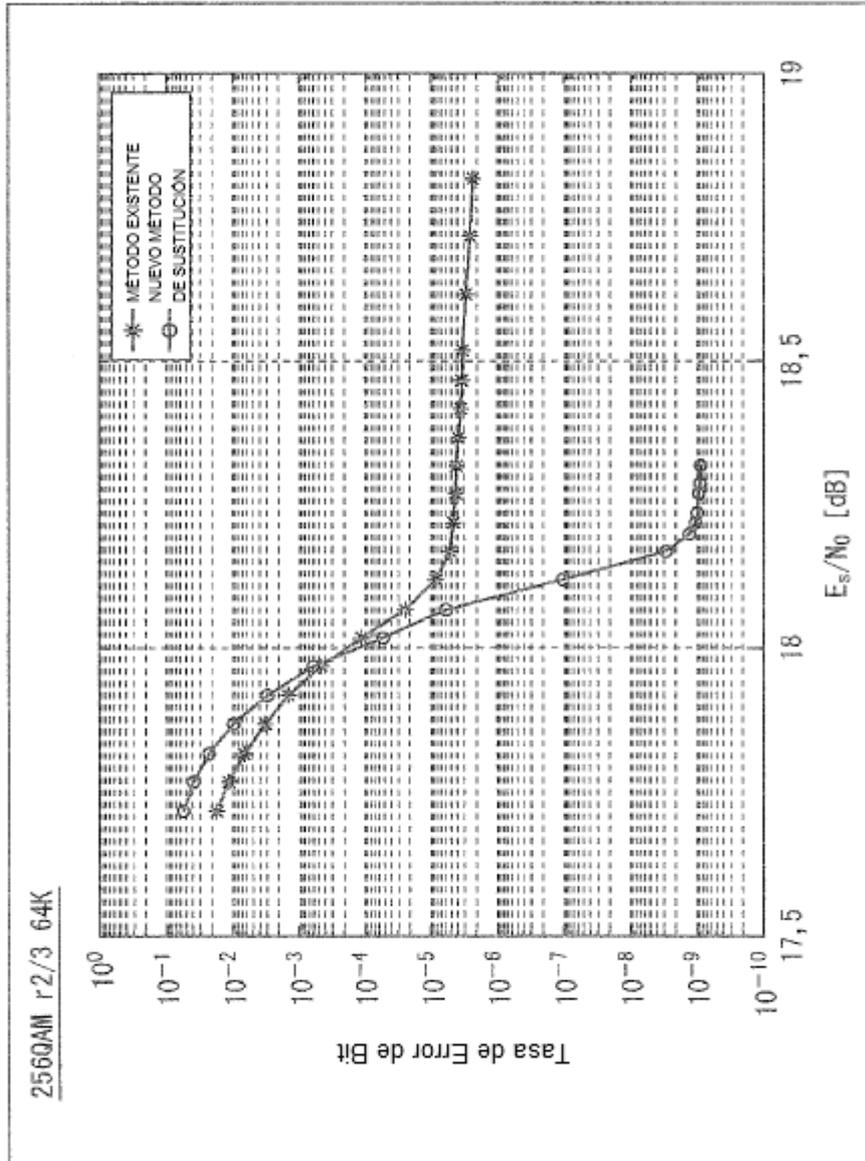


FIG. 66

r2/3 64K												
317	2255	2324	2723	3538	3576	6194	6700	9101	10057	12739	17407	21039
1958	2007	3294	4394	12762	14505	14593	14692	16522	17737	19245	21272	21379
127	860	5001	5633	8644	9282	12690	14644	17553	19511	19681	20954	21002
2514	2822	5781	6297	8063	9469	9551	11407	11837	12985	15710	20236	20393
1565	3106	4659	4926	6495	6872	7343	8720	15785	16434	16727	19884	21325
706	3220	8568	10896	12486	13663	16398	16599	19475	19781	20625	20961	21335
4257	10449	12406	14561	16049	16522	17214	18029	18033	18802	19062	19526	20748
412	433	558	2614	2978	4157	6584	9320	11683	11819	13024	14486	16860
777	5906	7403	8550	8717	8770	11436	12846	13629	14755	15688	16392	16419
4093	5045	6037	7248	8633	9771	10260	10809	11326	12072	17516	19344	19938
2120	2648	3155	3852	6888	12258	14821	15359	16378	16437	17791	20614	21025
1085	2434	5816	7151	8050	9422	10884	12728	15353	17733	18140	18729	20920
856	1690	12787										
6532	7357	9151										
4210	16615	18152										
11494	14036	17470										
2474	10291	10323										
1778	6973	10739										
4347	9570	18748										
2189	11942	20666										
3868	7526	17706										
8780	14796	18268										
160	16232	17399										
1285	2003	18922										
4658	17331	20361										
2765	4862	5875										
4565	5521	8759										
3484	7305	15829										
5024	17730	17879										
7031	12346	15024										
179	6365	11352										
2490	3143	5098										
2643	3101	21259										
4315	4724	13130										
594	17365	18322										
5983	8597	9627										
10837	15102	20876										
10448	20418	21478										
3848	12029	15228										
708	5652	13146										
5998	7534	16117										
2098	13201	18317										
9186	14548	17776										
5246	10398	18597										

FIG. 67

3083	4944	21021
13726	18495	19921
6736	10811	17545
10084	12411	14432
1064	13555	17033
679	9878	13547
3422	9910	20194
3640	3701	10046
5862	10134	11498
5923	9580	15060
1073	3012	16427
5527	20113	20883
7058	12924	15151
9764	12230	17375
772	7711	12723
555	13816	15376
10574	11268	17932
15442	17266	20482
390	3371	8781
10512	12216	17180
4309	14068	15783
3971	11673	20009
9259	14270	17199
2947	5852	20101
3965	9722	15363
1429	5689	16771
6101	6849	12781
3676	9347	18761
350	11659	18342
5961	14803	16123
2113	9163	13443
2155	9808	12885
2861	7988	11031
7309	9220	20745
6834	8742	11977
2133	12908	14704
10170	13809	18153
13464	14787	14975
799	1107	3789
3571	8176	10165
5433	13446	15481
3351	6767	12840
8950	8974	11650
1430	4250	21332

FIG. 68

6283	10628	15050
8632	14404	16916
6509	10702	16278
15900	16395	17995
8031	18420	19733
3747	4634	17087
4453	6297	16262
2792	3513	17031
14846	20893	21563
17220	20436	21337
275	4107	10497
3536	7520	10027
14089	14943	19455
1965	3931	21104
2439	11565	17932
154	15279	21414
10017	11269	16546
7169	10161	16928
10284	16791	20655
36	3175	8475
2605	16269	19290
8947	9178	15420
5687	9156	12408
8096	9738	14711
4935	8093	19266
2667	10062	15972
6389	11318	14417
8800	18137	18434
5824	5927	15314
6056	13168	15179
3284	13138	18919
13115	17259	17332

FIG. 69

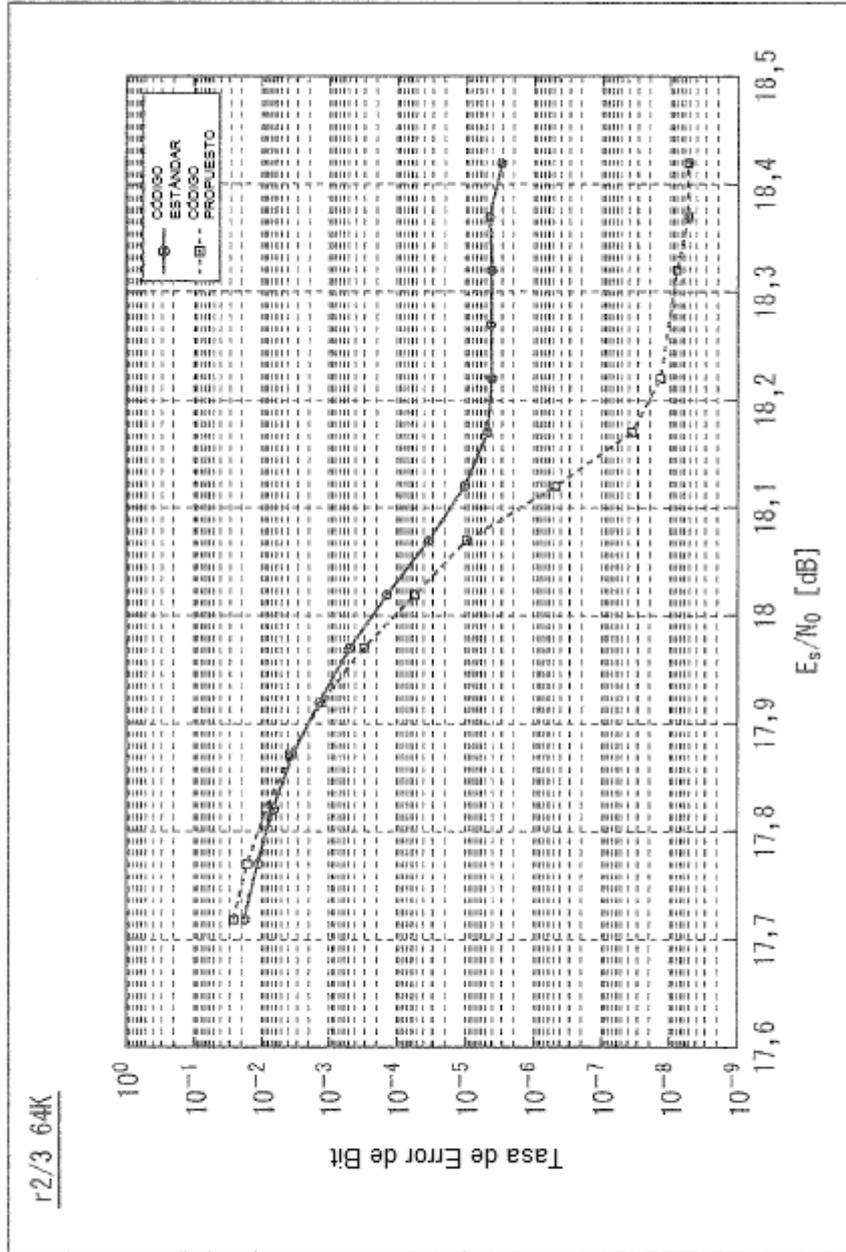


FIG. 70

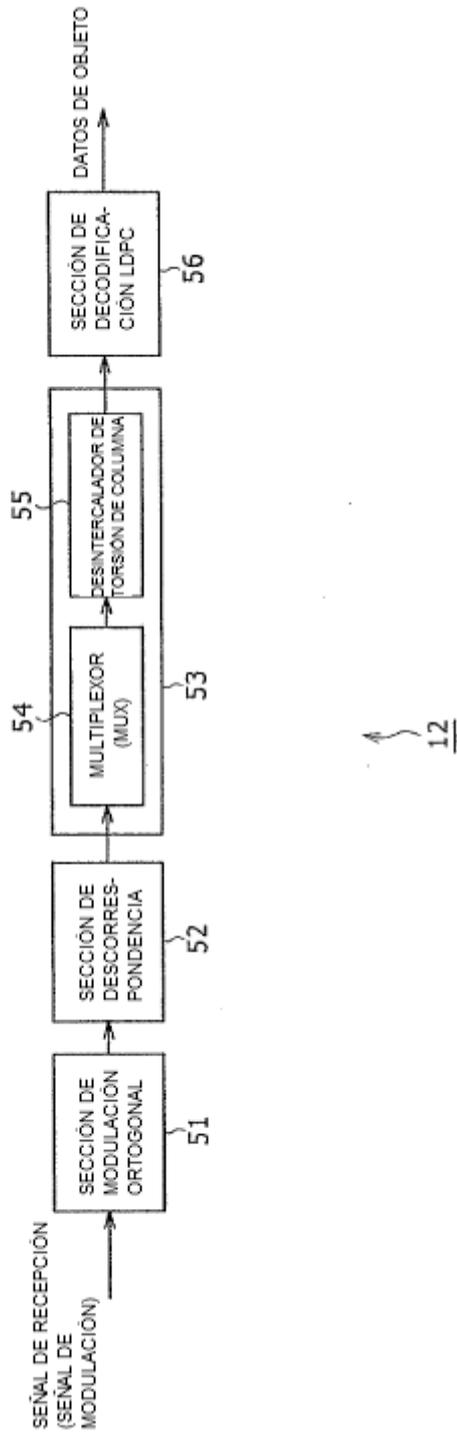


FIG. 71

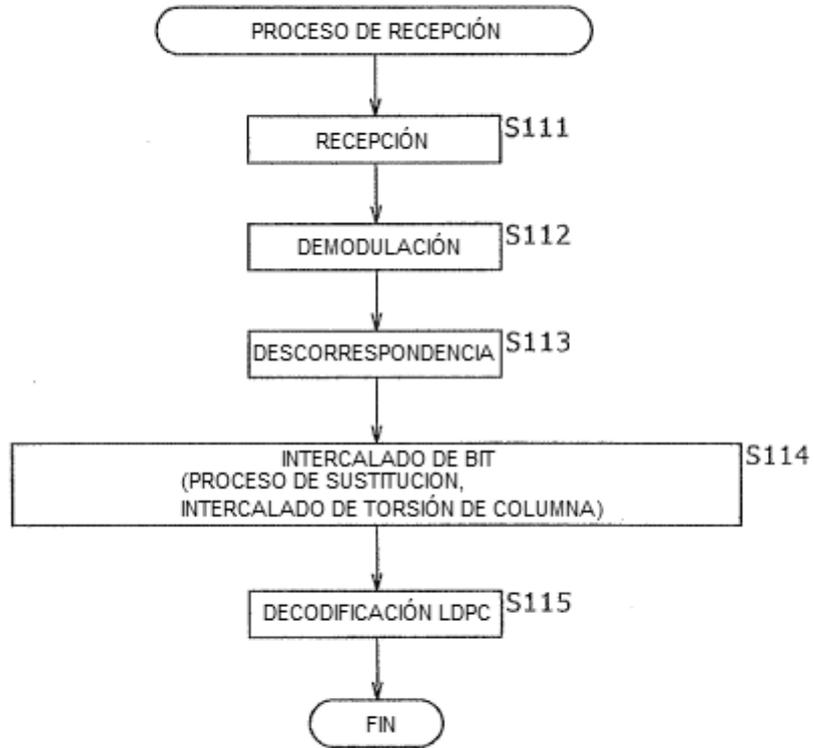


FIG. 72

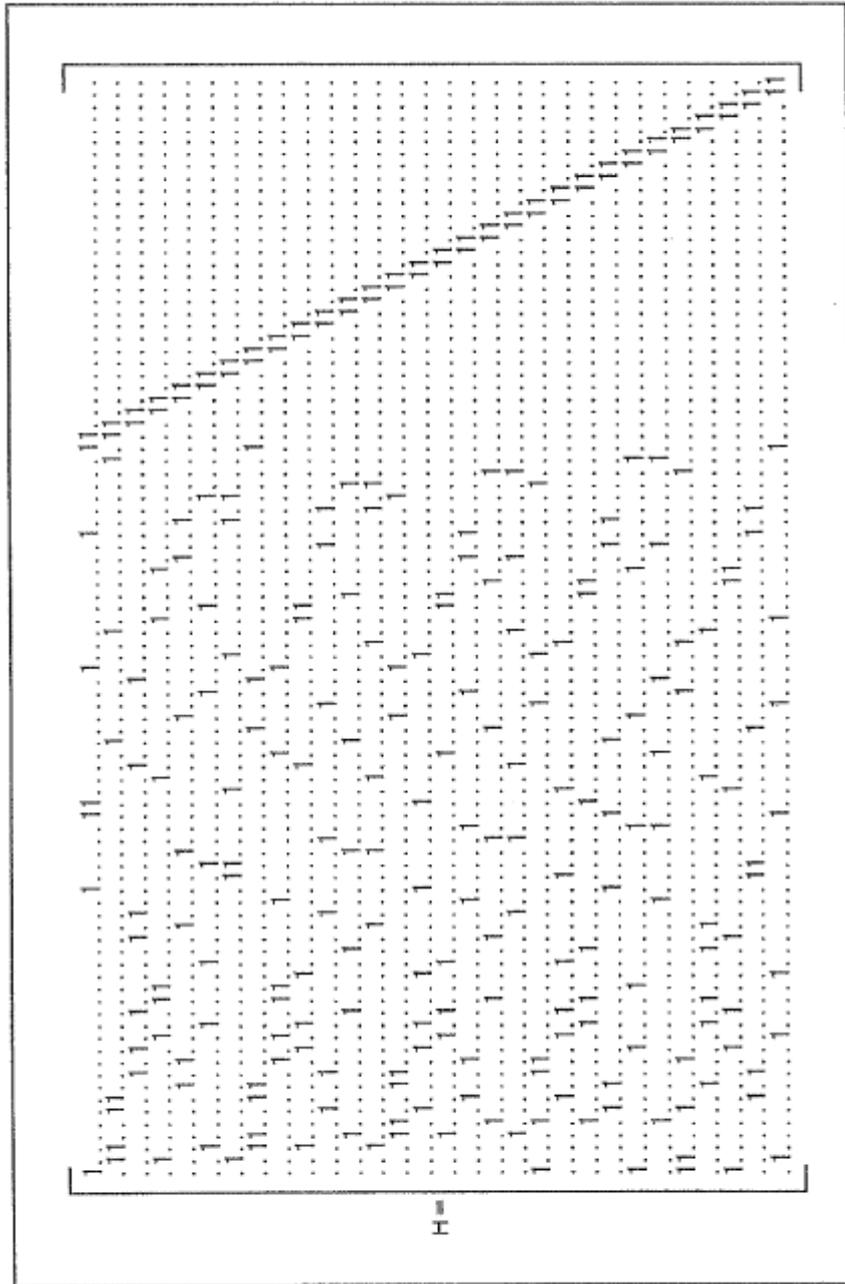


FIG. 73

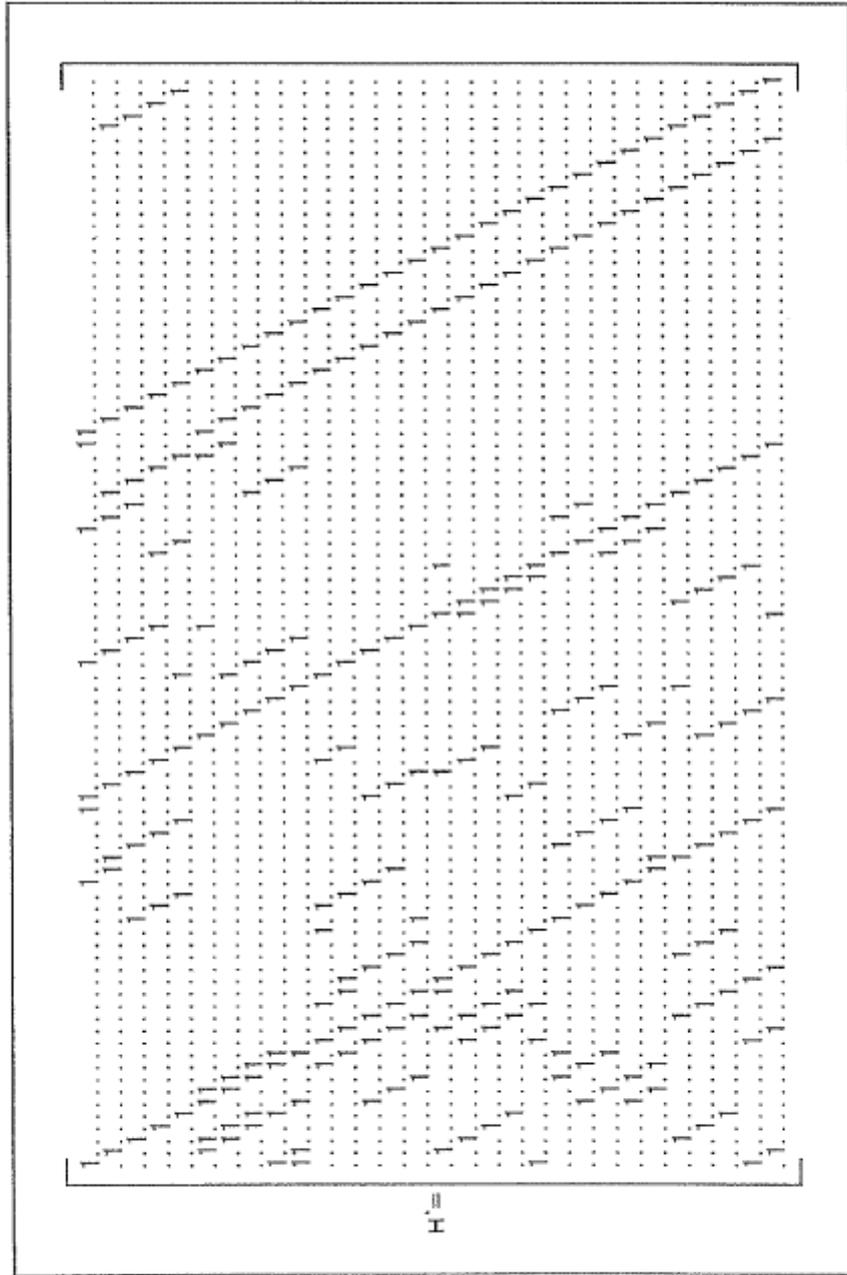
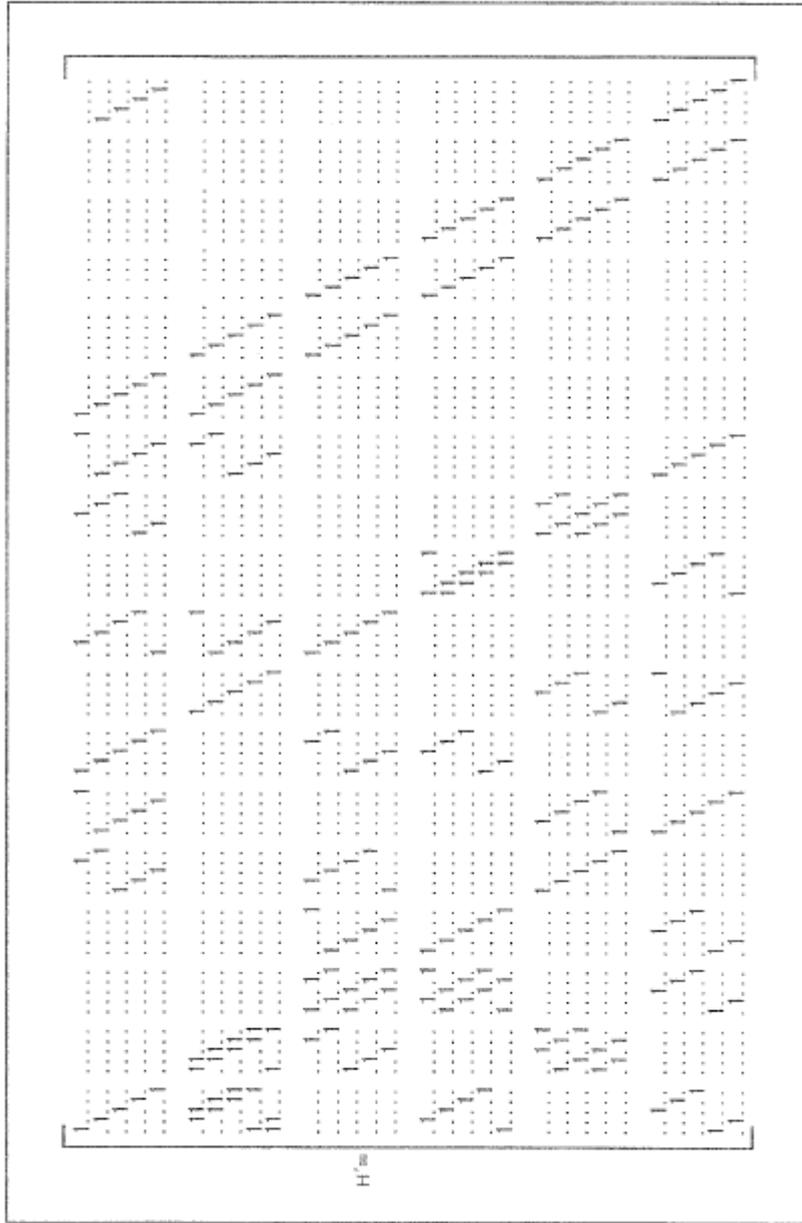
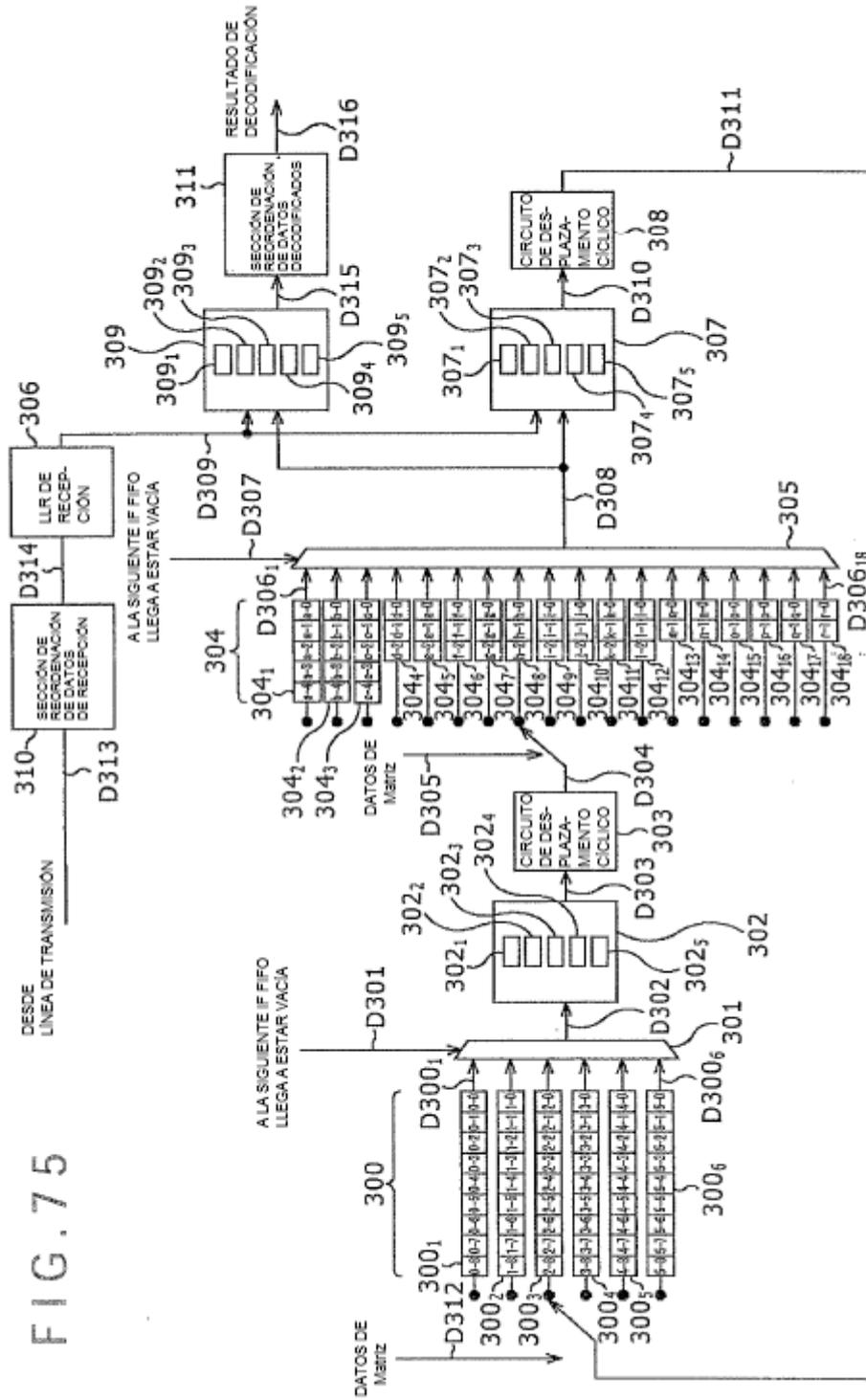


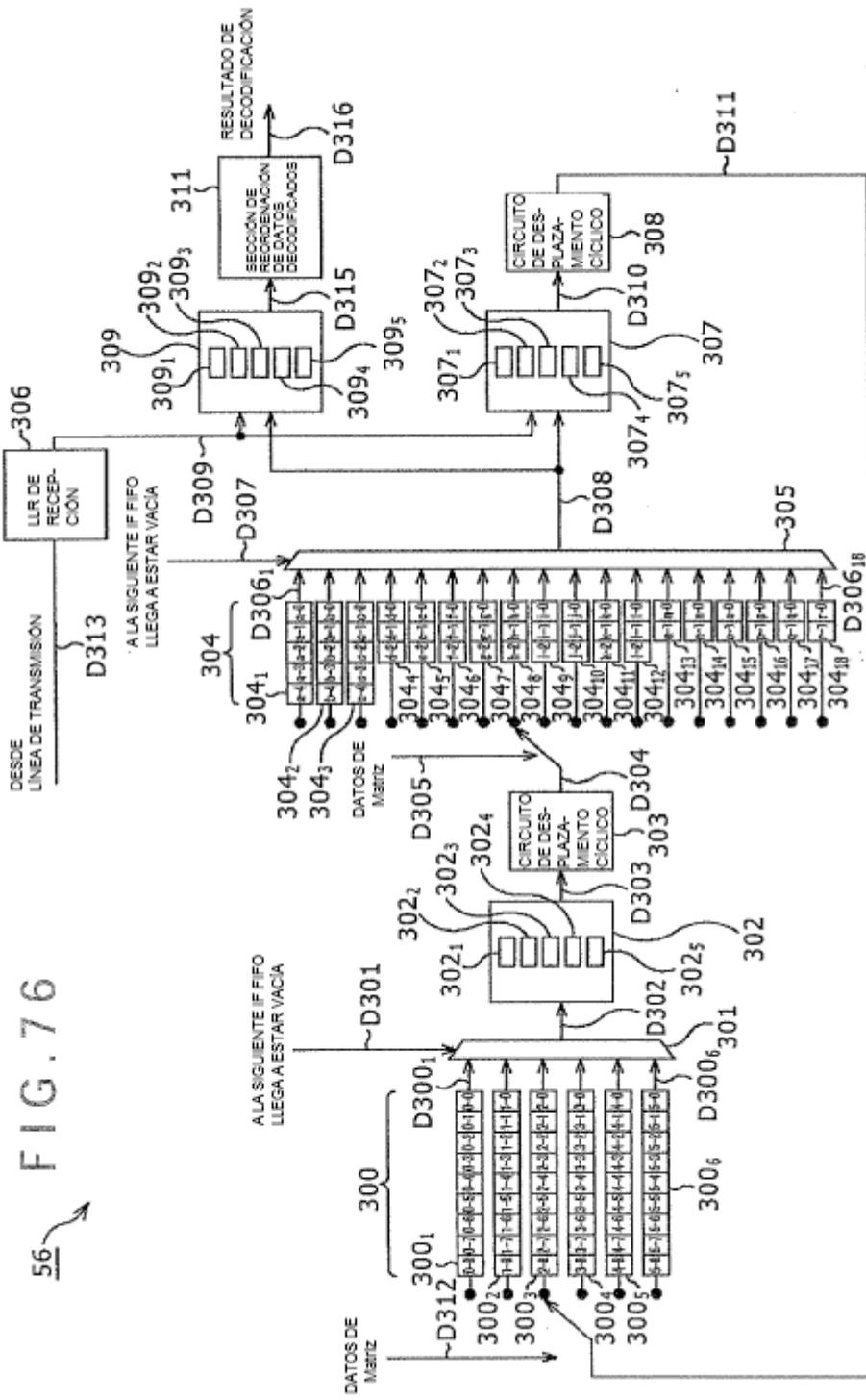
FIG. 74



H

FIG. 75





56 → FIG. 76

FIG. 77

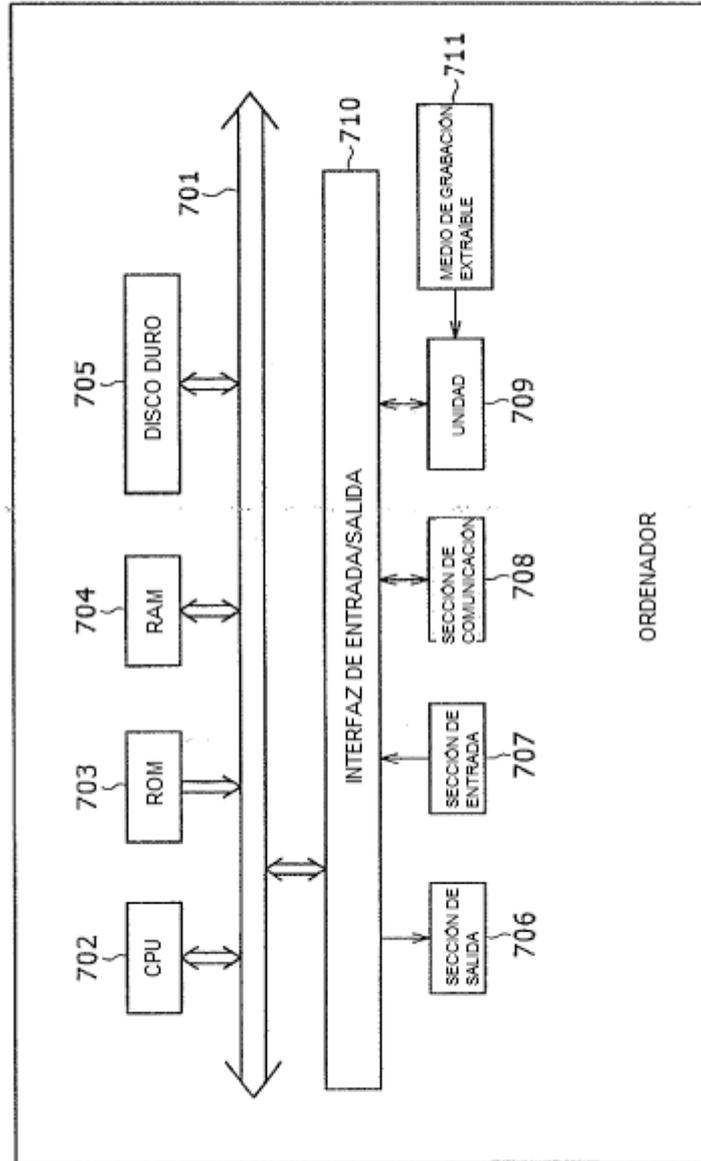


FIG. 78

r2/3 16K	
0	2084 1613 1548 1286 1460 3196 4297 2481 3369 3451 4620 2622
1	122 1516 3448 2880 1407 1847 3799 3529 373 971 4358 3108
2	259 3399 929 2650 864 3996 3833 107 5287 164 3125 2350
3	342 3529
4	4198 2147
5	1880 4836
6	3864 4910
7	243 1542
8	3011 1436
9	2167 2512
10	4606 1003
11	2835 705
12	3426 2365
13	3848 2474
14	1360 1743
0	163 2536
1	2583 1180
2	1542 509
3	4418 1005
4	5212 5117
5	2155 2922
6	347 2696
7	226 4296
8	1560 487
9	3926 1640
10	149 2928
11	2364 563
12	635 688
13	231 1684
14	1129 3894

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{2}{3}$, N=16200

FIG. 79

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{2}{3}$, N=64800

r2/3 64K	s
0	10491 16043 506 12826 8065 8226 2767 240 18673 9279 10579 20928
1	17819 8313 6433 6224 5120 5824 12812 17187 9940 13447 13825 18483
2	17957 6024 8681 18628 12794 5915 14576 10970 12064 20437 4455 7151
3	19777 6183 9972 14536 8182 17749 11341 5556 4379 17434 15477 18532
4	4651 19689 1608 659 16707 14335 6143 3058 14618 17894 20684 5306
5	9778 2552 12096 12369 15198 16890 4851 3109 1700 18725 1997 15882
6	486 6111 13743 11537 5591 7433 15227 14145 1483 3887 17431 12430
7	20647 14311 11734 4180 8110 5525 12141 15761 18661 18441 10569 8192
8	3791 14759 15264 19918 10132 9062 10010 12786 10675 9682 19246 5454
9	19525 9485 7777 19999 8378 9209 3163 20232 6690 16518 716 7353
10	4588 6709 20202 10905 915 4317 11073 13576 16433 368 3508 21171
11	14072 4033 19959 12608 631 19494 14160 8249 10223 21504 12395 4322
12	13800 14161
13	2948 9647
14	14693 16027
15	20506 11082
16	1143 9020
17	13501 4014
18	1548 2190
19	12216 21556
20	2095 19897
21	4189 7958
22	15940 10048
23	515 12614
24	8501 8450
25	17595 16784
26	5913 8495
27	16394 10423
28	7409 6981
29	6678 15939
30	20344 12987
31	2510 14588
32	17918 6655
33	6703 19451
34	496 4217
35	7290 5766
36	10521 8925
37	20379 11905
38	4090 5838
39	19082 17040

FIG. 80

40	20233	12352
41	19365	19546
42	6249	19030
43	11037	19193
44	19760	11772
45	19644	7428
46	16076	3521
47	11779	21062
48	13062	9682
49	8934	5217
50	11087	3319
51	18892	4356
52	7894	3898
53	5963	4360
54	7346	11726
55	5182	5609
56	2412	17295
57	9845	20494
58	6687	1864
59	20564	5216
0	18226	17207
1	9380	8266
2	7073	3065
3	18252	13437
4	9161	15642
5	10714	10153
6	11585	9078
7	5359	9418
8	9024	9515
9	1206	16354
10	14994	1102
11	9375	20796
12	15964	6027
13	14789	6452
14	8002	18591
15	14742	14089
16	253	3045
17	1274	19286
18	14777	2044
19	13920	9900
20	452	7374

FIG. 81

21	18206	9921
22	6131	5414
23	10077	9726
24	12045	5479
25	4322	7990
26	15616	5550
27	15561	10661
28	20718	7387
29	2518	18804
30	8984	2600
31	6516	17909
32	11148	98
33	20559	3704
34	7510	1569
35	16000	11692
36	9147	10303
37	16650	191
38	15577	18685
39	17167	20917
40	4256	3391
41	20092	17219
42	9218	5056
43	18429	8472
44	12093	20753
45	16345	12748
46	16023	11095
47	5048	17595
48	18995	4817
49	16483	3536
50	1439	16148
51	3661	3039
52	19010	18121
53	8968	11793
54	13427	18003
55	5303	3083
56	531	16688
57	4771	6722
58	5695	7960
59	3589	14630

FIG. 82

r3/4 16K	
3	3198 478 4207 1481 1009 2616 1924 3437 554 683 1801
4	2681 2135
5	3107 4027
6	2637 3373
7	3830 3449
8	4129 2060
9	4184 2742
10	3946 1070
11	2239 984
0	1458 3031
1	3003 1328
2	1137 1716
3	132 3725
4	1817 638
5	1774 3447
6	3632 1257
7	542 3694
8	1015 1945
9	1948 412
10	995 2238
11	4141 1907
0	2480 3079
1	3021 1088
2	713 1379
3	997 3903
4	2323 3361
5	1110 986
6	2532 142
7	1690 2405
8	1298 1881
9	615 174
10	1648 3112
11	1415 2808

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{3}{4}$, $N=16200$

FIG. 83

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{3}{4}$, N=64800

r3/4	64K
0	6385 7901 14611 13389 11200 3252 5243 2504 2722 021 7374
1	11359 2698 357 13824 12772 7244 6752 15310 852 2001 11417
2	7862 7977 6321 13612 12197 14449 15137 13860 1708 6399 13444
3	1560 11804 6975 13292 3646 3812 8772 7306 5795 14327 7866
4	7626 11407 14599 9689 1628 2113 10809 9283 1230 15241 4870
5	1610 5699 15876 9446 12515 1400 6303 5411 14181 13925 7358
6	4059 8836 3405 7853 7992 15336 5970 10368 10278 9675 4651
7	4441 3963 9153 2109 12683 7459 12030 12221 629 15212 406
8	6007 8411 5771 3497 543 14202 875 9186 6235 13908 3563
9	3232 6625 4795 546 9781 2071 7312 3399 7250 4932 12652
10	8820 10088 11090 7069 6585 13134 10158 7183 488 7455 9238
11	1903 10818 119 215 7558 11046 10615 11545 14784 7961 15619
12	3655 8736 4917 15874 5129 2134 15944 14768 7150 2692 1469
13	8316 3820 505 8923 6757 806 7957 4216 15589 13244 2622
14	14463 4852 15733 3041 11193 12860 13673 8152 6551 15108 8758
15	3149 11981
16	13416 6906
17	13098 13352
18	2009 14460
19	7207 4314
20	3312 3945
21	4418 6248
22	2669 13975
23	7571 9023
24	14172 2967
25	7271 7138
26	6135 13670
27	7490 14559
28	8657 2466
29	8599 12834
30	3470 3152
31	13917 4365
32	6024 13730
33	10973 14182
34	2464 13167
35	5281 15049
36	1103 1849
37	2058 1069
38	9654 6095
39	14311 7667

FIG. 84

40	15617	8146
41	4588	11218
42	13660	6243
43	8578	7874
44	11741	2686
0	1022	1264
1	12604	9965
2	8217	2707
3	3156	11793
4	354	1514
5	6978	14058
6	7922	16079
7	15087	12138
8	5053	6470
9	12687	14932
10	15458	1763
11	8121	1721
12	12431	549
13	4129	7091
14	1426	8415
15	9783	7604
16	6295	11329
17	1409	12061
18	8065	9087
19	2918	8438
20	1293	14115
21	3922	13851
22	3851	4000
23	5865	1768
24	2655	14957
25	5565	6332
26	4303	12631
27	11653	12236
28	16025	7632
29	4655	14128
30	9584	13123
31	13987	9597
32	15409	12110
33	8754	15490
34	7416	15325
35	2909	15549

FIG. 85

36	2995	8257
37	9406	4791
38	11111	4854
39	2812	8521
40	8476	14717
41	7820	15360
42	1179	7939
43	2357	8678
44	7703	6216
0	3477	7067
1	3931	13845
2	7675	12899
3	1754	8187
4	7785	1400
5	9213	5891
6	2494	7703
7	2576	7902
8	4821	15682
9	10426	11935
10	1810	904
11	11332	9264
12	11312	3570
13	14916	2650
14	7679	7842
15	6089	13084
16	3938	2751
17	8509	4648
18	12204	8917
19	5749	12443
20	12613	4431
21	1344	4014
22	8488	13850
23	1730	14896
24	14942	7126
25	14983	8863
26	6578	8564
27	4947	396
28	297	12805
29	13878	6692
30	11857	11186
31	14395	11493

FIG. 86

32	16145	12251
33	13462	7428
34	14526	13119
35	2535	11243
36	6465	12690
37	6872	9334
38	15371	14023
39	8101	10187
40	11963	4848
41	15125	6119
42	8051	14465
43	11139	5167
44	2883	14521

FIG. 87

r4/5 16K		
5	896	1565
6	2493	184
7	212	3210
8	727	1339
9	3428	612
0	2663	1947
1	230	2695
2	2025	2794
3	3039	283
4	862	2889
5	376	2110
6	2034	2286
7	951	2068
8	3108	3542
9	307	1421
0	2272	1197
1	1800	3280
2	331	2308
3	465	2552
4	1038	2479
5	1383	343
6	94	236
7	2619	121
8	1497	2774
9	2116	1855
0	722	1584
1	2767	1881
2	2701	1610
3	3283	1732
4	168	1099
5	3074	243
6	3460	945
7	2049	1746
8	566	1427
9	3545	1168

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{4}{5}$, $N = 16200$

FIG. 88

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{4}{5}$, $N = 64800$

r4/5 64K	s
0	149 11212 5575 6360 12559 8108 8505 408 10028 12828
1	5237 490 10677 4998 3869 3734 3092 3509 7703 10305
2	8742 5553 2820 7085 12116 10485 564 7795 2972 2157
3	2699 4304 8350 712 2841 3250 4731 10105 517 7516
4	12067 1351 11992 12191 11267 5161 537 6166 4246 2363
5	6828 7107 2127 3724 5743 11040 10756 4073 1011 3422
6	11259 1216 9526 1466 10816 940 3744 2815 11506 11573
7	4549 11507 1118 1274 11751 5207 7854 12803 4047 6484
8	8430 4115 9440 413 4455 2262 7915 12402 8579 7052
9	3885 9126 5665 4505 2343 253 4707 3742 4166 1556
10	1704 8936 6775 8639 8179 7954 8234 7850 8883 8713
11	11716 4344 9087 11264 2274 8832 9147 11930 6054 5455
12	7323 3970 10329 2170 8262 3854 2087 12899 9497 11700
13	4418 1467 2490 5841 817 11453 533 11217 11962 5251
14	1541 4525 7976 3457 9536 7725 3788 2982 6307 5997
15	11484 2739 4023 12107 6516 551 2572 6628 8150 9852
16	6070 1761 4627 6534 7913 3730 11866 1813 12306 8249
17	12441 5489 8748 7837 7660 2102 11341 2936 6712 11977
18	10155 4210
19	1010 10483
20	8900 10250
21	10243 12278
22	7070 4397
23	12271 3887
24	11980 6836
25	9514 4356
26	7137 10281
27	11881 2526
28	1969 11477
29	3044 10921
30	2236 8724
31	9104 6340
32	7342 8582
33	11675 10405
34	6467 12775
35	3186 12198
0	9621 11445
1	7486 5611
2	4319 4879
3	2196 344

FIG. 89

4	7527	6650
5	10693	2440
6	6755	2706
7	5144	5998
8	11043	8033
9	4846	4435
10	4157	9228
11	12270	6562
12	11954	7592
13	7420	2592
14	8810	9636
15	689	5430
16	920	1304
17	1253	11934
18	9559	6016
19	312	7589
20	4439	4197
21	4002	9555
22	12232	7779
23	1494	8782
24	10749	3969
25	4368	3479
26	6316	5342
27	2455	3493
28	12157	7405
29	6598	11495
30	11805	4455
31	9625	2090
32	4731	2321
33	3578	2608
34	8504	1849
35	4027	1151
0	5647	4935
1	4219	1870
2	10968	8054
3	6970	5447
4	3217	5638
5	8972	669
6	5618	12472
7	1457	1280
8	8868	3883

FIG. 90

9	8866	1224
10	8371	5972
11	266	4405
12	3706	3244
13	6039	5844
14	7200	3283
15	1502	11282
16	12318	2202
17	4523	965
18	9587	7011
19	2552	2051
20	12045	10306
21	11070	5104
22	6627	6906
23	9889	2121
24	829	9701
25	2201	1819
26	6689	12925
27	2139	8757
28	12004	5948
29	8704	3191
30	8171	10933
31	6297	7116
32	616	7146
33	5142	9761
34	10377	8138
35	7616	5811
0	7285	9863
1	7764	10867
2	12343	9019
3	4414	8331
4	3464	642
5	6960	2039
6	786	3021
7	710	2086
8	7423	5601
9	8120	4885
10	12385	11990
11	9739	10034
12	424	10162
13	1347	7597

FIG. 91

14	1450	112
15	7965	8478
16	8945	7397
17	6590	8316
18	6838	9011
19	6174	9410
20	255	113
21	6197	5835
22	12902	3844
23	4377	3505
24	5478	8672
25	4453	2132
26	9724	1380
27	12131	11526
28	12323	9511
29	8231	1752
30	497	9022
31	9288	3080
32	2481	7515
33	2696	268
34	4023	12341
35	7108	5553

FIG. 92

r5/6 16K	
3	2409 499 1481 908 559 716 1270 333 2508 2264 1702 2805
4	2447 1926
5	414 1224
6	2114 842
7	212 573
0	2383 2112
1	2286 2348
2	545 819
3	1264 143
4	1701 2258
5	964 166
6	114 2413
7	2243 81
0	1245 1581
1	775 169
2	1696 1104
3	1914 2831
4	532 1450
5	91 974
6	497 2228
7	2326 1579
0	2482 256
1	1117 1261
2	1267 1658
3	1478 1225
4	2511 980
5	2320 2675
6	435 1278
7	228 503
0	1885 2369
1	57 483
2	838 1050
3	1231 1990
4	1738 68
5	2392 951
6	163 645
7	2644 1704

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{5}{6}$, N=16200

FIG. 93

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{5}{6}$, N=64800

r5/6 64K	s
0	4362 416 8909 4156 3216 3112 2560 2912 6405 8593 4969 6723
1	2479 1786 8978 3011 4339 9313 6397 2957 7288 5484 6031 10217
2	10175 9009 9889 3091 4985 7267 4092 8874 5671 2777 2189 8716
3	9052 4795 3924 3370 10058 1128 9996 10165 9360 4297 434 5138
4	2379 7834 4835 2327 9843 804 329 8353 7167 3070 1528 7311
5	3435 7871 348 3693 1876 6585 10340 7144 5870 2084 4052 2780
6	3917 3111 3476 1304 10331 5939 5199 1611 1991 699 8316 9960
7	6883 3237 1717 10752 7891 9764 4745 3888 10009 4176 4614 1567
8	10587 2195 1689 2968 5420 2580 2883 6496 111 6023 1024 4449
9	3786 8593 2074 3321 5057 1450 3840 5444 6572 3094 9892 1512
10	8548 1848 10372 4585 7313 6536 6379 1766 9462 2456 5606 9975
11	8204 10593 7935 3636 3882 394 5968 8561 2395 7289 9267 9978
12	7795 74 1633 9542 6867 7352 6417 7568 10623 725 2531 9115
13	7151 2482 4260 5003 10105 7419 9203 6691 8798 2092 8263 3755
14	3600 570 4527 200 9718 6771 1995 8902 5446 768 1103 6520
15	6304 7621
16	6498 9209
17	7293 6786
18	5950 1708
19	8521 1793
20	6174 7854
21	9773 1190
22	9517 10268
23	2181 9349
24	1949 5560
25	1556 555
26	8600 3827
27	5072 1057
28	7928 3542
29	3226 3762
0	7045 2420
1	9645 2641
2	2774 2452
3	5331 2031
4	9400 7503
5	1850 2338
6	10456 9774
7	1692 9276
8	10037 4038
9	3964 338

FIG. 94

10	2640	5087
11	858	3473
12	5582	5683
13	9523	916
14	4107	1559
15	4506	3491
16	8191	4182
17	10192	6157
18	5668	3305
19	3449	1540
20	4766	2697
21	4069	6675
22	1117	1016
23	5619	3085
24	8483	8400
25	8255	394
26	6338	5042
27	6174	5119
28	7203	1989
29	1781	5174
0	1464	3559
1	3376	4214
2	7238	67
3	10595	8831
4	1221	6513
5	5300	4652
6	1429	9749
7	7878	5131
8	4435	10284
9	6331	5507
10	6662	4941
11	9614	10238
12	8400	8025
13	9156	5630
14	7067	8878
15	9027	3415
16	1690	3866
17	2854	8469
18	6206	630
19	363	5453
20	4125	7008

FIG. 95

21	1612	6702
22	9069	9226
23	5767	4060
24	3743	9237
25	7018	5572
26	8892	4536
27	853	6064
28	8069	5893
29	2051	2885
0	10691	3153
1	3602	4055
2	328	1717
3	2219	9299
4	1939	7898
5	617	206
6	8544	1374
7	10676	3240
8	6672	9489
9	3170	7457
10	7868	5731
11	6121	10732
12	4843	9132
13	580	9591
14	6267	9290
15	3009	2268
16	195	2419
17	8016	1557
18	1516	9195
19	8062	9064
20	2095	8968
21	753	7326
22	6291	3833
23	2614	7844
24	2303	646
25	2075	611
26	4687	362
27	8684	9940
28	4830	2065
29	7038	1363
0	1769	7837
1	3801	1689

FIG. 96

2	10070	2359
3	3867	9918
4	1914	6920
5	4244	5669
6	10245	7821
7	7648	3944
8	3310	5488
9	6346	9666
10	7088	6122
11	1291	7827
12	10592	8945
13	3609	7120
14	9168	9112
15	6203	8052
16	3330	2895
17	4264	10563
18	10556	6496
19	8807	7645
20	1999	4530
21	9202	6818
22	3403	1734
23	2106	9023
24	6881	3883
25	3895	2171
26	4062	6424
27	3755	9536
28	4683	2131
29	7347	8027

FIG. 97

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{8}{9}$, $N=16200$

r8/9	16K	s
0	1558	712 805
1	1450	873 1337
2	1741	1129 1184
3	294	806 1566
4	482	605 923
0	926	1578
1	777	1374
2	608	151
3	1195	210
4	1484	692
0	427	488
1	828	1124
2	874	1366
3	1500	835
4	1496	502
0	1006	1701
1	1155	97
2	657	1403
3	1453	624
4	429	1495
0	809	385
1	367	151
2	1323	202
3	960	318
4	1451	1039
0	1098	1722
1	1015	1428
2	1261	1564
3	544	1190
4	1472	1246
0	508	630
1	421	1704
2	284	898
3	392	577
4	1155	556
0	631	1000
1	732	1368
2	1328	329
3	1515	506
4	1104	1172

FIG. 98

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{8}{9}$, $N = 64800$

r8/9 64K	s
0	6235 2848 3222
1	5800 3492 5348
2	2757 927 90
3	6961 4516 4739
4	1172 3237 6264
5	1927 2425 3683
6	3714 6309 2495
7	3070 6342 7154
8	2428 613 3761
9	2906 264 5927
10	1716 1950 4273
11	4613 6179 3491
12	4865 3286 6005
13	1343 5923 3529
14	4589 4035 2132
15	1579 3920 6737
16	1644 1191 5998
17	1482 2381 4620
18	6791 6014 6596
19	2738 5918 3786
0	5156 6166
1	1504 4356
2	130 1904
3	6027 3187
4	6718 759
5	6240 2870
6	2343 1311
7	1039 5465
8	6617 2513
9	1588 5222
10	6561 535
11	4765 2054
12	5966 6892
13	1969 3869
14	3571 2420
15	4632 981
16	3215 4163
17	973 3117
18	3802 6198
19	3794 3948

FIG. 99

0	3196	6126
1	573	1909
2	850	4034
3	5622	1601
4	6005	524
5	5251	5783
6	172	2032
7	1875	2475
8	497	1291
9	2566	3430
10	1249	740
11	2944	1948
12	6528	2899
13	2243	3616
14	867	3733
15	1374	4702
16	4698	2285
17	4760	3917
18	1859	4058
19	6141	3527
0	2148	5066
1	1306	145
2	2319	871
3	3463	1061
4	5554	6647
5	5837	339
6	5821	4932
7	6356	4756
8	3930	418
9	211	3094
10	1007	4928
11	3584	1235
12	6982	2869
13	1612	1013
14	953	4964
15	4555	4410
16	4925	4842
17	5778	600
18	6509	2417
19	1260	4903
0	3369	3031

FIG. 100

1	3557	3224
2	3028	583
3	3258	440
4	6226	6655
5	4895	1094
6	1481	6847
7	4433	1932
8	2107	1649
9	2119	2065
10	4003	6388
11	6720	3622
12	3694	4521
13	1164	7050
14	1965	3613
15	4331	66
16	2970	1796
17	4652	3218
18	1762	4777
19	5736	1399
0	970	2572
1	2062	6599
2	4597	4870
3	1228	6913
4	4159	1037
5	2916	2362
6	395	1226
7	6911	4548
8	4618	2241
9	4120	4280
10	5825	474
11	2154	5558
12	3793	5471
13	5707	1595
14	1403	325
15	6601	5183
16	6369	4569
17	4846	896
18	7092	6184
19	6764	7127
0	6358	1951
1	3117	6960

FIG. 101

2	2710	7062
3	1133	3604
4	3694	657
5	1355	110
6	3329	6736
7	2505	3407
8	2462	4806
9	4216	214
10	5348	5619
11	6627	6243
12	2644	5073
13	4212	5088
14	3463	3889
15	5306	478
16	4320	6121
17	3961	1125
18	5699	1195
19	6511	792
0	3934	2778
1	3238	6587
2	1111	6596
3	1457	6226
4	1446	3885
5	3907	4043
6	6839	2873
7	1733	5615
8	5202	4269
9	3024	4722
10	5445	6372
11	370	1828
12	4695	1600
13	680	2074
14	1801	6690
15	2669	1377
16	2463	1681
17	5972	5171
18	5728	4284
19	1696	1459

FIG. 102

TABLA DE VALORES INICIALES DE MATRIZ DE COMPROBACIÓN DE PARIDAD DONDE $r = \frac{9}{10}$, N=64800

r9/10 64K			
0	5611	2563	2900
1	5220	3143	4813
2	2481	834	81
3	6265	4064	4265
4	1055	2914	5638
5	1734	2182	3315
6	3342	5678	2246
7	2185	552	3385
8	2615	236	5334
9	1546	1755	3846
10	4154	5561	3142
11	4382	2957	5400
12	1209	5329	3179
13	1421	3528	6063
14	1480	1072	5398
15	3843	1777	4369
16	1334	2145	4163
17	2368	5055	260
0	6118	5405	
1	2994	4370	
2	3405	1669	
3	4640	5550	
4	1354	3921	
5	117	1713	
6	5425	2866	
7	6047	683	
8	5616	2582	
9	2108	1179	
10	933	4921	
11	5953	2261	
12	1430	4699	
13	5905	480	
14	4289	1846	
15	5374	6208	
16	1775	3476	
17	3216	2178	
0	4165	884	
1	2896	3744	
2	874	2801	
3	3423	5579	

FIG. 103

4	3404	3552
5	2876	5515
6	516	1719
7	765	3631
8	5059	1441
9	5629	598
10	5405	473
11	4724	5210
12	155	1832
13	1689	2229
14	449	1164
15	2308	3088
16	1122	669
17	2268	5758
0	5878	2609
1	782	3359
2	1231	4231
3	4225	2052
4	4286	3517
5	5531	3184
6	1935	4560
7	1174	131
8	3115	956
9	3129	1088
10	5238	4440
11	5722	4280
12	3540	375
13	191	2782
14	906	4432
15	3225	1111
16	6296	2583
17	1457	903
0	855	4475
1	4097	3970
2	4433	4361
3	5198	541
4	1146	4426
5	3202	2902
6	2724	525
7	1083	4124
8	2326	6003

FIG. 104

9	5605	5990
10	4376	1579
11	4407	984
12	1332	6163
13	5359	3975
14	1907	1854
15	3601	5748
16	6056	3266
17	3322	4085
0	1768	3244
1	2149	144
2	1589	4291
3	5154	1252
4	1855	5939
5	4820	2706
6	1475	3360
7	4266	693
8	4156	2018
9	2103	752
10	3710	3853
11	5123	931
12	6146	3323
13	1939	5002
14	5140	1437
15	1263	293
16	5949	4665
17	4548	6380
0	3171	4690
1	5204	2114
2	6384	5565
3	5722	1757
4	2805	6264
5	1202	2616
6	1018	3244
7	4018	5289
8	2257	3067
9	2483	3073
10	1196	5329
11	649	3918
12	3791	4581
13	5028	3803

FIG. 105

14	3119	3506
15	4779	431
16	3888	5510
17	4387	4084
0	5836	1692
1	5126	1078
2	5721	6165
3	3540	2499
4	2225	6348
5	1044	1484
6	6323	4042
7	1313	5603
8	1303	3496
9	3516	3639
10	5161	2293
11	4682	3845
12	3045	643
13	2818	2616
14	3267	649
15	6236	593
16	646	2948
17	4213	1442
0	5779	1596
1	2403	1237
2	2217	1514
3	5609	716
4	5155	3858
5	1517	1312
6	2554	3158
7	5280	2643
8	4990	1353
9	5648	1170
10	1152	4366
11	3561	5368
12	3581	1411
13	5647	4661
14	1542	5401
15	5078	2687
16	316	1755
17	3392	1991

FIG. 106

```

r1/4 64K
23606 36098 1140 28859 18148 18510 6226 540 42014 20879 23802 47088
16419 24928 16609 17248 7693 24997 42587 15858 34921 21042 37024 20692
1874 40094 18704 14474 14004 11519 13106 28826 38669 22363 30255 31105
22254 40564 22645 22532 6134 9176 39998 23892 8937 15608 16854 31009
8037 40401 13550 19526 41902 28782 13304 32796 24679 27140 45980 10021
40540 44498 13911 22435 32701 18405 39929 25521 12497 9851 39223 34823
15233 45333 5041 44979 45710 42150 19416 1892 23121 15860 8832 10308
10468 44296 3611 1480 37581 32254 13817 6883 32892 40258 46538 11940
6705 21634 28150 43757 895 6547 20970 28914 30117 25736 41734 11392
22002 5739 27210 27828 34192 37992 10915 6998 3824 42130 4494 35739
8515 1191 13642 30950 25943 12673 16726 34261 31828 3340 8747 39225
18979 17058 43130 4246 4793 44030 19454 29511 47929 15174 24333 19354
16694 8381 29642 46516 32224 26344 9405 18292 12437 27316 35466 41992
15642 5871 46489 26723 23396 7257 8974 3156 37420 44823 35423 13541
42858 32008 41282 38773 26570 2702 27260 46974 1469 20887 27426 38553
22152 24261 8297
19347 9978 27802
34991 6354 33561
29782 30875 29523
9278 48512 14349
38061 4165 43878
8548 33172 34410
22535 28811 23950
20439 4027 24186
38618 8187 30947
35538 43880 21459
7091 45616 15063
5505 9315 21908
36046 32914 11836
7304 39782 33721
16905 29962 12980
11171 23709 22460
34541 9937 44500
14035 47316 8815
15057 45482 24461
30518 36877 879
7583 13364 24332
448 27056 4682
12083 31378 21670
1159 18031 2221
17028 38715 9350
17343 24530 29574

```

FIG. 107

46128	31039	32818
20373	36967	18345
46685	20622	32806

FIG. 108

```

r1/3 64K
34903 20927 32093 1052 25611 16093 16454 5520 506 37399 18518 21120
11636 14594 22158 14763 15333 6838 22222 37856 14985 31041 19704 32910
17449 1665 35639 16624 12867 12449 10241 11650 25622 34372 19878 26894
29235 19780 36056 20129 20029 5457 8157 35554 21237 7943 13873 14980
9912 7143 35911 12043 17360 37253 25588 11827 29152 21936 24125 40870
40701 36035 39556 12366 19946 29072 16365 35495 22686 11106 8756 34863
19165 15702 13536 40238 4465 40034 40590 37540 17162 1712 20577 14138
31338 19342 9301 39375 3211 1316 33409 28670 12282 6118 29236 35787
11504 30506 19558 5100 24188 24738 30397 33775 9599 6215 3397 37451
34689 23126 7571 1058 12127 27518 23064 11265 14867 30451 28289 2966
11660 15334 16867 15160 38343 3778 4265 39139 17293 26229 42604 13486
31497 1365 14828 7453 26350 41346 28643 23421 8354 16255 11055 24279
15687 12467 13906 5215 41328 23755 20800 6447 7970 2803 33262 39843
5363 22469 38091 28457 36696 34471 23619 2404 24229 41754 1297 18563
3673 39070 14480 30279 37483 7580 29519 30519 39831 20252 18132 20010
34386 7252 27526 12950 6875 43020 31566 39069 18985 15541 40020 16715
1721 37332 39953 17430 32134 29162 10490 12971 28581 29331 6489 35383
736 7022 42349 8783 6767 11871 21675 10325 11548 25978 431 24085
1925 10602 28585 12170 15156 34404 8351 13273 20208 5800 15367 21764
16279 37832 34792 21250 34192 7406 41488 18346 29227 26127 25493 7048
39948 28229 24899
17408 14274 38993
38774 15968 28459
41404 27249 27425
41229 6082 43114
13957 4979 40654
3093 3438 34992
34082 6172 28760
42210 34141 41021
14705 17783 10134
41755 39884 22773
14615 15593 1642
29111 37061 39860
9579 33552 633
12951 21137 39608
38244 27361 29417
2939 10172 36479
29094 5357 19224
9562 24436 28637

```

FIG. 109

40177	2326	13504
6834	21583	42516
40651	42810	25709
31557	32138	38142
18624	41867	39296
37560	14295	16245
6821	21679	31570
25339	25083	22081
8047	697	35268
9884	17073	19995
26848	35245	8390
18658	16134	14807
12201	32944	5035
25236	1216	38986
42994	24782	8681
28321	4932	34249
4107	29382	32124
22157	2624	14468
38788	27081	7936
4368	26148	10578
25353	4122	39751

FIG. 110

r2/5 64K

```

31413 18834 28884 947 23050 14484 14809 4968 455 33659 16666 19008
13172 19939 13354 13719 6132 20086 34040 13442 27958 16813 29619 16553
1499 32075 14962 11578 11204 9217 10485 23062 30936 17892 24204 24885
32490 18086 18007 4957 7285 32073 19038 7152 12486 13483 24808 21759
32321 10839 15620 33521 23030 10646 26236 19744 21713 36784 8016 12869
35597 11129 17948 26160 14729 31943 20416 10000 7882 31380 27858 33356
14125 12131 36199 4058 35992 36594 33698 15475 1566 18498 12725 7067
17406 8372 35437 2888 1184 30068 25802 11056 5507 26313 32205 37232
15254 5365 17308 22519 35009 718 5240 16778 23131 24092 20587 33385
27455 17602 4590 21767 22266 27357 30400 8732 5596 3060 33703 3596
6882 873 10997 24738 20770 10067 13379 27409 25463 2673 6998 31378
15181 13645 34501 3393 3840 35227 15562 23615 38342 12139 19471 15483
13350 6707 23709 37204 25778 21082 7511 14588 10010 21854 28375 33591
12514 4695 37190 21379 18723 5802 7182 2529 29936 35860 28338 10835
34283 25610 33026 31017 21259 2165 21807 37578 1175 16710 21939 30841
27292 33730 6836 26476 27539 35784 18245 16394 17939 23094 19216 17432
11655 6183 38708 28408 35157 17089 13998 36029 15052 16617 5638 36464
15693 28923 26245 9432 11675 25720 26405 5838 31851 26898 8090 37037
24418 27583 7959 35562 37771 17784 11382 11156 37855 7073 21685 34515
10977 13633 30969 7516 11943 18199 5231 13825 19589 23661 11150 35602
19124 30774 6670 37344 16510 26317 23518 22957 6348 34069 8845 20175
34985 14441 25668 4116 3019 21049 37308 24551 24727 20104 24850 12114
38187 28527 13108 13985 1425 21477 30807 8613 26241 33368 35913 32477
5903 34390 24641 26556 23007 27305 38247 2621 9122 32806 21554 18685
17287 27292 19033
25796 31795 12152
12184 35088 31226
38263 33386 24892
23114 37995 29796
34336 10551 36245
35407 175 7203
14654 38201 22605
28404 6595 1018
19932 3524 29305
31749 20247 8128
18026 36357 26735
7543 29767 13588
13333 25965 8463
14504 36796 19710
4528 25299 7318
35091 25550 14798

```

FIG. 111

7824	215	1248
30848	5362	17291
28932	30249	27073
13062	2103	16206
7129	32062	19612
9512	21936	38833
35849	33754	23450
18705	28656	18111
22749	27456	32187
28229	31684	30160
15293	8483	28002
14880	13334	12584
28646	2558	19687
6259	4499	26336
11952	28386	8405
10609	961	7582
10423	13191	26818
15922	36654	21450
10492	1532	1205
30551	36482	22153
5156	11330	34243
28616	35369	13322
8962	1485	21186
23541	17445	35561
33133	11593	19895
33917	7863	33651
20063	28331	10702
13195	21107	21859
4364	31137	4804
5585	2037	4830
30672	16927	14800

FIG. 112

```

r1/2 64K
54 9318 14392 27561 26909 10219 2534 8507
55 7263 4635 2530 28130 3033 23830 3651
56 24731 23583 26036 17299 5750 792 9169
57 5811 26154 18653 11551 15447 13685 16264
58 12610 11347 28768 2792 3174 29371 12997
59 16789 16018 21449 6165 21202 15850 3186
60 31016 21449 17618 6213 12166 8334 18212
61 22836 14213 11327 5896 718 11727 9308
62 2091 24941 29966 23634 9013 15587 5444
63 22207 3983 16904 28534 21415 27524 25912
64 25687 4501 22193 14665 14798 16158 5491
65 4520 17094 23397 4264 22370 16941 21526
66 10490 6182 32370 9597 30841 25954 2762
67 22120 22865 29870 15147 13668 14955 19235
68 6689 18408 18346 9918 25746 5443 20645
69 29982 12529 13858 4746 30370 10023 24828
70 1262 28032 29888 13063 24033 21951 7863
71 6594 29642 31451 14831 9509 9335 31552
72 1358 6454 16633 20354 24598 524 5265
73 19529 295 18011 3080 13364 8032 15323
74 11981 1510 7960 21462 9129 11370 25741
75 9276 29656 4543 30699 20646 21921 28050
76 15975 25634 5520 31119 13715 21949 19605
77 18688 4608 31755 30165 13103 10706 29224
78 21514 23117 12245 26035 31656 25631 30699
79 9674 24966 31285 29908 17042 24588 31857
80 21856 27777 29919 27000 14897 11409 7122
81 29773 23310 263 4877 28622 20545 22092
82 15605 5651 21864 3967 14419 22757 15896
83 30145 1759 10139 29223 26086 10556 5098
84 18815 16575 2936 24457 26738 6030 505
85 30326 22298 27562 20131 26390 6247 24791
86 928 29246 21246 12400 15311 32309 18608
87 20314 6025 26689 16302 2296 3244 19613
88 6237 11943 22851 15642 23857 15112 20947
89 26403 25168 19038 18384 8882 12719 7093
0 14567 24965
1 3908 100
2 10279 240

```

FIG. 113

3	24102	764
4	12383	4173
5	13861	15918
6	21327	1046
7	5288	14579
8	28158	8069
9	16583	11098
10	16681	28363
11	13980	24725
12	32169	17989
13	10907	2767
14	21557	3818
15	26676	12422
16	7676	8754
17	14905	20232
18	15719	24646
19	31942	8589
20	19978	27197
21	27060	15071
22	6071	26649
23	10393	11176
24	9597	13370
25	7081	17677
26	1433	19513
27	26925	9014
28	19202	8900
29	18152	30647
30	20803	1737
31	11804	25221
32	31683	17783
33	29694	9345
34	12280	26611
35	6526	26122
36	26165	11241
37	7666	26962
38	16290	8480
39	11774	10120
40	30051	30426
41	1335	15424
42	6865	17742
43	31779	12489
44	32120	21001
45	14508	6996

FIG. 114

46	979	25024
47	4554	21896
48	7989	21777
49	4972	20661
50	6612	2730
51	12742	4418
52	29194	595
53	19267	20113

FIG. 115

r3/5 64K

```

22422 10282 11626 19997 11161 2922 3122 99 5625 17064 8270 179
25087 16218 17015 828 20041 25656 4186 11629 22599 17305 22515 6463
11049 22853 25706 14388 5500 19245 8732 2177 13555 11346 17265 3069
16581 22225 12563 19717 23577 11555 25496 6853 25403 5218 15925 21766
16529 14487 7643 10715 17442 11119 5679 14155 24213 21000 1116 15620
5340 8636 16693 1434 5635 6516 9482 20189 1066 15013 25361 14243
18506 22236 20912 8952 5421 15691 6126 21595 500 6904 13059 6802
8433 4694 5524 14216 3685 19721 25420 9937 23813 9047 25651 16826
21500 24814 6344 17382 7064 13929 4004 16552 12818 8720 5286 2206
22517 2429 19065 2921 21611 1873 7507 5661 23006 23128 20543 19777
1770 4636 20900 14931 9247 12340 11008 12966 4471 2731 16445 791
6635 14556 18865 22421 22124 12697 9803 25485 7744 18254 11313 9004
19982 23963 18912 7206 12500 4382 20067 6177 21007 1195 23547 24837
756 11158 14646 20534 3647 17728 11676 11843 12937 4402 8261 22944
9306 24009 10012 11081 3746 24325 8060 19826 842 8836 2898 5019
7575 7455 25244 4736 14400 22981 5543 8006 24203 13053 1120 5128
3482 9270 13059 15825 7453 23747 3656 24585 16542 17507 22462 14670
15627 15290 4198 22748 5842 13395 23918 16985 14929 3726 25350 24157
24896 16365 16423 13461 16615 8107 24741 3604 25904 8716 9604 20365
3729 17245 18448 9862 20831 25326 20517 24618 13282 5099 14183 8804
16455 17646 15376 18194 25528 1777 6066 21855 14372 12517 4488 17490
1400 8135 23375 20879 8476 4084 12936 25536 22309 16582 6402 24360
25119 23586 128 4761 10443 22536 8607 9752 25446 15053 1856 4040
377 21160 13474 5451 17170 5938 10256 11972 24210 17833 22047 16108
13075 9648 24546 13150 23867 7309 19798 2988 16858 4825 23950 15125
20526 3553 11525 23366 2452 17626 19265 20172 18060 24593 13255 1552
18839 21132 20119 15214 14705 7096 10174 5663 18651 19700 12524 14033
4127 2971 17499 16287 22368 21463 7943 18880 5567 8047 23363 6797
10651 24471 14325 4081 7258 4949 7044 1078 797 22910 20474 4318
21374 13231 22985 5056 3821 23718 14178 9978 19030 23594 8895 25358
6199 22056 7749 13310 3999 23697 16445 22636 5225 22437 24153 9442
7978 12177 2893 20778 3175 8645 11863 24623 10311 25767 17057 3691
20473 11294 9914 22815 2574 8439 3699 5431 24840 21908 16088 18244
8208 5755 19059 8541 24924 6454 11234 10492 16406 10831 11436 9649
16264 11275 24953 2347 12667 19190 7257 7174 24819 2938 2522 11749
3627 5969 13862 1538 23176 6353 2855 17720 2472 7428 573 15036
0 18539 18661
1 10502 3002
2 9368 10761

```

FIG. 116

3	12299	7828
4	15048	13362
5	18444	24640
6	20775	19175
7	18970	10971
8	5329	19982
9	11296	18655
10	15046	20659
11	7300	22140
12	22029	14477
13	11129	742
14	13254	13813
15	19234	13273
16	6079	21122
17	22782	5828
18	19775	4247
19	1660	19413
20	4403	3649
21	13371	25851
22	22770	21784
23	10757	14131
24	16071	21617
25	6393	3725
26	597	19968
27	5743	8084
28	6770	9548
29	4285	17542
30	13568	22599
31	1786	4617
32	23238	11648
33	19627	2030
34	13601	13458
35	13740	17328
36	25012	13944
37	22513	6687
38	4934	12587
39	21197	5133
40	22705	6938
41	7534	24633
42	24400	12797
43	21911	25712
44	12039	1140
45	24306	1021

FIG. 119

r1/3 16K

416	8909	4156	3216	3112	2560	2912	6405	8593	4969	6723	6912
8978	3011	4339	9312	6396	2957	7288	5485	6031	10218	2226	3575
3383	10059	1114	10008	10147	9384	4290	434	5139	3536	1965	2291
2797	3693	7615	7077	743	1941	8716	6215	3840	5140	4582	5420
6110	8551	1515	7404	4879	4946	5383	1831	3441	9569	10472	4306
1505	5682	7778									
7172	6830	6623									
7281	3941	3505									
10270	8669	914									
3622	7563	9388									
9930	5058	4554									
4844	9609	2707									
6883	3237	1714									
4768	3878	10017									
10127	3334	8267									

FIG. 120

r2/5 16K

5650	4143	8750	583	6720	8071	635	1767	1344	6922	738	6658
5696	1685	3207	415	7019	5023	5608	2605	857	6915	1770	8016
3992	771	2190	7258	8970	7792	1802	1866	6137	8841	886	1931
4108	3781	7577	6810	9322	8226	5396	5867	4428	8827	7766	2254
4247	888	4367	8821	9660	324	5864	4774	227	7889	6405	8963
9693	500	2520	2227	1811	9330	1928	5140	4030	4824	806	3134
1652	8171	1435									
3366	6543	3745									
9286	8509	4645									
7397	5790	8972									
6597	4422	1799									
9276	4041	3847									
8683	7378	4946									
5348	1993	9186									
6724	9015	5646									
4502	4439	8474									
5107	7342	9442									
1387	8910	2660									

FIG. 122

r3/5 16K
2765 5713 6426 3596 1374 4811 2182 544 3394 2940 4310 771
4951 211 2208 723 1246 2928 398 5739 265 5601 5993 2615
210 4730 5777 3096 4282 6238 4939 1119 6463 5298 6320 4016
4167 2063 4757 3157 5664 3956 6045 563 4284 2441 3412 6334
4201 2428 4474 59 1721 736 2997 428 3807 1513 4732 6195
2670 3081 5139 3736 1999 5889 4362 3806 4534 5409 6384 5809
5516 1622 2906 3285 1257 5797 3816 817 875 2311 3543 1205
4244 2184 5415 1705 5642 4886 2333 287 1848 1121 3595 6022
2142 2830 4069 5654 1295 2951 3919 1356 884 1786 396 4738
0 2161 2653
1 1380 1461
2 2502 3707
3 3971 1057
4 5985 6062
5 1733 6028
6 3786 1936
7 4292 956
8 5692 3417
9 266 4878
10 4913 3247
11 4763 3937
12 3590 2903
13 2566 4215
14 5208 4707
15 3940 3388
16 5109 4556
17 4908 4177

FIG. 123

r3/5 16K
71 1478 1901 2240 2649 2725 3592 3708 3965 4080 5733 6198
393 1384 1435 1878 2773 3182 3586 5465 6091 6110 6114 6327
160 1149 1281 1526 1566 2129 2929 3095 3223 4250 4276 4612
289 1446 1602 2421 3559 3796 5590 5750 5763 6168 6271 6340
947 1227 2008 2020 2266 3365 3588 3867 4172 4250 4865 6290
3324 3704 4447
1206 2565 3089
529 4027 5891
141 1187 3205
1990 2972 5120
752 796 5976
1129 2377 4030
6077 6108 6231
61 1053 1781
2820 4109 5307
2088 5834 5988
3725 3945 4010
1081 2780 3389
659 2221 4822
3033 6060 6160
756 1489 2350
3350 3624 5470
357 1825 5242
585 3372 6062
561 1417 2348
971 3719 5567
1005 1675 2062

FIG. 124

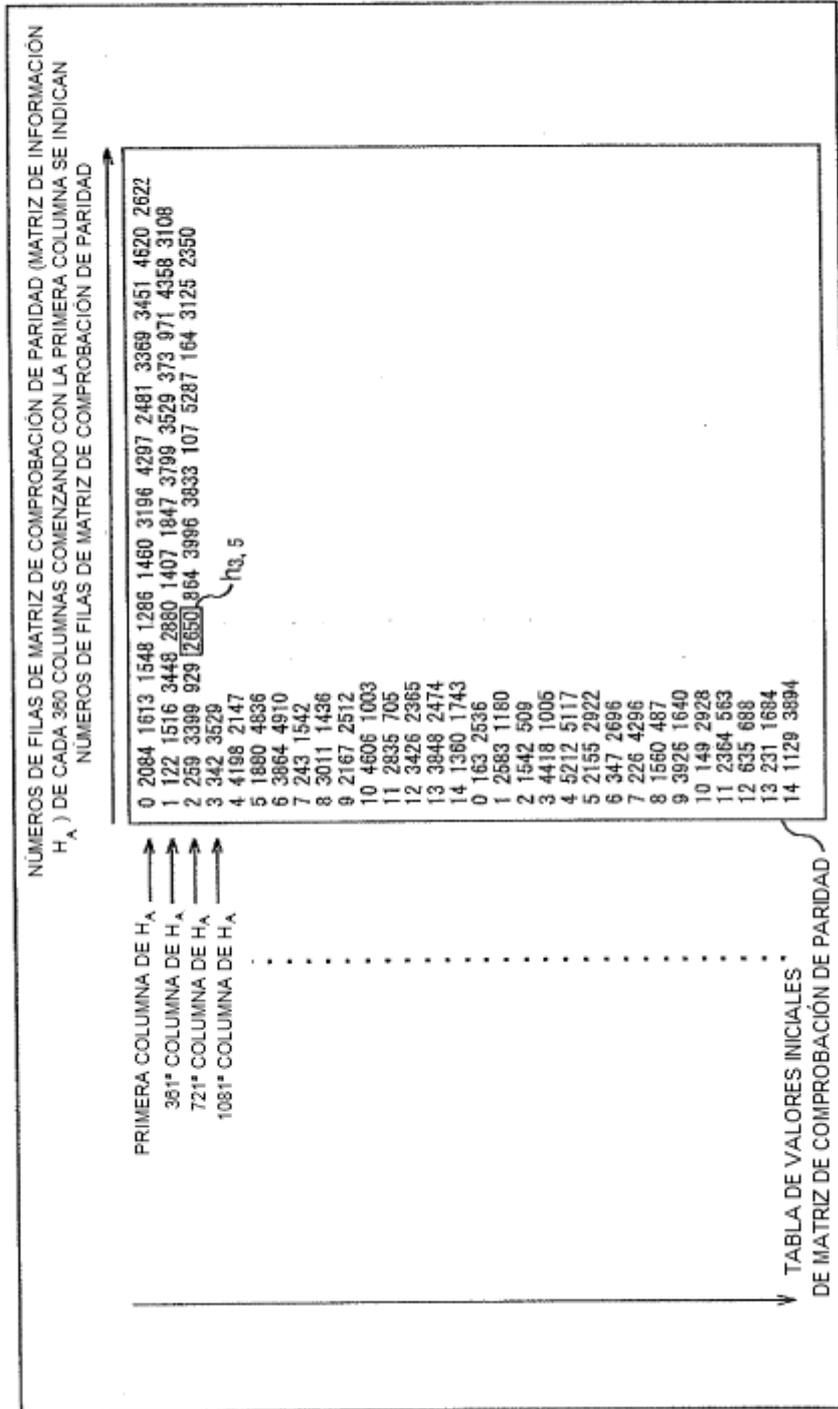


FIG. 125

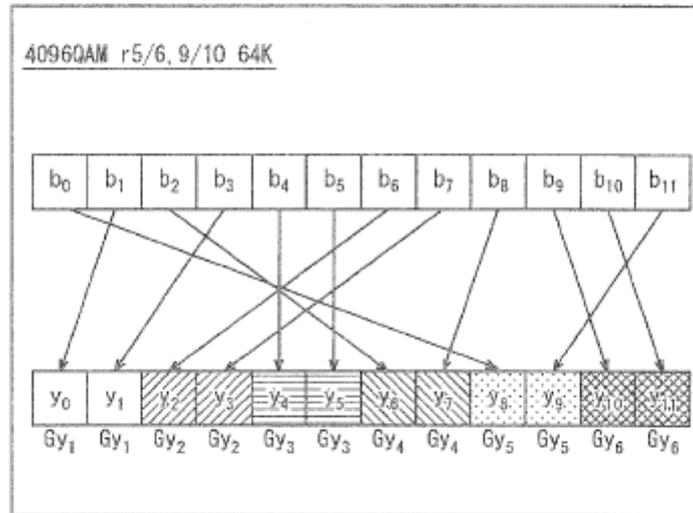


FIG. 126

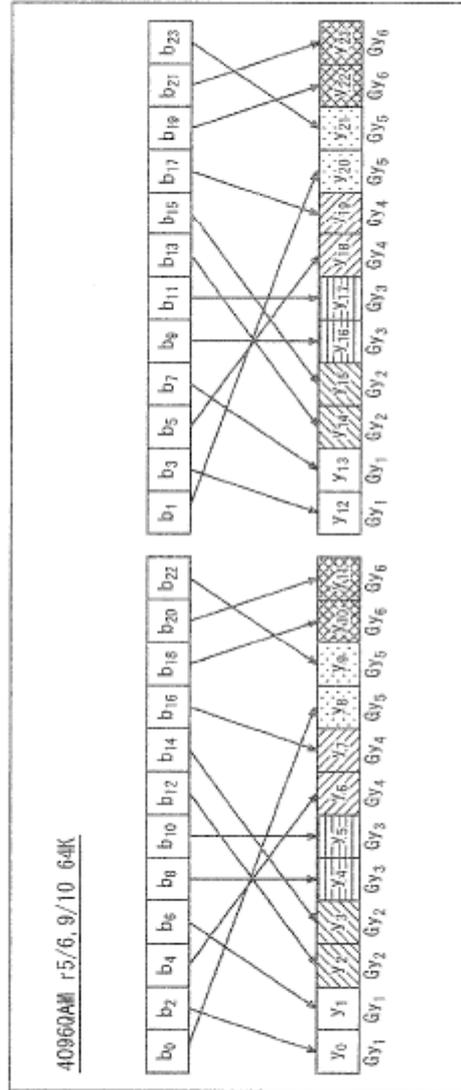


FIG. 127

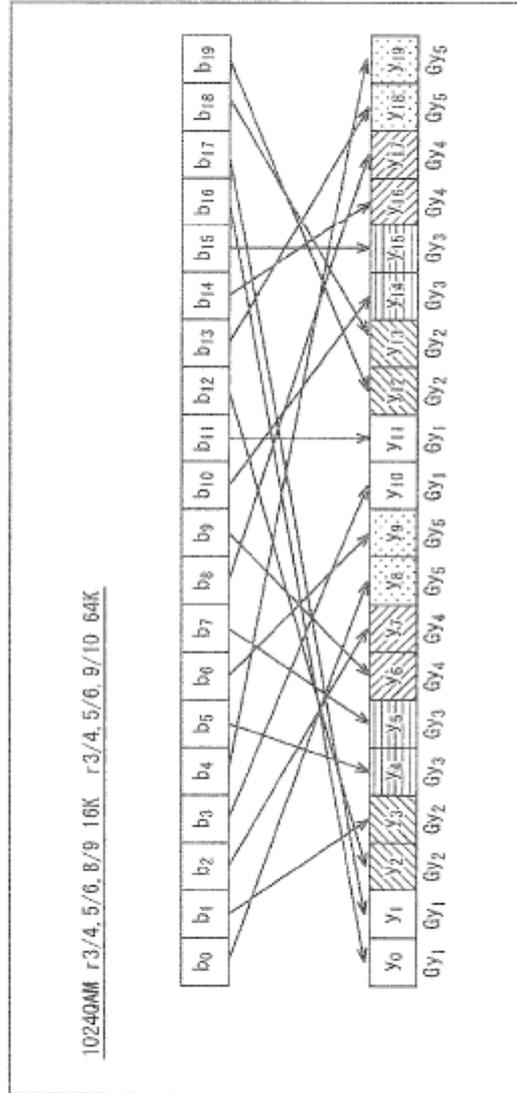


FIG. 128

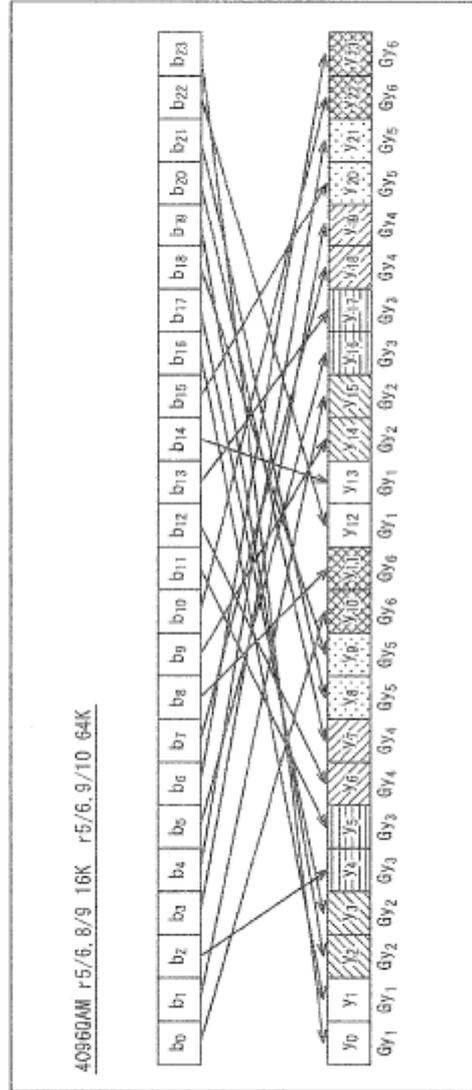


FIG.129

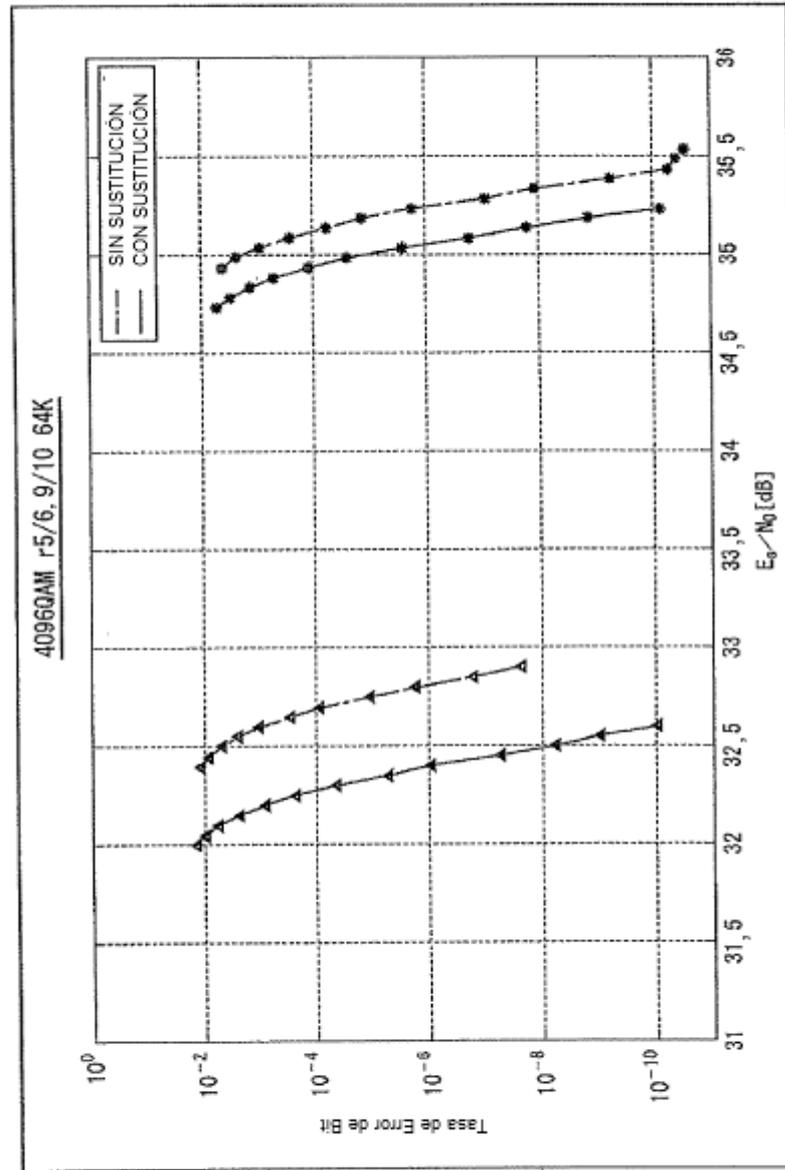


FIG. 130

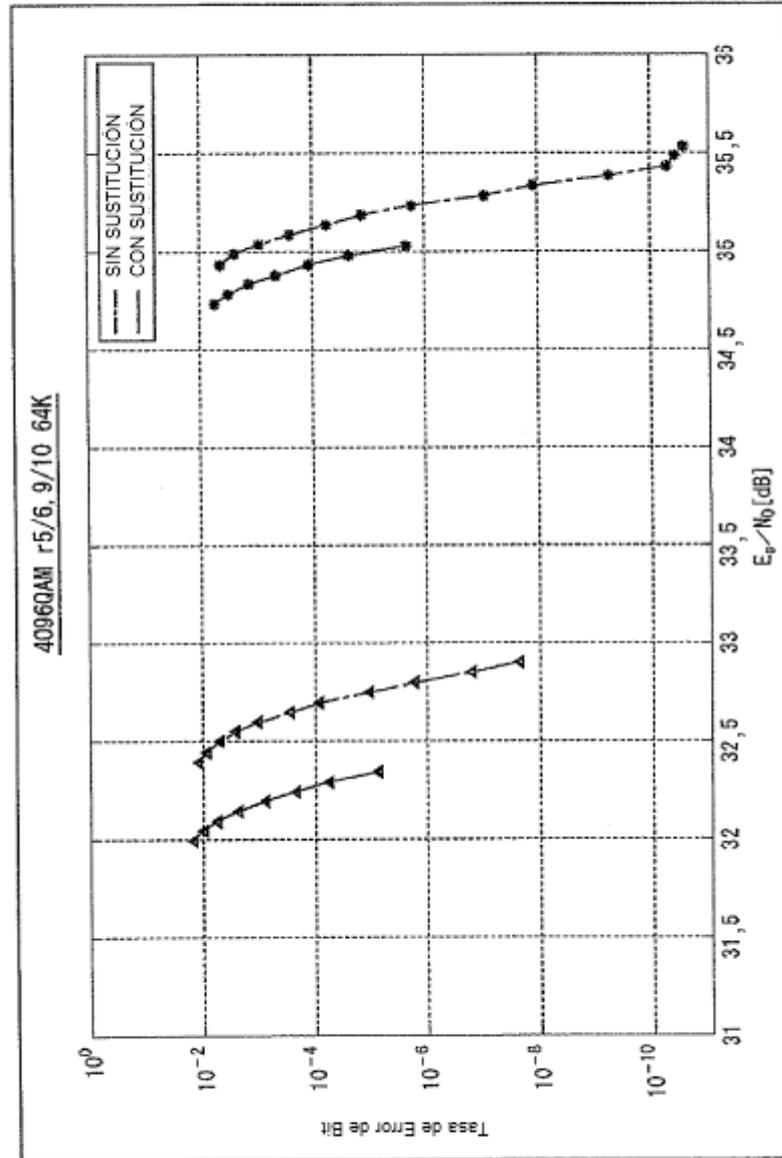


FIG. 131

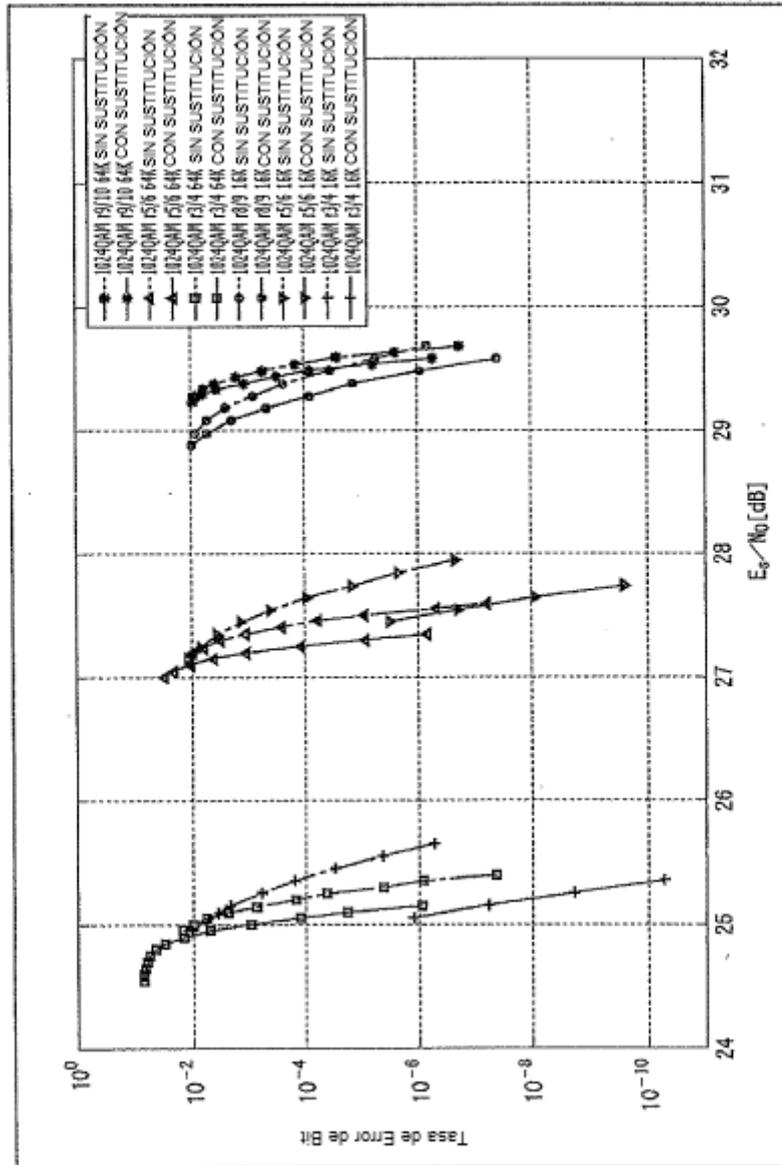


FIG.132

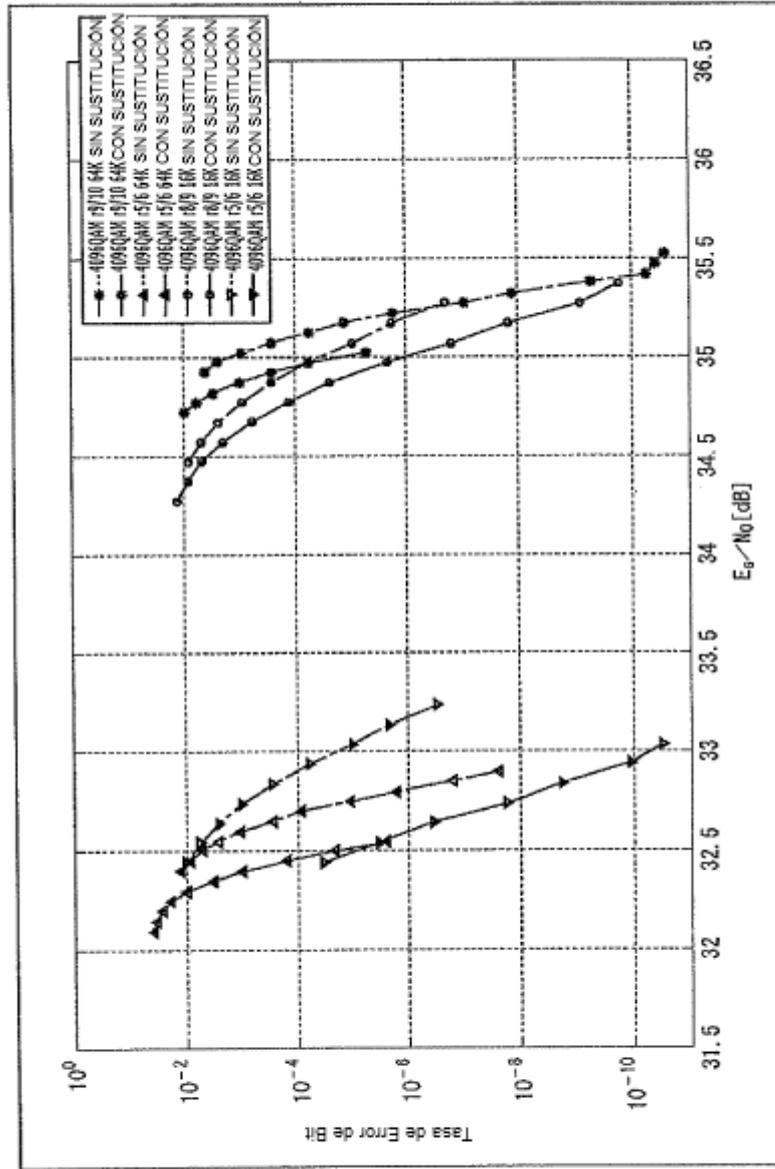


FIG. 133

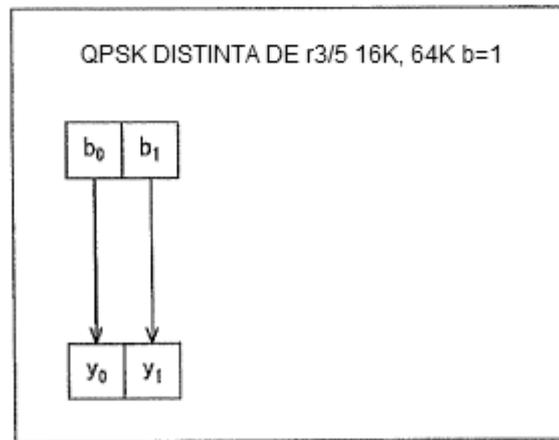


FIG. 134

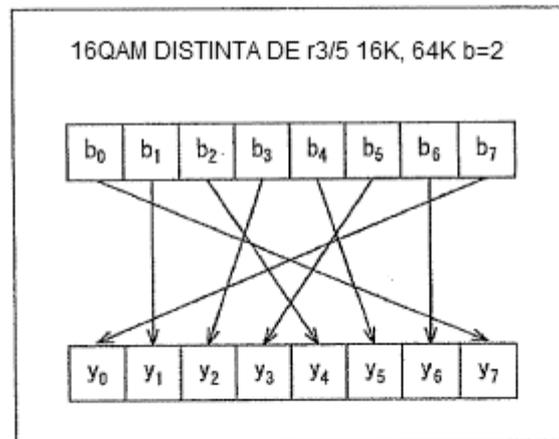


FIG. 135

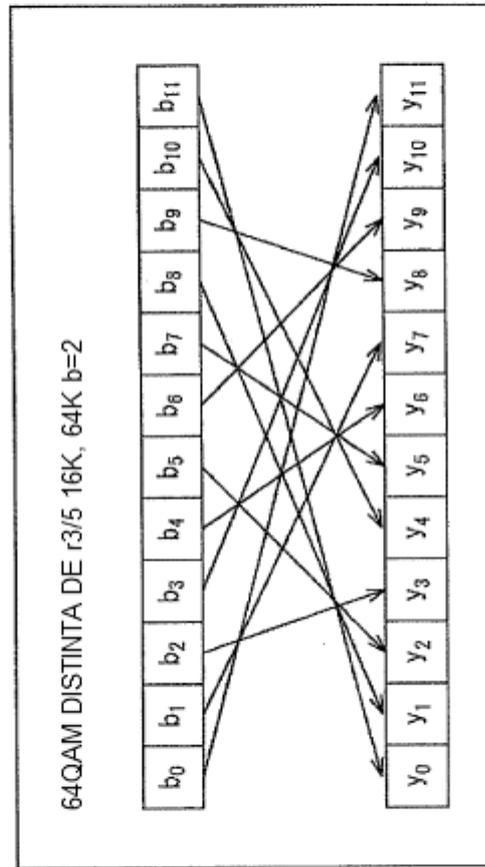


FIG. 136

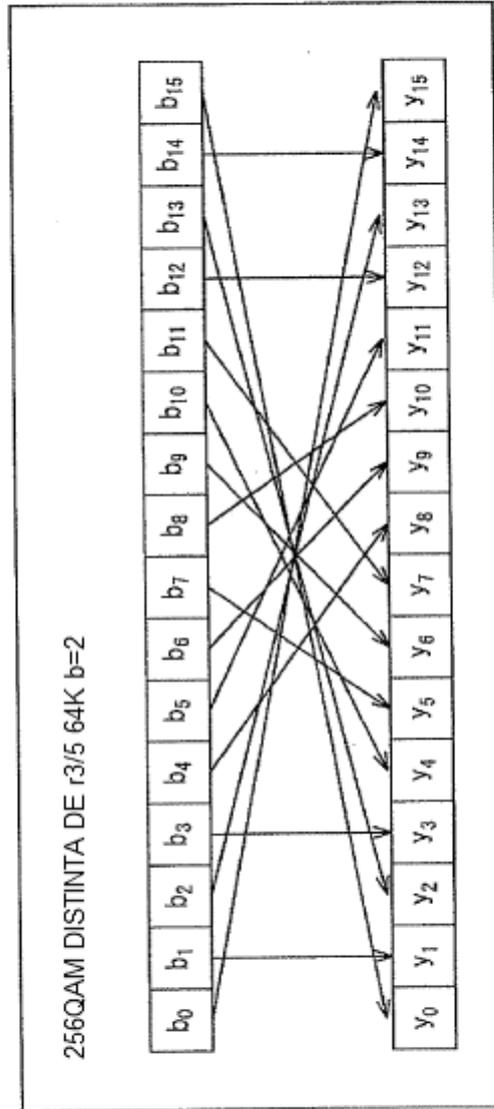


FIG. 137

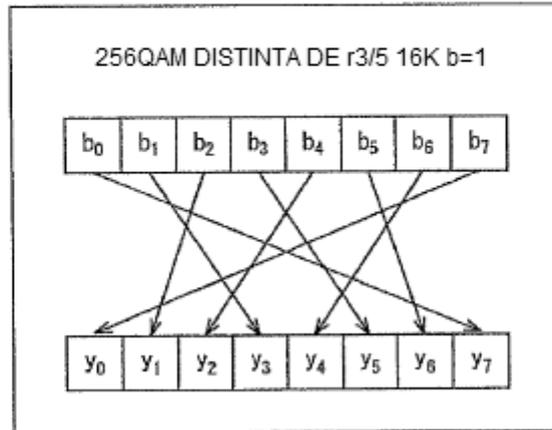


FIG. 138

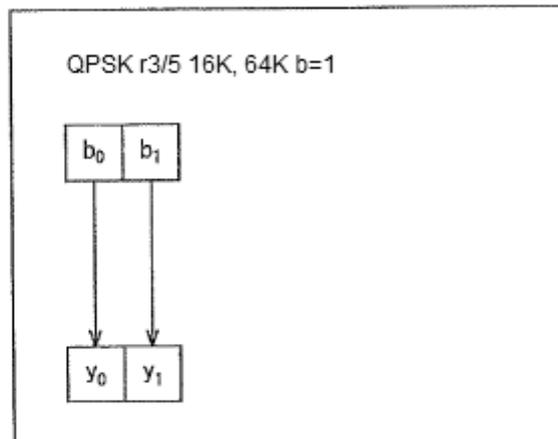


FIG. 139

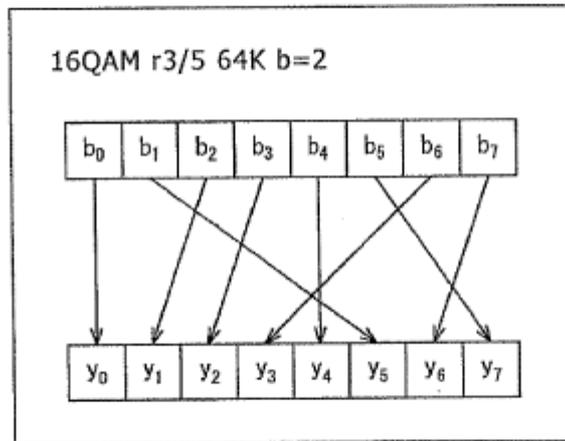


FIG. 140

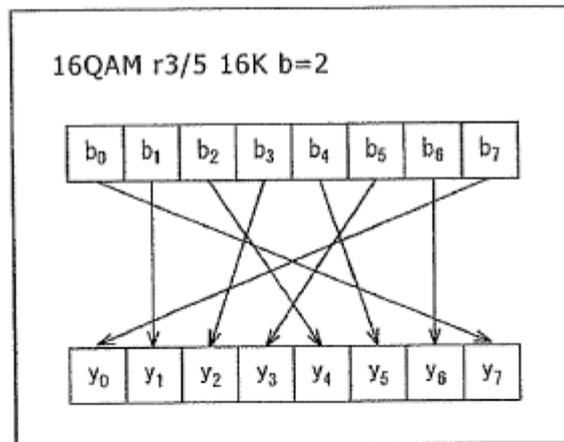


FIG. 141

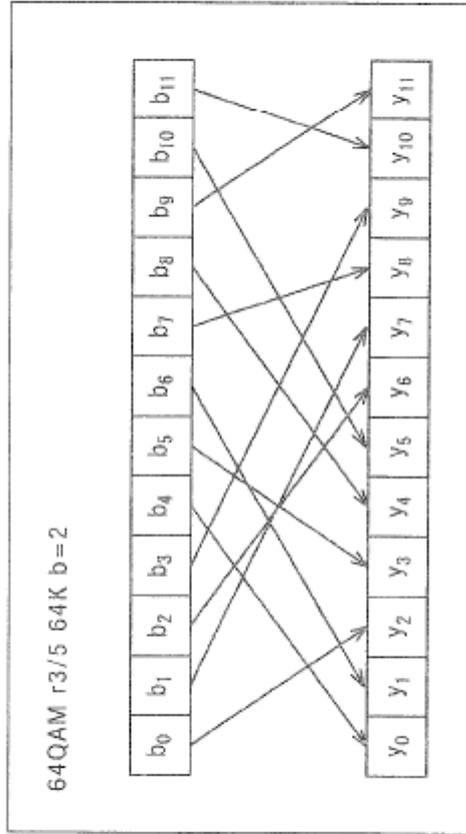


FIG. 142

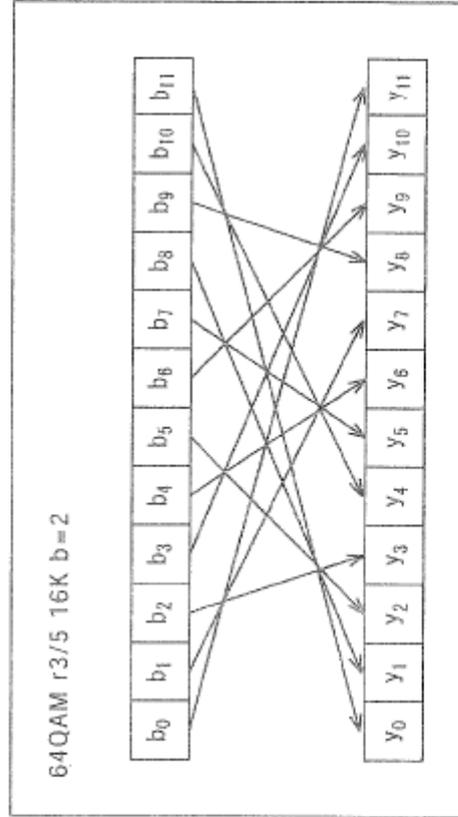


FIG. 143

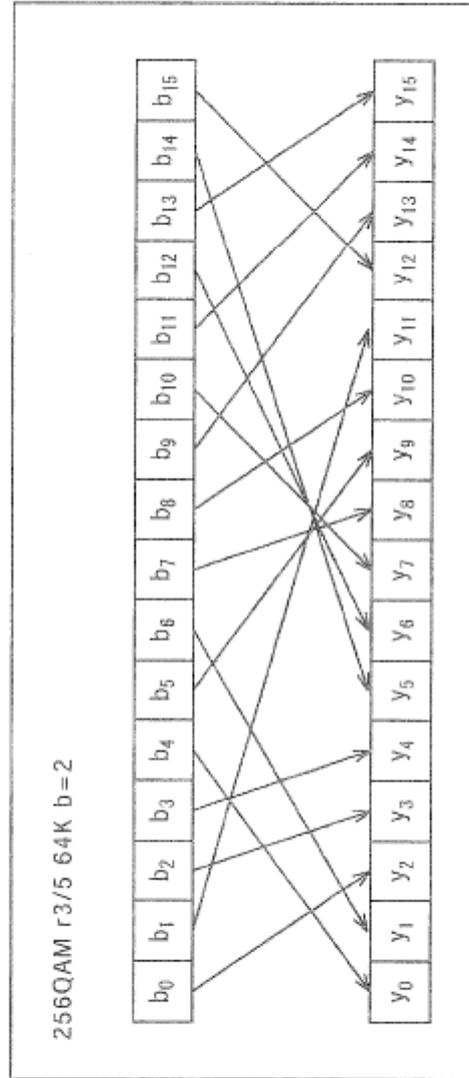


FIG. 144

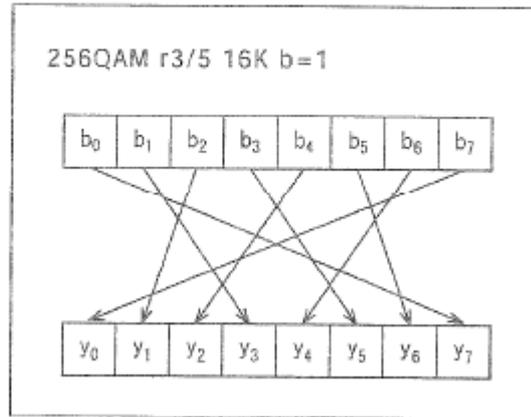


FIG. 145

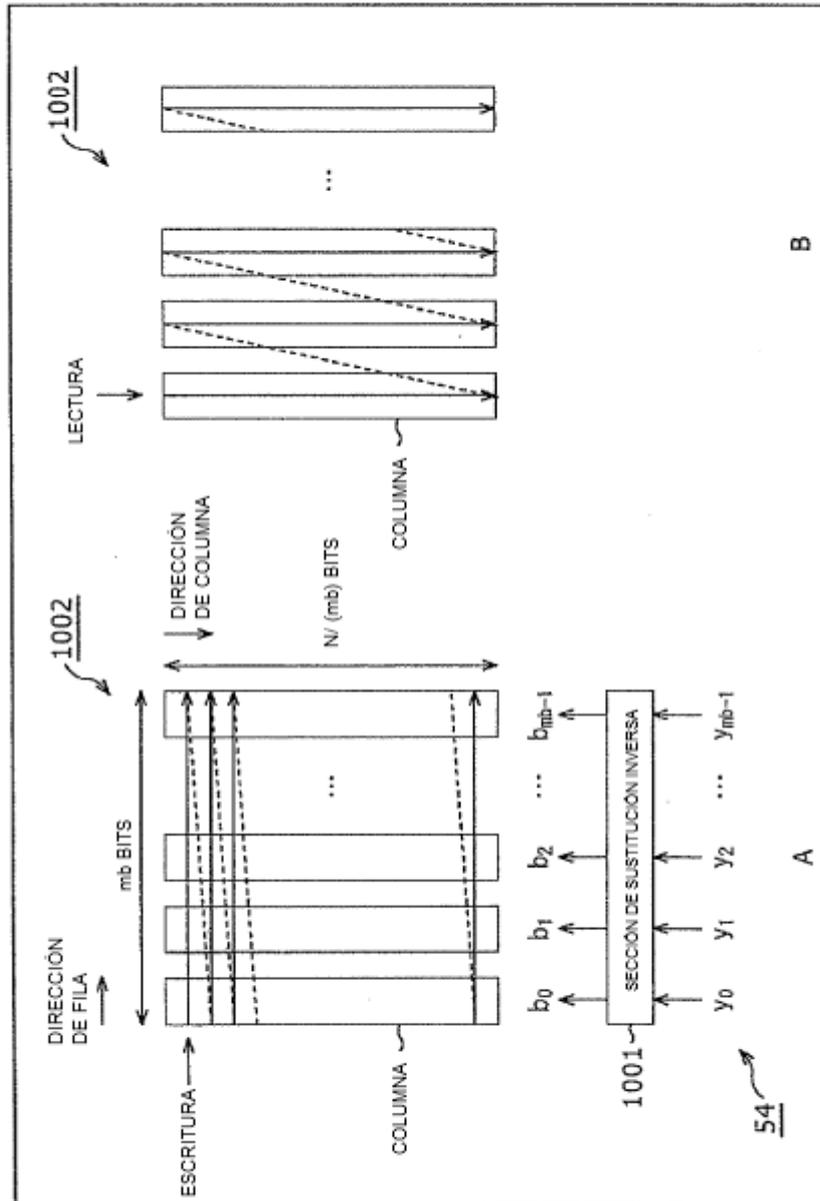


FIG. 146

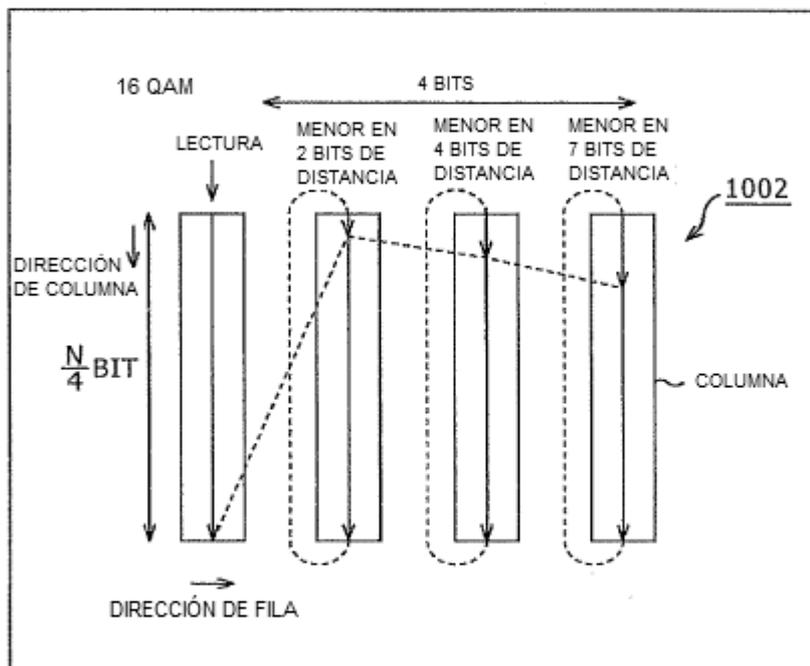
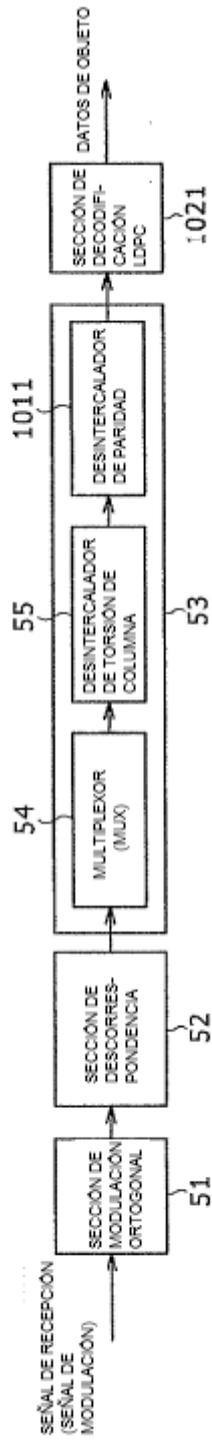


FIG.147



12

FIG. 148

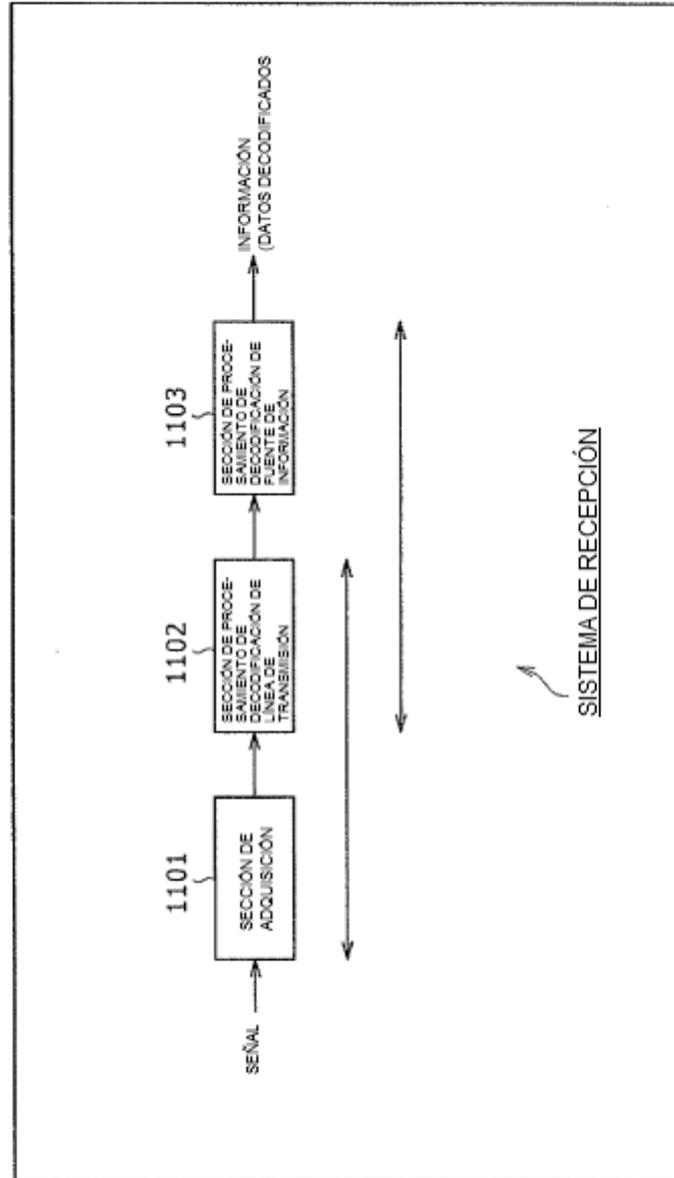


FIG. 149

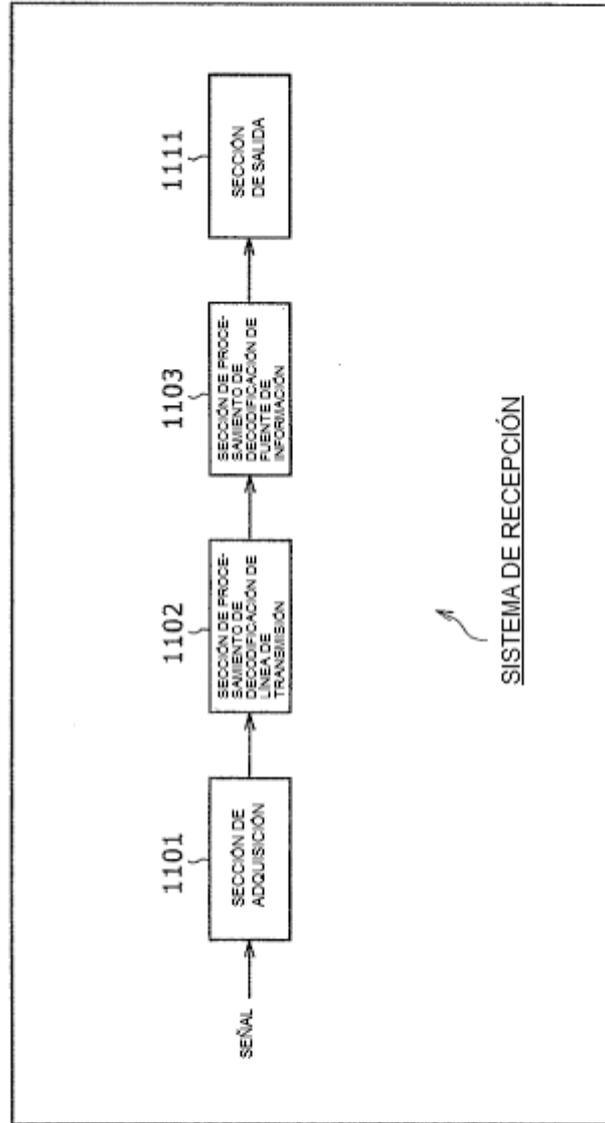


FIG.150

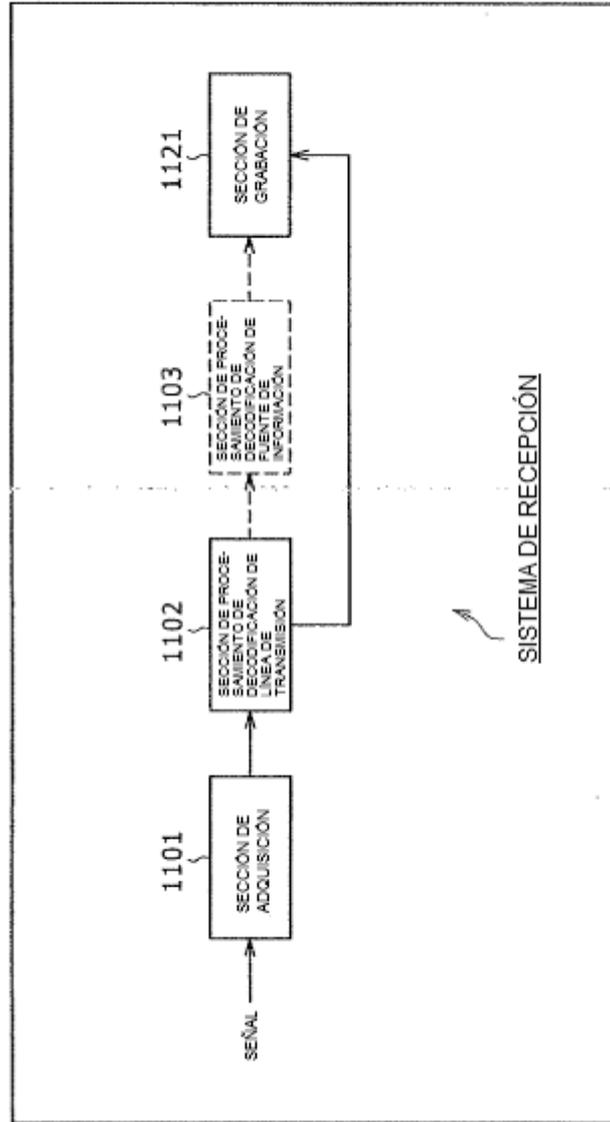


FIG. 152

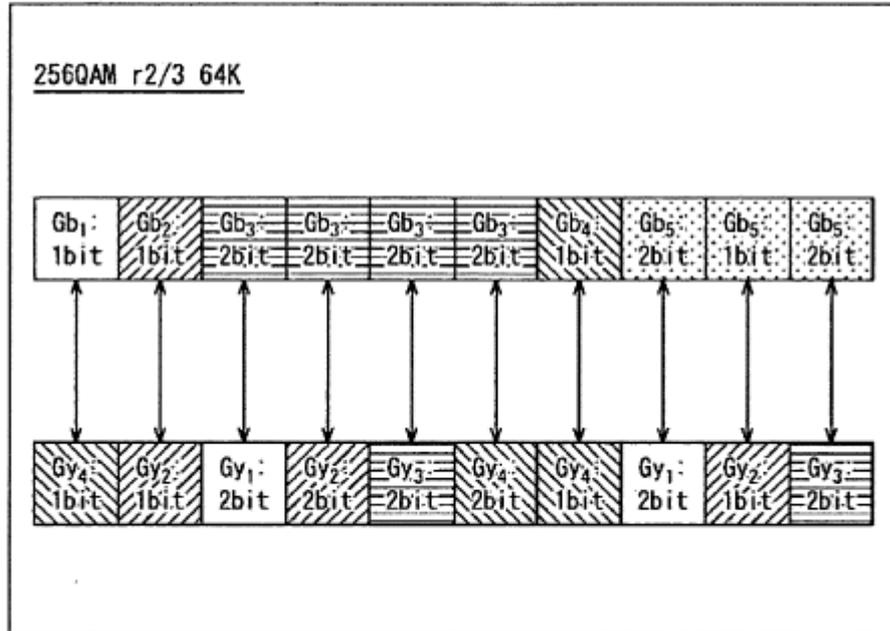


FIG. 153

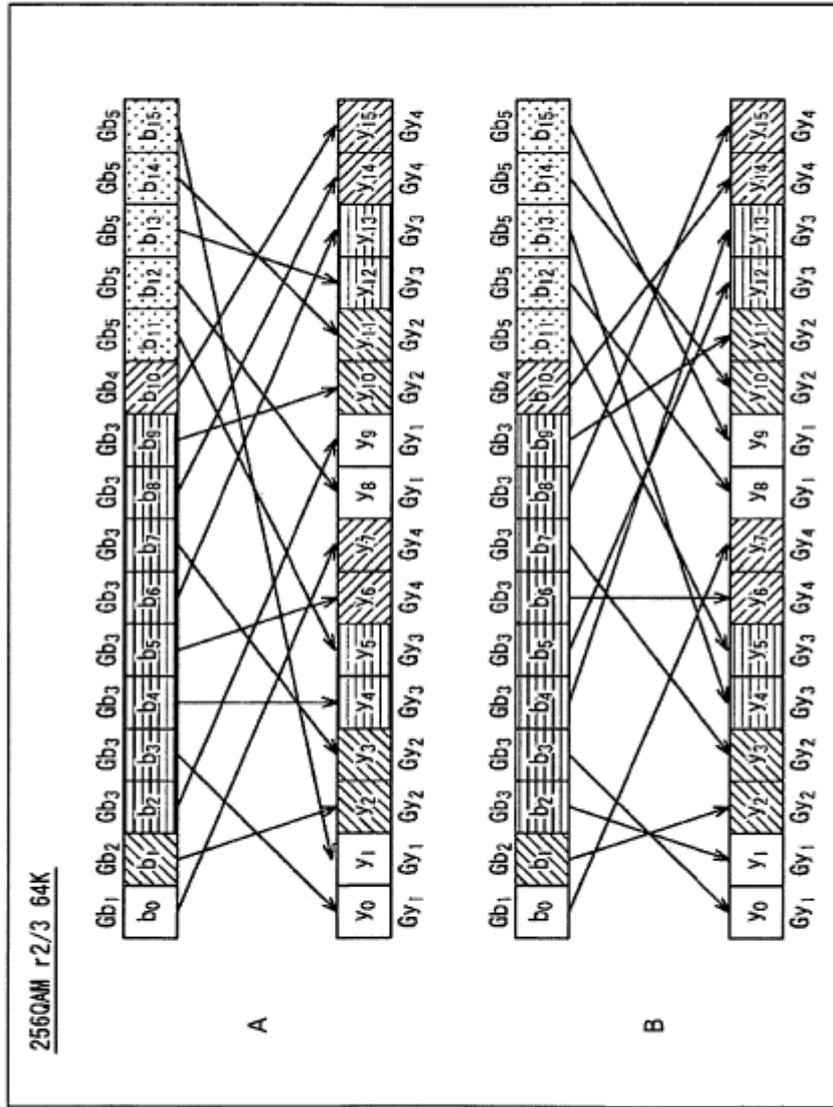


FIG.154

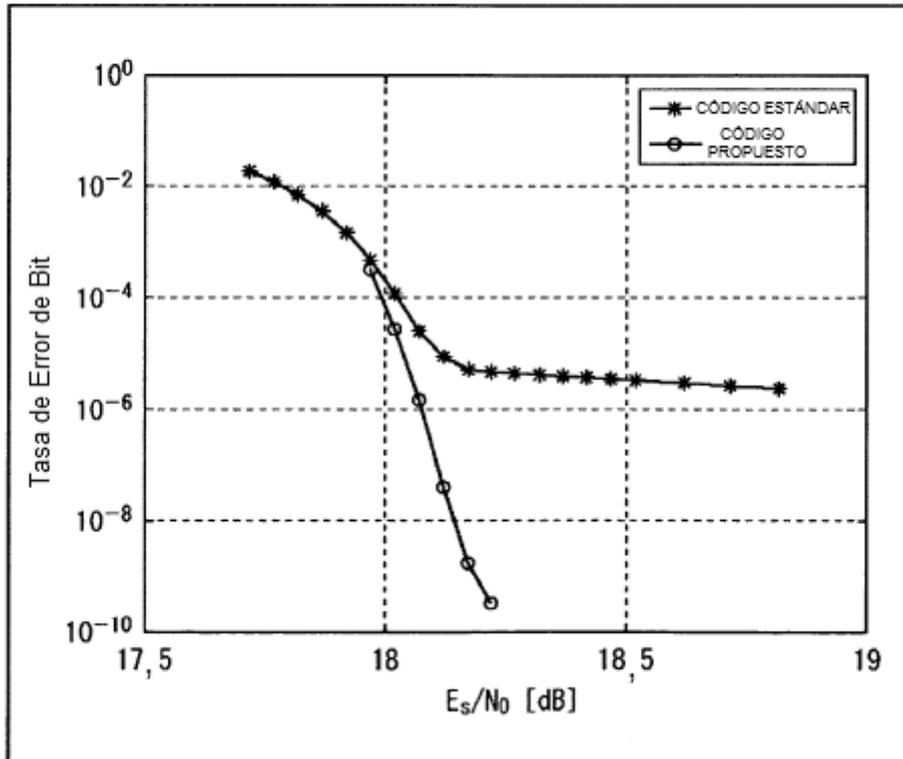


FIG. 155

