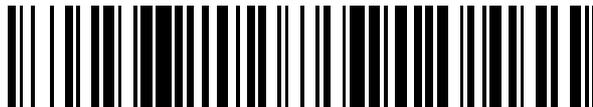


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 640 341**

51 Int. Cl.:

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **08.09.2008 PCT/IB2008/053624**

87 Fecha y número de publicación internacional: **19.03.2009 WO09034516**

96 Fecha de presentación y número de la solicitud europea: **08.09.2008 E 08807573 (4)**

97 Fecha y número de publicación de la concesión europea: **05.07.2017 EP 2186242**

54 Título: **Cambios de los ajustes de hardware basándose en preámbulo de datos**

30 Prioridad:

10.09.2007 US 993311 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

02.11.2017

73 Titular/es:

**NOKIA TECHNOLOGIES OY (100.0%)
KEILALAHDENTIE 4
02150 ESPOO, FI**

72 Inventor/es:

**SCHORPP, MARCUS;
MULLER, MARKUS y
UFFMANN, DIRK**

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 640 341 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Cambiar ajustes de hardware basándose en preámbulo de datos

5 Antecedentes de la invención**1. Campo de la invención**

10 La presente solicitud se refiere a un nuevo esquema de conmutación de velocidad de datos para una interfaz de datos en serie de alta velocidad.

2. Descripción de la técnica relacionada

15 Las interfaces de datos alámbricas conocidas pueden proporcionar un protocolo en capas para interconectar dispositivos y componentes en sistemas móviles tales como teléfonos celulares, ordenadores portátiles, cámaras digitales, etc., y permitir que estos dispositivos y componentes intercambien datos a tasas de datos altas, a recuentos de ping bajos y a baja energía por bit transferido. Tales interfaces de datos alámbricas pueden proporcionar también características de fin general que son aplicables para una amplia gama de tipos de componente (por ejemplo procesadores de aplicación, coprocesadores, módems, periféricos) y diferentes tipos de tráfico de datos (por ejemplo, mensajes de control, transferencia de datos en masa, flujo continuo en paquetes).

Las interfaces de datos alámbricas conocidas pueden usar diferentes modos de velocidad de transmisión de datos, y tener esquemas de conmutación entre ambos de tales modos, que pueden tener que hacerse rápido.

25 A modo de ejemplo, existen varios enlaces en serie de alta velocidad conocidos como PCI Express, Serial ATA y otros. También estas normas proporcionan diferentes modos de potencia, pero conmutar entre estos lleva normalmente una cantidad de tiempo más larga. Existe una necesidad de poder realizar transiciones de modo rápidas, para realizar ahorros de potencia eficaces entre posibles ráfagas de transmisión de datos. Los esquemas de conmutación convencionales se conocen a partir de los documentos US2005/0094647, EP1303070 o EP1480481.

30 Sumario de la invención

La presente invención proporciona un nuevo y único método y aparato para un nuevo esquema de conmutación de velocidad de datos para una interfaz de datos alámbrica según se reivindica mediante las reivindicaciones independientes 1, 7, 13 y 18. El método presenta recibir datos en serie de alta velocidad a través de un enlace físico usando un primer esquema de codificación en un receptor; recibir una señal de cambio de modo de transmisión transmitida con información secuencial acerca de un cambio en un modo de transmisión de datos del receptor usando un segundo esquema de codificación y conmutar el modo de transmisión de datos del receptor en respuesta a lo mismo. El primer esquema de codificación es un esquema de codificación de no retorno a cero, y el segundo esquema de codificación es un esquema de codificación de retorno a cero, y donde el cambio en el modo de transmisión de datos depende al menos parcialmente de la información secuencial. Los modos de transmisión de datos pueden incluir al menos un modo de baja potencia donde no es posible la transmisión de datos y el receptor está apagado. El al menos un modo de baja potencia puede incluir dos estados de apagado diferentes, teniendo cada uno diferentes tiempos de reactivación.

45 Los modos de transmisión de datos pueden incluir también al menos un modo de alta velocidad donde es posible la transmisión de datos y el receptor está encendido. El al menos un modo de alta velocidad puede incluir varios modos de alta velocidad, teniendo cada uno diferentes tasas de transmisión de datos.

50 En la operación, la secuencia de señales de cambio de modo de transmisión puede enviarse únicamente cuando la velocidad del modo de transmisión de datos necesita cambiarse.

El método también presenta acoplar el receptor a un receptor óptico que forma parte de un enlace óptico, y decodificar la señal de cambio de modo de transmisión con el receptor óptico.

55 El cambio puede incluir una o más de las siguientes transiciones:

- cambiar desde un estado RESETEO a un estado de PARADA;
- cambiar desde el estado de PARADA a un estado de alta velocidad si el estado de línea lógico va a un valor lógico predefinido, por ejemplo '1'; o
- 60 - el estado de HS al estado de PARADA o RESETEO cuando el valor lógico, por ejemplo una señal de '0' o '1' lógico, es más largo que un tiempo especificado. El tiempo especificado puede definirse para que sea más largo que una longitud de serie máxima de una codificación en línea usada.

65 El estado objetivo indicado por una señal de cambio de modo de transmisión puede almacenarse también.

Los ajustes de hardware pueden cambiarse basándose en la información transmitida en la señal de cambio de modo de transmisión. La señal de cambio de modo de transmisión puede transmitirse como una señal de modulación de ancho de pulso. Los ajustes de hardware pueden incluir un ajuste para ajustar la sensibilidad del receptor.

5 El al menos un modo de baja potencia puede incluir un estado de parada que es un modo de ahorro de potencia intermedio que puede entrarse desde y salirse a uno o más de varios modos de alta velocidad. El estado de parada puede entrarse desde y salirse al uno o más de varios modos de alta velocidad sin una señal de cambio de modo de transmisión. También el estado de parada puede entrarse desde y salirse al uno o más de varios modos de alta velocidad por el receptor observando el estado de línea. El receptor puede incluir uno o más contadores digitales o
10 circuitos analógicos para procesar la señal de cambio de modo de transmisión, y/o puede formar parte de una implementación de interfaz de datos, que incluye una para un sistema móvil tal como un teléfono celular, ordenador portátil o cámara digital.

15 El receptor puede formar también parte de un chip que está integrado en un sistema de transmisión de datos en serie de alta velocidad.

El aparato puede tomar la forma de un receptor que presenta uno o más módulos configurados para recibir datos en serie a través de un enlace físico usando un primer esquema de codificación y para recibir una señal de cambio de modo de transmisión transmitida con información secuencial acerca de un cambio en un modo de transmisión de datos del receptor usando un segundo esquema de codificación y conmutar el modo de transmisión de datos del receptor en respuesta a lo mismo.
20

El aparato puede tomar la forma de un transmisor que presenta uno o más módulos configurados para proporcionar datos en serie a alta velocidad a través de un enlace físico usando un primer esquema de codificación en un receptor y para proporcionar también una señal de cambio de modo de transmisión transmitida con información secuencial acerca de un cambio en un modo de transmisión de datos del receptor usando un segundo esquema de codificación para posibilitar que el receptor conmute al modo de transmisión de datos en respuesta a lo mismo.
25

30 El aparato puede tomar la forma de un sistema que presenta un receptor de este tipo y un transmisor de este tipo.

El aparato puede tomar también la forma de un producto de programa informático con un código de programa, código de programa que se almacena en un medio legible por máquina, para llevar a cabo las etapas de un método que comprende recibir datos en serie de alta velocidad a través de un enlace físico usando un primer esquema de codificación en un receptor; recibir una señal de cambio de modo de transmisión transmitida con información secuencial acerca de un cambio en un modo de transmisión de datos del receptor usando un segundo esquema de codificación y conmutar el modo de transmisión de datos del receptor en respuesta a lo mismo, cuando el programa informático se ejecuta en un módulo de este tipo en un receptor de este tipo, así como un producto de programa informático con un código de programa, código de programa que se almacena en un medio legible por máquina, para llevar a cabo las etapas de un método que comprende proporcionar datos en serie de alta velocidad de este tipo a través de un enlace físico de este tipo usando un primer esquema de codificación de este tipo en un receptor y proporcionar una señal de cambio de modo de transmisión de este tipo transmitida con información secuencial acerca de un cambio de este tipo en un modo de transmisión de datos de este tipo de un receptor de este tipo usando un segundo esquema de codificación para posibilitar que el receptor conmute al modo de transmisión de datos en respuesta a lo mismo.
35
40
45

El aparato puede tomar también la forma de una combinación de medios para recibir datos en serie de alta velocidad a través de un enlace físico usando un primer esquema de codificación en un receptor y para recibir una señal de cambio de modo de transmisión transmitida con información secuencial acerca de un cambio en un modo de transmisión de datos del receptor usando un segundo esquema de codificación en combinación con medios para conmutar el modo de transmisión de datos del receptor en respuesta a lo mismo.
50

En resumen, la presente invención se refiere a proporcionar diferente uso de la señal de cambio de modo de transmisión (TMCS) en diferentes transceptores de datos (transceptores ópticos/eléctricos) y cuándo y cómo la señal de cambio de modo de transmisión se integra en el flujo de datos. La señal de cambio de modo de transmisión puede usarse en sistemas de transmisión de datos para controlar los ajustes de los transmisores y receptores. Por ejemplo, la señal de cambio de modo de transmisión puede indicar el inicio de una velocidad de transferencia de datos aumentada de modo que el receptor pueda conmutar a unos ajustes de velocidad más alta de transferencia de datos o la señal de cambio de modo de transmisión indica el inicio de una velocidad reducida o la no transmisión de datos adicionales de modo que el receptor puede conmutar al respectivo modo de baja potencia/velocidad.
55
60

Para el diseño de la interfaz de datos alámbrica, la idea es integrar también trayectorias de transmisión ópticas y proporcionar soluciones para controlar los transceptores eléctricos así como los ópticos dentro de esta trayectoria de transmisión de la manera más eficaz sin comprometer, por ejemplo, la velocidad de transmisión alta en cualquiera de las interfaces implicadas.
65

La presente invención incluye dos ideas principales para el uso de la señal de cambio de modo de transmisión:

(1) La señal de cambio de modo de transmisión se envía únicamente cuando el modo de velocidad deberá cambiarse, es decir una vez que se envía una nueva señal de cambio de modo de transmisión, los transceptores dirigidos cambian los ajustes de acuerdo con la información de señal de cambio de modo de transmisión y mantienen los ajustes para paquetes de datos posteriores a menos que se reciba una nueva señal de cambio de modo de transmisión.

(2) La señal de cambio de modo de transmisión informa a la interfaz de datos alámbrica eléctrica implicada así como a los transceptores ópticos sobre la trayectoria de transmisión acerca de los cambios de modo pero los transceptores ópticos (que principalmente hacen pasar a través la información digital sin analizar los datos, al menos en modos de alta velocidad) usan la información de una manera diferente a la de los receptores eléctricos que contienen el equipo necesario para analizar los datos recibidos, es decir los transmisores ópticos únicamente conmutan a otro nivel de potencia óptico mientras el receptor eléctrico cambia los ajustes para el modo de HS que incluye la sensibilidad y la frecuencia de recuperación de reloj y datos y ancho de banda de filtro de bucle.

Además, a modo de ejemplo, la señal de cambio de modo de transmisión puede enviarse con una codificación de modulación de anchura de pulso (PWM) de 3 bits codificados que es muy robusta y tolerante a fallos y puede reconocerse fácilmente por toda clase de transceptores implicados con contadores digitales o circuitos analógicos.

Los siguientes puntos de interés con respecto a la presente invención también se indican:

1) El tiempo de transición entre un modo de alta velocidad (HS) y PARADA (y vuelta) es probable que se minimice. Esto puede ser muy importante para la eficacia del sistema, puesto que se posibilita que el enlace utilice incluso huecos de transmisión pequeños para ahorrar potencia en el estado de PARADA.

2) Puede no haber necesidad de hacer decodificación de datos (por ejemplo códigos k 8b10b) para poder conmutar entre modos - importante para enlaces ópticos.

3) La señalización fácil de decodificar pero lenta de la señal de cambio de modo de transmisión es probable que no dañe la eficacia de sistema, puesto que la señal de cambio de modo de transmisión necesita únicamente enviarse cuando se cambia desde un modo de HS a otro modo de HS o cuando se pasa al estado de muy baja potencia (INACTIVACIÓN). Estos cambios tienen lugar raramente en comparación con la transición de HS-PARADA-HS, y se les permite consumir más tiempo.

Breve descripción de los dibujos

Los dibujos incluyen las siguientes Figuras, que no están necesariamente dibujadas a escala:

La Figura 1a muestra un receptor de acuerdo con algunas realizaciones de la presente invención.

La Figura 1b muestra un transmisor de acuerdo con algunas realizaciones de la presente invención.

La Figura 2 muestra un diagrama de flujo de las etapas básicas del método de acuerdo con algunas realizaciones de la presente invención.

La Figura 3 muestra un enlace óptico entre un transmisor y receptor de acuerdo con algunas realizaciones de la presente invención.

La Figura 4 muestra un ejemplo de una señal de cambio de modo de transmisión de tres bits (duración de bits como ejemplo únicamente) de acuerdo con algunas realizaciones de la presente invención.

La Figura 5 muestra un diagrama de una máquina de estado de un receptor que tiene valores de temporización a modo de ejemplo de acuerdo con algunas realizaciones de la presente invención.

La Figura 6a muestra un diagrama de una vista general de modos/estados de acuerdo con algunas realizaciones de la presente invención.

La Figura 6b muestra un diagrama de estado de RX óptico de acuerdo con algunas realizaciones de la presente invención.

Las Figuras 6c1, 6c2, 6c3, 6c4 y 6c5 muestran ajustes de hardware de RX óptico de acuerdo con algunas realizaciones de la presente invención.

La Figura 6d1 muestra un diagrama de temporización para una transición de INACTIVIDAD a PARADA de acuerdo con algunas realizaciones de la presente invención.

La Figura 6d2 muestra un diagrama de temporización para una transición de PARADA a HSx de acuerdo con algunas realizaciones de la presente invención.

La Figura 6d3 muestra un diagrama de temporización para una transición de HSx a PARADA a HSx de acuerdo con algunas realizaciones de la presente invención.

La Figura 7a muestra un diagrama de una vista general de modos/estados de acuerdo con algunas realizaciones de la presente invención.

La Figura 7b muestra un diagrama de estado de transmisor de acuerdo con algunas realizaciones de la presente invención.

La Figura 7c muestra un diagrama de estado de receptor de acuerdo con algunas realizaciones de la presente invención.

La Figura 7d muestra un ejemplo de la codificación de señal de cambio de modo de transmisión de acuerdo con algunas realizaciones de la presente invención.

Mejor modo de la invención

Figura 1a: Receptor

5 La Figura 1a muestra un diagrama de bloques de un receptor 10 de acuerdo con algunas realizaciones de la presente invención. El receptor 10 presenta uno o más módulos 10a, 10b y/o 10c configurados para recibir datos en serie de alta velocidad a través de un enlace físico usando un primer esquema de codificación en un receptor y para recibir una señal de cambio de modo de transmisión transmitida con información secuencial acerca de un cambio en un modo de transmisión de datos del receptor usando un segundo esquema de codificación y conmutar el modo de transmisión de datos del receptor en respuesta a lo mismo. El receptor 10 puede formar parte de un sistema como el mostrado en la Figura 3, en el que un transmisor tal como Tx (véase también la Figura 1b) proporciona la señal de cambio de modo de transmisión, coherente con lo analizado en detalle a continuación.

15 En la operación, no se usaría en absoluto un modo de potencia inferior (LP), sin embargo en su lugar se usarían un modo de alta velocidad "lento" (HS) (por ejemplo 156 Mb/s) y varios modos de HS rápidos, como sigue:

- Dos estados de apagado: INACTIVIDAD, PARADA

-- Ambos estados son básicamente iguales

No es posible la transmisión de datos
Diferencial '0' en el enlace
Terminación de RX APAGADA

-- Únicamente la diferencia es el tiempo de reactivación

Desde PARADA a HS aproximadamente 100 ns
Desde INACTIVIDAD a PARADA aproximadamente 1 ms

- Hasta cuatro modos de 'alta velocidad': HS1, HS2, HS3, HS4

-- Todos los modos son a nivel de método iguales

Transmisión de datos con codificación 8b10b
Señalización diferencial con terminación de RX ENCENDIDA

-- La única diferencia es la tasa de datos

Por ejemplo HS1: 156 Mbps / HS2: 1248 Mbps / HS3: 2496 Mbps / HS4: 4992 Mbps

De acuerdo con alguna realización de la presente invención, cada implementación tendría que proporcionar al menos HS1, y otros modos serían opcionales, aunque el alcance de la invención no se pretende que esté limitado a lo mismo.

Conmutar entre modos puede hacerse usando, por ejemplo, una señal de cambio de modo de transmisión en forma de señalización de modulación de anchura de pulso (PWM). La señal de cambio de modo de transmisión es fácil de detectar sobremuestreando o mediante circuitos analógicos, y podría implementarse por lo tanto en enlaces ópticos sencillos, a diferencia de recuperación de reloj y datos de alta velocidad (CDR). La señal de cambio de modo de transmisión no tiene que formar parte de los datos de carga útil. Aunque la presente invención se describe a modo de ejemplo usando una señal de cambio de modo de transmisión en forma de señalización de modulación de ancho de pulso, el alcance de la invención no se pretende que esté limitado a usar únicamente modulación de anchura de pulso. Por ejemplo, se prevén realizaciones que usan otros tipos o clases de codificación para la señal de cambio de modo de transmisión, incluyendo codificación Manchester o modulación de posición de pulso (PPM). El alcance de la invención se pretende también que se amplíe lo suficiente para incluir codificación de retorno a cero para cambios de modo, así como codificación de no retorno a cero para transmisión de datos a alta velocidad.

Un aspecto adicional de la presente invención es cambiar ajustes de hardware basándose en la señal de cambio de modo de transmisión, que no es parte de los datos de carga útil. Las duraciones de bits de la señal de cambio de modo de transmisión pueden ajustarse a la necesidad actual (por ejemplo, implementación). La duración de bits de la señal de cambio de modo de transmisión no afecta a la velocidad de datos de carga útil y por lo tanto puede optimizarse de manera separada.

Por ejemplo, el receptor 10 de una señal de cambio de modo de transmisión de este tipo podría conmutar su sensibilidad de receptor de acuerdo con la señal de cambio de modo de transmisión, cuando la señal de cambio de modo de transmisión indica la velocidad de datos a alta velocidad que se usará en el siguiente estado de alta velocidad. Esto podría dar como resultado disipación de potencia optimizada para cada velocidad de transmisión.

También podrían conmutarse filtros de receptor opcionales basándose en la señal de cambio de modo de transmisión, permitiendo modos de alta velocidad con y sin ecualización cambiabile durante el tiempo de ejecución.

5 El alcance de la invención también no se pretende que esté limitado a que la funcionalidad de los módulos 10a, 10b y/o 10c se realice en un módulo o dos módulos, como se muestra.

Figura 1b: TX

10 La Figura 1b muestra un diagrama de bloques de un transmisor (TX) 20 que presenta uno o más módulos 20a y/o 20b configurados para proporcionar datos en serie de alta velocidad de este tipo a través de un enlace físico de este tipo usando el primer esquema de codificación y para proporcionar una señal de cambio de modo de transmisión de este tipo transmitida con información acerca de un cambio de este tipo en un modo de transmisión de datos de este tipo de un receptor 10 de este tipo usando el segundo esquema de codificación y para transmitir datos en el modo de transmisión de datos al receptor. Coherente con lo analizado anteriormente, el transmisor 20 puede formar parte del sistema como el mostrado en la Figura 3, en el que el receptor Rx (véase también la Figura 1a) recibe la señal de cambio de modo de transmisión.

20 El alcance de la invención también no se pretende que esté limitado a que la funcionalidad de los módulos 20a y/o 20b se realice en un módulo o dos módulos, como se muestra.

Figura 2

25 La Figura 2 muestra un diagrama de flujo 30 con las etapas básicas 30a, 30b y 30c de un método de acuerdo con algunas realizaciones de la presente invención, que incluye la etapa 30a para recibir datos en serie de alta velocidad a través de un enlace físico de este tipo usando el primer esquema de codificación y la etapa 30b para recibir una señal de cambio de modo de transmisión que contiene información acerca de un cambio en un modo de transmisión de datos de un receptor 10 de este tipo usando un segundo esquema de codificación; y una etapa 30c para conmutar el modo de transmisión de datos del receptor en respuesta a lo mismo. El diagrama de flujo 30 del método se muestra a modo de ejemplo y se pretende también que incluya otras etapas coherentes con las mostradas y 30 descritas en el presente documento.

Figura 3

35 La Figura 3 muestra a modo de ejemplo un sistema 40 de acuerdo con la presente invención que tiene un enlace óptico 42 dispuesto entre una RX tal como 10 en la Figura 1a y TX tal como 20 en la Figura 1b. Como se muestra, el enlace óptico 42 incluye una TX óptica 42a, un acoplamiento óptico 42b y una RX óptica 42c, que son todos elementos que son conocidos en la técnica. La RX 10 está acoplada mediante un enlace galvánico 44 a la RX óptica 42c, y la TX 20 está acoplada mediante un enlace galvánico 46 a la TX óptica 42a.

40 En este tipo de aplicación, los enlaces ópticos pueden usarse para interconectar la TX 20 y la RX 10 en lugar de enlaces galvánicos largos. En una configuración de este tipo, únicamente los enlaces galvánicos cortos 44 y 46 permanecen entre la TX 20 y la TX óptica 42a, y la RX óptica 42c y la RX 10, respectivamente. La señal de cambio de modo de transmisión puede decodificarse simplemente mediante un enlace óptico 42 de este tipo y puede usarse también para conmutar los ajustes de la TX óptica 42a y la RX óptica 42c, por ejemplo la potencia de TX óptica, la 45 frecuencia o sensibilidad de filtro de paso bajo de RX óptica, etc. El alcance de la invención no se pretende que esté limitado al número o tipo de ajustes de hardware conmutados por la señal de cambio de modo de transmisión. Coherente con lo descrito en el presente documento, los dispositivos ópticos 42a y 42c no necesitarían recuperación de reloj y datos para detectar los ajustes correctos.

50 A modo de ejemplo, los modos pueden cambiar como sigue. La RX 10 en un estado de RESETEO podría pasarse tras la recepción de la señal de cambio de modo de transmisión a un estado de PARADA, donde se almacena el estado objetivo indicado por la señal de cambio de modo de transmisión. La transición de estado de PARADA a estado de alta velocidad se hace a continuación tan pronto como el estado de línea lógico pasa a '1'. Conmutar desde el estado de alta velocidad al estado de PARADA o RESETEO se realizará después de una señal '0' o '1' más 55 larga que un tiempo especificado. Este tiempo debe definirse más largo que la longitud de serie máxima de la codificación en línea usada (en el ejemplo de la Figura 2, este tiempo es 100 ns).

60 Es importante observar que el alcance de la invención se pretende que incluya que el transceptor y el transceptor óptico toman la forma de transceptores "inteligentes" en la trayectoria de transmisión que se posibilita para decodificar los datos en la línea de transmisión incluso en modos de alta velocidad, y "transceptores no inteligentes" en la línea de transmisión, donde el modo de los transceptores necesita cambiarse dependiendo del modo de transmisión seleccionado. Los "transceptores no inteligentes" no podrían posibilitarse para decodificar el contenido de datos, sino simplemente pasar la señal de datos a través del siguiente transceptor. Además de los transceptores ópticos, el alcance de la invención se pretende que incluya, por ejemplo, amplificadores eléctricos en la trayectoria 65 de transmisión donde el fin es simplemente aumentar el nivel de señal de datos para pasar los datos a través de una distancia más larga al siguiente receptor. Este tipo de función de "transceptores no inteligentes" se denomina

“convertidor de medios”.

Figura 4: ejemplo de señal de cambio de modo de transmisión de 3 bits

5 La Figura 4 muestra un ejemplo de una señal de cambio de modo de transmisión de tres bits (duración de bits como ejemplo únicamente) de acuerdo con algunas realizaciones de la presente invención. Como se muestra, esta señal de cambio de modo de transmisión es de 3 bits de largo (necesaria para incorporar “ir a INACTIVIDAD” más 4 modos de alta velocidad).

10 Este ejemplo muestra la secuencia de 3 bits usando, a modo de ejemplo, un tipo de codificación por modulación de anchura de pulso. El receptor 10 (Figuras 1a y 3) puede implementarse con contadores digitales o circuitos analógicos, por ejemplo en el módulo 10a. La codificación propuesta en la Figura 3 se muestra a modo de ejemplo puesto que es muy tolerante a variación de frecuencia. Sin embargo, el alcance de la invención se pretende que incluya otros tipos o clases de señalización de PWM y/o codificación de señal de cambio de modo de transmisión, ya se conozca ahora o se desarrolle más adelante en el futuro dentro del espíritu de la presente invención. En la operación, la señal de cambio de modo de transmisión simplemente anuncia el modo principal a venir (HS1..4, INACTIVIDAD). Después de la señal de cambio de modo de transmisión, la secuencia de entrenamiento normal del código de alta velocidad (por ejemplo, los patrones 010101) comenzará o la circuitería se conmutará, por ejemplo, a modo de INACTIVIDAD.

20 Figura 5: la máquina de estado

La Figura 5 muestra un diagrama de una máquina de estado del receptor 10 (véase la Figura 1 y 3) que tiene valores de temporización a modo de ejemplo de acuerdo con algunas realizaciones de la presente invención.

25 Como se muestra en la figura 5, a partir del estado RESETEO, una señal de cambio de modo de transmisión de 3 bits secuencialmente indica al receptor 10 a qué modo debería ir (por ejemplo HS2). El receptor 10 almacenará este modo (por ejemplo HS2), de modo que a partir de ese punto en el tiempo puede conmutar entre HS2 y PARADA observando fácilmente el estado de la línea. Si el valor lógico “1” es superior a 100 ns, va a HS2. Si el valor lógico “0” es superior a 100 ns, entonces el modo vuelve a PARADA, y así sucesivamente.

Si el receptor debiera ir a un modo HS diferente (por ejemplo HS1) o a INACTIVIDAD, esto debe realizarse pasando a través del estado de RESETEO.

35 En resumen la presente invención tiene dos aspectos principales, como sigue:

(1) Un método para conmutar entre varios modos de alta velocidad (HS1..4) y diferentes modos de baja potencia (PARADA, INACTIVIDAD) en una nueva y única manera. El transmisor tal como 20 (Figura 1b y 3) usa señales de cambio de modo de transmisión para anunciar uno de los modos {HS1, HS2, HS3, HS4, INACTIVIDAD} como el siguiente modo principal para el receptor 10 (Figura 1a y 3). La misma señal de cambio de modo de transmisión puede optimizarse para detección y decodificación fácil, no para transmisión rápida. El estado de PARADA se considera un modo de ahorro de potencia intermedio, que puede introducirse desde (y salirse a) HS1..4 sin la señal de cambio de modo de transmisión. En su lugar, estas transiciones (que necesitan ser rápidas para eficacia de sistema) pueden identificarse por el receptor observando simplemente el estado de la línea. Esto se muestra en el diagrama de estado en la Figura 5.

(2) Un método para utilizar la información contenida en la señal de cambio de modo de transmisión por el receptor y también dispositivos intermedios adicionales, como el transmisor óptico 42a y el receptor óptico 42c de la Figura 3, para adaptar su comportamiento interno al modo nuevamente anunciado. Esto es posible incluso para dispositivos sencillos, que no pueden analizar el flujo de datos de alta velocidad de modos HS1..4, puesto que la señal de cambio de modo de transmisión se envía de una manera sencilla de decodificar con una velocidad inferior.

Figuras 6a-c

55 Las Figuras 6a muestran una vista general de diagrama o gráfico de unos modos/estados que proporcionan un esquema simplificado que tiene una transición de PARADA-a-HS más rápida. Los modos o estados incluyen RESETEO, INACTIVIDAD, PARADA, HS1, HS2, ..., HS4. Como se muestra, la característica de los modos/estados incluye: velocidad (Mbps), estado de línea diferencial, resistencia de terminación de RX, posible siguiente estado y condición de salida, y las suposiciones de implementación se proporcionan por razones informativas y pueden incluir uno o más de lo siguiente: PLL de TX, serialización de TX, CDR de RX o deserialización de RX.

La Figura 6b muestra un diagrama de estado de RX óptico de acuerdo con estas realizaciones de la presente invención, y la Figura 6c muestra ajustes de hardware de RX óptico de acuerdo con estas realizaciones de la presente invención.

65 La Figura 6c muestra a modo de ejemplo ajustes de hardware de RX de acuerdo con algunas realizaciones de la

presente invención.

La Figura 6d1 a 6d3 muestran diagramas de temporización para una transición de INACTIVO a PARADA, para una transición de PARADA a HSx y para una transición de HSx a PARADA a HSx de acuerdo con algunas realizaciones de la presente invención.

Figuras 7a-d

La Figura 7a-d muestra una realización alternativa a las mostradas anteriormente de acuerdo con algunas realizaciones de la presente invención.

En particular, la Figura 7a muestra una vista general de diagrama o gráfico de unos modos/estados. Los modos o estados incluyen INACTIVIDAD, PARADA, HS1, HS2, ..., HS4. La característica de los modos/estados incluye: velocidad (Mbps), estado de línea diferencial, resistencia de terminación de RX, posible siguiente estado y condición de salida. Las suposiciones de la implementación se proporcionan por razones informativas y pueden incluir uno o más de lo siguiente: PLL de TX, serialización de TX, CDR de RX o deserialización de RX.

La Figura 7b muestra un diagrama de estado de TX para los modos/estados mostrados en la Figura 7a.

La Figura 7c muestra un diagrama de estado de RX para los modos/estados mostrados en la Figura 7a.

La Figura 7d muestra un ejemplo de codificación de señal de cambio de modo de transmisión (TMCS) para los modos/estados mostrados en la Figura 7a.

La señal de cambio de modo de transmisión puede realizarse de diferentes maneras.

El ejemplo en la Figura 7d muestra una secuencia de 2 bits con codificación por modulación de anchura de pulso, donde el receptor podría implementarse con contadores digitales o circuitos analógicos, y que es muy tolerante a variación de frecuencia.

En la operación, la señal de cambio de modo de transmisión simplemente anuncia el modo HS para a venir (HS1..4). Después de la señal de cambio de modo de transmisión, comenzará la secuencia de entrenamiento normal (por ejemplo, el patrón 010101).

Figuras 6a-7c

En resumen, a modo de ejemplo, se muestran y describen dos alternativas que tienen los detalles básicos de requisitos para la interfaz de datos alámbrica en el presente documento, que incluyen cómo se prevén los diferentes modos con respecto a una tasa de datos, codificación en línea, terminación de receptor y condiciones de entrada / salida. El formato se proporciona para permitir una comparación básica de las dos maneras.

Estas figuras muestran una posible solución para "el panorama completo", es decir cómo los diferentes modos pueden funcionar sin problemas juntos.

Coherente con lo analizado anteriormente, la prioridad supuesta de los casos de transición de modo es como sigue:

HSx => PARADA => HSx	Esto tiene lugar a menudo, la transición necesita ser rápida
HSx => PARADA => HSy	Tiene lugar menos a menudo, la transición puede ser más lenta
HSx => INACTIVIDAD	Esta transición puede ser lenta

Coherente con lo analizado anteriormente, los detalles técnicos se proporcionan únicamente a modo de ejemplo.

Los modos/estados son como sigue:

- Dos estados de apagado: INACTIVIDAD, PARADA

-- Ambos estados son básicamente el mismo

No es posible la transmisión de datos
Diferencial '0' en el enlace
Terminación de RX APAGADA

-- Únicamente la diferencia es el tiempo de reactivación

Desde PARADA a HS aproximadamente 100 ns
Desde INACTIVIDAD a PARADA aproximadamente 1 ms

- Hasta cuatro modos de 'alta velocidad': HS1, HS2, HS3, HS4

-- Todos los modos son a nivel de método iguales

5

Transmisión de datos con codificación 8b10b
Señalización diferencial con terminación de RX ENCENDIDA

-- La única diferencia es la tasa de datos

10

Por ejemplo HS1: 156 Mbps / HS2: 1248 Mbps / HS3: 2496 Mbps / HS4: 4992 Mbps

-- Cada implementación debe proporcionar al menos HS1, otros modos son opcionales

15 El modo HS1 puede tener una tasa de datos significativamente inferior que HS2..4, por ejemplo 156 Mbps. Está diseñado para tratar de manera eficaz casos de uso de ancho de banda bajo. Debido a la frecuencia relativamente baja se espera que la recuperación de datos de receptor pueda implementarse con consumo de baja potencia. El bucle enganchado en fase del transmisor también debería consumir menos potencia que en otros modos de HS.

20 Implementación de los módulos básicos

A modo de ejemplo, y coherente con lo descrito en el presente documento, la funcionalidad básica de los módulos 10a, 10b, 10c, 20a, 20b puede configurarse e implementarse usando hardware, software, firmware, conjunto de chips o una combinación de los mismos, aunque el alcance de la invención no se pretende que esté limitado a ninguna realización particular de los mismos. En una implementación de software típica, los módulos 10a, 10b, 10c, 20a, 20b estarían en una o más arquitecturas basadas en microprocesador que tienen un microprocesador, una memoria de acceso aleatorio (RAM), una memoria de solo lectura (ROM), dispositivos de entrada/salida y buses de control, datos y direcciones que conectan los mismos. Un experto en la materia podría programar una implementación basada en microprocesador de este tipo para realizar la funcionalidad descrita en el presente documento sin experimentación debida. Además, el alcance de la invención se pretende que incluya los módulos 10a, 10b, 10c, 20a, 20b que están configurados como módulos independientes, como se muestra, o que están configurados en comparación con otra circuitería para implementar otro módulo.

35 Se entiende que el receptor 10 y el transmisor 20 pueden incluir también otros módulos, circuitos, dispositivos que no forman parte de la invención subyacente propiamente dicha. La funcionalidad de los otros módulos, circuitos, dispositivos que no forman parte de la invención subyacente es conocida en la técnica y no se describe en detalle en el presente documento.

El alcance de la invención

40

Por consiguiente, la invención comprende las características de construcción, combinación de elementos y disposición de partes que se ejemplificarán en la construcción expuesta en lo sucesivo.

45 Se observará que los objetos anteriormente expuestos, y aquellos hechos evidentes a partir de la descripción precedente, se consiguen de manera eficaz y, puesto que pueden realizarse ciertos cambios en la construcción anterior sin alejarse del alcance de la invención, se pretende que toda la materia contenida en la descripción anterior o mostrada en los dibujos adjuntos deberá interpretarse como ilustrativa y no en un sentido limitante.

50 Incluso si la realización a modo de ejemplo de la presente invención se describe ampliamente en el entorno de interfaz de datos alámbrica, debería entenderse y apreciarse por un experto en la materia que la descripción de la invención a modo de ejemplo puede aplicarse a otros sistemas de tecnología de comunicación en serie de alta velocidad, tales como el entorno de la interfaz de procesador de la industria móvil (MIPI).

55 Además, la invención puede no ser únicamente aplicable cuando un dispositivo cambia de un modo activo a uno en espera sino para todos los cambios como conmutación de canal o inicialización de sistema que requieren adaptación de tasa de datos.

REIVINDICACIONES

1. Un método que comprende:

5 recibir (30a) en un aparato una señal de datos en serie de alta velocidad a través de un enlace físico transmitida usando un esquema de codificación de no retorno a cero;
 recibir (30b) en el aparato una señal de cambio de modo de transmisión transmitida usando un esquema de codificación de retorno a cero con información secuencial acerca de un cambio en un modo de transmisión de datos del aparato; y
 10 conmutar (30c) el modo de transmisión de datos del aparato basándose al menos parcialmente en la información secuencial.

2. Un método de acuerdo con la reivindicación 1, en el que el modo de transmisión de datos comprende al menos uno de:

15 al menos un modo de baja potencia donde no es posible la transmisión de datos y el aparato se apaga; y
 al menos un modo de alta velocidad donde es posible la transmisión de datos y el aparato está encendido.

3. Un método de acuerdo con la reivindicación 2, en el que al menos un modo de baja potencia comprende dos estados de apagado diferentes, teniendo cada uno diferentes tiempos de reactivación.

4. Un método de acuerdo con la reivindicación 2, en el que al menos un modo de alta velocidad comprende varios modos de alta velocidad, teniendo cada uno diferentes tasas de transmisión de datos.

25 5. Un método de acuerdo con la reivindicación 1, en el que el cambio en el modo de transmisión de datos depende de una secuencia de bits transmitida en señales de cambio de modo de transmisión.

6. Un método de acuerdo con la reivindicación 1, en el que la señal de cambio de modo de transmisión se transmite con una señal basándose al menos parcialmente en un tipo de codificación por modulación de anchura de pulso.

30 7. Un aparato (10) que comprende:

uno o más módulos (10a, 10b, 10c) configurados para recibir una señal de datos en serie de alta velocidad a través de un enlace físico transmitida usando un esquema de codificación de no retorno a cero y una señal de cambio de modo de transmisión transmitida usando un esquema de codificación de retorno a cero con información secuencial acerca de un cambio en un modo de transmisión de datos del aparato; y configurados también para conmutar el modo de transmisión de datos del aparato basándose al menos parcialmente en la información secuencial.

40 8. Un aparato de acuerdo con la reivindicación 7, en el que el modo de transmisión de datos comprende al menos uno de:

al menos un modo de baja potencia donde no es posible la transmisión de datos y el receptor está apagado; y
 al menos un modo de alta velocidad donde es posible la transmisión de datos y el receptor está encendido.

45 9. Un aparato de acuerdo con la reivindicación 7, en el que el uno o más módulos están configurados para acoplar el aparato a un receptor óptico que forma parte de un enlace óptico y el uno o más módulos están configurados para decodificar la señal de cambio de modo de transmisión con el receptor óptico.

50 10. Un aparato de acuerdo con la reivindicación 7, en el que uno o más ajustes de hardware del aparato se cambian basándose en la información secuencial contenida en la señal de cambio de modo de transmisión.

11. Un aparato de acuerdo con la reivindicación 10, en el que el uno o más ajustes de hardware comprenden un ajuste para ajustar una sensibilidad del aparato.

55 12. Un aparato de acuerdo con la reivindicación 7, en el que el aparato forma parte de una implementación de interfaz de datos, que comprende un sistema móvil tal como un teléfono celular, un ordenador portátil o una cámara digital.

60 13. Un aparato (20) que comprende:

uno o más módulos (20a, 20b) configurados para proporcionar una señal de datos en serie de alta velocidad a través de un enlace físico transmitida usando un esquema de codificación de no retorno a cero; y también configurados para proporcionar una señal de cambio de modo de transmisión transmitida usando un esquema de codificación de retorno a cero con información secuencial acerca de un cambio en un modo de transmisión de datos para posibilitar que un receptor de la señal de datos en serie de alta velocidad conmute el modo de

transmisión de datos del receptor basándose al menos parcialmente en la información secuencial.

14. Un aparato de acuerdo con la reivindicación 13, en el que el modo de transmisión de datos comprende al menos uno de:

5 al menos un modo de baja potencia donde no es posible la transmisión de datos y el receptor está apagado y al menos un modo de alta velocidad donde es posible la transmisión de datos y el receptor está encendido.

15. Un aparato de acuerdo con la reivindicación 13, en el que el uno o más módulos están configurados para acoplarse mediante un transmisor óptico a un enlace óptico.

10 16. Un aparato de acuerdo con la reivindicación 15, en el que el transmisor óptico proporciona la señal de cambio de modo de transmisión para decodificación por un receptor óptico acoplado al receptor.

15 17. Un método de acuerdo con la reivindicación 1, en donde el método comprende adicionalmente implementar el método mediante un programa informático que se ejecuta en uno o más módulos en el aparato.

18. Un sistema que comprende:

20 un transmisor (20) que tiene uno o más módulos configurados para proporcionar una señal de datos en serie de alta velocidad a través de un enlace físico transmitida usando un esquema de codificación de no retorno a cero, y para proporcionar una señal de cambio de modo de transmisión transmitida usando un esquema de codificación de retorno a cero con información secuencial acerca de un cambio en un modo de transmisión de datos; y
un receptor (10) que tiene uno o más módulos configurados para recibir la señal de datos en serie de alta velocidad y la señal de cambio de modo de transmisión, y para conmutar el modo de transmisión de datos del
25 receptor basándose al menos parcialmente en la información secuencial.

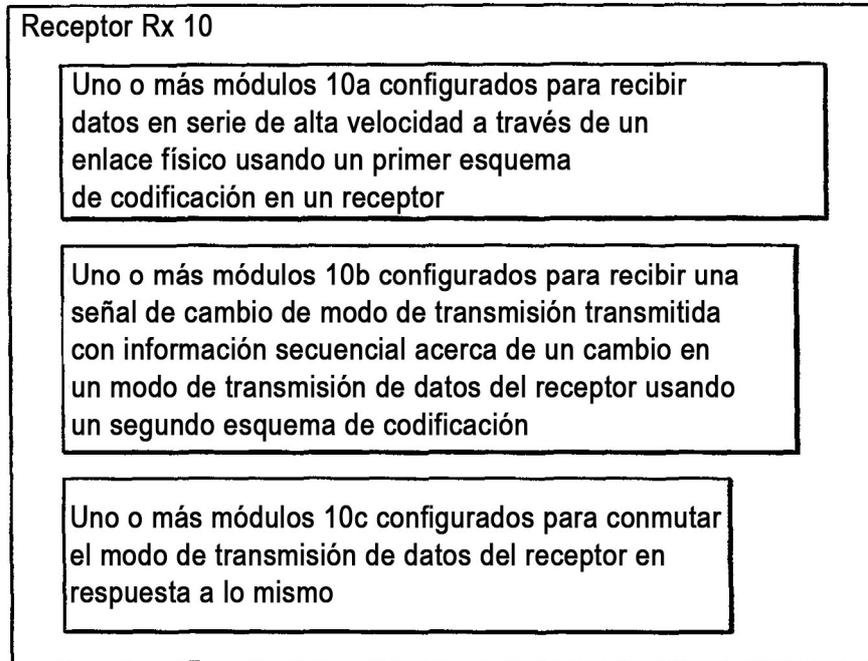


FIG. 1a

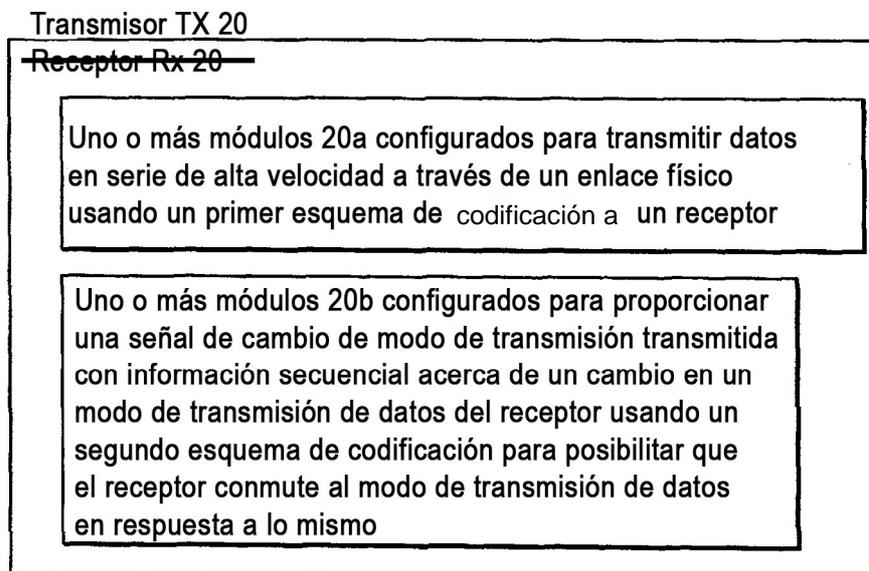


FIG. 1b

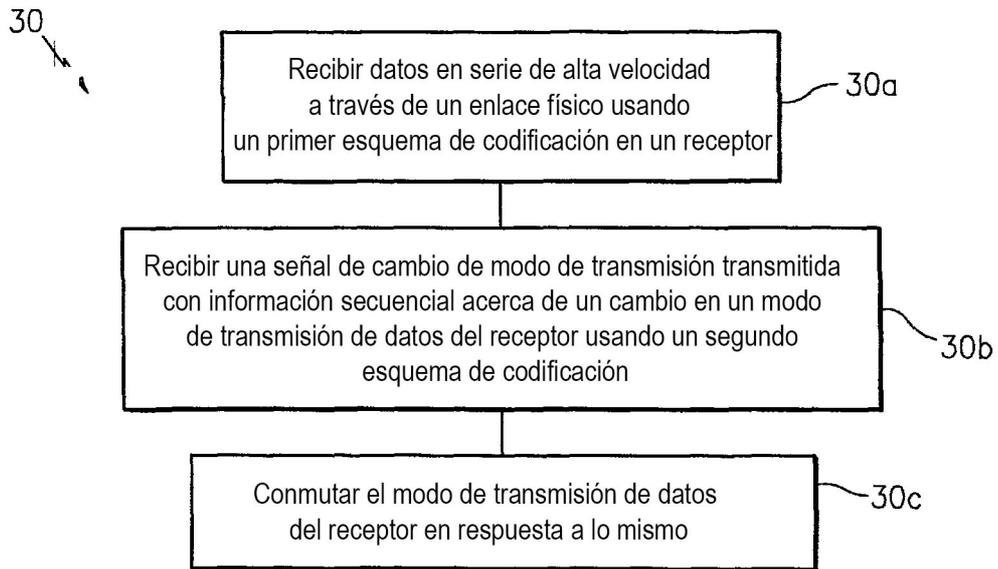


FIG. 2

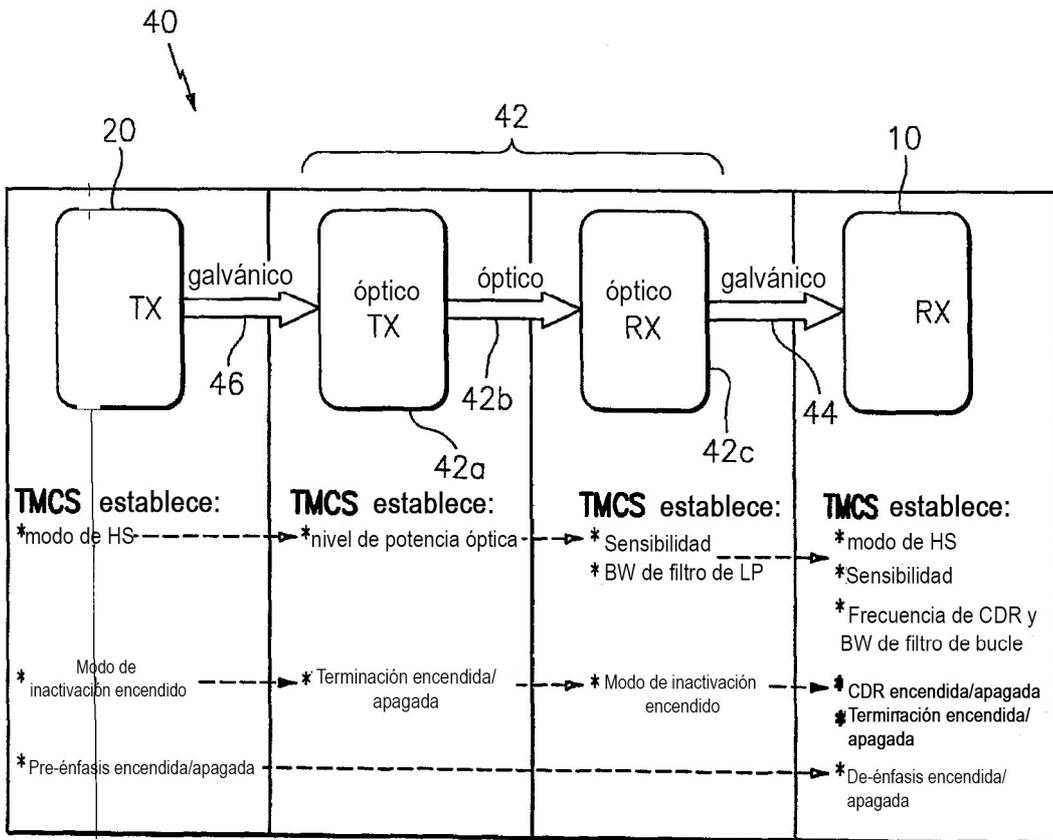


FIG. 3 : enlace óptico entre TX y RX

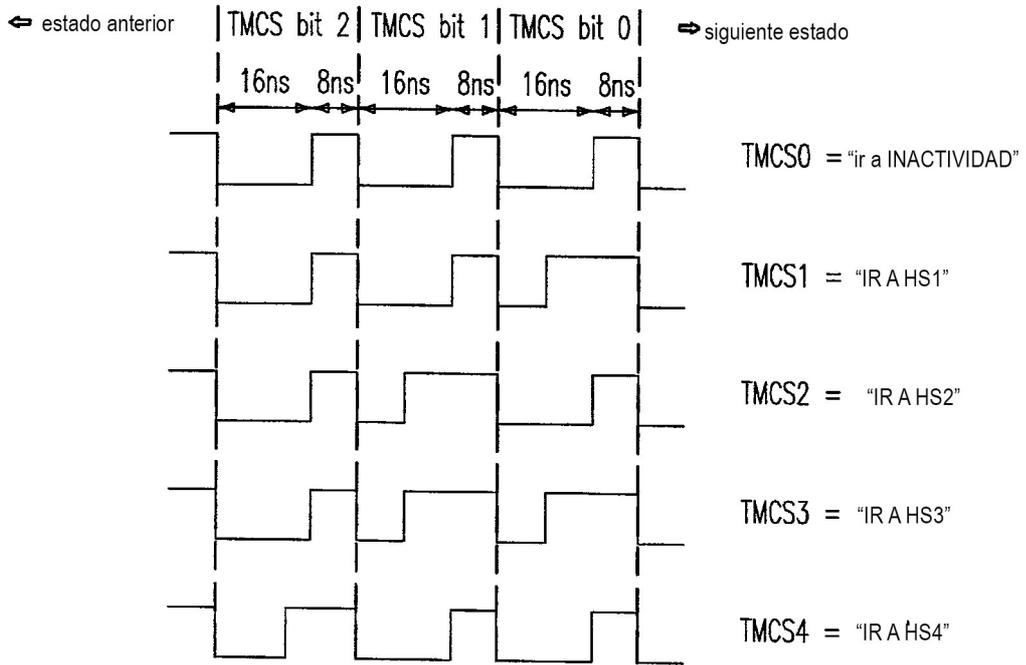


FIG. 4 : ejemplo de código de TMCS de tres bits (duración de bits como ejemplo únicamente)

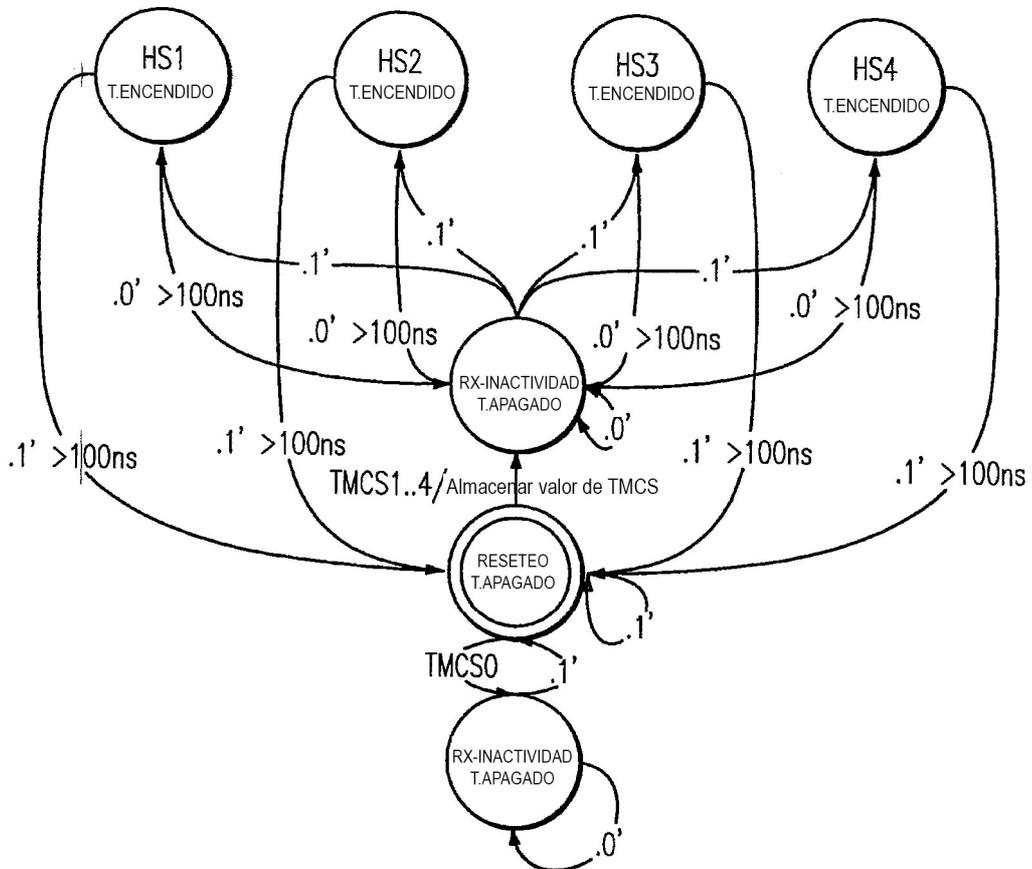


FIG. 5 : máquina de estado de RX. Valores de temporización son a modo de ejemplo

Vista general de modos / estados

							Suposición de implementación (informativo)			
	Velocidad [Mbps]	Estado de línea diferencial	Terminación de RX	Possible siguiente estado	Condición de salida	PLL de TX	Serializador de TX	CDR de RX	Deserializador de RX	
RESETEO	0	"1"	APAGADO	INACTIVIDAD/PABADA	secuencia de TMCS					
INACTIVIDAD	0	"0"	APAGADO	RESETEO	estado de línea= "1"	APAGADO	APAGADO	APAGADO	APAGADO	
PARADA	0	"0"	APAGADO	HS1/HS2/HS3/HS4	estado de línea= "1"	ENCENDIDO	APAGADO	APAGADO	APAGADO	
HS1	156	XX	ENCENDIDO	PARADA/RESETEO	"0" / "1" >100ns	ENCENDIDO	ENCENDIDO	ENCENDIDO	ENCENDIDO	
HS2	1248	XX	ENCENDIDO	PARADA/RESETEO	"0" / "1" >100ns	ENCENDIDO	ENCENDIDO	ENCENDIDO	ENCENDIDO	
HS3	2496	XX	ENCENDIDO	PARADA/RESETEO	"0" / "1" >100ns	ENCENDIDO	ENCENDIDO	ENCENDIDO	ENCENDIDO	
HS4	4992	XX	ENCENDIDO	PARADA/RESETEO	"0" / "1" >100ns	ENCENDIDO	ENCENDIDO	ENCENDIDO	ENCENDIDO	

FIG. 6a

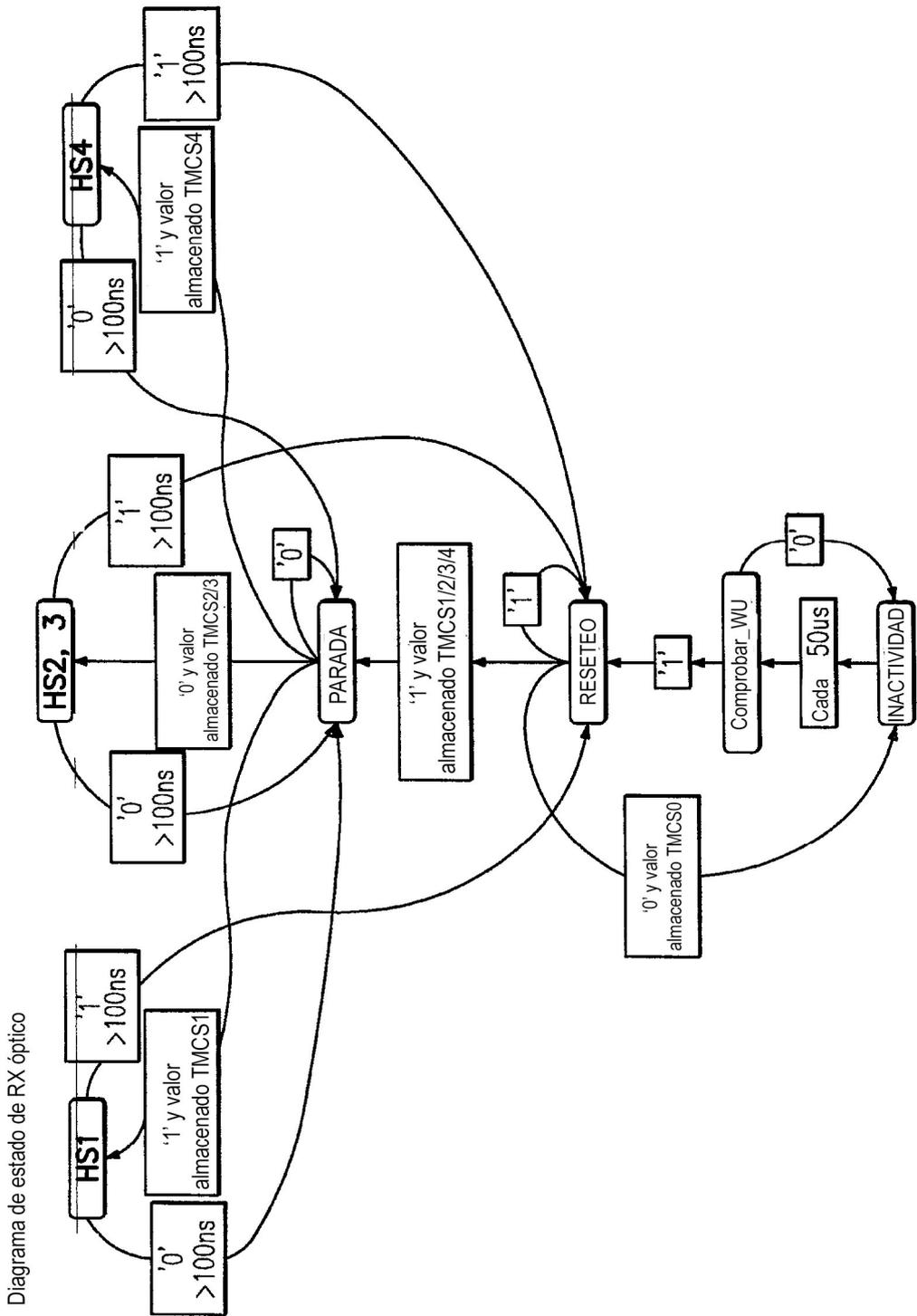


FIG. 6b

Ajuste de HW de RX óptico		Entrada óptica = salida eléctrica		Siguiente estado	Enlace óptico, dispositivo de HW de RX	Ajuste	Nota
Estado							
INACTIVIDAD Modo de ahorro de potencia, crear ramas de manera regular a estado Comprobar_WU: no comprueba señal de entrada óptica	"0"	Comprobar_WU	Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación	Comprobar_WU	APAGADO APAGADO ENCENDIDO APAGADO APAGADO ENCENDIDO	Amplificador de alta velocidad Amplificador de baja velocidad Ajuste de filtro de paso alto (HP); Podría estar APAGADO, si ahorro de potencia conseguido Podría estar ENCENDIDO Podría estar ENCENDIDO Iniciar cambio regular a estado Comprobar_WU, ejecutar reloj de inactivación u oscilador de RC interno	
Comprobar_WU Reactivación regular para comprobar en señal óptica, que iniciaría reactivación de enlace	"0"	INACTIVIDAD	Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación	INACTIVIDAD	APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO	Podría estar ENCENDIDO Podría estar ENCENDIDO	
Comprobar_WU Reactivación regular para comprobar en señal óptica, que iniciaría reactivación de enlace	"1"	RESETEO	Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación	RESETEO	APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO	Podría estar ENCENDIDO Podría estar ENCENDIDO	
RESETEO Permanece en RESETEO siempre que señal de entrada sea "1"	"1"	RESETEO	Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación	RESETEO	APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO		

FIG. 6c1

RESETEO Ramas a PARADA cuando entrada de TMCS detectada y almacena señal de TMCS	TMCS0	INACTIVIDAD	Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación	APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO
RESETEO Ramas a PARADA cuando entrada de TMCS detectada y almacena señal de TMCS	TMCS1/2/3/4	PARADA	Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación	APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO
PARADA En PARADA, el siguiente estado es conocido a partir de valor de TMCS almacenado, de modo que el amplificador y filtros correctos podrían conmutarse en este punto para permitir tiempo de conmutación corto	"0"	PARADA	Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación	APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO
PARADA "TMCS1" se almacena en estado de RESETEO	"1"	HS1	Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación	APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO

Valores de TMCS se almacenan en memoria local

FIG. 6c2

<p>PARADA "TMC2" o "TMC3" se almacenaron en estado de RESETEO</p>	"1"	HS2-3	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>ENCENDIDO APAGADO APAGADO ENCENDIDO APAGADO APAGADO</p>
<p>PARADA "TMC4" se almacena en estado de RESETEO</p>	"1"	HS4	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>ENCENDIDO APAGADO APAGADO APAGADO ENCENDIDO APAGADO</p>
<p>HS1 156Mb/s</p>	Datos	HS1	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO</p> <p>Podría estar ENCENDIDO Podría estar ENCENDIDO</p>
<p>HS1 156Mb/s</p>	"0" >100ns	PARADA	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO</p> <p>Podría estar ENCENDIDO Podría estar ENCENDIDO</p>

FIG. 6c3

<p>HS1 156Mb/s</p>	<p>"1" > 100ns</p>	<p>RESETEO</p>	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>APAGADO ENCENDIDO ENCENDIDO APAGADO APAGADO APAGADO</p>	<p>Podría estar ENCENDIDO Podría estar ENCENDIDO</p>
<p>HS2-3 1,25Gb/s o 2,5Gb/s</p>	<p>Datos</p>	<p>HS2-3</p>	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>ENCENDIDO APAGADO APAGADO ENCENDIDO ENCENDIDO APAGADO</p>	<p>Podría estar ENCENDIDO</p>
<p>HS2-3 1,25Gb/s o 2,5Gb/s</p>	<p>"0" > 100ns</p>	<p>PARADA</p>	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>ENCENDIDO APAGADO APAGADO ENCENDIDO APAGADO APAGADO</p>	<p>Podría estar ENCENDIDO</p>

FIG. 6c4

<p>HS2-3 1,25Gb/s o 2,5Gb/s</p>	<p>*1* > 100ns</p>	<p>RESETEO</p>	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>ENCENDIDO APAGADO APAGADO ENCENDIDO APAGADO APAGADO Podría estar ENCENDIDO</p>
<p>HS4 5Gb/s</p>	<p>Data</p>	<p>HS4</p>	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>ENCENDIDO APAGADO APAGADO APAGADO ENCENDIDO APAGADO</p>
<p>HS4 5Gb/s</p>	<p>*0* > 100ns</p>	<p>PARADA</p>	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>ENCENDIDO APAGADO APAGADO APAGADO ENCENDIDO APAGADO</p>
<p>HS4 5Gb/s</p>	<p>*1* > 100ns</p>	<p>RESETEO</p>	<p>Amplificador HS Amplificador LS Punto de corte de HP 100 kHz Punto de corte de HP 1 kHz Punto de corte de HP 5 kHz Temporizador de reactivación</p>	<p>ENCENDIDO APAGADO APAGADO APAGADO ENCENDIDO APAGADO</p>

FIG. 6c5

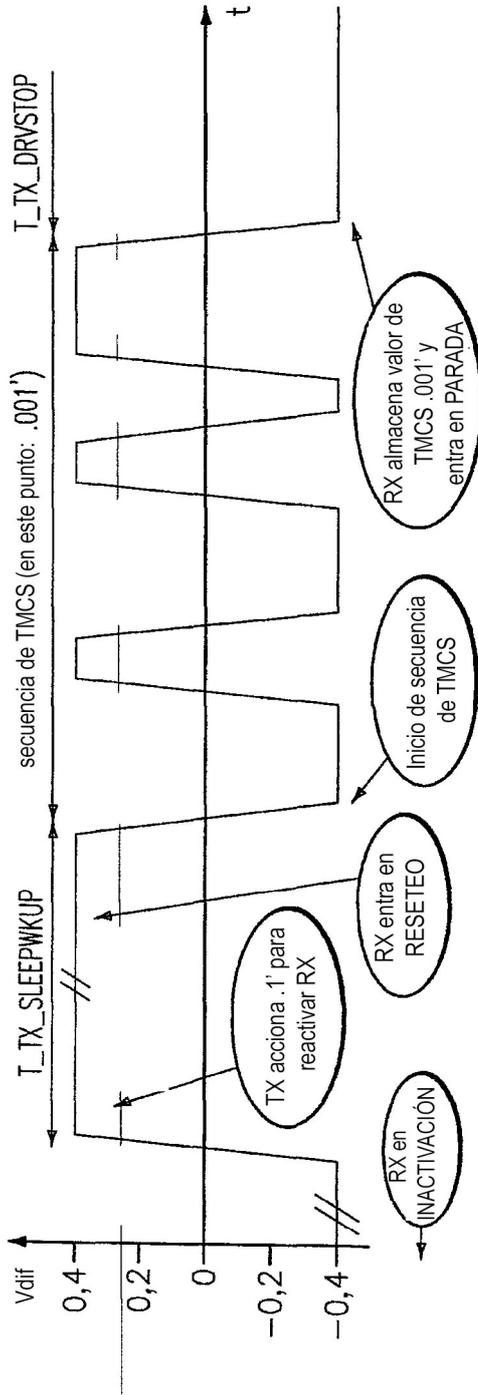


FIG. 6d1 : „INACTIVIDAD => PARADA”

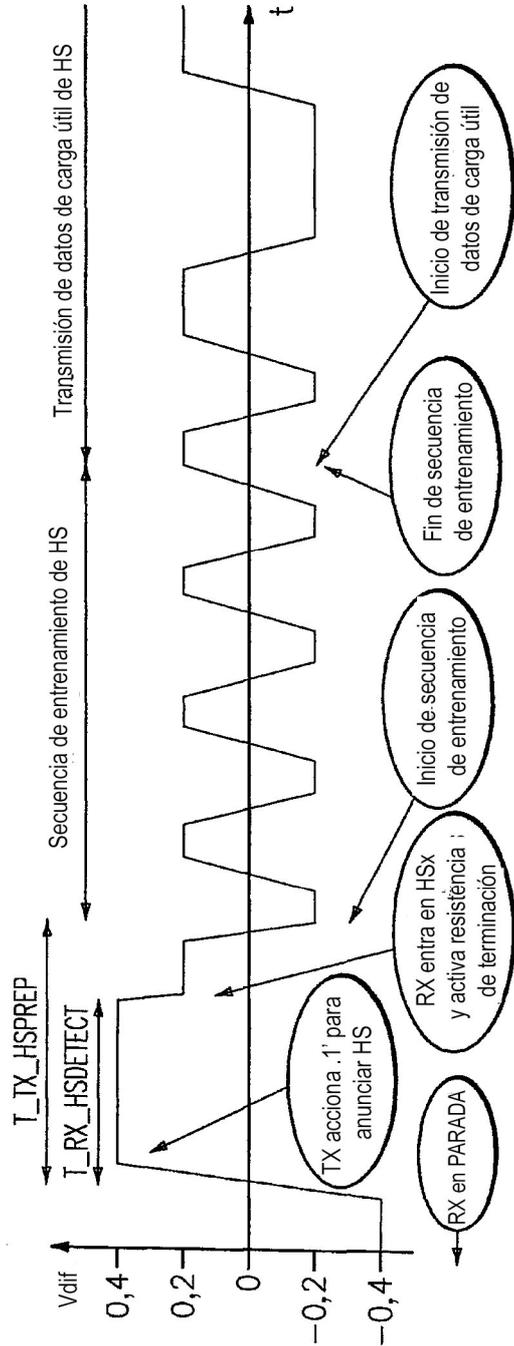


FIG. 6d2 : „PARADA => HSx”

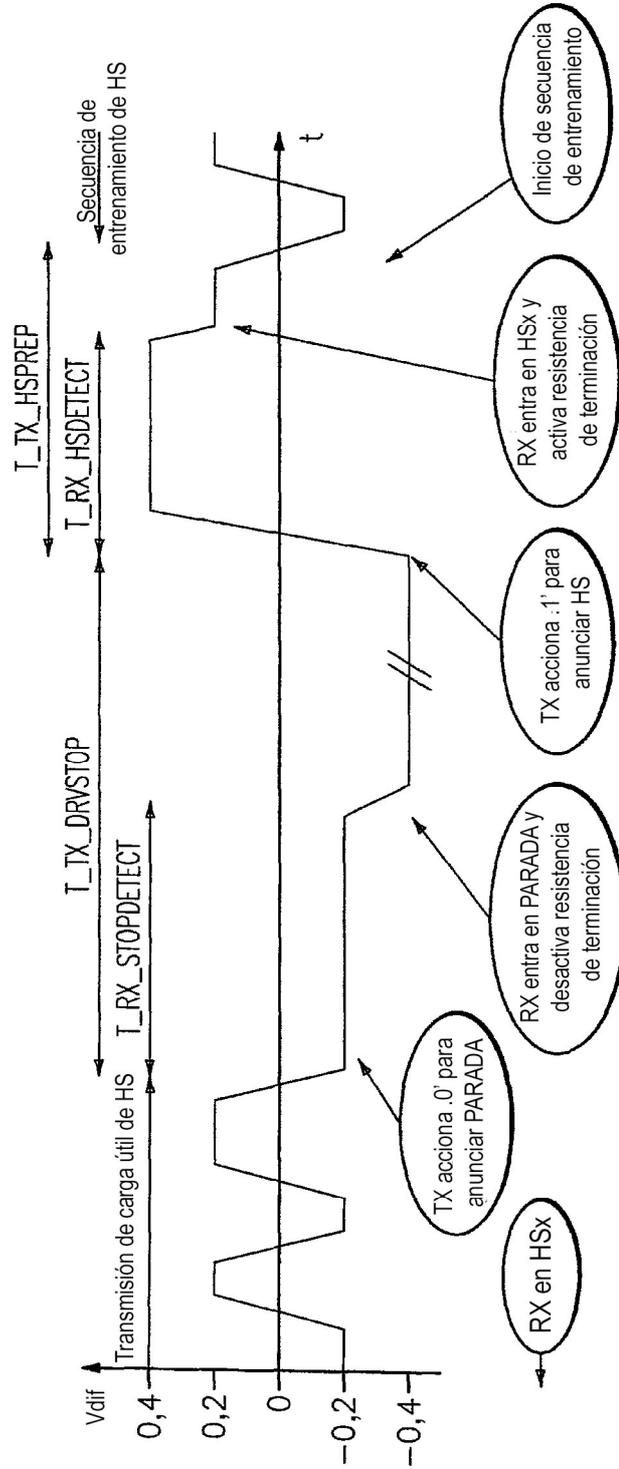


FIG. 6d3 : „HSx => PARADA => HSx”

Vista general de modos / estados

							Suposición de implementación (informativo)			
	Velocidad [Mbps]	Estado de línea diferencial	Terminación de RX	Posible siguiente estado	Condición de salida	PLL de TX	Serializador de TX	CDR de RX	Deserializador de RX	
INACTIVIDAD	0	"0"	APAGADO	PARADA	estado de línea= "1"	APAGADO	APAGADO	APAGADO	APAGADO	
PARADA	0	"0"	APAGADO	HS1/HS2/HS3/HS4	estado de línea= "1"	ENCENDIDO	APAGADO	APAGADO	APAGADO	
HS1	156	XX	ENCENDIDO	PARADA/INACTIVIDAD	código k	ENCENDIDO	ENCENDIDO	ENCENDIDO	ENCENDIDO	
HS2	1248	XX	ENCENDIDO	PARADA/INACTIVIDAD	código k	ENCENDIDO	ENCENDIDO	ENCENDIDO	ENCENDIDO	
HS3	2496	XX	ENCENDIDO	PARADA/INACTIVIDAD	código k	ENCENDIDO	ENCENDIDO	ENCENDIDO	ENCENDIDO	
HS4	4992	XX	ENCENDIDO	PARADA/INACTIVIDAD	código k	ENCENDIDO	ENCENDIDO	ENCENDIDO	ENCENDIDO	

FIG. 7α

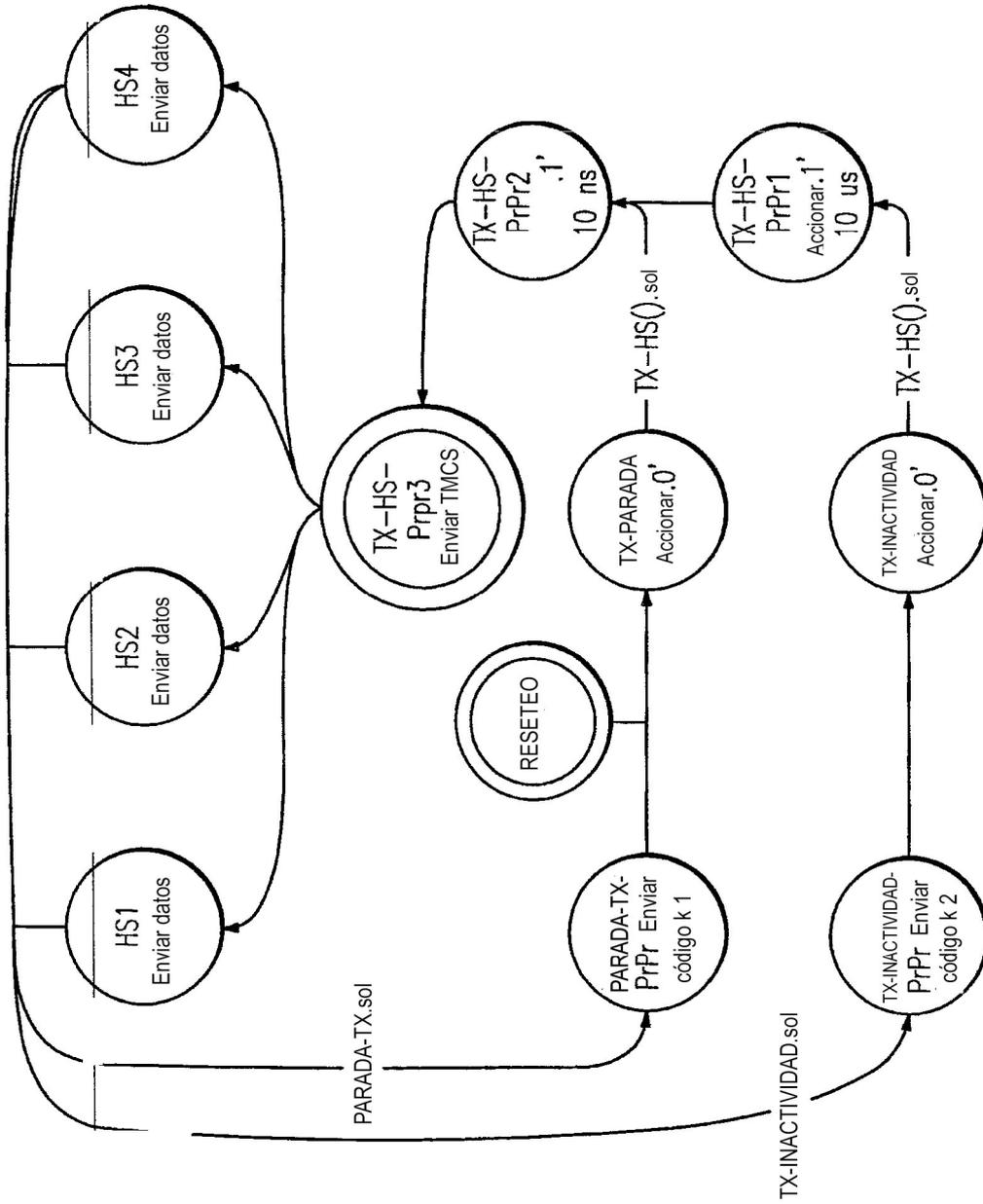


FIG. 7b

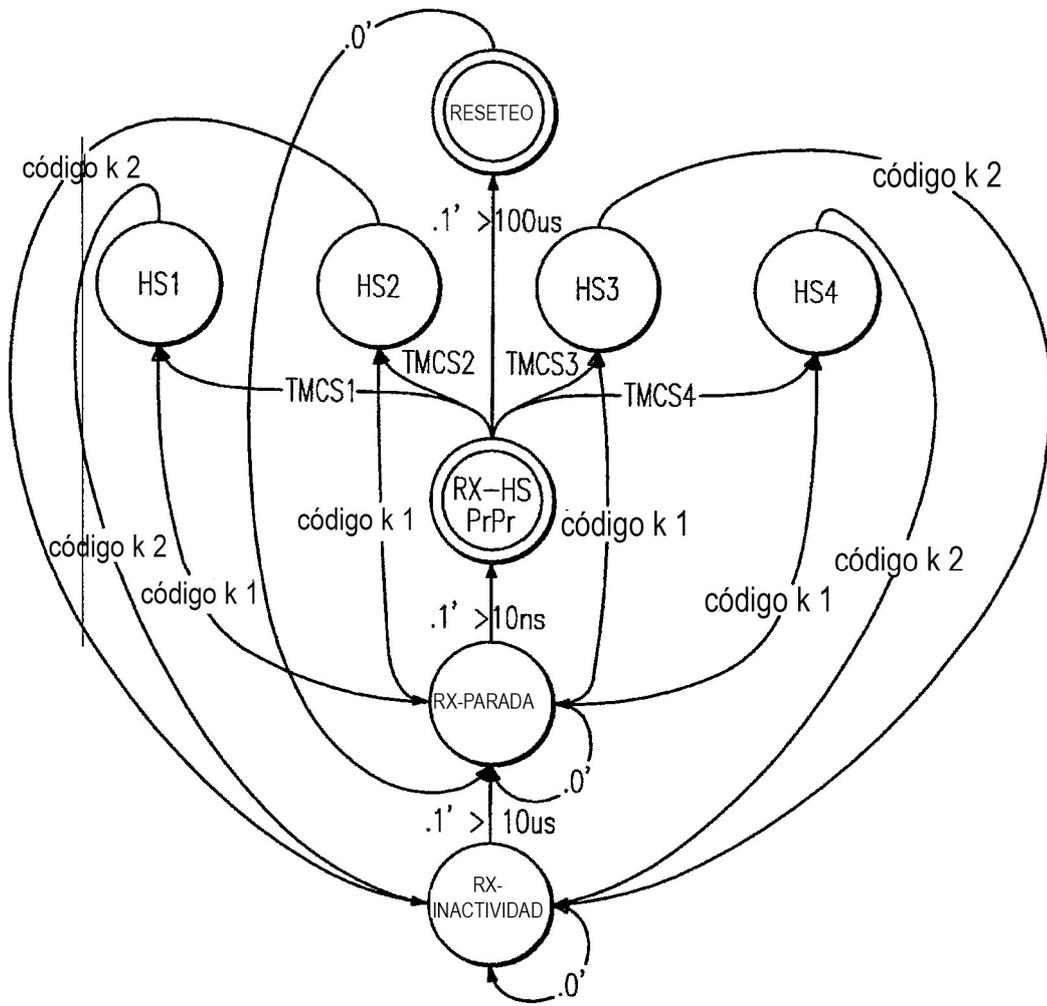


FIG. 7c

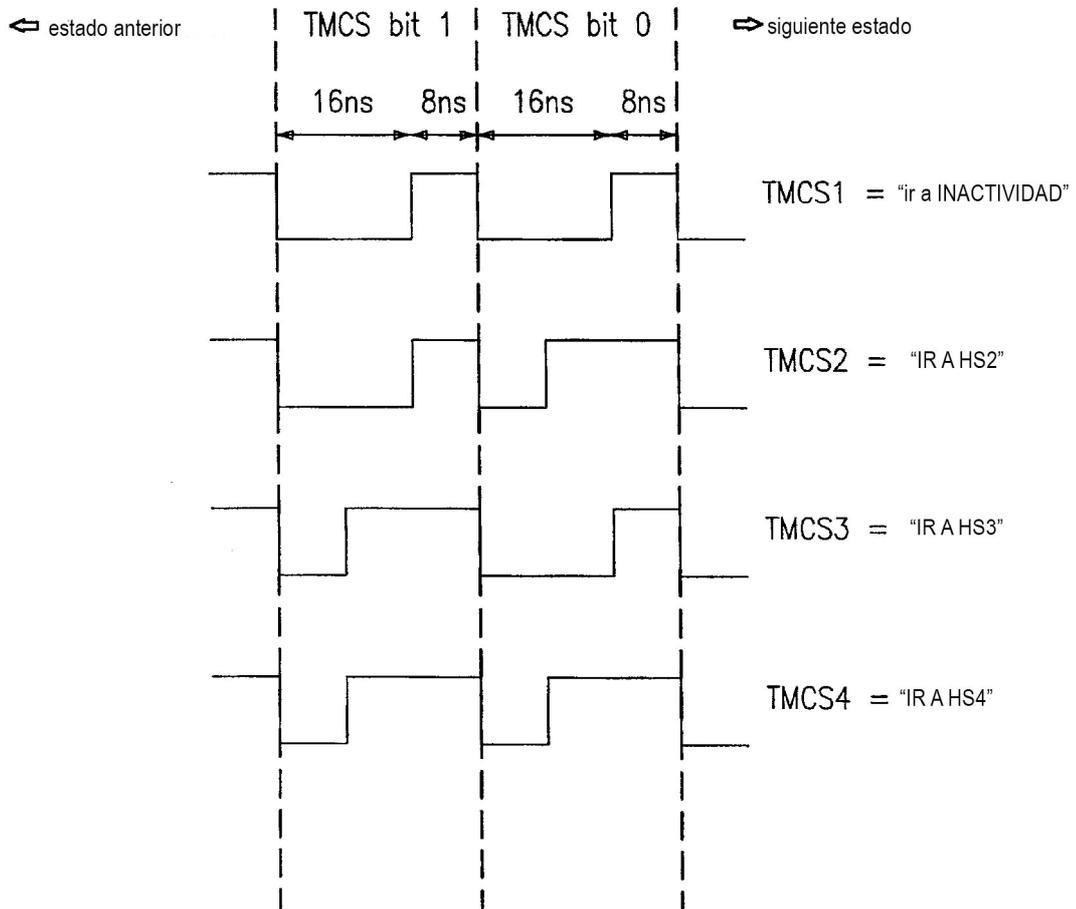


FIG. 7d : codificación de TMCS