

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 641 311**

51 Int. Cl.:

G06F 11/10 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **29.04.2011 PCT/US2011/034570**

87 Fecha y número de publicación internacional: **26.01.2012 WO12012007**

96 Fecha de presentación y número de la solicitud europea: **29.04.2011 E 11810013 (0)**

97 Fecha y número de publicación de la concesión europea: **06.09.2017 EP 2567319**

54 Título: **Procedimientos y sistema para verificar la integridad de un dispositivo de memoria**

30 Prioridad:

06.05.2010 US 775213

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

08.11.2017

73 Titular/es:

**UTC FIRE & SECURITY AMERICAS
CORPORATION, INC. (100.0%)
8985 Town Center Parkway
Bradenton, FL 67525, US**

72 Inventor/es:

**POTTER, TIMOTHY STEVENS;
BECKER, DONALD;
MONTGOMERY, BRUCE RAY, JR. y
DOPSON, DAVE**

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 641 311 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimientos y sistema para verificar la integridad de un dispositivo de memoria

5 ANTECEDENTES

ANTECEDENTES DE LA INVENCION

Campo de la invención

10 Las realizaciones descritas en la presente memoria descriptiva se refieren en general a la verificación de la integridad de dispositivos de memoria y, más en particular, a la verificación de memoria en un dispositivo informático en línea.

15 Descripción de la técnica relacionada

Se sabe cómo usar sistemas basados en sumas de control para verificar la integridad de una memoria informática en escenarios limitados. Por ejemplo, la memoria de acceso aleatorio (RAM) con código de corrección de errores (ECC) detecta errores de memoria pero realiza dicha detección de errores sólo cuando se accede a partes específicas de la memoria. También se sabe verificar la integridad de la memoria en modo fuera de línea, por ejemplo, ejecutando una herramienta de prueba de memoria en lugar de un sistema operativo convencional.

25 Sin embargo, los sistemas y procedimientos existentes no proporcionan una verificación de memoria continua mientras un ordenador está en línea, ejecutando uno o más programas de aplicación en un sistema operativo paginado a demanda. Especialmente en dispositivos informáticos donde se requiere una alta fiabilidad durante un periodo de tiempo extenso, la verificación del funcionamiento adecuado de un dispositivo de memoria es esencial.

30 Por ejemplo, algunos sistemas de alta fiabilidad funcionan durante meses o años con baja actividad pero se espera que funcionen sin fallos en caso de emergencia. Por lo tanto, existe la necesidad de una verificación de memoria en línea continua en un dispositivo informático.

El documento GB-2.290.890 describe un procedimiento de actualización del BIOS con verificación por suma de control del código BIOS almacenado en una memoria.

35 BREVE RESUMEN DE LA INVENCION

La invención se define mediante las reivindicaciones independientes adjuntas.

40 En un aspecto, se proporciona un procedimiento para verificar la integridad de un dispositivo de memoria. El procedimiento incluye la identificación, por medio de un procesador acoplado al dispositivo de memoria, de al menos un bloque de memoria correspondiente a al menos una posición de memoria en el dispositivo de memoria. El al menos un bloque de memoria incluye un primer bloque de memoria asociado con una suma de control anterior. Por medio del procesador se determina si el primer bloque de memoria está diseñado como de sólo lectura. Se calcula una suma de control actual por medio del procesador basándose al menos en parte en los datos del primer bloque de memoria. Cuando el primer bloque de memoria está diseñado como de sólo lectura y la suma de control anterior representa datos esperados en el primer bloque de memoria, se determina por medio del procesador si la suma de control actual es igual a la suma de control anterior. Cuando la suma de control actual no es igual a la suma de control anterior, se indica un fallo de verificación para el primer bloque de memoria por medio de una interfaz de notificación.

50 En otro aspecto, se proporciona un sistema para verificar la integridad de un dispositivo de memoria. El sistema incluye un dispositivo de memoria que incluye una pluralidad de posiciones de memoria y un procesador acoplado al dispositivo de memoria. Para cada bloque de memoria de una pluralidad de bloques de memoria correspondientes a una o más posiciones de memoria de la pluralidad de posiciones de memoria, el procesador se programa para determinar si el bloque de memoria está diseñado como de sólo lectura. El procesador se programa también para calcular una suma de control actual que representa datos en el bloque de memoria. El bloque de memoria está asociado con una suma de control anterior que representa datos en el bloque de memoria en un momento anterior.

60 Cuando el bloque de memoria está diseñado como de sólo lectura y la suma de control anterior representa datos esperados en el bloque de memoria, el procesador está programado además para determinar si la suma de control actual es igual a la suma de control anterior. El sistema incluye también una interfaz de notificación acoplada al procesador. Cuando la suma de control actual para un primer bloque de memoria de la pluralidad de bloques de memoria no es igual a la suma de control anterior para el primer bloque de memoria, la interfaz de notificación se configura para indicar un fallo de verificación.

65

En otro aspecto más, se proporcionan uno o más medios de almacenamiento legibles por ordenador. Los medios de almacenamiento legibles por ordenador tienen componentes ejecutables por ordenador para verificar la integridad de un dispositivo de memoria usando al menos un procesador acoplado al dispositivo de memoria. Los componentes incluyen un componente de control, un componente de verificación y un componente de notificación. Cuando es ejecutado por el al menos un procesador, el componente de control hace que el procesador identifique un bloque de memoria correspondiente a al menos una posición de memoria en el dispositivo de memoria y asociado con una suma de control anterior. Cuando es ejecutado por el al menos un procesador, el componente de verificación hace que el procesador calcule una suma de control actual basada al menos en parte en datos en el bloque de memoria identificado y, cuando el bloque de memoria identificado está diseñado como de sólo lectura y la suma de control anterior representa datos esperados en el bloque de memoria identificado, determine si la suma de control actual es igual a la suma de control anterior. Cuando es ejecutado por el al menos un procesador, el componente de notificación hace que el procesador indique un fallo de verificación para el bloque de memoria identificado por medio de una interfaz de notificación cuando la suma de control actual no es igual a la suma de control anterior.

15 BREVE DESCRIPCIÓN DE LAS DIVERSAS VISTAS DE LOS DIBUJOS

Las Fig. 1-5 muestran realizaciones de ejemplo de los sistemas y procedimientos descritos en la presente memoria descriptiva.

20 La Fig. 1 es un diagrama de bloques de un sistema con un dispositivo informático que tiene un dispositivo de memoria.

La Fig. 2 es un organigrama de un procedimiento de ejemplo para verificar la integridad del dispositivo de memoria mostrado en la Fig. 1.

25 La Fig. 3 es un diagrama de bloques de bloques de memoria en el dispositivo de memoria mostrado en la Fig. 1.

La Fig. 4 es un organigrama de un procedimiento de ejemplo para determinar si una suma de control representa datos esperados en el bloque de memoria mostrado en la Fig. 3.

30 La Fig. 5 es diagrama de bloques de un sistema que incluye un dispositivo informático de monitorización acoplado en comunicación con una pluralidad de dispositivos informáticos monitorizados por medio de una red.

35 DESCRIPCIÓN DETALLADA DE LA INVENCION

Las realizaciones de los sistemas y procedimientos descritos en la presente memoria descriptiva facilitan la verificación continua de la integridad de los dispositivos de memoria en un dispositivo informático en línea. Si bien algunas realizaciones se describen en relación con páginas de memoria en correspondencia con archivos en un dispositivo de almacenamiento, las realizaciones proporcionadas en la presente memoria descriptiva son operativas con cualquier forma de dispositivo de memoria. Por otra parte, el término "archivo" se usa en la presente memoria descriptiva para incluir, sin limitación, cualquier colección de información no volátil, por ejemplo una aplicación ejecutable, una imagen de un sistema operativo y/o un objeto, una biblioteca de códigos compartida enlazada dinámicamente y/o datos de parámetros fijos, ya sea de forma local o remota para un dispositivo informático, adecuado para su uso con los procedimientos descritos en la presente memoria descriptiva.

45 Además, dichas realizaciones facilitan una verificación continua de los dispositivos de memoria sin interceptar las operaciones de escritura en el dispositivo de memoria y sin modificación directa de las instrucciones ejecutables del núcleo del sistema operativo (SO). Por ejemplo, al menos algunas de las operaciones descritas en la presente memoria descriptiva pueden ser ejecutadas por un módulo de núcleo cargable que interactúa con un núcleo del sistema operativo y/o por una aplicación de utilidad que ejecuta en "espacio de usuario" (es decir, con privilegios asignados a un usuario del dispositivo informático).

50 Un efecto técnico de los sistemas y procedimientos descritos en la presente memoria descriptiva puede incluir uno o más de los siguientes: (a) identificación de un bloque de memoria correspondiente a al menos una posición de memoria en un dispositivo de memoria, el bloque de memoria asociado con una primera parte de un primer archivo con el que se establece una correspondencia del bloque de memoria en un primer instante y una suma de control anterior que representa datos en el bloque de memoria en el primer instante; (b) determinación de si el bloque de memoria tiene correspondencia con la primera parte del primer archivo en un segundo instante posterior al primer instante; y (c) basándose al menos en parte en la determinación de que el bloque de memoria tiene correspondencia con la primera parte del primer archivo en el segundo instante, indicación de que la suma de control anterior representa datos esperados en el bloque de memoria en el segundo instante.

65 La Fig. 1 es un diagrama de bloques de un sistema (100) con un dispositivo informático (105). El dispositivo informático (105) incluye un dispositivo de memoria (110) y, acoplado al dispositivo de memoria (110), un procesador (115) para ejecutar instrucciones. En algunas realizaciones, las instrucciones ejecutables se almacenan en el dispositivo de memoria (110). El dispositivo informático (105) puede configurarse para realizar una o más

operaciones descritas en la presente memoria descriptiva programando el procesador (115). Por ejemplo, el procesador (115) puede programarse codificando una operación como una o más instrucciones ejecutables y proporcionando las instrucciones ejecutables en el dispositivo de memoria (110). El procesador (115) puede incluir una o más unidades de tratamiento (por ejemplo, en una configuración de núcleos múltiples).

El dispositivo de memoria (110) es uno o más dispositivos que permiten almacenar y recuperar información tal como instrucciones ejecutables y/u otros datos. El dispositivo de memoria (110) puede incluir uno o más medios legibles por ordenador, tal como, pero sin limitarse a, memoria de acceso aleatorio dinámica (DRAM) y/o memoria de acceso aleatorio estática (SRAM).

El dispositivo informático (105) puede incluir también un dispositivo de almacenamiento (120). Al igual que el dispositivo de memoria (110), el dispositivo de almacenamiento (120) permite almacenar y recuperar datos. El dispositivo de almacenamiento (120) está acoplado al procesador (115) y, opcionalmente, al dispositivo de memoria (110). Por ejemplo, el dispositivo informático (105) puede proporcionar acceso a memoria directa (DMA) entre el dispositivo de almacenamiento (120) y el dispositivo de memoria (110). El dispositivo de almacenamiento (120) puede incluir uno o más medios legibles por ordenador, tal como, pero sin limitarse a, un disco de estado sólido, un disco duro, una SRAM con batería y/o un dispositivo de memoria flash. El dispositivo de memoria (110) y/o el dispositivo de almacenamiento (120) pueden configurarse para almacenar, sin limitación, instrucciones ejecutables correspondiente a un sistema operativo (SO) (por ejemplo, un núcleo de SO y/o un módulo de núcleo), instrucciones ejecutables correspondientes a un programa de aplicación, datos de configuración, datos de programa, una biblioteca de códigos compartida enlazada dinámicamente y/o cualquier otro tipo de datos. El dispositivo de almacenamiento (120) puede tener una capacidad de memoria mayor que la capacidad de memoria del dispositivo de memoria (110).

En algunas realizaciones, el dispositivo de memoria (110) se configura para almacenar una copia de al menos una parte de datos almacenados en el dispositivo de almacenamiento (120). Por ejemplo, el dispositivo de memoria (110) puede configurarse para almacenar una copia de instrucciones ejecutables almacenadas en el dispositivo de almacenamiento (120), y el procesador (115) puede configurarse para acceder y ejecutar las instrucciones ejecutables a partir del dispositivo de memoria (110).

El dispositivo informático (105) incluye también al menos una interfaz de notificación (125) configurada para interactuar con un usuario (130) y/o un dispositivo remoto (no mostrado en la Fig. 1). En algunas realizaciones, la interfaz de notificación (125) incluye una interfaz de presentación (135) acoplada con el procesador (115). La interfaz de presentación (135) se configura para presentar información, tal como un fallo de verificación y/o un acierto de verificación, al usuario (130). Por ejemplo, la interfaz de presentación (135) puede incluir un adaptador de pantalla (no mostrado en la Fig. 1), que se configura para acoplarse con un dispositivo de pantalla, tal como un indicador de diodo fotoluminiscente (LED), un tubo de rayos catódicos (CRT), una pantalla de cristal líquido (LCD), una pantalla de LED orgánico (OLED) y/o una pantalla de "tinta electrónica". En algunas realizaciones, la interfaz de presentación (135) incluye uno o más dispositivos de pantalla.

Además, o alternativamente, la interfaz de presentación (135) puede incluir un adaptador de audio (no mostrado en la Fig. 1), que se configura para acoplarse con un dispositivo de audio, tal como un altavoz. En algunas realizaciones, la interfaz de presentación (135) incluye uno o más dispositivos de audio.

En algunas realizaciones, la interfaz de notificación (125) incluye una interfaz de comunicación (140) acoplada con el procesador (115). La interfaz de comunicación (140) se configura para acoplarse en comunicación con un dispositivo remoto, tal como otro dispositivo informático (105). Por ejemplo, la interfaz de comunicación (140) puede incluir, sin limitación, un adaptador de red por cable, un adaptador de red inalámbrica y/o un adaptador de telecomunicaciones móviles.

La Fig. 2 es un organigrama de un procedimiento de ejemplo (200) para verificar la integridad de un dispositivo de memoria (110). El procedimiento (200) se describe con referencia a la Fig. 3, un diagrama de bloques de datos en el dispositivo de memoria (110) y un dispositivo de almacenamiento (120). El dispositivo de memoria (110) y el dispositivo de almacenamiento (120) incluyen cada uno una pluralidad de posiciones de memoria (150). Por ejemplo, cada posición de memoria (150) puede corresponder a un byte de datos en el dispositivo de memoria (110) y/o el dispositivo de almacenamiento (120). Múltiples posiciones de memoria (150) están organizadas en bloques de memoria (155). Por ejemplo, en el dispositivo de memoria (110), puede hacerse referencia a un bloque de memoria (155) como "página" de memoria. En una realización, una página de memoria corresponde a 4.096 posiciones de memoria (150), o cuatro kilobytes (4 kB), aunque también se contemplan otros tamaños de página.

El procedimiento (200) incluye la identificación (205), por medio del procesador (115), de al menos un bloque de memoria (160) de los bloques de memoria (155) correspondientes a al menos una posición de memoria (150) en el dispositivo de memoria (110). Por ejemplo, pueden identificarse (205) los bloques de memoria (155) correspondientes a todas las posiciones de memoria (150) en el dispositivo de memoria (110). En otro ejemplo, la identificación (205) del bloque de memoria (160) incluye la recepción de una dirección correspondiente a una posición de memoria (150) en el dispositivo de memoria (110) y la identificación del bloque de memoria (160), que

corresponde (por ejemplo, incluye) a una posición de memoria (150). El bloque de memoria (160) puede identificarse (205) basándose, al menos en parte, en un tamaño predefinido de bloque de memoria, tal como un tamaño de página.

- 5 En algunas realizaciones, el bloque de memoria (160) es una página de virtual memoria correspondiente a una o más posiciones de memoria (150) en el dispositivo de memoria (110). La una o más posiciones de memoria (150) corresponden a una o más posiciones de memoria (150) en el dispositivo de almacenamiento (120).

10 Además, o alternativamente, pueden identificarse (205) uno o más bloques de memoria (155) correspondientes a un único archivo (165). Como se muestra en la Fig. 3, el bloque de memoria (160) representa una parte (170) del archivo (165). El resto del archivo (165) se almacena también en el dispositivo de almacenamiento (120) pero no se copia en el dispositivo de memoria (110). La identificación (205) del bloque de memoria (160) puede incluir la recepción de una referencia de archivo que indica un archivo (165) y la identificación de bloques de memoria (155) en el dispositivo de memoria (110) que se asocian con el archivo (165).

15 El bloque de memoria (160) está asociado con una suma de control anterior, que representa datos contenidos en el bloque de memoria (160) en un instante anterior. Se determina (210), por medio del procesador (115), si el bloque de memoria (160) está diseñado como de sólo lectura. Por ejemplo, el procesador (115) puede programarse para asociar metadatos con el bloque de memoria (160) y para determinar (210) si el bloque de memoria (160) es de sólo lectura basándose en los metadatos. Los metadatos asociados con el bloque de memoria (160) pueden incluir, sin limitación, un tipo de bloque de memoria (por ejemplo, una página compuesta), un tipo de contenido (por ejemplo, una antememoria objeto del núcleo), un modo de acceso (por ejemplo, sólo lectura o sólo escritura), un atributo de correspondencia de archivos (por ejemplo, si el bloque de memoria (160) tiene correspondencia con un archivo) y/o una cantidad de bloques de memoria (155) capaz de escribir datos en el archivo en correspondencia, si existiera.

20 Se calcula una suma de control actual (215) por medio del procesador (115) basándose al menos en parte en datos en el bloque de memoria (160). Por ejemplo, el procesador (115) puede programarse para calcular una suma matemática y/o un valor de troceo de datos en el bloque de memoria (160). Se determina (220), por medio del procesador (115), si la suma de control anterior representa datos esperados en el bloque de memoria (160). Por ejemplo, los metadatos asociados con el bloque de memoria (160) pueden usarse para determinar (220) si la suma de control anterior representa datos esperados, tal como se describe más adelante en relación con la Fig. 4.

25 Cuando el bloque de memoria (160) está diseñado como de sólo lectura, y la suma de control anterior representa datos esperados en el bloque de memoria (160), se determina (225) por medio del procesador (115) si la suma de control actual es igual a la suma de control anterior. Cuando la suma de control actual no es igual a la suma de control anterior, se indica un fallo de verificación (230) para el bloque de memoria (160) por medio de la interfaz de notificación (125). Por ejemplo, un fallo de verificación puede indicarse (230) presentando una alarma visible por medio de la interfaz de presentación (135), presentando una alarma audible por medio de la interfaz de presentación (135) y/o transmitiendo un mensaje de fallo de verificación por medio de la interfaz de comunicación (140).

35 Cuando se determina (220) que la suma de control anterior no representa datos esperados en el bloque de memoria (160), la suma de control actual puede asociarse (222) con el bloque de memoria (160). Tras la subsiguiente ejecución del procedimiento (200) para el bloque de memoria (160), la suma de control actual se contempla como una suma de control anterior. En otras palabras, la suma de control actual puede definirse como la suma de control anterior para el bloque de memoria (160).

40 En algunas realizaciones, el procedimiento (200) realiza un seguimiento de la verificación con éxito del bloque de memoria (160). Si se determina (225) que la suma de control actual es igual a la suma de control anterior, se indica un acierto de verificación (232). Por ejemplo, el procesador (115) puede programarse para registrar (por ejemplo, en el dispositivo de memoria (110)) un tiempo de acierto de verificación en el que se determinó (225) que la suma de control actual era igual a la suma de control anterior. En una ejecución posterior del procedimiento (200), antes de determinar (210) si el bloque de memoria (160) está diseñado como de sólo lectura, el procesador (115) puede programarse para determinar (207) si el bloque de memoria (160) fue verificado recientemente con éxito.

45 En algunas realizaciones, la cercanía en el tiempo de un acierto de verificación se determina (207) basándose en un tiempo umbral predefinido. Por ejemplo, el tiempo umbral predefinido puede definirse como cinco minutos, treinta minutos, sesenta minutos, o cualquier duración de tiempo adecuada para su uso con los procedimientos descritos en la presente memoria descriptiva. En una realización, el procesador (115) se programa para determinar si el tiempo de acierto de verificación es anterior al tiempo umbral predefinido. Por ejemplo, un tiempo de acierto de verificación puede considerarse anterior al tiempo umbral predefinido cuando el tiempo actual menos el tiempo de acierto de verificación es mayor que el tiempo umbral predefinido. Cuando el tiempo de acierto de verificación es anterior al tiempo umbral predefinido, el procesador (115) se programa para realizar la etapa o etapas de determinación (210) de si el bloque de memoria (160) está diseñado como de sólo lectura, cálculo (215) de una suma de control actual, determinación (220) de si la suma de control anterior representa datos esperados en el bloque de memoria (160), determinación (225) de si la suma de control actual es igual a la suma de control anterior y/o indicación (230) de un

fallo de verificación. Dichas realizaciones facilitan priorizar la verificación de bloques de memoria (155) que no han sido verificados recientemente.

Si se identifican (205) múltiples bloques de memoria (155), el procedimiento (200) puede incluir la realización de la etapa o etapas de determinación (210) de si el bloque de memoria (160) está diseñado como de sólo lectura, cálculo (215) de una suma de control actual, determinación (220) de si la suma de control anterior representa datos esperados en el bloque de memoria (160), determinación (225) de si la suma de control actual es igual a la suma de control anterior y/o indicación (230) de un fallo de verificación para cada bloque de memoria (155) identificado. Antes de procesar cada bloque de memoria (155) identificado, el procedimiento (200) puede incluir el retardo o "latencia" durante un tiempo breve (por ejemplo, de aproximadamente un milisegundo a aproximadamente un segundo). Dicha realización facilita que el procesador (115) pueda realizar operaciones distintas de las incluidas en el procedimiento (200).

Algunas realizaciones facilitan la verificación continua de uno o más bloques de memoria (155) del dispositivo de memoria (110). Por ejemplo, el procedimiento (200) puede repetirse continuamente, periódicamente o de acuerdo con cualquier definición de tiempos adecuada. Antes de identificar (205) los bloques de memoria (155), el procedimiento (200) puede incluir el retardo o la latencia durante un periodo breve, tal como se describe anteriormente.

Algunas realizaciones facilitan la prevención de fallos de verificación falsos que proceden del acceso concurrente al bloque de memoria (160). En una realización, antes de determinar (210) si el bloque de memoria (160) está diseñado como de sólo lectura, se desactivan las señales de interrupción (209) en el procesador (115). Después de determinar (225) si la suma de control actual es igual a la suma de control anterior, se activan las señales de interrupción (234) en el procesador (115). En una realización alternativa, el procedimiento (200) incluye el registro (209) de la notificación de señales de interrupción en el procesador (115). Cuando se recibe la notificación de una señal de interrupción después de determinar (210) si el bloque de memoria (160) está diseñado como de sólo lectura, se interrumpe de inmediato el tratamiento del bloque de memoria (160). Por ejemplo, el procesador (115) puede programarse para interrumpir de inmediato el cálculo (215) de una suma de control actual, determina (220) si la suma de control anterior representa datos esperados en el bloque de memoria (160) y/o determinar (225) si la suma de control actual es igual a la suma de control anterior.

La Fig. 4 es un organigrama de un procedimiento de ejemplo (300) para determinar (220) si una suma de control representa datos esperados en el bloque de memoria (160). En una realización de ejemplo, el bloque de memoria (160) está asociado con una "huella digital" (175) de metadatos asociada con el bloque de memoria (160). La huella digital (175) incluye, sin limitación: una referencia de archivo (180) que indica el archivo (165), con el que el bloque de memoria (160) tiene correspondencia; un índice de página (185) que indica la parte de archivo (170) con la que el bloque de memoria (160) tiene correspondencia; un recuento de escritura de archivo (190) que indica la cantidad de operaciones de escritura ejecutadas sobre el archivo (165); y/o una suma de control (195) que representa los datos en el bloque de memoria (160). La huella digital (175) puede almacenarse en el dispositivo de memoria (110). Por otra parte, los metadatos adicionales pueden ser accesibles por medio de la referencia de archivo (180) y/o el índice de página (185). Por ejemplo, el procesador (115) puede programarse para determinar el estado de un archivo (por ejemplo, "limpio" o "sucio", que indica la ausencia o presencia de operaciones de escritura pendientes, respectivamente) mediante el acceso a los metadatos asociados con la referencia de archivo (180).

En una realización de ejemplo, la huella digital (175) incluye uno o más valores de metadatos estáticos generados en un primer instante. En un segundo instante posterior al primer instante, los valores de metadatos estáticos de la huella digital (175) se consideran valores anteriores. El procedimiento (300) incluye la determinación (305), por medio del procesador (115), de si el bloque de memoria (160) tiene correspondencia con la parte de archivo anterior (170) indicada por la referencia de archivo anterior (180) y el índice de página anterior (185). Basándose al menos en parte en la determinación (305) del bloque de memoria (160) que tiene correspondencia con la parte de archivo anterior (170), se indica (310), por medio del procesador (115), que la suma de control anterior (195) representa datos esperados en el bloque de memoria (160). Alternativamente, basándose al menos en parte en la determinación (305) de que el bloque de memoria (160) no tiene correspondencia con la parte de archivo anterior (170), puede indicarse (312) que la suma de control anterior (195) no representa datos esperados en el bloque de memoria (160).

El procesador (115) también puede programarse para determinar (307) si se ha ejecutado alguna operación de escritura correspondiente al archivo (165). Por ejemplo, el procesador (115) puede programarse para comparar el recuento de escritura de archivo anterior (190) de la huella digital (175) con un recuento de escritura actual para el archivo (165). Si el recuento de escritura actual es mayor que el recuento de escritura de archivo anterior (190), puede determinarse (307) que se ha ejecutado una o más operaciones de escritura sobre el archivo (165) dado que se generó y/o actualizó la huella digital (175) (es decir, entre el primer instante y el segundo instante). El procesador (115) puede programarse para indicar (310) que la suma de control anterior (195) representa datos esperados en el bloque de memoria (160) basándose además en la determinación (307) de que no se han ejecutado dichas operaciones de escritura entre el primer instante y el segundo instante.

Además, o alternativamente, el procesador (115) puede programarse para determinar (309) si existe alguna operación de escritura correspondiente al archivo (165) pendiente en el segundo instante. Por ejemplo, el procesador (115) puede programarse para determinar (309) si dichas operaciones de escritura están pendientes basándose en el estado de archivo (por ejemplo, limpio o sucio) asociado con la referencia de archivo (180). El procesador (115) puede programarse para indicar (310) que la suma de control anterior (195) representa datos esperados en el bloque de memoria (160) basándose además en la determinación (309) de que no existen operaciones de escritura correspondientes al archivo (165) pendientes en el segundo instante.

Algunas realizaciones facilitan una lógica simplificada y/u optimizada para páginas relacionadas con el núcleo. En una realización, la determinación (305) de si el bloque de memoria (160) tiene correspondencia con la parte de archivo anterior (170) incluye la determinación (302) de si el bloque de memoria (160) está asignado al texto del núcleo del sistema operativo (SO). El texto del núcleo del SO incluye, sin limitación, instrucciones de núcleo ejecutables y/o estructuras de datos relacionadas con el núcleo inmutables. Cuando el bloque de memoria (160) es asignado al texto del núcleo del sistema operativo, se omiten otras etapas (307, 309), y el procesador (115) se programa para indicar (310) que la suma de control anterior (195) representa datos esperados en el bloque de memoria (160). Cuando el bloque de memoria (160) no es asignado al texto del núcleo del sistema operativo, el procedimiento (300) procede tal como se describe anteriormente. En otra realización, la determinación (210) (mostrada en la Fig. 2) de si el bloque de memoria (160) es de sólo lectura incluye la determinación (302) de si el bloque de memoria (160) es asignado al texto del núcleo del sistema operativo, y la asignación del bloque de memoria (160) al texto del núcleo del sistema operativo indica que el bloque de memoria (160) es de sólo lectura.

Algunas realizaciones facilitan la asociación del bloque de memoria (160) con valores de metadatos actuales. Por ejemplo, cuando se determina (305) que el bloque de memoria (160) no tiene correspondencia con la parte de archivo anterior (170), el procedimiento (300) puede incluir la asociación (306) del bloque de memoria (160) con otra parte de archivo (165) o una parte de otro archivo con el que el bloque de memoria (160) tiene correspondencia en el segundo instante. En una realización, el procesador (115) se programa para actualizar la referencia de archivo (180), el índice de página (185) y/o el recuento de escritura de archivo (190) basándose en una parte de un archivo con la que el bloque de memoria (160) está asociado en el segundo instante.

La Fig. 5 es un diagrama de bloques de un sistema (400) que incluye un dispositivo informático de monitorización (405) acoplado en comunicación con una pluralidad de dispositivos informáticos monitorizados (410) por medio de una red (415). Por ejemplo, el dispositivo informático de monitorización (405) y los dispositivos informáticos monitorizados (410) pueden acoplarse a la red (415) por medio de interfaces de comunicación (140) (mostrado en la Fig. 1). La red (415) puede incluir, sin limitación, Internet, una red local (LAN), una red extensa red (WAN), una LAN inalámbrica (WLAN), una red en malla y/o una red privada virtual (VPN).

En la realización de ejemplo, los dispositivos informáticos monitorizados (410) están configurados para transmitir mensajes de fallo de verificación y/o mensajes de acierto de verificación al dispositivo informático de monitorización (405). El dispositivo informático de monitorización (405) se configura para recibir mensajes de fallo de verificación y/o mensajes de acierto de verificación y para indicar fallos de verificación y/o aciertos de verificación correspondientes, respectivamente, al usuario (130) por medio de la interfaz de presentación (135) (mostrado en la Fig. 1). Dicha realización facilita la monitorización remota de una pluralidad de dispositivos informáticos (105).

Anteriormente se describen en detalle las realizaciones de ejemplo de los procedimientos, sistemas y medios de almacenamiento legibles por ordenador para su uso en la implementación de un sistema de verificación de memoria. Los procedimientos, sistemas y medios de almacenamiento no se limitan a las realizaciones específicas descritas en la presente memoria descriptiva sino que, al contrario, las operaciones de los procedimientos y/o componentes del sistema pueden usarse de forma independiente y separada de otras operaciones y/o componentes descritos en la presente memoria descriptiva. Además, las operaciones y/o componentes descritos también pueden definirse en, o usarse en combinación con, otros sistemas, procedimientos y/o medios de almacenamiento, y no se limitan a la práctica sólo con los procedimientos, sistemas y medios de almacenamiento tal como se describe en la presente memoria descriptiva.

Un dispositivo informático, tal como los descritos en la presente memoria descriptiva, incluye al menos un procesador o una unidad de tratamiento y un sistema memoria. El dispositivo informático tiene normalmente al menos alguna forma de medios legibles por ordenador. A modo de ejemplo y no de limitación, los medios legibles por ordenador incluyen medios de almacenamiento informático y medios de comunicación. Los medios de almacenamiento informático incluyen medios físicos volátiles y no volátiles, extraíbles y no extraíbles implementados en cualquier procedimiento o tecnología para el almacenamiento de información tal como instrucciones legibles por ordenador, estructuras de datos, módulos de programa u otros datos. Los medios de comunicación comprenden normalmente instrucciones legibles por ordenador, estructuras de datos, módulos de programa u otros datos en una señal de datos modulada tal como una onda portadora u otro mecanismo de transporte e incluyen cualquier medio de suministro de información. Los expertos en la materia están familiarizados con la señal de datos modulada, que tiene una o más de sus características establecidas o cambiadas de manera que codifiquen información en la señal. En el ámbito de los medios legibles por ordenador se incluyen también combinaciones de cualquiera de los anteriores.

Los procedimientos descritos en la presente memoria descriptiva pueden codificarse como instrucciones ejecutables comprendidas en un medio legible por ordenador, lo que incluye, sin limitación, un medio de almacenamiento informático, un dispositivo de almacenamiento y/o un dispositivo de memoria. Dichas instrucciones, cuando son ejecutadas por un procesador, hacen que el procesador realice al menos una parte de los procedimientos descritos en la presente memoria descriptiva.

Aunque la presente invención se describe en relación con un entorno de sistemas de verificación de memoria de ejemplo, las realizaciones de la invención son operativas en otros numerosos entornos o configuraciones de sistemas de verificación de memoria de fines generales o especiales. El entorno de sistemas de verificación de memoria no pretende sugerir ninguna limitación en el ámbito de uso o de funcionalidad de ningún aspecto de la invención. Por otra parte, el entorno de sistemas de verificación de memoria no debe interpretarse como poseedor de ninguna dependencia o requisito relacionado con una cualquiera o una combinación de componentes ilustrados en el entorno operativo de ejemplo. Los ejemplos de sistemas, entornos y/o configuraciones de verificación de memoria bien conocidos que pueden ser adecuados para su uso con las realizaciones descritas en la presente memoria descriptiva incluyen, pero no se limitan a, dispositivos informáticos integrados, ordenadores personales, ordenadores de servidor, dispositivos manuales o portátiles, sistemas multiprocesador, sistemas basados en microprocesadores, decodificadores, equipos electrónicos de consumidor programables, teléfonos móviles, PC en red, miniordenadores, grandes ordenadores, entornos informáticos distribuidos que incluyen cualquiera de los sistemas o dispositivos anteriores, y similares.

Las realizaciones pueden describirse en el contexto general de instrucciones ejecutables por ordenador, tales como componentes o módulos de programas, ejecutados por uno o más ordenadores u otros dispositivos. Los aspectos de la invención pueden implementarse con cualquier número y organización de componentes o módulos. Por ejemplo, las realizaciones no se limitan a las instrucciones ejecutables por ordenador específicas o los componentes o módulos específicos ilustrados en las figuras y descritos en la presente memoria descriptiva. Las realizaciones alternativas pueden incluir diferentes instrucciones ejecutables por ordenador o componentes que tienen más o menos funcionalidades que las ilustradas y descritas en la presente memoria descriptiva.

El orden de ejecución o realización de las operaciones en las realizaciones ilustradas y descritas en la presente memoria descriptiva no es esencial, salvo que se especifique lo contrario. Es decir, las operaciones pueden realizarse en cualquier orden, salvo que se especifique lo contrario, y las realizaciones pueden incluir operaciones adicionales o menos operaciones que las descritas en la presente memoria descriptiva. Por ejemplo, se contempla que la ejecución o realización de una operación en particular antes, al mismo tiempo o después de otra operación está dentro del alcance de las realizaciones descritas.

Aunque las características específicas de diversas realizaciones de la invención pueden mostrarse en algunos dibujos y no en otros, se hace así sólo por comodidad. De acuerdo con los principios de la invención, es posible hacer referencia y/o reivindicar cualquier característica de un dibujo en combinación con cualquier característica de cualquier otro dibujo.

Esta descripción por escrito usa ejemplos para describir la invención, que incluyen el mejor modo, y también permiten que cualquier experto en la materia ponga en práctica la invención, lo que incluye preparar y usar cualquiera de los dispositivos o sistemas y realizar cualquiera de los procedimientos incorporados. El alcance patentable de la invención se define en las reivindicaciones, y puede incluir otros ejemplos que se les ocurran a los expertos en la materia. Se pretende que dichos otros ejemplos estén incluidos en el alcance de las reivindicaciones si tienen elementos estructurales que no difieren del lenguaje literal de las reivindicaciones, o si incluyen elementos estructurales equivalentes con diferencias no sustanciales en el lenguaje literal de las reivindicaciones.

REIVINDICACIONES

1. Un procedimiento para verificar la integridad de un dispositivo de memoria, comprendiendo el procedimiento:
- 5 la identificación, por medio de un procesador acoplado al dispositivo de memoria, de al menos un bloque de memoria correspondiente a al menos una posición de memoria en el dispositivo de memoria, incluyendo el al menos un bloque de memoria un primer bloque de memoria asociado con una suma de control anterior;
- 10 la determinación, por medio del procesador, de si el primer bloque de memoria está diseñado como de sólo lectura;
- el cálculo, por medio del procesador, de una suma de control actual basada al menos en parte en datos del primer bloque de memoria;
- 15 cuando el primer bloque de memoria está diseñado como de sólo lectura y la suma de control anterior representa los datos esperados en el primer bloque de memoria, la determinación de si la suma de control actual es igual a la suma de control anterior; y
- cuando la suma de control actual no es igual a la suma de control anterior, la indicación de un fallo de verificación para el primer bloque de memoria por medio de una interfaz de notificación;
- 20 cuando la suma de control actual es igual a la suma de control anterior, la indicación, por medio del procesador, de un acierto de verificación para el primer bloque de memoria;
- caracterizado porque
- 25 la indicación de un acierto de verificación para el primer bloque de memoria comprende el registro del primer instante en la que se determinó que la suma de control actual es igual a la suma de control anterior, comprendiendo el procedimiento además:
- 30 en un segundo instante posterior al primer instante, la determinación, por medio del procesador, de si el primer instante es anterior a un tiempo umbral predefinido; y
- cuando el primer instante es anterior al tiempo umbral predefinido, la determinación de si el primer bloque de memoria está diseñado como de sólo lectura y el cálculo de una suma de control actual, y la determinación de si la suma de control actual es igual a la suma de control anterior.
- 35
2. Un procedimiento de acuerdo con la reivindicación 1, que comprende además, para cada bloque de memoria de la pluralidad de bloques de memoria, la determinación de si el bloque de memoria está diseñado como de sólo lectura, el cálculo de una suma de control actual, la determinación de si la suma de control actual es igual a la suma de control anterior y la indicación de un fallo de verificación para el bloque de memoria.
- 40
3. Un procedimiento de acuerdo con la reivindicación 1, que comprende además, cuando la suma de control anterior no representa datos esperados en el primer bloque de memoria, la definición de la suma de control actual como la suma de control anterior del primer bloque de memoria.
- 45
4. Un procedimiento de acuerdo con la reivindicación 1, que comprende además, antes de determinar si el primer bloque de memoria está diseñado como de sólo lectura, la inactivación de las señales de interrupción en el procesador.
- 50
5. Un procedimiento de acuerdo con la reivindicación 4, que comprende además, después de determinar si la suma de control actual es igual a la suma de control anterior, la activación de las señales de interrupción en el procesador.
6. Un procedimiento de acuerdo con la reivindicación 1, que comprende además: el registro, por medio del procesador, de la notificación de una señal de interrupción en el procesador; y cuando se recibe una notificación de una señal de interrupción después de determinar si el primer bloque de memoria está diseñado como de sólo lectura, la interrupción inmediata de uno o más de los siguientes: cálculo de la suma de control actual y determinación de si la suma de control actual es igual a la suma de control anterior.
- 55
7. Un procedimiento de acuerdo con la reivindicación 1, donde la indicación de un fallo de verificación por medio de la interfaz de notificación comprende uno o más de los siguientes: presentación de una alarma visible por medio de una interfaz de presentación, presentación de una alarma audible por medio de una interfaz de presentación y transmisión de un mensaje de fallo de verificación por medio de una interfaz de comunicación.
- 60
8. Un procedimiento de acuerdo con la reivindicación 1, que comprende además la determinación de si la suma de control anterior representa datos esperados en el primer bloque de memoria determinando si el primer bloque de memoria está asignado a un texto del núcleo del sistema operativo.
- 65

- 5 9. Un procedimiento de acuerdo con la reivindicación 1, donde la identificación de al menos un bloque de memoria comprende la identificación de una pluralidad de bloques de memoria que representan el contenido de un único archivo.
10. Un sistema para verificar la integridad de un dispositivo de memoria, comprendiendo el sistema:
un dispositivo de memoria que comprende una pluralidad de posiciones de memoria;
10 un procesador acoplado al dispositivo de memoria y, para cada bloque de memoria de una pluralidad de bloques de memoria correspondientes a una o más posiciones de memoria de la pluralidad de posiciones de memoria, el procesador programado para:
15 determinar si el bloque de memoria está diseñado como de sólo lectura;
calcular una suma de control actual que representa datos en el bloque de memoria, con el bloque de memoria asociado con una suma de control anterior que representa datos en el bloque de memoria en un momento anterior; y
20 cuando el bloque de memoria está diseñado como de sólo lectura y la suma de control anterior representa datos esperados en el bloque de memoria, determinar si la suma de control actual es igual a la suma de control anterior; y
una interfaz de notificación acoplada al procesador, y, cuando la suma de control actual para un primer bloque de memoria de la pluralidad de bloques de memoria no es igual a la suma de control anterior para el primer bloque de memoria, la interfaz de notificación configurada para indicar un fallo de verificación;
25 caracterizado porque
para cada bloque de memoria, el procesador está programado además para:
30 asociar el bloque de memoria con un tiempo de acierto de verificación en el que se determinó que la suma de control actual era igual a la suma de control anterior cuando la suma de control actual es igual a la suma de control anterior;
y
35 realizar, basándose en la determinación de que el bloque de memoria está asociado con un tiempo de acierto de verificación anterior a un tiempo umbral predefinido, las etapas de determinación de si el bloque de memoria es de sólo lectura, cálculo de una suma de control actual y determinación de si la suma de control actual es igual a la suma de control anterior.
- 40 11. Un sistema de acuerdo con la reivindicación 10, donde el procesador está programado además para identificar la pluralidad de bloques de memoria identificando una pluralidad de bloques de memoria correspondientes a todas las posiciones de memoria en el dispositivo de memoria.
- 45 12. Un sistema de acuerdo con la reivindicación 10, donde el procesador está programado además para identificar la pluralidad de bloques de memoria identificando una pluralidad de bloques de memoria correspondientes a un único archivo.
- 50 13. Un sistema de acuerdo con la reivindicación 10, donde el procesador está programado además para realizar repetidamente, para cada bloque de memoria de la pluralidad de bloques de memoria, las etapas de determinación de si el bloque de memoria está diseñado como de sólo lectura, cálculo de una suma de control actual y determinación de si la suma de control actual es igual a la suma de control anterior.
- 55 14. Un sistema de acuerdo con la reivindicación 10, donde, cuando la suma de control anterior asociada con un bloque de memoria no representa datos esperados en el bloque de memoria, el procesador está programado además para definir la suma de control actual como la suma de control anterior para el bloque de memoria.
- 60 15. Un sistema de acuerdo con la reivindicación 10, donde, para cada bloque de memoria de la pluralidad de bloques de memoria, el procesador está programado además para: desactivar señales de interrupción en el procesador antes de determinar si el bloque de memoria es de sólo lectura; y activar señales de interrupción en el procesador después de determinar si la suma de control actual es igual a la suma de control anterior.
- 65 16. Uno o más medios de almacenamiento legibles por ordenador que tienen componentes ejecutables por ordenador para verificar la integridad de un dispositivo de memoria usando al menos un procesador acoplado con el dispositivo de memoria, comprendiendo los componentes:

ES 2 641 311 T3

- un componente de control que cuando es ejecutado por el al menos un procesador hace que al menos un procesador:
- 5 identifique un bloque de memoria correspondiente a al menos una posición de memoria en el dispositivo de memoria y asociado con una suma de control anterior;
- un componente de verificación que cuando es ejecutado por el al menos un procesador hace que el al menos un procesador:
- 10 calcule una suma de control actual basándose al menos en parte en datos en el bloque de memoria identificado; y
- cuando el bloque de memoria identificado está diseñado como de sólo lectura y la suma de control anterior representa datos esperados en el bloque de memoria identificado, determine si la suma de control actual es igual a la suma de control anterior; y
- 15 un componente de notificación que cuando es ejecutado por el al menos un procesador hace que el al menos un procesador:
- 20 indique un fallo de verificación para el bloque de memoria identificado por medio de una interfaz de notificación cuando la suma de control actual no es igual a la suma de control anterior; o
- cuando la suma de control actual es igual a la suma de control anterior, indique un acierto de verificación para el bloque de memoria identificado;
- 25 caracterizado porque
- la indicación de un acierto de verificación para el primer bloque de memoria comprende el registro de un primer instante en el que se determinó que la suma de control actual era igual a la suma de control anterior, haciendo además que el procesador determine:
- 30 en un segundo instante posterior al primer instante, si el primer instante es anterior a un tiempo umbral predefinido; y
- cuando el primer instante es anterior al tiempo umbral predefinido si el primer bloque de memoria está diseñado como de sólo lectura, cálculo de una suma de control actual y determinación de si la suma de control actual es igual a la suma de control anterior.
- 35

FIG. 1

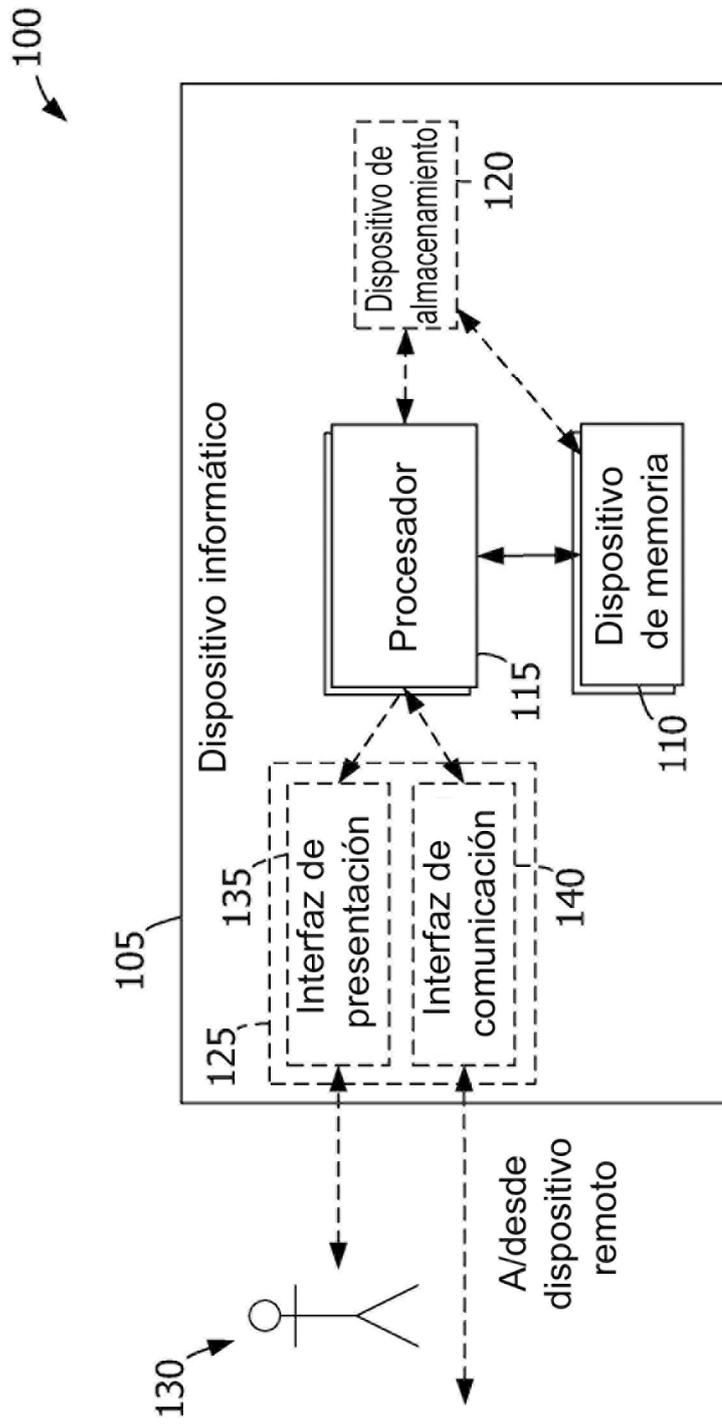


FIG. 2

200

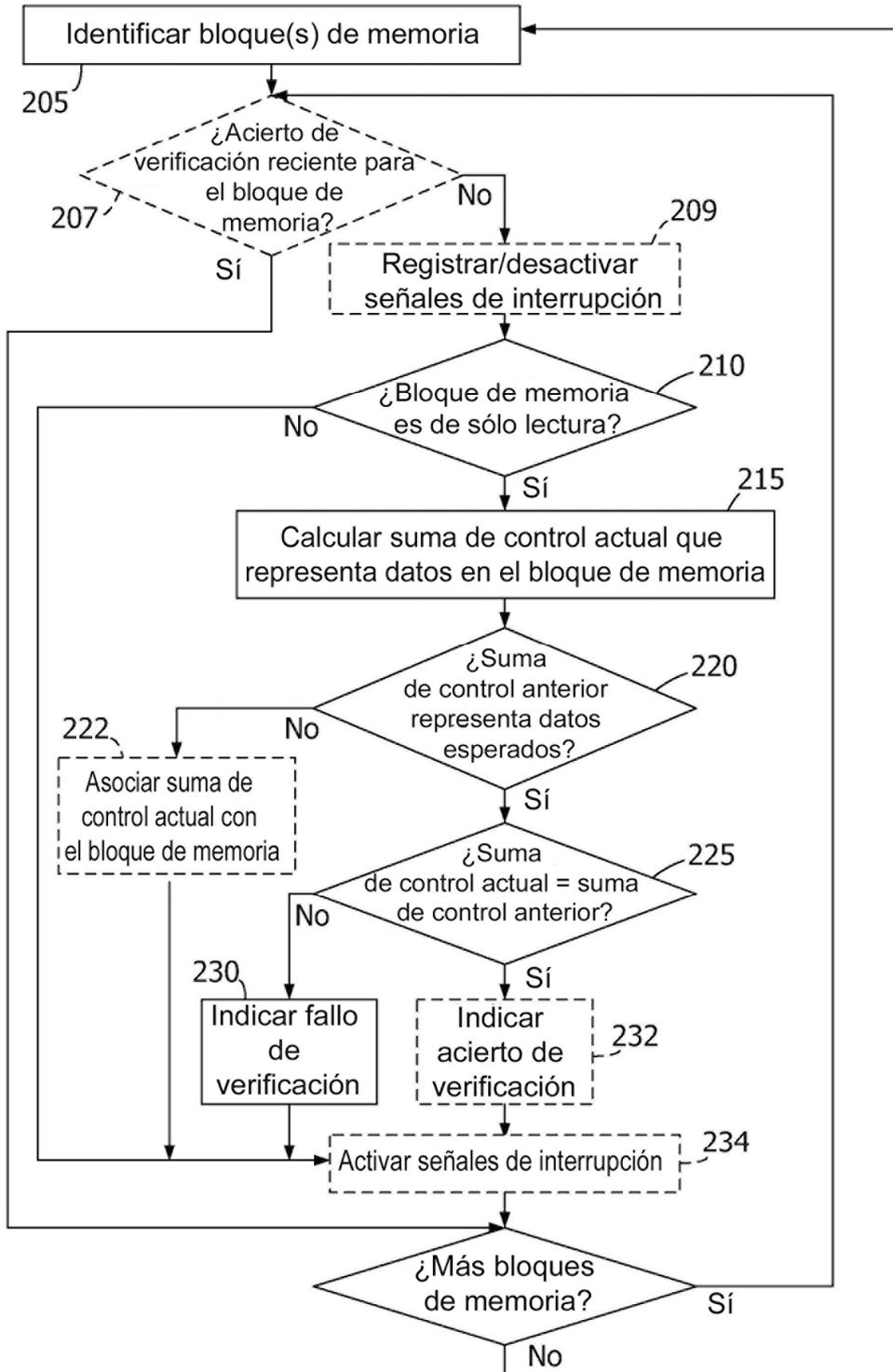


FIG. 3

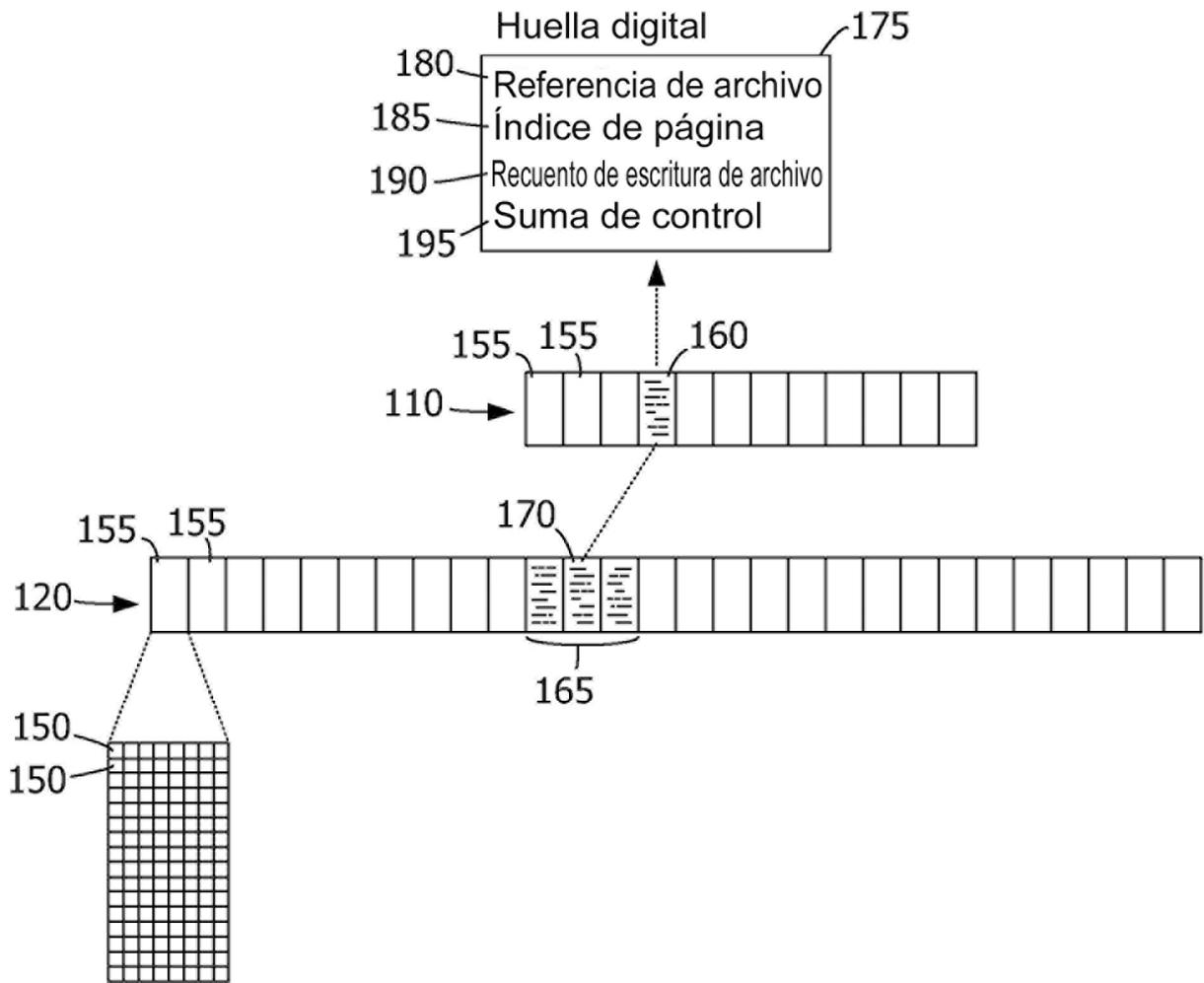


FIG. 4

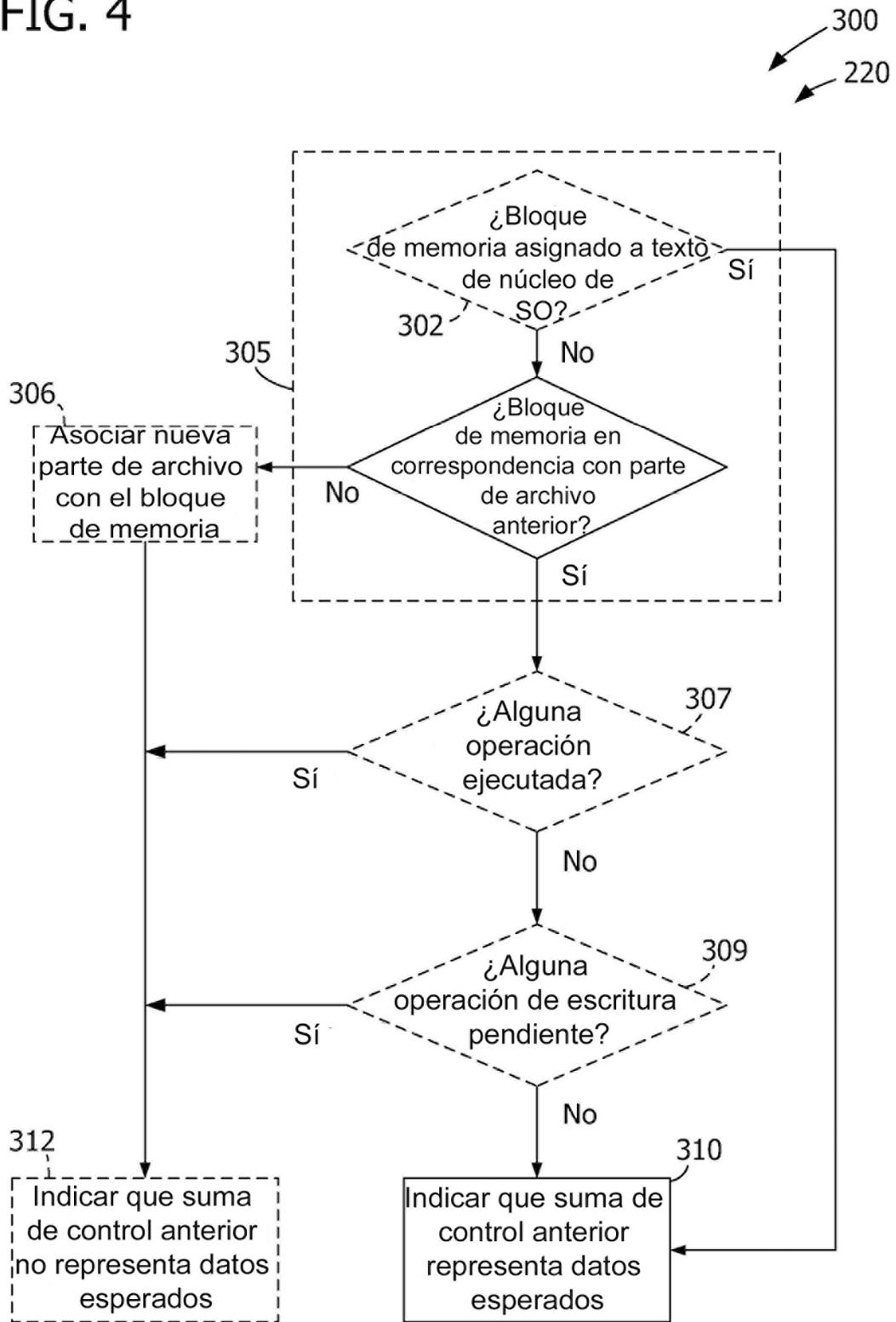


FIG. 5

