

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 642 218**

51 Int. Cl.:

**G06F 12/02** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **27.06.2014 PCT/CN2014/080984**

87 Fecha y número de publicación internacional: **30.12.2015 WO15196464**

96 Fecha de presentación y número de la solicitud europea: **27.06.2014 E 14870650 (0)**

97 Fecha y número de publicación de la concesión europea: **09.08.2017 EP 2988221**

54 Título: **Controlador, aparato de memoria flash y procedimiento para escribir datos en aparato de memoria flash**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**15.11.2017**

73 Titular/es:  
**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)  
Huawei Administration Building, Bantian,  
Longgang District  
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:

**ZHANG, CHENYI;  
LIN, CHUNGONG y  
WEI, MINGCHANG**

74 Agente/Representante:

**LEHMANN NOVO, María Isabel**

ES 2 642 218 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Controlador, aparato de memoria flash y procedimiento para escribir datos en aparato de memoria flash

5 Campo técnico

La presente invención se refiere al campo de las tecnologías de almacenamiento, y en particular, a un controlador, a un aparato de memoria flash y a un procedimiento para escribir datos en un aparato de memoria flash.

10 Antecedentes

Un aparato de Memoria Flash (memoria flash) es una memoria no volátil cuyo medio de almacenamiento es una unidad Flash y tiene la característica de que los datos no desaparecen tras una corte eléctrico. Por tanto, el aparato de memoria flash se usa ampliamente como memoria externa o interna. Un aparato de memoria flash que usa una unidad Flash como medio de almacenamiento puede ser un disco de estado sólido (nombre completo: *Solid State Device*, SSD abreviado), que también se denomina disco de estado sólido (nombre completo: *Solid State Drive*, SSD abreviado), u otra memoria.

15

Un SSD incluye generalmente múltiples chips flash y cada chip flash incluye varios bloques (bloque), incluyendo además cada bloque múltiples páginas (página). En algunos casos, en un bloque puede aparecer una página que está dañada (también denominada página dañada). Cuando un SSD escribe datos en un bloque que incluye una página dañada, si el bloque que incluye una página dañada es insuficiente para almacenar los datos, generalmente se encuentra un bloque nuevo para almacenar un desbordamiento de los datos. Por tanto, en el SSD, hay un gran número de bloques que se han escrito con algunos datos pero no están llenos de datos, lo que reduce la utilización de espacio de los bloques y provoca un desperdicio de espacio de almacenamiento en el SSD.

20

El documento US 2009/0259806 da a conocer técnicas para la gestión de memorias flash, que incluyen utilizar información defectuosa correspondiente a una granularidad menor que un tamaño de bloque de borrado físico de un chip de memoria flash.

30

El documento US 2008/0177956 da a conocer un sistema de gestión de fallos basado en páginas para memoria flash que incluye al menos un dispositivo de memoria flash que incluye al menos una página y al menos una página operable.

35 Sumario

La presente invención proporciona un controlador, un aparato de memoria flash y un procedimiento para escribir datos en un aparato de memoria flash, que pueden mejorar la utilización de espacio de un bloque y ahorrar espacio de almacenamiento de un SSD.

40

Según un primer aspecto, la presente invención proporciona un sistema de almacenamiento que comprende un controlador, en el que el controlador se aplica en el sistema de almacenamiento, el sistema de almacenamiento comprende además un aparato de memoria flash, el aparato de memoria flash incluye un chip flash, el chip flash incluye un bloque, el bloque incluye múltiples páginas y al menos una de las múltiples páginas es una página dañada; y el controlador incluye una interfaz de comunicaciones, una memoria caché y un procesador;

45

la interfaz de comunicaciones está configurada para comunicarse con el aparato de memoria flash;

la memoria caché está configurada para almacenar temporalmente peticiones de escritura de un ordenador central acoplado al controlador y

50

el procesador está configurado para: recibir información de capacidad del bloque que se envía por el aparato de memoria flash;

55 obtener una capacidad eficaz del bloque según la información de capacidad del bloque, no incluyendo la capacidad eficaz del bloque una capacidad de la página dañada;

almacenar temporalmente múltiples peticiones de escritura en la memoria caché hasta que un tamaño de datos objetivo incluidos en las múltiples peticiones de escritura alcance la capacidad eficaz del bloque;

60

leer los datos objetivo de la memoria caché; y

enviar los datos objetivo al aparato de memoria flash.

65 En una primera manera de implementación posible del primer aspecto, la información de capacidad del bloque incluye información sobre la página dañada, la información sobre la página dañada se usa para indicar la capacidad

de la página dañada, el procesador está configurado específicamente para obtener la capacidad eficaz del bloque según una capacidad estándar previamente almacenada del bloque y la capacidad de la página dañada, y la capacidad eficaz del bloque es la capacidad estándar del bloque menos la capacidad de la página dañada.

5 En una segunda manera de implementación posible del primer aspecto, la información de capacidad del bloque incluye la capacidad eficaz del bloque.

10 En una tercera manera de implementación posible del primer aspecto, la información de capacidad del bloque incluye una bandera de capacidad del bloque, el controlador incluye además una memoria, y se almacena en la memoria una correspondencia entre la bandera de capacidad del bloque y la capacidad eficaz del bloque; y

15 el procesador está configurado específicamente para obtener la capacidad eficaz del bloque según la bandera de capacidad del bloque, y la correspondencia entre la bandera de capacidad del bloque y la capacidad eficaz del bloque.

20 Según un segundo aspecto, la presente invención proporciona un procedimiento para escribir datos en un aparato de memoria flash, en el que el procedimiento se aplica en un sistema de almacenamiento, el sistema de almacenamiento incluye un controlador y el aparato de memoria flash, el aparato de memoria flash incluye un chip flash, el chip flash incluye un bloque, el bloque incluye múltiples páginas y al menos una de las múltiples páginas es una página dañada; y el procedimiento incluye:

recibir, por parte del controlador, información de capacidad del bloque que se envía por el aparato de memoria flash;

25 obtener, por parte del controlador, una capacidad eficaz del bloque según la información de capacidad del bloque, no incluyendo la capacidad eficaz del bloque una capacidad de la página dañada;

30 almacenar temporalmente, por parte del controlador, múltiples peticiones de escritura en una memoria caché del controlador hasta que un tamaño de datos objetivo incluidos en las múltiples peticiones de escritura alcance la capacidad eficaz del bloque;

leer, por parte del controlador, datos objetivo de la memoria caché; y

enviar, por parte del controlador, los datos objetivo al aparato de memoria flash.

35 En una primera manera de implementación posible del tercer aspecto, la información de capacidad del bloque incluye información sobre la página dañada, y la información sobre la página dañada se usa para indicar la capacidad de la página dañada; y

40 el obtener, por parte del controlador, una capacidad eficaz del bloque según la información de capacidad del bloque incluye:

45 obtener, por parte del controlador, la capacidad eficaz del bloque según una capacidad estándar previamente almacenada del bloque y la capacidad de la página dañada, siendo la capacidad eficaz del bloque la capacidad estándar del bloque menos la capacidad de la página dañada.

En una segunda manera de implementación posible del tercer aspecto, la información de capacidad del bloque incluye la capacidad eficaz del bloque.

50 En una tercera manera de implementación posible del tercer aspecto, la información de capacidad del bloque incluye una bandera de capacidad del bloque, se almacena en la memoria una correspondencia entre la bandera de capacidad del bloque y la capacidad eficaz del bloque; y

55 el obtener, por parte del controlador, una capacidad eficaz del bloque según la información de capacidad del bloque incluye:

obtener, por parte del controlador, la capacidad eficaz del bloque según la bandera de capacidad del bloque, y la correspondencia entre la bandera de capacidad del bloque y la capacidad eficaz del bloque.

60 La presente invención proporciona un controlador, y un procedimiento para escribir datos en un aparato de memoria flash. El controlador recibe información de capacidad de un bloque que se envía por un aparato de memoria flash; obtiene una capacidad eficaz del bloque según la información de capacidad del bloque, no incluyendo la capacidad eficaz del bloque una capacidad de una página dañada; lee los datos objetivo, siendo un tamaño de los datos objetivo la capacidad eficaz del bloque; y envía los datos objetivo al aparato de memoria flash. Según maneras de implementación de la presente invención, si el bloque tiene una página dañada, el controlador puede enviar, al aparato de memoria flash, los datos objetivo cuyo tamaño es el mismo que la capacidad eficaz del bloque, de modo que el aparato de memoria flash escribe los datos objetivo en el bloque. Por tanto, según la presente invención,

puede garantizarse que los datos objetivo escritos en un bloque del aparato de memoria flash llenan el bloque en una medida máxima sin datos en desbordamiento, mejorando así la utilización del bloque y ahorrando espacio de almacenamiento de un SSD.

5 Además, la presente invención proporciona adicionalmente un aparato de memoria flash y un procedimiento para escribir datos en un aparato de memoria flash. El aparato de memoria flash recolecta estadísticas sobre la información de capacidad de un bloque, usándose la información de capacidad del bloque para obtener una capacidad eficaz del bloque, y la capacidad eficaz del bloque no incluye una capacidad de una página dañada; envía la información de capacidad del bloque a un controlador; recibe los datos objetivo enviados por el controlador, siendo un tamaño de los datos objetivo la capacidad eficaz del bloque; y escribe los datos objetivo en el bloque. El aparato de memoria flash puede recolectar las estadísticas sobre la información de capacidad del bloque, y enviar la información de capacidad del bloque al controlador, de modo que el controlador puede enviar, al aparato de memoria flash, los datos objetivo cuyo tamaño es el mismo que la capacidad eficaz del bloque y el aparato de memoria flash escribe los datos objetivo en el bloque. Por tanto, según la presente invención, puede garantizarse que los datos objetivo escritos en un bloque del aparato de memoria flash llenan el bloque en una medida máxima sin datos en desbordamiento, mejorando así utilización del bloque y ahorrando espacio de almacenamiento de un SSD.

#### Breve descripción de los dibujos

20 Para describir las soluciones técnicas de la presente invención más claramente, en los siguientes dibujos adjuntos se introducen brevemente formas de realización descriptivas de la presente invención o la técnica anterior. Evidentemente, los dibujos adjuntos en la siguiente descripción muestran meramente algunas formas de realización de la presente invención.

25 La figura 1 es un diagrama estructural esquemático de un sistema de almacenamiento según una forma de realización de la presente invención;

30 la figura 2 es un diagrama estructural esquemático de un controlador según una forma de realización de la presente invención;

la figura 3a es un diagrama estructural esquemático de un medio de almacenamiento de un aparato de memoria flash según una forma de realización de la presente invención;

35 la figura 3b es un diagrama estructural esquemático de un controlador primario de un aparato de memoria flash según una forma de realización de la presente invención;

40 la figura 4 es un diagrama de flujo esquemático de escritura de datos en un aparato de memoria flash según una forma de realización de la presente invención;

la figura 5 es otro diagrama de flujo esquemático de escritura de datos en un aparato de memoria flash según una forma de realización de la presente invención; y

45 la figura 6 es aún otro diagrama de flujo esquemático de escritura de datos en un aparato de memoria flash según una forma de realización de la presente invención.

#### Descripción de formas de realización

50 Las formas de realización de la presente invención proporcionan un controlador, un aparato de memoria flash y un procedimiento para escribir datos en un aparato de memoria flash, que pueden mejorar la utilización de espacio de un bloque y ahorrar espacio de almacenamiento de un SSD.

55 La figura 1 ilustra un diagrama estructural esquemático de un sistema de almacenamiento según una forma de realización de la presente invención. El sistema de almacenamiento mostrado en la figura 1 incluye un controlador 11 y un aparato de memoria flash 22. El aparato de memoria flash 22 es un aparato de almacenamiento que usa una unidad Flash como medio de almacenamiento, puede incluir un disco de estado sólido (nombre completo: *Solid State Device*, SSD abreviado), que también se denomina disco de estado sólido (*Solid State Drive*, SSD), y puede incluir además otra memoria. En esta forma de realización, el aparato de memoria flash 22 se describe usando un SSD como ejemplo.

60 La figura 1 sólo es ilustrativa a modo de ejemplo y no limita una manera específica de trabajo en red, por ejemplo, puede usarse tanto el trabajo en red en árbol en cascada como el trabajo en red en anillo siempre que el controlador 11 y el aparato de memoria flash 22 puedan comunicarse entre sí.

65

El controlador 11 puede incluir cualquier dispositivo informático conocido en la técnica anterior, por ejemplo, un servidor o un ordenador de sobremesa. Un sistema operativo y otros programas de aplicación están instalados en el controlador 11. El controlador 11 puede enviar una petición de entrada/salida (E/S) al aparato de memoria flash 22. Por ejemplo, se envía una petición de escritura de datos al aparato de memoria flash 22, de modo que el aparato de memoria flash 22 escribe los datos que van a escribirse portados en la petición de escritura de datos en el medio de almacenamiento del aparato de memoria flash 22.

Con referencia a la figura 2, la figura 2 es un diagrama estructural esquemático de un controlador 11 según una forma de realización de la presente invención. Como se muestra en la figura 2, el controlador 11 incluye principalmente un procesador (procesador) 118, una memoria intermedia (memoria caché) 120, una memoria (memoria) 122, un bus de comunicaciones (un bus, abreviado) 126 y una interfaz de comunicaciones (Interfaz de Comunicación) 128. El procesador 118, la memoria caché 120, la memoria 122 y la interfaz de comunicaciones 128 completan la comunicación mutua usando el bus de comunicaciones 126.

La interfaz de comunicaciones 128 está configurada para comunicarse con un ordenador central (no mostrado en la figura) o un aparato de memoria flash 22.

La memoria 122 está configurada para almacenar un programa 124, y la memoria 122 puede incluir una memoria RAM de alta velocidad, o puede incluir una memoria no volátil (memoria no volátil), por ejemplo, al menos una memoria de disco. Puede entenderse que la memoria 122 puede ser cualquier medio legible por máquina no transitorio (no transitorio) que pueda almacenar código de programa, tal como una memoria de acceso aleatorio (*Random-Access Memory*, RAM), un disco magnético, un disco duro, un disco óptico, un disco de estado sólido (*Solid State Disk*, SSD), o una memoria no volátil.

Específicamente, el programa 124 puede incluir código de programa, incluyendo el código de programa una instrucción de funcionamiento de ordenador.

La memoria caché 120 (Caché) está configurada para almacenar temporalmente los datos recibidos desde el ordenador central o los datos leídos desde el aparato de memoria flash 22. La memoria caché 120 puede ser cualquier medio legible por máquina no transitorio (no transitorio) que pueda almacenar datos, tal como una RAM, una ROM, una memoria flash (Memoria flash) o un disco de estado sólido (*Solid State Disk*, SSD), sin limitación en el presente documento. Por ejemplo, cuando se recibe una petición de escritura de datos enviada por el ordenador central, el controlador 11 puede almacenar la petición de escritura de datos en la memoria caché 120, y entonces el procesador 118 procesa la petición de escritura de datos. Opcionalmente, cuando se recibe una petición de escritura de datos enviada por el ordenador central, el controlador 11 puede almacenar en primer lugar la petición de escritura de datos en la memoria caché 120; entonces leer la petición de escritura de datos de la memoria caché 120 y enviar la petición de escritura de datos al aparato de memoria flash 22 para su procesamiento. Alternativamente, cuando se reciben múltiples peticiones de escritura de datos enviadas por el ordenador central, el controlador 11 puede almacenar temporalmente las múltiples peticiones de escritura de datos en la memoria caché 120; cuando los datos que van a escribirse portados en las múltiples peticiones de escritura de datos almacenadas en la memoria caché 120 alcanzan un umbral establecido, el controlador 11 puede enviar los datos que van a escribirse portados en las múltiples peticiones de escritura de datos al aparato de memoria flash 22 para su procesamiento.

Además, la memoria 122 y la memoria caché 120 pueden disponerse juntas o por separado, sin limitación en esta forma de realización de la presente invención.

El procesador 118 puede ser una unidad de procesamiento central CPU, un circuito integrado de aplicación específica ASIC (*Application Specific Integrated Circuit*), o uno o varios circuitos integrados configurados para implementar esta forma de realización de la presente invención. En esta forma de realización de la presente invención, el procesador 118 puede estar configurado para recibir una petición de escritura de datos o una petición de lectura de datos desde el ordenador central, procesar la petición de escritura de datos o la petición de lectura de datos, enviar la petición de escritura de datos o la petición de lectura de datos al aparato de memoria flash 22 y realizar otras operaciones.

Con referencia a la figura 3a, la figura 3a es un diagrama estructural esquemático de un aparato de memoria flash 22 según una forma de realización de la presente invención. En esta forma de realización, el aparato de memoria flash 22 se describe usando un SSD como ejemplo.

Como se muestra en la figura 3a, el aparato de memoria flash 22 incluye un controlador primario 220 y un medio de almacenamiento 221. El controlador primario 220 está configurado para ejecutar una petición de escritura de datos o una petición de lectura de datos enviada por un controlador 11, y operaciones tales como recolectar estadísticas sobre páginas dañadas. El controlador primario 220 en el presente documento es un controlador primario de un SSD.

El medio de almacenamiento 221 incluye generalmente varios chips flash (Flash). En un SSD, se usan canales (canal) para conectar los diferentes chips flash entre sí. Para los canales puede implementarse un procesamiento

simultáneo de peticiones de escritura de datos. Como ejemplo se usan cuatro canales mostrados en la figura 3a. Si el controlador primario 220 recibe cuatro peticiones de escritura de datos enviadas por el controlador 11, cada uno de los cuatro canales puede ejecutar una petición de escritura de datos, mejorando así la eficacia de procesamiento de las peticiones de escritura de datos. Además, según esta forma de realización de la presente invención, también puede implementarse un procesamiento simultáneo de las peticiones de escritura de datos para múltiples unidades simultáneas en un canal, sin limitación en el presente documento.

Cada chip flash incluye varios bloques (bloque), y se ejecuta una operación de borrado realizada por un SSD con un bloque como unidad. Por ejemplo, cuando el SSD necesita realizar una recolección de elementos no utilizados, los datos válidos en un bloque pueden moverse en primer lugar a otro bloque nuevo, y entonces se borran todos los datos (incluyendo los datos válidos y los datos no válidos) almacenados en el bloque original. En esta forma de realización de la presente invención, datos válidos en un bloque se refieren a datos que están almacenados en el bloque y no se han modificado, y esta parte de datos puede leerse; y datos no válidos en un bloque se refieren a datos que están almacenados en el bloque y se han modificado, y esta parte de datos no puede leerse. Un experto en la técnica puede descubrir que debido a una característica de borrado de una unidad flash, los datos almacenados en un bloque no pueden modificarse directamente como un disco duro mecánico común. Cuando es necesario modificar los datos en un bloque, el controlador primario 220 encuentra un bloque nuevo y escribe los datos modificados en el bloque nuevo, y los datos en el bloque original se convierten en datos no válidos. Cuando el SSD realiza la recolección de elementos no utilizados, se borran los datos no válidos.

Puede descubrirse por la figura 3a que cada bloque puede incluir diversas páginas. En algunos casos, puede producirse un daño en una página en un bloque, y una página en la que se ha producido un daño se denomina página dañada en esta forma de realización de la presente invención. Cuando hay una página dañada en un bloque, una capacidad real del bloque es menor que una capacidad de un bloque que no incluye una página dañada. En esta forma de realización de la presente invención, una capacidad real de un bloque se denomina capacidad eficaz. Por ejemplo, una capacidad estándar de un bloque es 1 M y un tamaño de cada página es 4 KB. Cuando hay una página dañada en el bloque, una capacidad eficaz del bloque es 1 M menos 4 KB. En esta forma de realización de la presente invención, una capacidad estándar de un bloque se refiere a una capacidad de un bloque en blanco que no incluye una página dañada, y un bloque en blanco se refiere a un bloque que está limpio y no incluye ni datos válidos ni datos no válidos. Una capacidad eficaz de un bloque es igual a una capacidad estándar del bloque menos una capacidad de páginas dañadas, siendo la capacidad de páginas dañadas igual a un producto de un tamaño de cada página dañada y el número de páginas dañadas.

En esta forma de realización de la presente invención, una capacidad estándar de un bloque puede almacenarse previamente en el controlador 11 y usarse por el controlador 11 para enviar, al aparato de memoria flash 22, datos objetivo cuyo tamaño es el mismo que la capacidad estándar. Una capacidad estándar de cada bloque es potencia de orden  $N$  ( $M$ ) de 2, donde  $N$  es un número entero positivo. Las capacidades estándar de los bloques pueden ser iguales o diferentes. Cuando las capacidades estándar de los bloques son diferentes, los valores de  $N$  pueden ser diferentes. En este caso, una capacidad estándar del bloque más grande puede considerarse como la capacidad estándar usada en cualquier manera de implementación de las formas de realización de la presente invención que se muestran en las figuras 4 a 6.

Además, en esta forma de realización de la presente invención, cuando el SSD ejecuta una petición de escritura de datos, los datos también se escriben usando una página como unidad. Por ejemplo, el controlador 11 envía una petición de escritura de datos al controlador primario 220, portando la petición de escritura de datos un segmento de direcciones de bloques lógicos (*Logical Block Address*, LBA) y datos objetivo, y las LBA son direcciones a las que puede acceder el controlador 11. Cuando se recibe la petición de escritura de datos, el controlador primario 220 puede escribir los datos objetivo en un bloque según una política predeterminada, y las direcciones de múltiples páginas en las que se escriben los datos objetivo son direcciones para almacenar realmente los datos objetivo, y también se denominan dirección física. El SSD puede establecer y almacenar una correspondencia entre el segmento de LBA y las direcciones de las múltiples páginas. Cuando el controlador 11 envía posteriormente una petición de lectura de datos al controlador primario 220 y pide leer los datos objetivo, la petición de lectura de datos porta las LBA. En este caso, el controlador primario 220 puede leer los datos objetivo según las LBA y la correspondencia entre las LBA y las direcciones físicas, y devolver los datos objetivo al controlador 11.

Lo siguiente introduce una estructura y una función de un controlador primario 220. Con referencia a la figura 3b, la figura 3b es un diagrama estructural esquemático de un controlador primario 220 de un aparato de memoria flash 22 según una forma de realización de la presente invención.

El controlador primario 220 incluye principalmente un procesador (procesador) 218, una memoria caché (Caché) 230, un bus de comunicaciones (un bus, abreviado) 226 y una interfaz de comunicaciones (Interfaz de Comunicación) 228. El procesador 218, la memoria caché 230 y la interfaz de comunicaciones 228 completan la comunicación mutua usando el bus de comunicaciones 226.

La interfaz de comunicaciones 228 está configurada para comunicarse con un controlador 11 y un medio de almacenamiento 221.

La memoria caché 230 está configurada para almacenar temporalmente los datos recibidos desde el controlador 11 y los datos leídos desde el medio de almacenamiento 221. La memoria caché 230 puede ser cualquier medio legible por máquina no transitorio (no transitorio) que pueda almacenar datos, tal como una RAM, una ROM, una memoria flash (Memoria flash) o un disco de estado sólido (*Solid State Disk*, SSD), sin limitación en el presente documento. Por ejemplo, cuando se recibe una petición de escritura de datos enviada por el controlador 11, la petición de escritura de datos puede almacenarse en la memoria caché 230 y se procesa por el procesador 218. Además, en algunos escenarios de aplicación, la memoria caché 230 también puede disponerse fuera del controlador primario 220.

El procesador 218 puede ser una unidad de procesamiento central CPU, un circuito integrado de aplicación específica ASIC (*Application Specific Integrated Circuit*), o uno o varios circuitos integrados configurados para implementar esta forma de realización de la presente invención. En esta forma de realización de la presente invención, el procesador 218 puede estar configurado para recibir una petición de escritura de datos o una petición de lectura de datos desde el controlador 11, procesar la petición de escritura de datos o la petición de lectura de datos, enviar la petición de escritura de datos o la petición de lectura de datos al medio de almacenamiento 221 y realizar otras operaciones.

El procesador 218 puede incluir además una memoria caché (no mostrada en la figura), configurada para almacenar varias instrucciones de programa. Por ejemplo, la memoria caché puede incluir una capa de traducción de flash (*Flash Translation Layer*, FTL). El procesador 218 puede realizar una operación tal como recolectar estadísticas sobre páginas dañadas usando la FTL, y almacenar un resultado de la recolección de estadísticas sobre páginas dañadas en la información de configuración de la FTL. Alternativamente, el procesador 218 puede conseguir una función similar usando otro módulo de software. Por tanto, cualquier módulo de software que tenga una función similar a la de la FTL y pueda realizar una operación tal como recolectar estadísticas sobre páginas dañadas y almacenar un resultado de la recolección de estadísticas sobre páginas dañadas en la información de configuración del módulo de software entra dentro del alcance de protección de las formas de realización de la presente invención.

Lo siguiente introduce un modo de proceder para el procedimiento para escribir datos en un aparato de memoria flash según una forma de realización de la presente invención. El procedimiento para escribir datos en un aparato de memoria flash en esta forma de realización de la presente invención puede aplicarse en el sistema de almacenamiento mostrado en la figura 1, el controlador 11 mostrado en la figura 2 y el aparato de memoria flash (por ejemplo, un SSD) mostrado en la figura 3a y la figura 3b. El aparato de memoria flash incluye un bloque, y el bloque incluye múltiples páginas en las que al menos una página es una página dañada. Como se muestra en la figura 4, el procedimiento incluye las etapas siguientes:

Etapas S101: un aparato de memoria flash 22 recolecta estadísticas sobre la información de capacidad de un bloque. Específicamente, un controlador primario 220 puede recolectar estadísticas sobre páginas dañadas en el bloque usando una FTL, y guardar un resultado estadístico en la información de configuración de la FTL.

En el presente documento, la información de capacidad del bloque puede hacer referencia a la información de capacidad de un bloque en un SSD, o la información de capacidad de múltiples o todos los bloques en un SSD. Para facilitar la descripción, se usa un bloque como ejemplo para la descripción en esta forma de realización de la presente invención.

Puede usarse la información de capacidad del bloque en esta forma de realización de la presente invención para obtener, por parte del controlador primario 220 o un controlador 11, una capacidad eficaz del bloque.

Opcionalmente, la información de capacidad del bloque puede incluir el número de páginas dañadas incluidas en el bloque. Cuando el controlador primario 220 obtiene, a través de la recolección de estadísticas, el número de las páginas dañadas incluidas en el bloque, la capacidad eficaz del bloque es igual a una capacidad estándar del bloque menos una capacidad de las páginas dañadas, siendo la capacidad de las páginas dañadas igual a un producto del número de las páginas dañadas y un tamaño de una página dañada.

Opcionalmente, la información de capacidad del bloque puede incluir la capacidad de las páginas dañadas incluidas en el bloque.

Opcionalmente, la información de capacidad del bloque puede ser la capacidad eficaz del bloque.

Opcionalmente, la información de capacidad del bloque puede ser una bandera de capacidad del bloque, u otra información usada para obtener la capacidad eficaz del bloque. Esta forma de realización de la presente invención no impone ninguna limitación a la forma y al contenido de la información de capacidad del bloque.

Etapas S102: el aparato de memoria flash 22 envía la información de capacidad del bloque al controlador 11.

Específicamente, el controlador primario 220 del aparato de memoria flash 22 puede enviar la información de capacidad del bloque a un procesador 118 del controlador 11 a través de una interfaz de comunicaciones 228 del controlador 11.

5 Una manera de implementación opcional es que el controlador 11 pueda enviar un comando de consulta al aparato de memoria flash 22 periódicamente o en tiempo real, usándose el comando de consulta para consultar la información de capacidad del bloque. Tras recibir el comando de consulta, el aparato de memoria flash 22 empieza a ejecutar la etapa S101, y envía la información de capacidad del bloque al controlador 11 tras finalizar la ejecución. Específicamente, el procesador 118 del controlador 11 puede enviar el comando de consulta al aparato de memoria flash 22.

15 Otra manera de implementación opcional es que el controlador primario 220 periódicamente ejecute la etapa S101, y envíe la información de capacidad del bloque al controlador 11 cada vez tras finalizar la ejecución. Alternativamente, el controlador primario 220 ejecuta periódicamente la etapa S101, y el controlador primario 220 compara un resultado estadístico actual con un resultado estadístico previo. Cuando se encuentra que cambia la información de capacidad del bloque, el controlador primario 220 envía el resultado estadístico actual al controlador 11. Cabe señalar que esta forma de realización de la presente invención no impone ninguna limitación a una duración de un periodo y la duración de un periodo puede ajustarse según un requisito de usuario en una aplicación real.

20 Etapa S103: el controlador 11 obtiene la capacidad eficaz del bloque según la información de capacidad del bloque, no incluyendo la capacidad eficaz del bloque la capacidad de las páginas dañadas.

Específicamente, el procesador 118 del controlador 11 puede obtener la capacidad eficaz del bloque según la información de capacidad del bloque.

25 Cuando la información de capacidad del bloque incluye el número de las páginas dañadas incluidas en el bloque, el controlador 11 puede multiplicar el número de las páginas dañadas por el tamaño de una página dañada para obtener la capacidad de las páginas dañadas en el bloque, y entonces restar la capacidad de las páginas dañadas de la capacidad estándar previamente almacenada del bloque, para obtener la capacidad eficaz del bloque.

30 Cuando la información de capacidad del bloque incluye la capacidad de las páginas dañadas incluidas en el bloque, el controlador 11 puede restar la capacidad de las páginas dañadas de la capacidad estándar previamente almacenada del bloque para obtener la capacidad eficaz del bloque.

35 Cuando la información de capacidad del bloque es la capacidad eficaz del bloque, el controlador 11 puede obtener directamente la capacidad eficaz del bloque.

40 Cuando la información de capacidad del bloque es una bandera de capacidad del bloque, el controlador 11 puede obtener la capacidad eficaz del bloque según la bandera de capacidad y una correspondencia entre una bandera de capacidad y una capacidad eficaz. En esta forma de realización de la presente invención, para obtener la capacidad eficaz del bloque, el controlador 11 puede almacenar previamente, en una memoria 122 del controlador 11, una correspondencia entre una bandera de capacidad de cada bloque y una capacidad eficaz de cada bloque, o almacenar previamente, en una memoria 122, una correspondencia entre una bandera de capacidad de cada bloque y otra información de capacidad.

45 Etapa S104: el controlador 11 lee los datos objetivo, siendo un tamaño de los datos objetivo la capacidad eficaz del bloque.

50 Específicamente, la etapa S104 puede ejecutarse por el procesador 118 del controlador 11. El procesador 118 lee los datos objetivo de una memoria caché 120, siendo el tamaño de los datos objetivo igual a la capacidad eficaz del bloque. Cabe señalar que el tamaño de los datos objetivo puede no ser necesariamente igual a la capacidad eficaz del bloque sino que puede ser ligeramente menor que la capacidad eficaz del bloque.

55 Los datos objetivo almacenados en la memoria caché 120 pueden ser de los datos que van a escribirse portados en una petición de escritura de datos enviada por un ordenador central, y pueden ser los datos que van a escribirse portados en una petición de escritura de datos o los datos que van a escribirse portados en múltiples peticiones de escritura de datos.

60 Etapa S105: el controlador 11 envía los datos objetivo al aparato de memoria flash 22.

Específicamente, el procesador 118 envía, a través de una interfaz de comunicaciones 128, los datos que van a escribirse leídos en la etapa S104 al aparato de memoria flash 22. Una manera de implementación opcional es que el procesador 118 genere una nueva petición de escritura de datos, incluyendo la nueva petición de escritura de datos los datos objetivo; otra manera de implementación opcional es que el procesador 118 genere múltiples nuevas peticiones de escritura de datos, incluyendo cada una de las múltiples nuevas peticiones de escritura de datos una parte de los datos objetivo; y aún otra manera de implementación opcional es que el procesador 118 transmita



directamente una petición de escritura de datos de un ordenador central al aparato de memoria flash 22, siendo los datos portados en la petición de escritura de datos desde el ordenador central los datos objetivo.

5 Etapa S106: el aparato de memoria flash 22 escribe los datos objetivo en el bloque.

El tamaño de los datos objetivo es la capacidad eficaz del bloque; por tanto, después de que el controlador primario 220 escriba los datos objetivo en otra página del bloque excepto las páginas dañadas, el bloque estará exactamente lleno en su totalidad.

10 En esta forma de realización de la presente invención, un aparato de memoria flash 22 envía información de capacidad de un bloque a un controlador 11, usándose la información de capacidad del bloque para obtener una capacidad eficaz del bloque, el controlador 11 puede obtener la capacidad eficaz del bloque según la información de capacidad del bloque, leer los datos objetivo cuyo tamaño es el mismo que la capacidad eficaz del bloque, y enviar los datos objetivo al aparato de memoria flash 22 y el aparato de memoria flash 22 escribe los datos objetivo en el bloque. Según una manera de implementación de esta forma de realización de la presente invención, en caso de que el bloque tenga una página dañada, puede garantizarse que los datos objetivo escritos en el bloque llenan el bloque en una medida máxima sin datos en desbordamiento, mejorando así utilización del bloque.

20 En la forma de realización anterior, otra manera de implementación puede ser que el tamaño de los datos objetivo leídos por el procesador 118 de la memoria caché 120 pueda ser una suma de las capacidades eficaces de varios bloques. Se usa un ejemplo en el que el tamaño de los datos objetivo puede ser una suma de capacidades eficaces de cuatro bloques. El procesador 118 puede generar cuatro peticiones de escritura de datos, siendo los datos objetivo portados en cada una de las peticiones de escritura de datos igual a una capacidad eficaz de un bloque de entre cuatro bloques. Entonces el procesador 118 envía las cuatro peticiones de escritura de datos generadas al controlador primario 220, y el controlador primario 220 escribe las cuatro peticiones de escritura de datos generadas en bloques de cuatro canales. Según esta manera de implementación, las peticiones de escritura de datos pueden ejecutarse simultáneamente para los canales del aparato de memoria flash 22, mejorando así la eficacia para escribir datos. Además, en esta forma de realización de la presente invención, también puede implementarse un procesamiento simultáneo de múltiples peticiones de escritura de datos para múltiples unidades simultáneas en un canal.

35 Lo siguiente introduce otro modo de proceder para el procedimiento para escribir datos en un aparato de memoria flash según una forma de realización de la presente invención. El procedimiento puede aplicarse en el sistema de almacenamiento mostrado en la figura 1, el controlador 11 mostrado en la figura 2 y el aparato de memoria flash (por ejemplo, un SSD) mostrado en la figura 3a y la figura 3b. El aparato de memoria flash incluye un bloque, y el bloque incluye múltiples páginas en las que al menos una página es una página dañada. Como se muestra en la figura 5, el procedimiento incluye las etapas siguientes:

40 Etapa S201: la etapa S201 es igual que la etapa S101 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S101.

Etapa S202: la etapa S202 es igual que la etapa S102 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S102.

45 Etapa S203: un procesador 118 recibe múltiples peticiones de escritura de datos.

El procesador 118 puede recibir múltiples peticiones de escritura de datos desde un ordenador central u otro dispositivo, portando cada una de las peticiones de escritura de datos, datos que van a escribirse en el aparato de memoria flash 22 (los datos que van a escribirse, abreviado).

50 Cabe señalar que no hay ninguna secuencia entre la etapa S203 y la etapa S201 o la etapa S202, y que la etapa S203 puede ejecutarse antes que la etapa S201 y la etapa S202, después de la etapa S201 y la etapa S202, o simultáneamente con la etapa S201 y la etapa S202.

55 Etapa S204: el procesador 118 escribe las múltiples peticiones de escritura de datos recibidas en una memoria caché 120. Como cada una de las peticiones de escritura de datos porta los datos que van a escribirse, los datos que van a escribirse también se almacenan en la memoria caché 120.

60 Etapa S205: la etapa S205 es igual que la etapa S103 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S103.

65 Etapa S206: el procesador 118 determina si un tamaño de los datos que van a escribirse almacenados en la memoria caché 120 alcanza la capacidad eficaz del bloque; y si el tamaño de los datos que van a escribirse almacenados en la memoria caché 120 alcanza la capacidad eficaz del bloque, ejecuta la etapa S207; si el tamaño de los datos que van a escribirse almacenados en la memoria caché 120 no alcanza la capacidad eficaz del bloque, ejecuta la etapa S203.

5 Cuando se cumple una condición preestablecida, el procesador 118 puede determinar si el tamaño de los datos que van a escribirse portados en las múltiples peticiones de escritura de datos y almacenados en la memoria caché 120 alcanza la capacidad eficaz del bloque. La condición preestablecida en el presente documento puede ser un momento en el que comienza un intervalo de tiempo preestablecido (por ejemplo, activación por un temporizador) u otra condición de activación, sin limitación en el presente documento.

10 Si el tamaño de los datos que van a escribirse portados en las múltiples peticiones de escritura de datos y almacenados en la memoria caché 120 no ha alcanzado la capacidad eficaz del bloque, el procesador 118 puede esperar temporalmente durante un periodo de tiempo en lugar de procesar las peticiones de escritura de datos en la memoria caché 120. Durante este periodo de tiempo, el procesador 118 puede seguir recibiendo una petición de escritura de datos desde el ordenador central hasta que el tamaño de los datos que van a escribirse almacenados en la memoria caché 120 alcanza la capacidad eficaz del bloque.

15 Etapa S207: el procesador 118 lee, de la memoria caché 120, los datos objetivo portados en las múltiples peticiones de escritura de datos.

20 Si el tamaño de los datos que van a escribirse portados en las múltiples peticiones de escritura de datos y almacenados en la memoria caché 120 ha alcanzado la capacidad eficaz del bloque, el procesador 118 puede leer, de la memoria caché 120, los datos que van a escribirse portados en las múltiples peticiones de escritura de datos. Puede entenderse que, cuando el tamaño de los datos que van a escribirse portados en las múltiples peticiones de escritura de datos y almacenados en la memoria caché 120 ha alcanzado la capacidad eficaz del bloque, los datos que van a escribirse portados en las múltiples peticiones de escritura de datos y almacenados en la memoria caché 120 en este momento son los datos objetivo en la etapa S104 a la etapa S106 en la forma de realización mostrada en la figura 4.

Etapa S208: la etapa S208 es igual que la etapa S105 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S105.

30 Etapa S209: la etapa S209 es igual que la etapa S106 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S106.

35 En esta forma de realización de la presente invención, un aparato de memoria flash 22 envía información de capacidad de un bloque a un controlador 11, usándose la información de capacidad del bloque para obtener una capacidad eficaz del bloque, el controlador 11 puede obtener la capacidad eficaz del bloque según la información de capacidad del bloque, leer los datos objetivo cuyo tamaño es el mismo que la capacidad eficaz del bloque, y enviar los datos objetivo al aparato de memoria flash 22 y el aparato de memoria flash 22 escribe los datos objetivo en el bloque. Según una manera de implementación de esta forma de realización de la presente invención, en caso de que el bloque tenga una página dañada, puede garantizarse que los datos objetivo escritos en el bloque llenan el bloque en una medida máxima sin datos en desbordamiento, mejorando así utilización del bloque.

45 Lo siguiente introduce aún otro modo de proceder para el procedimiento para escribir datos en un aparato de memoria flash según una forma de realización de la presente invención. El procedimiento puede aplicarse en el sistema de almacenamiento mostrado en la figura 1, el controlador 11 mostrado en la figura 2 y el aparato de memoria flash (por ejemplo, un SSD) mostrado en la figura 3a y la figura 3b. El aparato de memoria flash incluye un bloque, y el bloque incluye múltiples páginas en las que al menos una página es una página dañada. Como se muestra en la figura 6, el procedimiento incluye las etapas siguientes:

50 Etapa S301: la etapa S301 es igual que la etapa S101 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S101.

Etapa S302: la etapa S302 es igual que la etapa S102 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S102.

55 Etapa S303: la etapa S303 es igual que la etapa S203 en la forma de realización mostrada en la figura 5, y puede hacerse referencia a la descripción en la etapa S203.

Etapa S304: la etapa S304 es igual que la etapa S204 en la forma de realización mostrada en la figura 5, y puede hacerse referencia a la descripción en la etapa S204.

60 Etapa S305: la etapa S305 es igual que la etapa S205 en la forma de realización mostrada en la figura 5, y puede hacerse referencia a la descripción en la etapa S205.

65 Etapa S306: el procesador 118 determina que un tamaño de los datos que van a escribirse almacenados en la memoria caché 120 es mayor que la capacidad eficaz del bloque.

5 Cuando se cumple una condición preestablecida, el procesador 118 puede determinar que un tamaño de los datos que van a escribirse portados en las múltiples peticiones de escritura de datos y almacenados en la memoria caché 120 es mayor que la capacidad eficaz del bloque. La condición preestablecida en el presente documento puede ser que llegue un intervalo de tiempo preestablecido (por ejemplo, activación por un temporizador) u otra condición de activación, sin limitación en el presente documento.

Etapa S307: el procesador 118 lee una parte de los datos que van a escribirse de la memoria caché 120, siendo un tamaño de la parte de los datos que van a escribirse la capacidad eficaz del bloque.

10 Cuando el tamaño de los datos que van a escribirse portados en las múltiples peticiones de escritura de datos es mayor que la capacidad eficaz del bloque, el procesador 118 puede leer la parte de los datos que van a escribirse de la memoria caché 120, siendo el tamaño de la parte de los datos que van a escribirse la capacidad eficaz del bloque. En este caso, la parte de los datos que van a escribirse son los datos objetivo en la etapa S104 a la etapa S106 en la forma de realización mostrada en la figura 4.

15 Etapa S308: la etapa S308 es igual que la etapa S105 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S105.

20 Etapa S309: la etapa S309 es igual que la etapa S106 en la forma de realización mostrada en la figura 4, y puede hacerse referencia a la descripción en la etapa S106.

25 En esta forma de realización de la presente invención, un aparato de memoria flash 22 envía información de capacidad de un bloque a un controlador 11, usándose la información de capacidad del bloque para obtener una capacidad eficaz del bloque, el controlador 11 puede obtener la capacidad eficaz del bloque según la información de capacidad del bloque, leer los datos objetivo cuyo tamaño es el mismo que la capacidad eficaz del bloque, y enviar los datos objetivo al aparato de memoria flash 22 y el aparato de memoria flash 22 escribe los datos objetivo en el bloque. Según una manera de implementación de esta forma de realización de la presente invención, en caso de que el bloque tenga una página dañada, puede garantizarse que los datos objetivo escritos en el bloque llenan el bloque en una medida máxima sin datos en desbordamiento, mejorando así utilización del bloque.

30 Además, en cualquiera de las formas de realización anteriores mostradas en las figura 4 a 6, las direcciones de múltiples páginas en un bloque en el que se escriben los datos objetivo son direcciones físicas. Después de que el controlador primario 220 escriba los datos objetivo en el bloque, el controlador primario 220 puede establecer y almacenar una correspondencia entre un segmento de direcciones de bloques lógicos (*Logical Block Address*, LBA) de los datos objetivo y direcciones físicas, que se usa por el controlador 11 para posteriormente leer los datos objetivo.

40 Puede descubrirse por cualquiera de las formas de realización mostradas en las figuras 4 a 6 que los datos objetivo se almacenen en un bloque; por tanto, las direcciones físicas del mismo son un segmento de espacio físico consecutivo. Si los datos objetivo cambian a otros datos posteriormente, los datos objetivo almacenados en el bloque se convierten en datos no válidos, y directamente puede realizarse una operación de borrado en el bloque sin migración de los datos válidos, mejorando así la eficacia en la recolección de elementos no utilizados.

45 Además, si el controlador 11 necesita realizar una desfragmentación en el segmento de LBA correspondiente a los datos objetivo, según un principio técnico de desfragmentación, el controlador 11 puede enviar un comando de migración de datos al controlador primario 220, portando el comando de migración de datos las LBA. Tras recibir el comando de migración de datos, el controlador primario 220 puede obtener, según la correspondencia entre las LBA y las direcciones físicas, los datos objetivo de páginas en el bloque, y migrar los datos objetivo a otro bloque, para completar la operación de desfragmentación. Después de que la operación de desfragmentación haya finalizado, el bloque también se limpia de manera correspondiente y puede recibir datos nuevos, y no es necesario realizar de nuevo una recolección de elementos no utilizados en el bloque. Puede observarse que la eficacia en la recolección de elementos no utilizados puede mejorarse adicionalmente combinando cualquiera de las formas de realización mostradas en las figuras 4 a 6 y la operación de desfragmentación.

55 Un experto en la técnica puede entender que cada aspecto de la presente invención o una manera de implementación posible de cada aspecto puede implementarse específicamente como un sistema, un procedimiento o un producto de programa informático. Por tanto, cada aspecto de la presente invención o una manera de implementación posible de cada aspecto puede usar formas de realizaciones sólo de hardware, realizaciones sólo de software (incluyendo *firmware*, software residente, y similares), o formas de realización con una combinación de software y hardware, que de manera uniforme se denominan "circuito", "módulo" o "sistema" en el presente documento. Además, cada aspecto de la presente invención o la manera de implementación posible de cada aspecto puede adoptar la forma de un producto de programa informático, haciendo referencia el producto de programa informático a código de programa legible por ordenador almacenado en un medio legible por ordenador.

65 El medio legible por ordenador puede ser un medio de señal legible por ordenador o un medio de almacenamiento legible por ordenador. El medio de almacenamiento legible por ordenador incluye, pero no se limita a, un sistema,

dispositivo o aparato electrónico, magnético, óptico, electromagnético, de infrarrojos o semiconductor, o cualquier combinación apropiada de los mismos, tal como una memoria de acceso aleatorio (RAM), una memoria de sólo lectura (ROM), una memoria de sólo lectura programable borrable (EPROM o memoria flash), una fibra óptica y una memoria de sólo lectura de disco compacto (CD-ROM).

5 Un procesador en un ordenador lee el código de programa legible por ordenador almacenado en un medio legible por ordenador, de modo que el procesador puede ejecutar una función y una acción especificadas en cada etapa o una combinación de etapas en un diagrama de flujo; se genera un aparato para implementar una función y una acción especificadas en cada bloque o una combinación de bloques en un diagrama de bloques.

10 Todo el código de programa legible por ordenador puede ejecutarse en un ordenador de usuario, o parte puede ejecutarse en un ordenador de usuario como paquete de software independiente o parte puede ejecutarse en un ordenador de un usuario mientras parte se ejecuta en un ordenador remoto, o todo el código puede ejecutarse en un ordenador remoto o un servidor. También cabe señalar que en algunas soluciones de implementación alternativas puede ser que las etapas en los diagramas de flujo o funciones especificadas en cada bloque en los diagramas de bloques no se produzcan en el orden ilustrado. Por ejemplo, de hecho, dos etapas consecutivas o dos bloques en la ilustración, que dependen de una función implicada, pueden ejecutarse sustancialmente al mismo tiempo, o a veces estos bloques pueden ejecutarse en un orden inverso.

15 20 Un experto en la técnica será consciente de que, en combinación con los ejemplos descritos en las formas de realización dadas a conocer en esta memoria descriptiva, las unidades y etapas de algoritmos pueden implementarse por hardware electrónico o una combinación de software informático y hardware electrónico. El que las funciones se ejecuten por hardware o software depende de las aplicaciones particulares y condiciones de limitación de diseño de las soluciones técnicas. Un experto en la técnica puede usar diferentes procedimientos para implementar las funciones descritas para cada aplicación particular, pero no deberá considerarse que la implementación va más allá del alcance de la presente invención.

25 30 Las descripciones anteriores son meramente maneras de implementación específicas de la presente invención y no se pretende que limiten la presente invención.

**REIVINDICACIONES**

1. Un sistema de almacenamiento que comprende un controlador (11), en el que el controlador se aplica en el sistema de almacenamiento, el sistema de almacenamiento comprende además un aparato de memoria flash (22), el aparato de memoria flash (22) comprende un chip flash, el chip flash comprende un bloque, el bloque comprende múltiples páginas y al menos una de las múltiples páginas es una página dañada;
- 5 el controlador (11) comprende una interfaz de comunicaciones (128), una memoria caché (120) y un procesador (118);
- 10 la interfaz de comunicaciones (128) está configurada para comunicarse con el aparato de memoria flash (22);
- la memoria caché (120) está configurada para almacenar temporalmente peticiones de escritura de un ordenador central acoplado al controlador (11) y
- 15 el procesador (118) está configurado para:
- recibir información de capacidad del bloque que se envía por el aparato de memoria flash (22);
- 20 obtener una capacidad eficaz del bloque según la información de capacidad del bloque, en el que la capacidad eficaz del bloque no comprende una capacidad de la página dañada;
- almacenar temporalmente múltiples peticiones de escritura en la memoria caché (120) hasta que un tamaño de datos objetivo incluidos en las múltiples peticiones de escritura alcance la capacidad eficaz del bloque;
- 25 leer los datos objetivo de la memoria caché (120); y
- enviar los datos objetivo al aparato de memoria flash (22).
- 30 2. El sistema de almacenamiento según la reivindicación 1, en el que la información de capacidad del bloque comprende información sobre la página dañada, la información sobre la página dañada se usa para indicar la capacidad de la página dañada, el procesador (118) está configurado específicamente para obtener la capacidad eficaz del bloque según una capacidad estándar previamente almacenada del bloque y la capacidad de la página dañada, y la capacidad eficaz del bloque es la capacidad estándar del bloque menos la capacidad de la página
- 35 dañada.
3. El sistema de almacenamiento según la reivindicación 1, en el que la información de capacidad del bloque comprende la capacidad eficaz del bloque.
- 40 4. El sistema de almacenamiento según la reivindicación 1, en el que la información de capacidad del bloque comprende una bandera de capacidad del bloque, el controlador (11) comprende además una memoria (122), y se almacena en la memoria una correspondencia entre la bandera de capacidad del bloque y la capacidad eficaz del bloque; y
- 45 el procesador (118) está configurado específicamente para obtener la capacidad eficaz del bloque según la bandera de capacidad del bloque, y la correspondencia entre la bandera de capacidad del bloque y la capacidad eficaz del bloque.
- 50 5. Un procedimiento para escribir datos en un aparato de memoria flash (22), en el que el procedimiento se aplica en un sistema de almacenamiento, el sistema de almacenamiento comprende un controlador (11) y el aparato de memoria flash (22), el aparato de memoria flash (22) comprende un chip flash, el chip flash comprende un bloque, el bloque comprende múltiples páginas y al menos una de las múltiples páginas es una página dañada; y el procedimiento comprende:
- 55 recibir (S102, S202, S302), por parte del controlador (11), información de capacidad del bloque que se envía por el aparato de memoria flash (22);
- obtener (S103), por parte del controlador (11), una capacidad eficaz del bloque según la información de capacidad del bloque, en el que la capacidad eficaz del bloque no comprende una capacidad de la página dañada;
- 60 almacenar temporalmente, por parte del controlador (11), múltiples peticiones de escritura en una memoria caché (120) del controlador (11) hasta que un tamaño de datos objetivo incluidos en las múltiples peticiones de escritura alcance la capacidad eficaz del bloque;
- 65 leer (S104), por parte del controlador (11), los datos objetivo de la memoria caché (120); y

enviar (S105), por parte del controlador (11), los datos objetivo al aparato de memoria flash (22).

5 6. El procedimiento según la reivindicación 5, en el que la información de capacidad del bloque comprende información sobre la página dañada, y la información sobre la página dañada se usa para indicar la capacidad de la página dañada; y

el obtener (S103), por parte del controlador (11), una capacidad eficaz del bloque según la información de capacidad del bloque comprende:

10 obtener, por parte del controlador (11), la capacidad eficaz del bloque según una capacidad estándar previamente almacenada del bloque y la capacidad de la página dañada, en el que la capacidad eficaz del bloque es la capacidad estándar del bloque menos la capacidad de la página dañada.

15 7. El procedimiento según la reivindicación 5, en el que la información de capacidad del bloque comprende la capacidad eficaz del bloque.

20 8. El procedimiento según la reivindicación 5, en el que la información de capacidad del bloque comprende una bandera de capacidad del bloque, una correspondencia entre la bandera de capacidad del bloque y la capacidad eficaz del bloque se almacena en la memoria; y

el obtener (S103), por parte del controlador (11), una capacidad eficaz del bloque según la información de capacidad del bloque comprende:

25 obtener, por parte del controlador, la capacidad eficaz del bloque según la bandera de capacidad del bloque, y la correspondencia entre la bandera de capacidad del bloque y la capacidad eficaz del bloque.

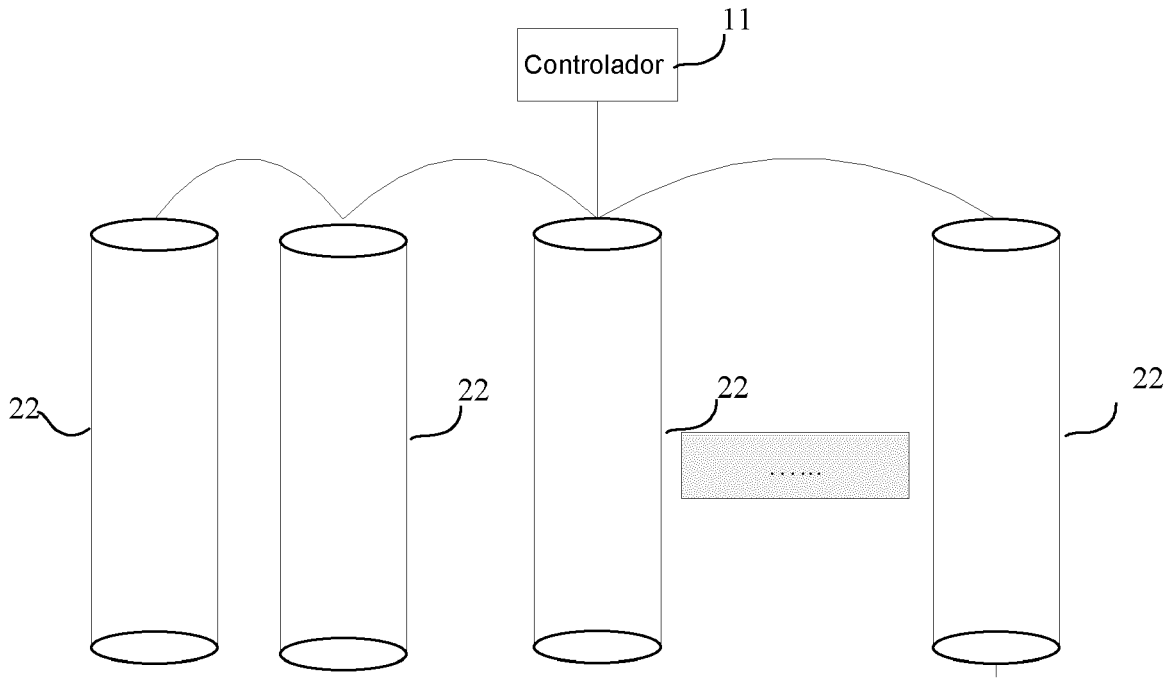


FIG. 1

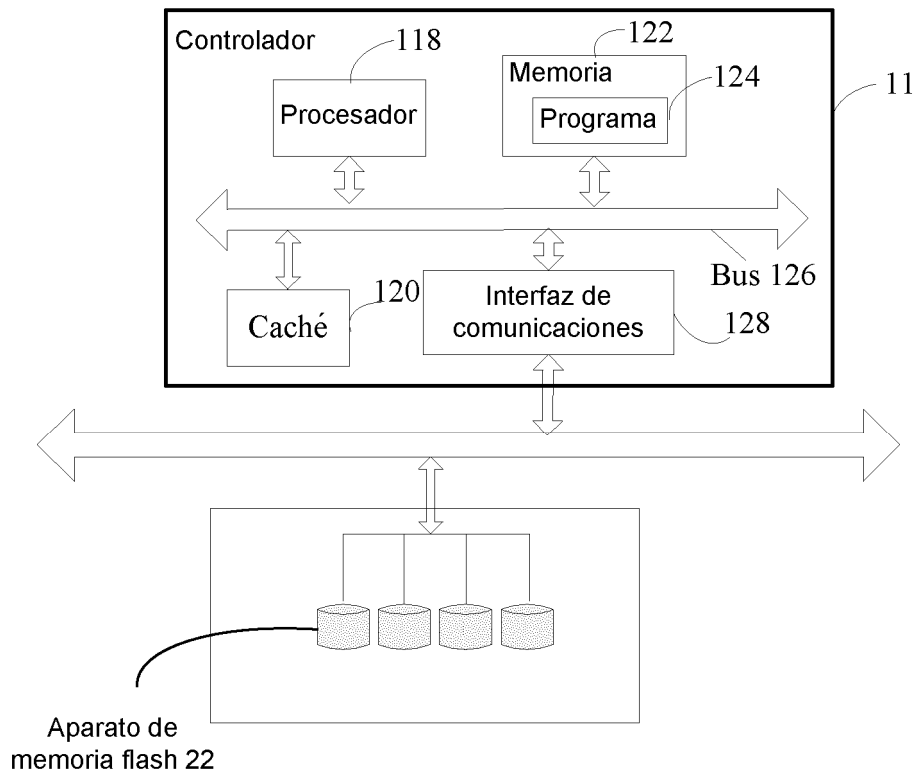


FIG. 2



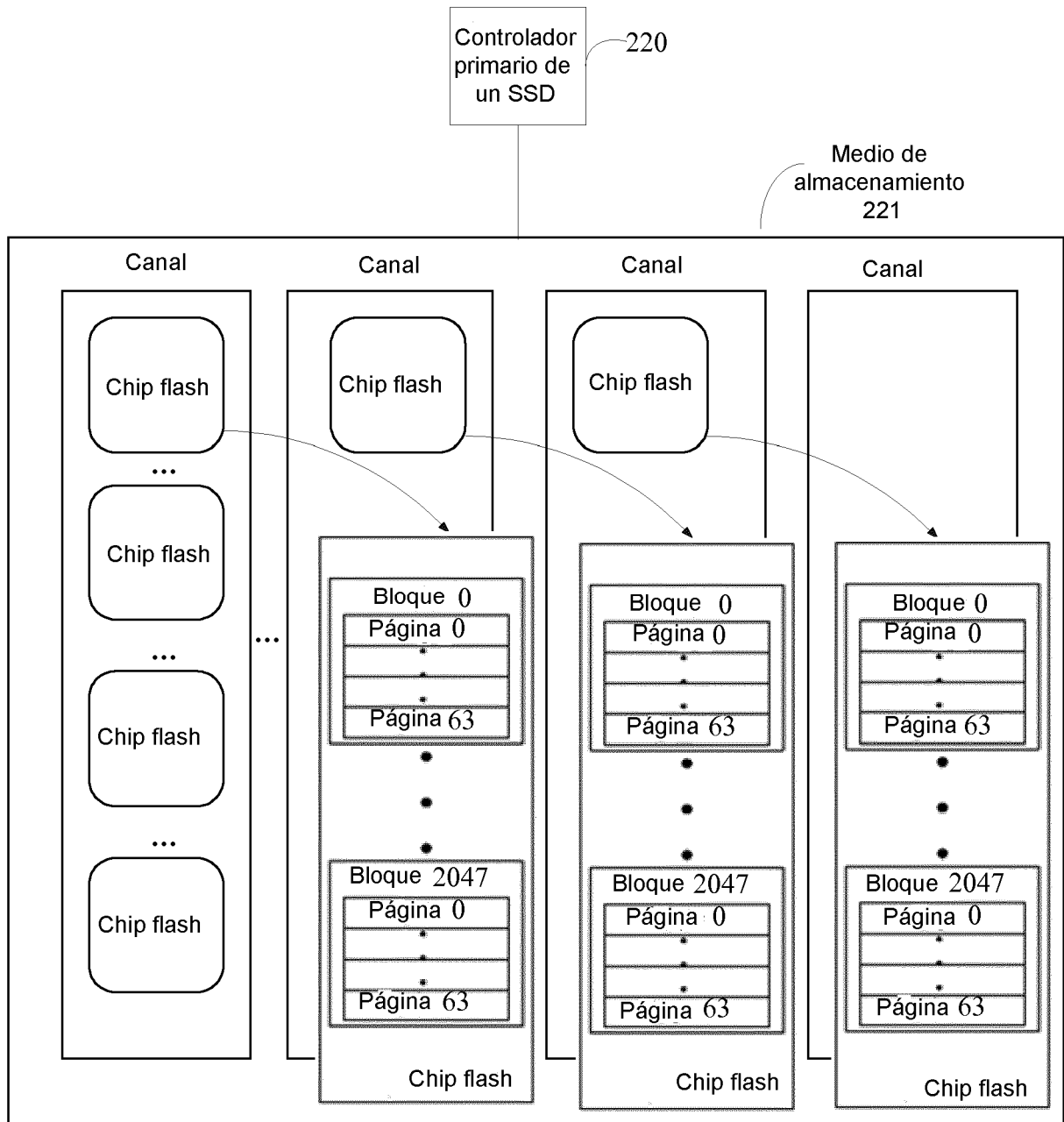


FIG. 3a

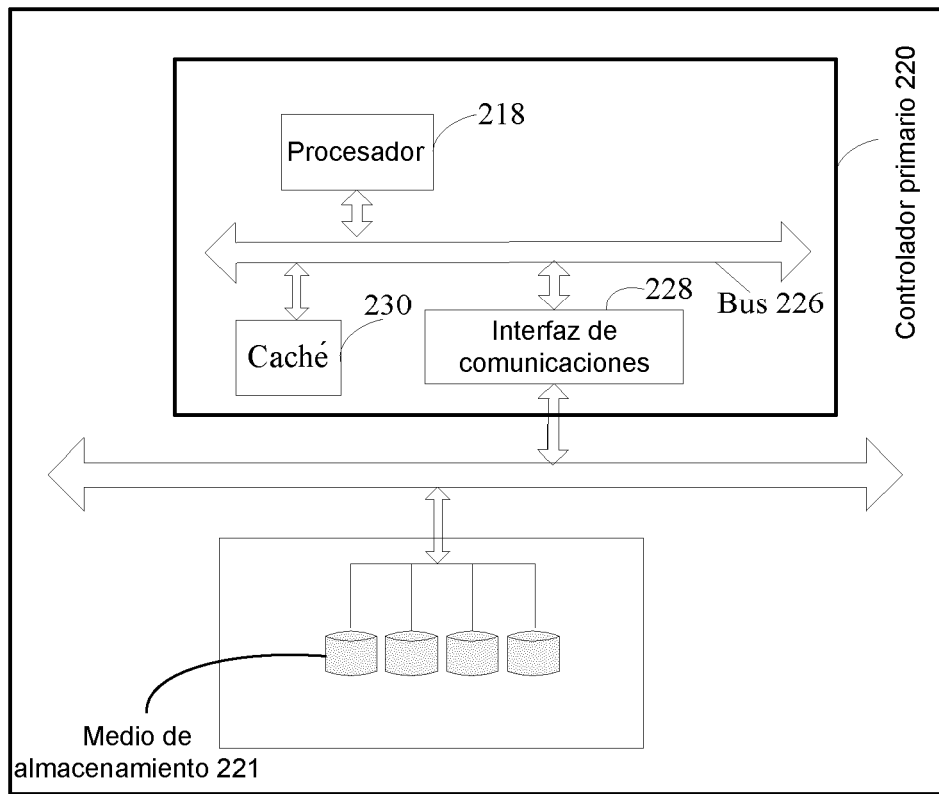


FIG. 3b

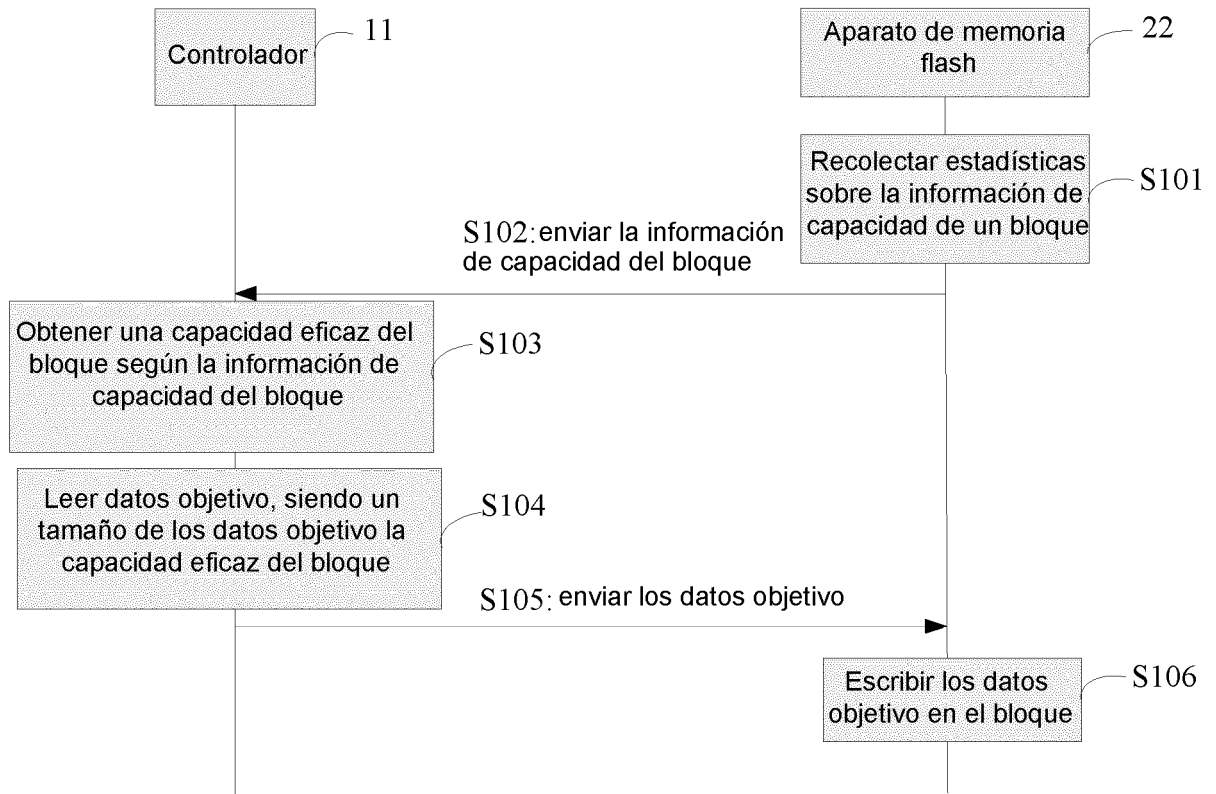


FIG. 4

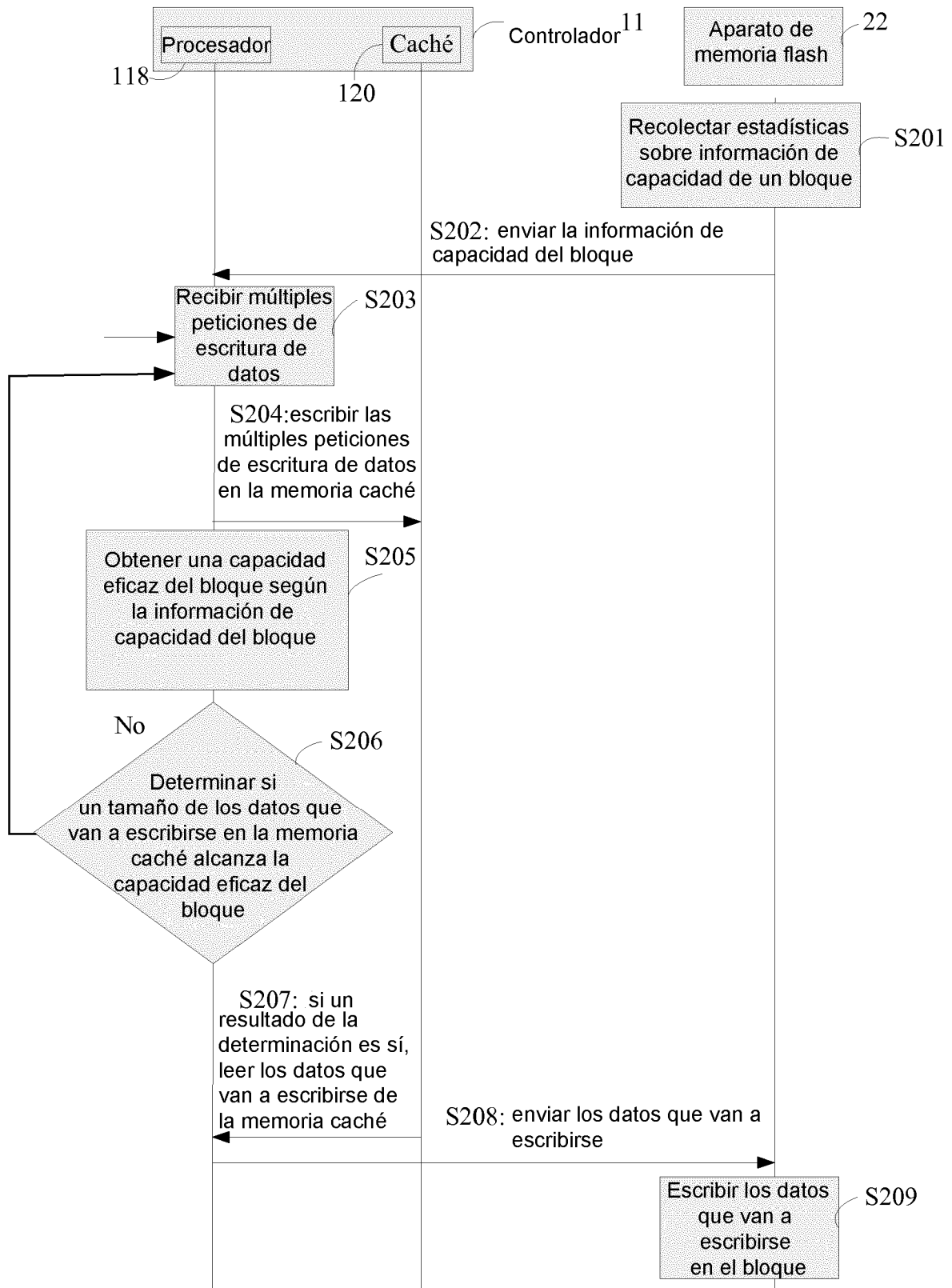


FIG. 5

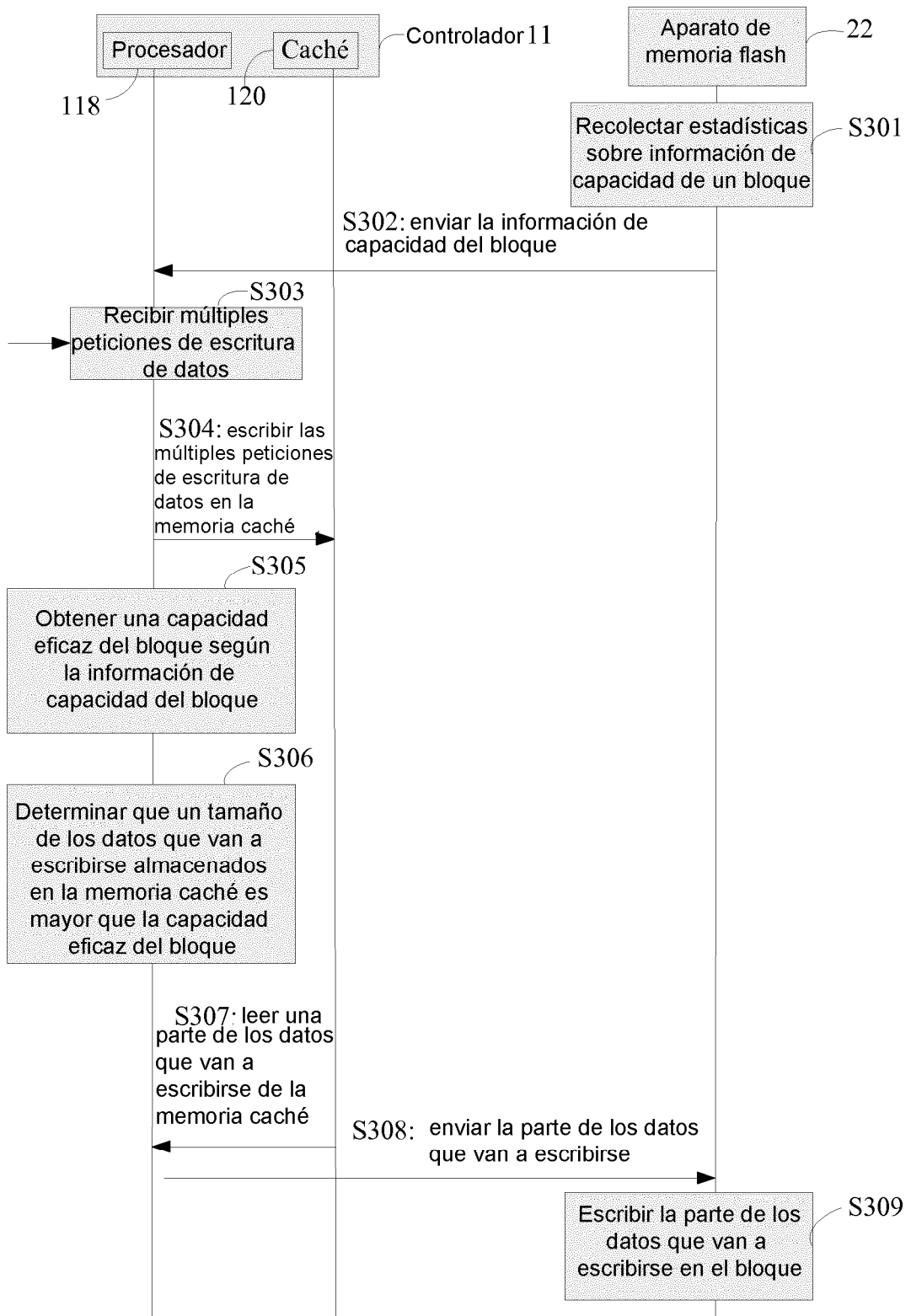


FIG. 6