

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 643 437**

51 Int. Cl.:

G06F 13/42

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **26.09.2014** **E 14306489 (7)**

97 Fecha y número de publicación de la concesión europea: **12.07.2017** **EP 3001323**

54 Título: **Interfaz periférica serie**

45 Fecha de publicación y mención en BOPI de la
traducción de la patente:
22.11.2017

73 Titular/es:

OBERTHUR TECHNOLOGIES (100.0%)
420, rue d'Estiennes d'Orves
92700 Colombes, FR

72 Inventor/es:

CHAMLEY, OLIVIER y
MORIN, NICOLAS

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 643 437 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Interfaz periférica serie

5 Campo técnico

Esta invención se refiere a una comunicación que usa una interfaz periférica serie.

Antecedentes

10 La interfaz periférica serie (SPI) es un enlace de datos serie que permite la comunicación entre un dispositivo maestro y uno o más dispositivos esclavos.

15 La interfaz periférica serie comprende cuatro líneas: reloj serie (SCLK), maestro salida esclavo entrada (MOSI), maestro entrada esclavo salida (MISO) y selección de esclavo (SS). Las líneas SCLK, MOSI y MISO están conectadas entre el dispositivo maestro y todos los dispositivos esclavos. Hay una línea SS dedicada por dispositivo esclavo. El maestro usa la línea SS para indicar a un esclavo que está seleccionado actualmente para la comunicación.

20 Un dispositivo maestro puede interrogar de manera individual a los dispositivos esclavos para determinar si tienen datos que enviar. Otro enfoque es proporcionar una línea adicional entre un esclavo y el maestro. Esta línea adicional puede usarse para indicar una solicitud de interrupción desde un esclavo al maestro (véase, por ejemplo, los documentos EP2141607 o US5303227). Una desventaja de este enfoque es que requiere líneas adicionales y un procesamiento adicional de entrada/salida en el maestro.

25 Sumario

La presente solicitud se define por las reivindicaciones adjuntas. Un aspecto de la invención proporciona un método de comunicación entre un dispositivo esclavo y un dispositivo maestro que usa un interfaz periférica serie, comprendiendo la interfaz periférica serie una línea de selección de esclavo, comprendiendo el método, en el dispositivo esclavo, indicar una solicitud de interrupción al dispositivo maestro cambiando un estado de la línea de selección de esclavo desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo.

35 La indicación puede comprender además devolver la línea de selección de esclavo al primer estado.

El método puede comprender, además, esperar que el dispositivo maestro ponga la línea de selección de esclavo en el segundo estado; y enviar los datos desde el dispositivo esclavo a través de una línea de datos de la interfaz periférica serie.

40 La línea de selección de esclavo puede conectarse a una fase de entrada/salida del dispositivo esclavo que: permite que la línea de selección de esclavo permanezca en el primer estado si el dispositivo maestro o el dispositivo esclavo no cambian el estado de la línea de selección de esclavo; permite que la línea de selección de esclavo cambie al segundo estado si el dispositivo maestro o el dispositivo esclavo quieren cambiar el estado de la línea de selección de esclavo.

La fase de entrada/salida puede permitir que la línea de selección de esclavo permanezca en el segundo estado si el dispositivo maestro o el dispositivo esclavo quieren mantener el estado de la línea de selección de esclavo en el segundo estado.

50 Otro aspecto de la invención proporciona un método de comunicación entre un dispositivo esclavo y un dispositivo maestro usando una interfaz periférica serie, comprendiendo la interfaz periférica serie una línea de selección de esclavo por dispositivo esclavo, comprendiendo el método, en el dispositivo maestro, determinar cuándo el dispositivo esclavo ha solicitado una interrupción detectando cuándo el dispositivo esclavo cambia la línea de selección de esclavo desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo.

El método puede comprender además, en respuesta a determinar que el dispositivo esclavo ha solicitado una interrupción: seleccionar el dispositivo esclavo poniendo la línea de selección de esclavo en el segundo estado; y recuperar los datos del dispositivo esclavo a través de una línea de datos de la interfaz periférica serie.

Puede haber una pluralidad de dispositivos esclavos, conectados cada uno al dispositivo maestro por una línea de selección de esclavo respectiva, y el método puede comprender monitorizar las líneas de selección de esclavo de la pluralidad de dispositivos esclavos.

65

El método puede comprender además: recibir unas solicitudes de interrupción desde una pluralidad de los dispositivos esclavos; y dar prioridad a las solicitudes de interrupción.

5 La línea de selección de esclavo puede conectarse a una fase de entrada/salida del dispositivo esclavo que: permite que la línea de selección de esclavo permanezca en el primer estado si el dispositivo maestro o el dispositivo esclavo no cambian el estado de la línea de selección de esclavo; permite que la línea de selección de esclavo cambie al segundo estado si el dispositivo maestro o el dispositivo esclavo quieren cambiar el estado de la línea de selección de esclavo.

10 La fase de entrada/salida también puede permitir que la línea de selección de esclavo permanezca en el segundo estado si el dispositivo maestro o el dispositivo esclavo quieren mantener el estado de la línea de selección de esclavo en el segundo estado.

15 La fase de entrada/salida puede ser un módulo de entrada salida de fin general.

El primer estado puede ser un estado de alta y el segundo estado puede ser un estado de baja.

20 La interfaz periférica serie puede comprender además una línea de reloj, una línea de datos de maestro salida esclavo entrada y una línea de datos de maestro entrada esclavo salida.

25 Otro aspecto de la invención proporciona un aparato en un dispositivo esclavo que comprende: una interfaz periférica serie para comunicar con un dispositivo maestro, comprendiendo la interfaz periférica serie una línea de selección de esclavo, estando el aparato configurado para indicar una solicitud de interrupción al dispositivo maestro cambiando un estado de la línea de selección de esclavo desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo.

30 Otro aspecto de la invención proporciona un aparato en un dispositivo maestro que comprende: una interfaz periférica serie para comunicar con un dispositivo esclavo, comprendiendo la interfaz periférica serie una línea de selección de esclavo por dispositivo esclavo, estando el aparato configurado para determinar cuándo el dispositivo esclavo ha solicitado una interrupción detectando cuándo el dispositivo esclavo ha hecho que la línea de selección de esclavo cambie desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo.

35 La interfaz periférica serie en el dispositivo esclavo y en el dispositivo maestro puede comprender una fase de entrada/salida que está configurada para: permitir que la línea de selección de esclavo permanezca en el primer estado si el dispositivo maestro o el dispositivo esclavo no cambian el estado de la línea de selección de esclavo; permitir que la línea de selección de esclavo cambie al segundo estado si el dispositivo maestro o el dispositivo esclavo quieren cambiar el estado de la línea de selección de esclavo.

40 La fase de entrada/salida puede comprender un módulo de entrada salida de fin general.

La fase de entrada/salida puede comprender un colector abierto o una fase de consumo abierta con una resistencia de frenado.

45 La funcionalidad descrita en el presente documento puede implementarse en hardware, software ejecutado por un aparato de procesamiento, o por una combinación de hardware y software. El aparato de procesamiento puede comprender un ordenador, un procesador, una máquina de estados, una matriz lógica o cualquier otro aparato de procesamiento adecuado. El aparato de procesamiento puede ser un procesador de fin general que ejecuta software para hacer que el procesador de fin general realice las tareas requeridas o el aparato de procesamiento puede dedicarse a realizar las funciones requeridas. Otro aspecto de la invención proporciona unas instrucciones legibles por máquina (software) que, cuando se ejecutan por un procesador, realizan cualquiera de los métodos descritos o reivindicados. Las instrucciones legibles por máquina pueden almacenarse en un dispositivo de memoria electrónica, disco duro, disco óptico u otro medio de almacenamiento legible por máquina. El medio legible por máquina puede ser un medio legible por máquina no transitorio. La expresión "medio legible por máquina no transitorio" comprende todos los medios legibles por máquina excepto por una señal de propagación transitoria. Las instrucciones legibles por máquina pueden descargarse al medio de almacenamiento a través de una conexión de red.

60 Una ventaja de al menos una realización es que un dispositivo esclavo puede indicar una solicitud de interrupción a un dispositivo maestro cuando tiene algo que comunicar. Esto puede evitar la necesidad de esperar hasta que vuelva a interrogarse al dispositivo esclavo de una manera normal y, por lo tanto, puedan reducirse los retrasos en la comunicación entre dispositivos.

Una ventaja de al menos una realización es que un dispositivo esclavo puede indicar una solicitud de interrupción a un dispositivo maestro sin la necesidad de una línea adicional entre un dispositivo esclavo y un dispositivo maestro.

65

Breve descripción de los dibujos

A continuación se describirán unas realizaciones de la invención, solamente a modo de ejemplo, haciendo referencia a los dibujos adjuntos en los que:

- 5 la figura 1 muestra esquemáticamente un dispositivo maestro y una pluralidad de dispositivos esclavos conectados por una SPI;
- la figura 2 muestra un ejemplo de indicación entre un dispositivo maestro y un dispositivo esclavo a través de la SPI;
- 10 la figura 3 muestra un ejemplo del aparato en un dispositivo.

Descripción detallada

15 La figura 1 muestra esquemáticamente un sistema que comprende un dispositivo maestro 10 y tres dispositivos esclavos 1, 2, 3. Los dispositivos 1, 2, 3, 10 están conectados por una interfaz periférica serie (SPI) 20. La SPI 20 comprende una interfaz 28, 29 en cada uno de los dispositivos 1, 2, 3, 10 para soportar la interfaz y las líneas 21 entre los dispositivos para transportar las señales. Las líneas 21 pueden ser pistas conductoras entre los dispositivos 1, 2, 3, 10. La SPI comprende: una línea de reloj serie (SCLK) 22, una línea de maestro salida esclavo entrada (MOSI) 23 y una línea de maestro entrada esclavo salida (MISO) 24. Las líneas SCLK, MOSI y MISO están

20 conectadas entre el dispositivo maestro 10 y todos los dispositivos esclavos 1-3. La SPI también comprende una línea de selección de esclavo (SS) por dispositivo esclavo. Hay una primera línea SS 25 para el dispositivo esclavo 1, una segunda línea SS 26 para el dispositivo esclavo 2 y una tercera línea SS 27 para el dispositivo esclavo 3.

25 Otro nombre para la línea de selección de esclavo es la línea de selección de chip. Las interfaces 28, 29 en cada dispositivo pueden comprender una circuitería para conectarse físicamente a las líneas 21 de la SPI. Las interfaces 28, 29 pueden comprender una circuitería para accionar las líneas 21 de la SPI. Las interfaces 28, 29 pueden comprender una circuitería para leer una o más líneas 21 de la SPI. Para mayor claridad, en esta descripción cada línea de la SPI se describe de acuerdo con la señal que transporta. Por ejemplo, la línea de reloj serie 22 transporta la señal de reloj serie. La SPI puede usarse entre circuitos integrados (chips) en las mismas, o diferentes, placas de

30 circuitos. Ejemplos de dispositivos esclavos incluyen dispositivos periféricos y tarjetas inteligentes. Como ejemplo, el dispositivo esclavo podría ser un chip de seguridad integrado en un teléfono móvil, que proporciona servicios de pago o autenticación al procesador principal.

35 Las líneas 21 de la SPI se describirán con más detalle. La línea SCLK 22 transporta una señal de reloj serie (SCLK) y permite la comunicación síncrona. La línea MOSI 23 transporta una señal de datos en la dirección desde el dispositivo maestro 10 a los dispositivos esclavos. Los datos se sincronizan con la SCLK. La línea MISO 24 transporta los datos enviados por un dispositivo esclavo hacia el dispositivo maestro. Los datos se sincronizan con la SCLK. La línea SS 25-27 permite la selección de uno de los dispositivos esclavos 1-3. Si no se selecciona un dispositivo esclavo, ese dispositivo esclavo ignora los datos enviados en la línea MISO 24.

40 Un dispositivo esclavo específico, se selecciona cambiando la señal/línea SS para ese dispositivo esclavo de un primer estado (inactivo) a un segundo estado (activo). Normalmente, el primer estado (inactivo) es en "alta" y el segundo estado (activo) es en "baja". A continuación, los datos se envían en una o ambas direcciones. Los datos pueden enviarse desde el dispositivo maestro 10 a uno de los dispositivos esclavos 1-3 a través de la línea MOSI 23. Los datos pueden enviarse desde uno de los dispositivos esclavos 1-3 al dispositivo maestro 10 a través de la línea MISO 24. Solo uno de los dispositivos esclavos 1-3 se selecciona a la vez.

45 El maestro 10 puede interrogar a los dispositivos esclavos individuales 1-3 de acuerdo con un orden de interrogación. El orden de interrogación puede interrogar a los dispositivos esclavos 1, 2, 3 en secuencia, o en cualquier otro orden de interrogación.

Además del uso convencional de la línea SS para indicar qué dispositivo esclavo está seleccionado actualmente, es posible que un dispositivo esclavo envíe una solicitud de interrupción (IRQ) al maestro usando la línea SS dedicada para ese dispositivo esclavo. La solicitud de interrupción puede enviarse en cualquier momento. Por ejemplo, la

55 solicitud de interrupción puede enviarse en un momento entre la interrogación normal del dispositivo esclavo 1 y el siguiente tiempo de interrogación del dispositivo esclavo 1. De este modo, las líneas SS 25-27 se usan para la comunicación bidireccional entre el dispositivo maestro y dispositivo esclavo. Esto contrasta con la operación convencional de la SPI, donde la línea SS está totalmente controlada por el dispositivo maestro de una manera unidireccional (maestro a esclavo).

60 La figura 2 muestra un ejemplo de indicación entre el dispositivo maestro 10 y el dispositivo esclavo 1 a través de la SPI 20. La figura 2 solo muestra la línea SS 25 entre el dispositivo maestro 10 y el dispositivo esclavo 1. Otras líneas SS 26, 27 no se muestran. En el instante t1, el dispositivo maestro 10 inicia una transferencia de datos al dispositivo esclavo 1 cambiando la línea SS 25 de un estado en alta a un estado en baja. Esto notifica al dispositivo esclavo 1 que se ha seleccionado para la comunicación y puede escuchar la línea MOSI 23. En el instante t2, el dispositivo maestro 10 comienza a enviar datos al esclavo 1. Los datos se envían de manera sincronizada con la señal de reloj

en la línea SCLK 22. La transferencia de datos termina en el instante t3 y en el instante t4 el maestro cambia la línea SS 25 de un estado en baja a un estado en alta para finalizar la comunicación con el dispositivo esclavo 1. En el instante t5, el dispositivo esclavo 1 indica una solicitud de interrupción al dispositivo maestro 10 cambiando la línea SS 25 de un estado en alta a un estado en baja. El dispositivo esclavo 1 devuelve la línea SS 25 desde el estado en baja al estado en alta en el instante t6. La solicitud de interrupción se recibe por el dispositivo maestro 10. En el instante t7, el dispositivo maestro 10 cambia la línea SS 25 de un estado en alta a un estado en baja. Esto notifica al dispositivo esclavo 1 que se ha seleccionado para la comunicación y puede usar la línea MISO 24. En el instante t8, el dispositivo esclavo 1 empieza a enviar datos al dispositivo maestro 10. Los datos se envían de manera sincronizada con la señal de reloj en línea SCLK 22. La transferencia de datos termina en el instante t9 y en el instante t10 el maestro cambia la línea SS 25 de un estado en baja a un estado en alta para finalizar la comunicación con el dispositivo esclavo 1.

La solicitud de interrupción puede detectarse en un borde de la señal en la línea SS. Es decir, el dispositivo maestro 10 puede detectar la transición desde el estado en alta al estado en baja. En ese caso, la duración del estado en baja (t5-t6) puede ser un período de tiempo muy corto, tal como unos pocos nanosegundos. Como alternativa, el dispositivo maestro 10 puede detectar el estado en sí (es decir, el estado en baja o el estado en alta) en lugar de la transición entre estados. Obsérvese que, para mayor claridad, la línea de tiempo de la figura 2 no es necesariamente a escala lineal.

En el ejemplo de intercambio de la figura 2, se selecciona el dispositivo esclavo 1 (en el instante t7) poco después de la indicación de la solicitud de interrupción (en el tiempo t5). El dispositivo maestro puede tener una política para gestionar las peticiones de interrupción. Por ejemplo, cuando el dispositivo maestro 10 recibe una solicitud de interrupción, puede esperar hasta que se haya completado la comunicación con el dispositivo esclavo actualmente seleccionado y a continuación seleccionar el dispositivo esclavo que ha enviado la solicitud de interrupción o puede abandonar la comunicación con el dispositivo esclavo actualmente seleccionado y a continuación seleccionar inmediatamente el dispositivo esclavo que ha enviado la solicitud de interrupción. Un esclavo puede indicar una información importante, tal como una alerta de una condición de advertencia, y puede ser útil para el maestro recibir esta alerta tan pronto como sea posible. Si el dispositivo maestro 10 recibe peticiones de interrupción de múltiples dispositivos esclavos, entonces puede atender esas solicitudes en orden de recepción, por orden de prioridad asignada a esos dispositivos esclavos, por una combinación de orden de recepción y prioridad, o por algún otro criterio o criterios.

La operación descrita anteriormente puede requerir que el dispositivo maestro 10, o el dispositivo esclavo 13, puedan cambiar el estado de la línea SS. El dispositivo esclavo puede cambiar el estado de la línea SS para indicar una solicitud de interrupción. El dispositivo maestro puede cambiar el estado de la línea SS para indicar una selección de esclavo. El estado inactivo de la línea SS es el estado en alta ('1' lógico) y el estado activo de la línea SS es el estado en baja ('0' lógico). La funcionalidad puede resumirse como:

- la línea SS permanece en el estado en alta si cualquiera del dispositivo maestro o del dispositivo esclavo no quieren activar la línea SS;
- la línea SS puede cambiarse al estado en baja si uno del dispositivo maestro o el dispositivo esclavo quieren activar la línea SS.

Además, la línea SS puede permanecer en el estado en baja si tanto el dispositivo maestro como el dispositivo esclavo quieren activar la línea SS.

La línea SS puede controlarse mediante el dispositivo maestro en la misma forma que una SPI convencional. Tan pronto como el dispositivo maestro 10 tiene datos para enviar, puede poner la línea SS en el estado en baja (activo).

Cuando el dispositivo esclavo tiene datos para enviar, puede poner la línea SS en baja justo lo suficiente para indicar una solicitud de interrupción en el componente maestro. A continuación, el dispositivo maestro puede activar un intercambio de SPI para recuperar los datos desde el dispositivo esclavo.

Si el dispositivo maestro y el dispositivo esclavo juntos cambian la línea SS al estado en baja, esto significa que el dispositivo maestro tiene datos para enviar al dispositivo esclavo. Ya que la SPI es un enlace dúplex completo con las líneas MOS y MISO 23, 24, el dispositivo esclavo puede enviar datos al dispositivo maestro durante el período en que se selecciona. En este caso donde tanto el dispositivo maestro como el dispositivo esclavo activan la línea SS, la solicitud de interrupción no será vista por el maestro, ya que la línea SS ya está en baja. Sin embargo, como el dispositivo esclavo ya está seleccionado, puede enviar datos al dispositivo maestro 10 a través de la línea MISO 24.

La figura 3 muestra un ejemplo de un aparato 50 en un dispositivo. El aparato 50 puede usarse en un dispositivo maestro 10 o en uno de los dispositivos esclavos 1-3. El aparato 50 comprende un procesador (CPU) 60 y una fase de entrada/salida 51 para la conexión con las líneas de la SPI 20. En este ejemplo, la fase de entrada/salida 51 incluye unos módulos de entrada/salida de uso general (GPIO) 52. Un GPIO 52 se muestra en detalle. Los GPIO son módulos de hardware presentes en la mayoría de los chips microcontroladores que permiten al microcontrolador controlar las señales eléctricas fuera del chip. El GPIO 52 puede accionar una señal en una línea a un estado en alta

('1' lógico) o a un estado en baja ('0' lógico). Además, el GPIO puede introducir un estado de alta impedancia y leer el valor (estado) de una señal en la línea. Esto permite al aparato determinar si otro dispositivo conectado a la línea 25 ha cambiado el estado de la línea. Un GPIO simplificado comprende una memoria intermedia de salida 53 que puede accionar la señal conectada a la línea de la interfaz. La memoria intermedia de salida 53 puede controlarse por otra señal (oe para permitir la salida) que determina si la memoria intermedia 53 puede accionar esta señal (modo de escritura) o si la memoria intermedia 53 está en el estado de alta impedancia (modo de lectura). La memoria intermedia de entrada 54 lee el valor presente en la línea 25. El registro 56 almacena un valor para la señal de control oe1. El registro 57 almacena un valor para aplicar a la memoria intermedia de salida 53. El registro 58 almacena un valor leído de la memoria intermedia de entrada 54. La CPU 60 puede acceder a los registros 56, 57, 58, proporcionando un control total de los GPIO.

El aparato 50 en un dispositivo maestro 10 también comprende una lógica de hardware 55 que puede notificar a la CPU 60 cuándo se cambia la línea SS a un estado activo mediante el dispositivo esclavo. En este ejemplo, la lógica comprende una puerta AND que recibe una entrada procedente de la memoria intermedia de entrada 54 representativa de la línea SS, y una máscara_IRQ de entrada. Cuando la entrada procedente de la memoria intermedia de entrada es igual a la máscara_IRQ, la salida IRQ 59 de la puerta 55 pasa a en alta. La máscara_IRQ representa un valor lógico de la memoria intermedia de entrada necesario para una IRQ a indicar, y puede ser un '0' lógico. Una solicitud de interrupción (IRQ) 59 se emite a la CPU 60 en función del estado de la memoria intermedia de entrada 54 del GPIO 52. Mientras que la figura 3 muestra la lógica de hardware 55 realizando la detección de un cambio de estado cuando un dispositivo esclavo cambia la línea SS a un estado activo, se comprenderá que esta funcionalidad puede implementarse de otras maneras. Por ejemplo, una salida del registro 3, 58 puede leerse por la CPU 60 y la lógica en la CPU puede detectar cuándo un dispositivo esclavo cambia la línea SS a un estado activo, detectando cuándo la señal leída desde el registro 3 cambia a un '0' lógico. Este es un tipo de método de interrogación de la CPU. La interrogación puede requerir unos recursos de procesamiento de la CPU en comparación con el uso de la lógica que suministra una entrada de señal de interrupción a la CPU, como se muestra en la figura 3.

Como se ha descrito anteriormente, la funcionalidad de la fase de entrada/salida 51 está configurada para:

- permitir que la línea SS permanezca en el estado inactivo (en alta) si cualquiera del dispositivo maestro o del dispositivo esclavo no quieren activar la línea SS;
- la línea SS puede cambiarse al estado activo (en baja) si uno del dispositivo maestro o del dispositivo esclavo quieren activar la línea SS.

Además, la línea SS puede permanecer en el estado activo (en baja) tanto si el dispositivo maestro como el dispositivo esclavo quieren activar la línea SS.

Una forma de lograr esta funcionalidad es que el dispositivo maestro y el dispositivo esclavo controlen la línea SS con una salida de consumo abierta (o colector abierto) y una resistencia de frenado. El inserto de la figura 3 muestra esquemáticamente un ejemplo de este tipo de salida, aplicada a un módulo GPIO 52. El módulo GPIO 52 puede tener los elementos mostrados en la parte principal de la figura 3. Una resistencia de frenado 72 conectada entre la línea SS 25 y un carril de suministro 71. Si el dispositivo no quiere activar la línea SS 25, la línea permanece conectada al carril de suministro 71 a través de la resistencia de frenado 72, garantizando de este modo que un estado lógico definido se indique al otro dispositivo(s) conectado a la línea SS 25. Si el dispositivo u otro dispositivo conectado a la línea SS 25 quiere activar la línea SS 25, la línea SS 25 puede ponerse en estado activo (en baja). La resistencia de frenado 72 evita un cortocircuito a tierra.

El aparato 50 mostrado en la figura 3 puede usarse en un dispositivo maestro 10 o en un dispositivo esclavo 1-3. En el caso donde el aparato mostrado en la figura 3 se usa en un dispositivo maestro 10, los otros GPIO mostrados en la figura 3 pueden conectarse a otras líneas SS 26, 27.

El procesador 60 puede ser un microprocesador o cualquier otro tipo adecuado de procesador para ejecutar instrucciones para controlar el funcionamiento del dispositivo. Las instrucciones 62 ejecutables por el procesador pueden proporcionarse usando cualquier medio legible por ordenador, tal como la memoria 61. La memoria 61 puede estar localizada en el procesador 60 o acoplada comunicativamente al procesador 60. Las instrucciones 62 ejecutables por el procesador pueden incluir instrucciones para comunicarse con uno o más dispositivos esclavos que usan un enlace de SPI. Las instrucciones 62 ejecutables por el procesador pueden comprender instrucciones para implementar la funcionalidad de cualquiera de los métodos descritos. Por ejemplo, cuando se implementan en un dispositivo maestro 10, las instrucciones 62 pueden hacer que el procesador 60 determine cuándo un dispositivo esclavo cambia la línea SS a un estado activo. Cuando se implementan en un dispositivo esclavo 1-3, las instrucciones 62 pueden hacer que el procesador 60 indique una solicitud de interrupción al dispositivo maestro 10 cambiando un estado de la línea de selección de esclavo 25 desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo. La memoria 61 puede ser de cualquier tipo adecuado, tal como una memoria de solo lectura (ROM), una memoria de acceso aleatorio (RAM), un dispositivo de almacenamiento de cualquier tipo tal como un dispositivo de almacenamiento magnético u óptico.

En la descripción anterior, el estado inactivo de la línea SS es el estado en alta ('1' lógico) y el estado activo de la línea SS es el estado en baja ('0' lógico). Esta es una convención típica para la SPI. Es posible usar una convención diferente, donde el estado inactivo de la línea SS sea el estado en baja ('0' lógico) y el estado activo de la línea SS sea el estado en alta ('1' lógico), siempre que todos los dispositivos sigan esta convención.

5 Las modificaciones y otras realizaciones de la invención desvelada vendrán a la mente de un experto en la materia teniendo el beneficio de las enseñanzas presentadas en las descripciones anteriores y en los dibujos asociados. Por lo tanto, debe entenderse que la invención no se limita a las realizaciones específicas desveladas y que se pretende que modificaciones y otras realizaciones estén incluidas dentro del alcance de esta divulgación. Aunque pueden
10 emplearse términos específicos en el presente documento, se usan solamente en un sentido genérico y descriptivo y no con fines de limitación.

REIVINDICACIONES

1. Un método de comunicación entre un dispositivo esclavo (1) y un dispositivo maestro (10) que usa una interfaz periférica serie (20), comprendiendo la interfaz periférica serie (20) una línea de selección de esclavo (25), comprendiendo el método en el dispositivo esclavo (1):

indicar una solicitud de interrupción al dispositivo maestro (10) cambiando un estado de la línea de selección de esclavo (25) desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo.

2. Un método de acuerdo con la reivindicación 1, en el que la indicación comprende además devolver la línea de selección de esclavo (25) al primer estado.

3. Un método de acuerdo con la reivindicación 2, que comprende además:

esperar que el dispositivo maestro (10) ponga la línea de selección de esclavo (25) en el segundo estado; y enviar unos datos desde el dispositivo esclavo (1) a través de una línea de datos de la interfaz periférica serie (20).

4. Un método de acuerdo con una cualquiera de las reivindicaciones anteriores, en el que la línea de selección de esclavo (25) está conectada a una fase de entrada/salida (52) del dispositivo esclavo (1) de tal manera que:

la línea de selección de esclavo (25) permanece en el primer estado si el dispositivo maestro (10) o el dispositivo esclavo (1) no cambian el estado de la línea de selección de esclavo (25); y

la línea de selección de esclavo (25) cambia al segundo estado si el dispositivo maestro (10) o el dispositivo esclavo (1) quieren cambiar el estado de la línea de selección de esclavo (25).

5. Un método de comunicación entre un dispositivo esclavo (1) y un dispositivo maestro (10) que usa una interfaz periférica serie (20), comprendiendo la interfaz periférica serie (20) una línea de selección de esclavo (25) por dispositivo esclavo, comprendiendo el método en el dispositivo maestro (10):

determinar cuándo el dispositivo esclavo (1) ha solicitado una interrupción detectando cuándo el dispositivo esclavo (1) cambia la línea de selección de esclavo (25) desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo.

6. Un método de acuerdo con la reivindicación 5 que comprende además, en respuesta a la determinación de que el dispositivo esclavo (1) haya solicitado una interrupción, que se devuelva la línea de selección de esclavo al primer estado;

seleccionar el dispositivo esclavo (1) poniendo la línea de selección de esclavo (25) en el segundo estado; y recuperar unos datos desde el dispositivo esclavo (1) a través de una línea de datos de la interfaz periférica serie (20).

7. Un método de acuerdo con la reivindicación 5 o 6, en el que hay una pluralidad de dispositivos esclavos (1-3), conectados cada uno al dispositivo maestro (10) mediante una línea de selección de esclavo respectiva (25-27), y comprendiendo el método monitorizar las líneas de selección de esclavo (25-27) de la pluralidad de dispositivos esclavos (1-3).

8. Un método de acuerdo con una cualquiera de las reivindicaciones 5 a 7, en el que la línea de selección de esclavo (25) está conectada a una fase de entrada/salida (52) en el dispositivo maestro (10) de tal manera que:

la línea de selección de esclavo (25) permanece en el primer estado si el dispositivo maestro (10) o el dispositivo esclavo (1) no cambian el estado de la línea de selección de esclavo (25); y

la línea de selección de esclavo (25) cambia al segundo estado si el dispositivo maestro (10) o el dispositivo esclavo (1) quieren cambiar el estado de la línea de selección de esclavo (25).

9. Un método de acuerdo con la reivindicación 4 u 8, en el que la fase de entrada/salida es un módulo de entrada/salida de fin general.

10. Un método de acuerdo con una cualquiera de las reivindicaciones anteriores, en el que el primer estado es un estado de alta y el segundo estado es un estado de baja.

11. Un método de acuerdo con una cualquiera de las reivindicaciones anteriores, en el que la interfaz periférica serie (20) comprende además una línea de reloj (22), una línea de datos de maestro salida esclavo entrada (23) y una línea de datos de maestro entrada esclavo salida (24).

12. Aparato en un dispositivo esclavo (1) que comprende:

una interfaz periférica serie (29) para comunicar con un dispositivo maestro (10), comprendiendo la interfaz periférica serie (20) una línea de selección de esclavo (25);

en el que el aparato está configurado para indicar una solicitud de interrupción al dispositivo maestro (10) cambiando un estado de la línea de selección de esclavo (25) desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo.

13. Aparato de acuerdo con la reivindicación 12, en el que la interfaz periférica serie (29) comprende una fase de entrada/salida (52) que está configurada de tal manera que:

la línea de selección de esclavo (25) permanece en el primer estado si el dispositivo maestro (10) o el dispositivo esclavo (1) no cambian el estado de la línea de selección de esclavo (25); y

la línea de selección de esclavo (25) cambia al segundo estado si el dispositivo maestro (10) o el dispositivo esclavo (1) quieren cambiar el estado de la línea de selección de esclavo (25).

14. Aparato en un dispositivo maestro (10) que comprende:

una interfaz periférica serie (28) para comunicar con un dispositivo esclavo (1), comprendiendo la interfaz periférica serie (28) una línea de selección de esclavo (25) por dispositivo esclavo; estando el aparato configurado para determinar cuándo el dispositivo esclavo (11) ha solicitado una interrupción detectando cuándo el dispositivo esclavo (1) ha hecho que la línea de selección de esclavo (25) cambie desde una primera indicación de estado de un estado inactivo a una segunda indicación de estado de un estado activo.

15. Aparato de acuerdo con la reivindicación 14, en el que la interfaz periférica serie (28) comprende una fase de entrada/salida (52) que está configurada de tal manera que:

la línea de selección de esclavo (25) permanece en el primer estado si el dispositivo maestro (10) o el dispositivo esclavo (1) no cambian el estado de la línea de selección de esclavo (25); y

la línea de selección de esclavo (25) cambia al segundo estado si el dispositivo maestro (10) o el dispositivo esclavo (1) quieren cambiar el estado de la línea de selección de esclavo (25).

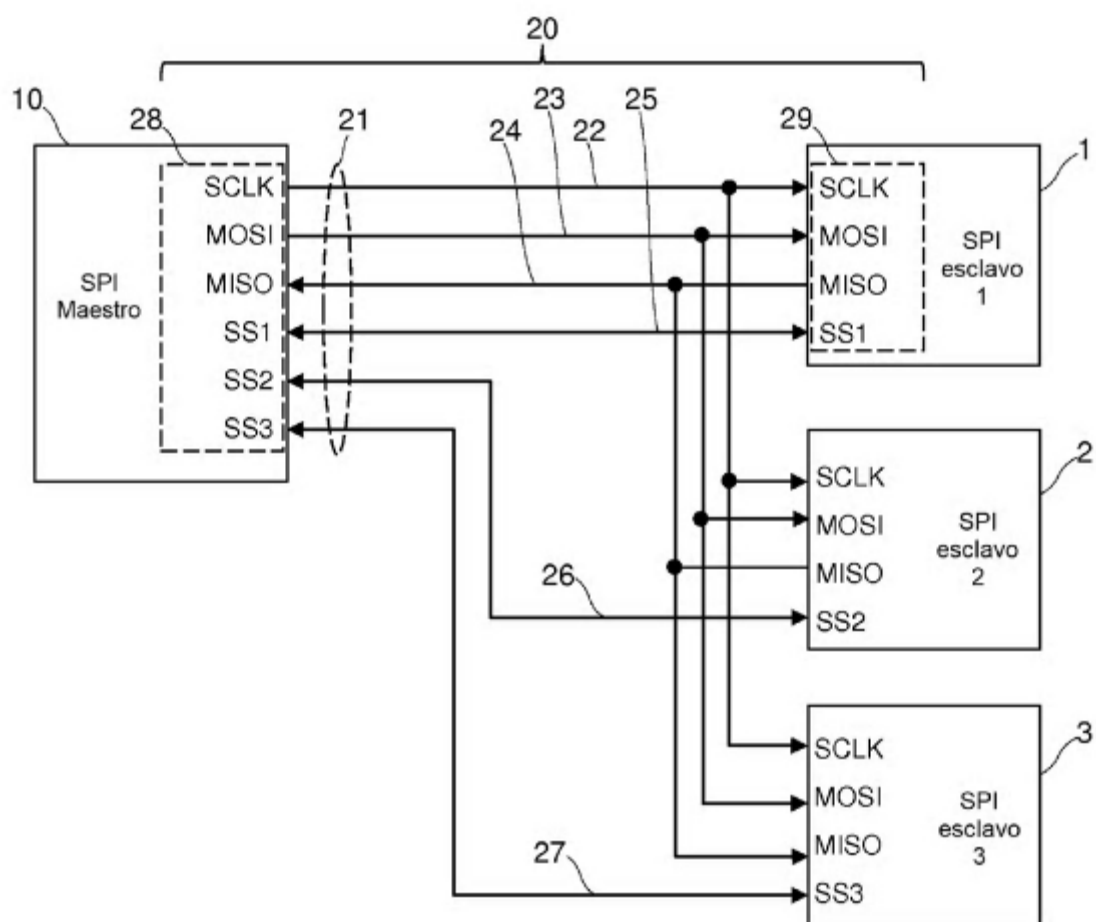


Fig. 1

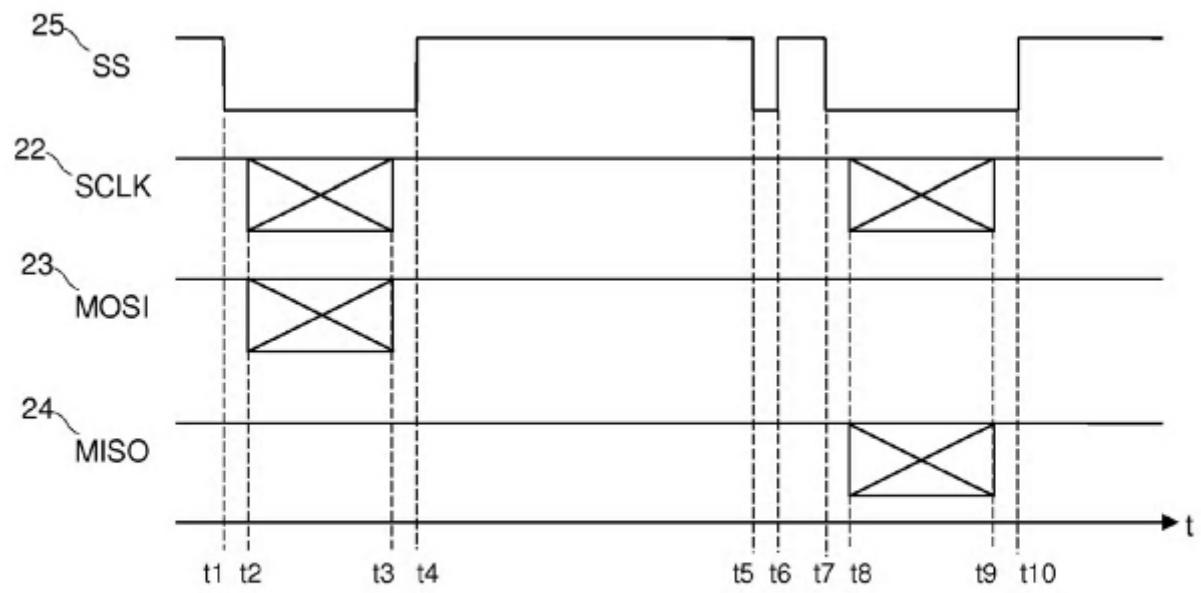


Fig. 2

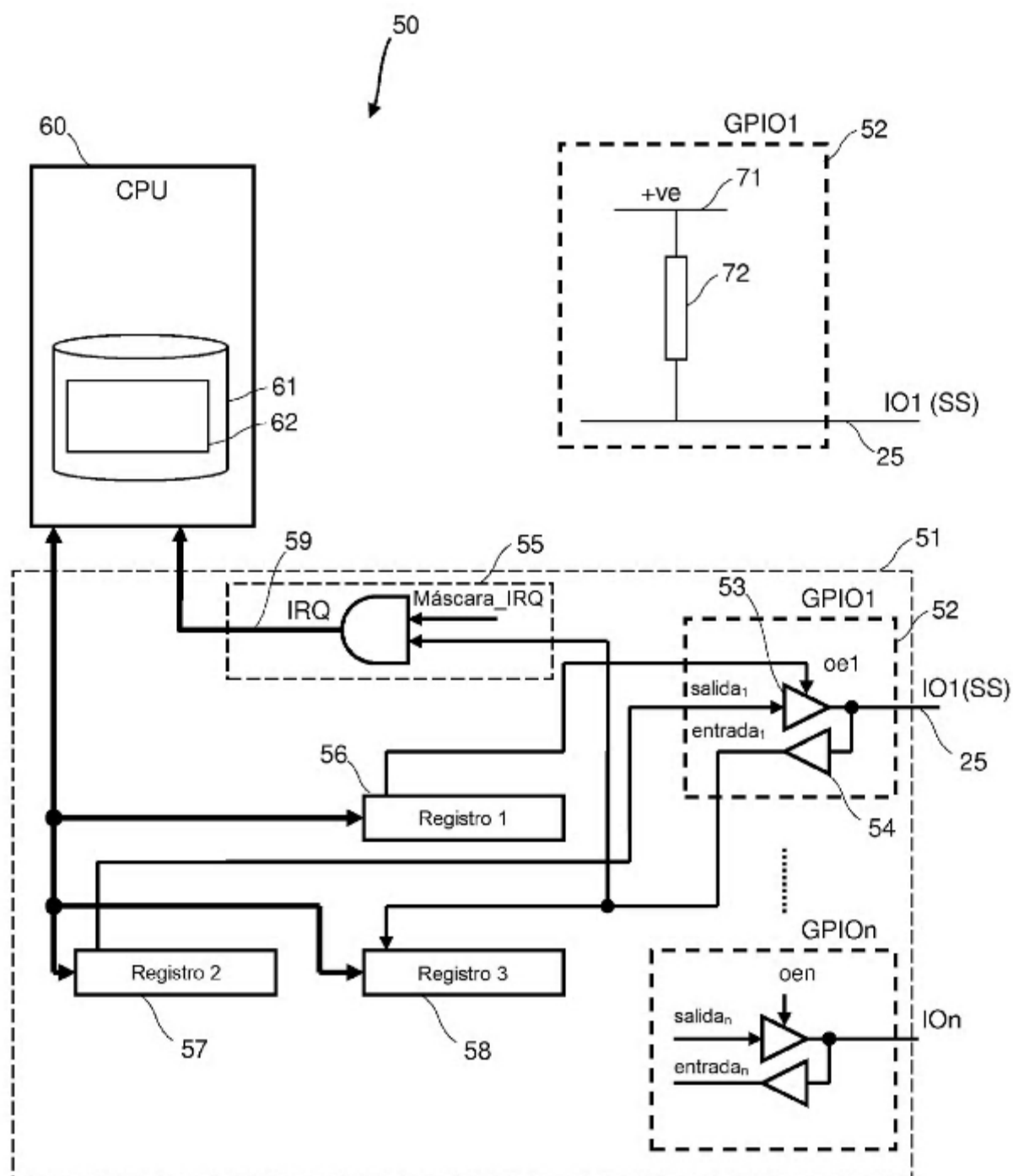


Fig. 3