

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 646 100**

51 Int. Cl.:

**H04L 12/40** (2006.01)

**H04L 29/12** (2006.01)

**G06F 13/16** (2006.01)

**G06F 13/42** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **27.08.2015** **E 15182667 (4)**

97 Fecha y número de publicación de la concesión europea: **09.08.2017** **EP 3007387**

54 Título: **Sistema maestro-esclavo dinámicamente direccionable, así como procedimiento para el direccionamiento dinámico de unidades esclavas**

30 Prioridad:

**10.10.2014 DE 102014114720**

**03.12.2014 DE 102014117797**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**12.12.2017**

73 Titular/es:

**EBM-PAPST MULFINGEN GMBH & CO. KG**

**(100.0%)**

**Bachmühle 2**

**74673 Mulfingen, DE**

72 Inventor/es:

**SAUER, THOMAS;**

**LIPP, HELMUT;**

**TEUKE, KLAUS;**

**HUMM, MARKUS;**

**FESSEL, ANDREAS y**

**BÜRKERT, MARTIN**

74 Agente/Representante:

**SUGRAÑES MOLINÉ, Pedro**

ES 2 646 100 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Sistema maestro-esclavo dinámicamente direccionable, así como procedimiento para el direccionamiento dinámico de unidades esclavas

### Campo de la invención

- 5 La invención se refiere a un sistema maestro-esclavo dinámicamente direccionable y a un procedimiento para el direccionamiento dinámico de unidades esclavas.

### Antecedentes de la invención

10 Los sistemas de bus de los tipos más diversos se conocen de antigua data. Los sistemas de bus maestros/esclavos en que se basa la presente invención poseen, por lo general, la propiedad de que todos los esclavos han de tener direcciones unívocas para poder ser abordados individualmente. Con ello y mediante sistemas de bus, es posible abordar esclavos individualmente, pudiendo modificar así las configuraciones del esclavo o consultar sobre informaciones de estado del esclavo. Los sistemas de bus de los más diversos tipos como, por ejemplo, sistemas de bus maestro-esclavo, se conocen desde hace mucho tiempo en el estado de la técnica.

15 En muchos sistemas de bus maestro-esclavo, las unidades esclavas del sistema pueden ser identificadas y abordadas individualmente por la unidad maestra. De esta manera, una unidad maestra está en condiciones de accionar, por ejemplo, por intermedio de una determinada unidad esclava, un componente del sistema controlado por dicha unidad esclava o de asignar los mensajes recibidos a una unidad esclava determinada y con ello a un determinado componente del sistema. Para garantizar una funcionalidad de este tipo, la unidad esclava necesita, por una parte, una dirección única en todo el sistema; por otra parte, es necesario que la dirección unívoca como también la pertenencia de la unidad esclava a un componente del sistema o su posición en el sistema de bus de la unidad maestra sean conocidas.

20 Convencionalmente, esto se logra, por ejemplo, llevando a cabo una fase de direccionamiento o de orientación durante la inicialización del sistema de bus. En esta fase, a las unidades esclavas se les asigna, por ejemplo, direcciones de sistema en un orden determinado o a la unidad maestra se le da la oportunidad de consultar las identidades del equipo almacenadas consecutivamente de unidades esclavas individuales en diferentes posiciones. Por ejemplo, se lleva a cabo manualmente una adjudicación de direcciones a las unidades esclavas, acoplando los esclavos disponibles en un orden definido consecutiva e individualmente al sistema de bus o liberando mediante un conmutador accionado manualmente de modo individual y consecutivo para el direccionamiento: debido a que solamente una unidad esclava definida, manualmente seleccionada, se acopla al conductor de bus o bien se libera para el direccionamiento, la unidad maestra puede adjudicar, mediante la emisión de una orden difundida en el bus – en realidad, dirigida a la totalidad de las unidades esclavas pendientes del bus- una dirección unívoca a dicha unidad esclava individual. Debido a la secuencia definida en la que las unidades esclavas son direccionadas la unidad maestra conoce, después de la adjudicación de direcciones, también la posición relativa de las unidades esclavas individuales en el sistema. Sin embargo, dichos procedimientos manuales no solamente insumen mucho tiempo y debido a la intervención de un operador humano son propensos a fallos, sino que además necesitan en cualquier caso una arquitectura de bus.

35 En el documento DE 103 36 301 A1, se propone un proceso de direccionamiento automatizado. El proceso de direccionamiento está previsto para un sistema de bus maestro-esclavo con un conductor de bus, cuya partes inicial y final están conectadas a la unidad maestra. En este proceso, durante el desarrollo del proceso de la adjudicación de direcciones, se interrumpe el conductor de bus del sistema, por lo que la unidad maestra debe abordar las unidades esclavas por intermedio de una entrada de cadencia. Por otra parte, el procedimiento solamente puede utilizarse en aquellos sistemas que presentan un conductor de bus en forma anular.

45 El presente procedimiento describe un procedimiento de direccionamiento de este tipo. Del documento EP 2 287 689 EP, se conoce otro procedimiento de direccionamiento, basado en bus, de unidades esclavas. En este caso, las unidades esclavas deben disponer, cada una de ellas, de interfaces de bus adaptados al sistema de bus utilizado, por medio de los cuales se conectan con uno o varios conductores de bus de un sistema de bus maestro-esclavo. Si bien este procedimiento de direccionamiento es adecuado para muchos sistemas de bus como conductores de bus uni- o bidireccionales, anulares y no anulares, y con protocolos de comunicación arbitrarios, el direccionamiento requiere en cada caso una arquitectura de bus del sistema de bus maestro-esclavo.

50 Los documentos DE 196 21 272 A1, WO 2009/040298 A1 y WO 2005/057621 A2 representan también el estado de la técnica relacionado con lo descrito en la presente. Para la implementación del procedimiento de direccionamiento y para la implementación de la arquitectura de bus, las soluciones del estado de la técnica requieren correspondientes componentes de sistema que ocasionan costos adicionales y que requieren un diseño de mayor volumen y que, por lo tanto, requiere más espacio físico. También en ocasión de un recambio de un componente de la instalación conectado a un esclavo, tal como, por ejemplo, un ventilador, es necesario recurrir a medidas correspondientes para configurar subsiguientemente la adjudicación de direcciones.

55 Partiendo de estos antecedentes, el objetivo de la presente invención es el de superar las desventajas mencionadas y poner a disposición un procedimiento mejorado para el direccionamiento dinámico de unidades esclavas como

también de sistemas maestro-esclavo dinámicamente direccionables, que sea de una implementación y manipulación sencillas.

5 Este objetivo se logra mediante un sistema maestro-esclavo dinámicamente direccionable provisto de las características de la reivindicación 1, como también mediante un procedimiento para el direccionamiento dinámico de unidades esclavas con las características de la reivindicación 9. En este contexto, el concepto básico de la presente invención es el de configurar el sistema maestro-esclavo de manera tal que, en el momento de la introducción del direccionamiento de las unidades esclavas, todas las unidades esclavas tengan inicialmente la misma dirección y prever en las correspondientes unidades esclavas memorias digitales en serie, preferiblemente memorias de desplazamiento, que inicialmente tienen, todos ellos, el valor "CERO".

10 El direccionamiento puede llevarse a cabo mediante un número de señales que forman parte de una secuencia de señales, que corresponde al número de las unidades esclavas a ser direccionadas, poniéndose a disposición las señales, por ejemplo, como impulsos de conexión, cambios de flanco, pasos de corriente cero o también los procedimientos de modulación de frecuencia o de amplitud desde la unidad maestra por intermedio de una conducción de señales que conecte en serie las unidades esclavas. Al respecto solamente es relevante que, con la correspondiente señal, es posible realizar dos estados distintos (estado no señalizado y estado señalizado).

15 Si una unidad esclava reconoce en su entrada de señales un cambio de la señal al estado señalizado, en tal caso se eleva en un valor "1" la correspondiente dirección de la unidad esclava, en donde, para cada una de las unidades esclavas, se conoce o bien se introduce la dirección máxima permitida, y no es posible llevar a cabo una elevación de la dirección por sobre dicho valor.

20 Al mismo tiempo, la memoria serial digital, es decir, por ejemplo, el valor bit en el registro de desplazamiento se coloca en el estado señalizado. Además, se emite una señal correspondiente al estado actual de la memoria serial en la salida de ésta y, por lo tanto, a la salida de la unidad esclava del caso. Por lo tanto, el estado señalizado es comunicado por el enfilamiento consecutivo de las unidades esclavas por intermedio del conductor de señales en cada caso retardado temporalmente en un periodo, a la correspondiente unidad esclava adyacente. La correspondiente comunicación de la información tiene lugar, por lo tanto, en cada cambio de señal.

25 Una configuración inventiva de este tipo tiene como consecuencia que las elevaciones de dirección de las unidades esclavas de la serie tienen lugar empezando con su propia dirección, con lo cual se asegura que en caso de la realización completa del procedimiento de direccionamiento a cada unidad esclava presente en el sistema maestro-esclavo se le asigne una dirección individual unívoca.

30 Por lo tanto, de acuerdo con la invención, se propone un sistema maestro-esclavo, que comprende una unidad maestra con una salida digital para la puesta a disposición de una señal o de una secuencia de señales en serie y varias unidades esclavas, en donde las unidades esclavas presentan, cada una de ellas, una memoria digital serial con una capacidad de un bit y en cada caso presenta un entrada y una salida, en donde las unidades esclavas están conectadas en serie entre sí por intermedio de las entradas y salidas a través de un conductor de señales, y en donde la entrada de una primera unidad esclava está conectada, por intermedio del conductor de señales, a la salida digital de la unidad maestra. El sistema maestro-esclavo está configurado manera tal que en la entrada de la unidad esclava se detecta una señal puesta a disposición desde la salida digital (cambio de señal) de una secuencia serial de señales, para elevar en cada caso en el valor "1" la dirección de la correspondiente unidad esclava, almacenar el cambio de señal en la memoria y emitir una señal correspondiente al contenido de la memoria en la salida de la memoria. Sin embargo, si solamente se almacenan cambios de flanco positivos (es decir, durante el desarrollo el valor en bits en el registro de desplazamiento puede variar solamente de 0 a 1, pero ya no 0. Esto es posible solamente después de una reinicialización del mecanismo adjudicador de direcciones, ya que en tal caso todos los registros de desplazamiento son puestos inicialmente en "0").

45 Las señales de la unidad maestra pueden generarse y/o ponerse a disposición, por ejemplo, mediante un módulo adecuado para la generación de señales en la salida digital de la unidad maestra.

De acuerdo con la invención, se prevé también que el sistema maestro-esclavo esté configurado de manera tal que se prevean unidades esclavas ( $n =$  número de unidades esclavas), en donde la salida de  $n-1$  unidades esclavas está conectada con la entrada del correspondiente esclavo en serie adyacente por intermedio del conductor de datos.

50 En un perfeccionamiento ventajoso de la invención, la salida de la unidad de la última unidad esclava en la disposición serial está conectada a una entrada digital de la unidad maestra por intermedio de un conductor de retorno, de manera tal que se configura un sistema anular.

De manera ventajosa, se prevé que la unidad maestra esté configurada como controles programables por memoria, como ordenador con interfaces de hardware correspondientes, como controles no libremente programables o como una unidad con un pulsador para generar la señal.

55 De acuerdo con la invención, se prevé ventajosamente que el sistema maestro-esclavo pueda pasar de un modo de bloqueo a un modo de direccionamiento, y viceversa, en donde el direccionamiento de las unidades esclavas puede bloquearse o permitirse. En una realización ventajosa de la invención, la unidad maestra está configurada para

- generar una señal de modo de direccionamiento,  $S_a$ , para colocar el sistema maestro-esclavo en el modo de direccionamiento, y la señal de modo de direccionamiento  $S_a$  puede ponerse a disposición por intermedio de la salida digital o por intermedio de un bus opcionalmente previsto. De esa manera, además del conductor de señales de adjudicación de dirección, puede preverse también un conductor de bus que, sin embargo, no es necesario para el direccionamiento.
- 5 En otra realización también ventajosa de la invención, la unidad maestra está configurada para generar una señal de modo de bloqueo,  $S_p$ , para colocar el sistema maestro-esclavo al final del direccionamiento nuevamente en el modo de bloqueo y la señal de modo de bloqueo puede ser puesta a disposición a las unidades esclavas por intermedio de la salida digital o como alternativa por intermedio de un bus opcionalmente previsto.
- 10 Las memorias digitales seriales están configuradas preferiblemente como registros de desplazamiento, y por lo tanto como una instalación de conmutación lógica en la que varias unidades conectadas en serie desplazan por así decirlo su contenido de memoria (a razón de 1 bit) en cada cadencia de trabajo en una unidad de memoria.
- Un segundo aspecto de la presente invención se refiere a un procedimiento para el direccionamiento dinámico de las unidades esclavas arriba descritas de un sistema maestro-esclavo, en donde, al inicio del direccionamiento, todas las unidades esclavas poseen la misma dirección y todas las memorias digitales seriales presentan como contenido el valor "cero", en donde el procedimiento comprende las siguientes etapas:
- 15 a) desplazamiento del sistema maestro-esclavo en el sistema de direccionamiento mediante una señal de modo de direccionamiento  $S_a$  que es puesta a disposición por la unidad maestra;
- b) generación de un número de señales en serie ( $n$  impulsos) que corresponde al número de unidades esclavas ( $n$  unidades esclavas) y transmisión de las señales sobre el conductor de señales por intermedio de la unidad maestra;
- 20 c) elevación de la dirección esclava de la unidad esclava abordada por la señal, en cada caso en el valor "1", en cuanto en la entrada de la unidad esclava se detecte una señal correspondiente al cambio de estado y puesta de la correspondiente memoria serial en el estado señalado y comunicación de una señal correspondiente a la salida de la correspondiente unidad esclava y con ello a la entrada de la correspondiente unidad esclava adyacente siguiente;
- d) retorno del estado señalado al estado no señalado después de cada señal de la secuencia serial de señales.
- 25 Dado que tienen lugar  $n$  cambios de señal, resultan de ello  $n+2$  estados (cadencias), y se eleva el valor de la dirección por cada cambio de señal, de manera tal que la primera unidad esclava se eleva  $n-1$  veces en el valor "1", la segunda unidad esclava en  $n-2$  veces, etc.
- El procedimiento puede llevarse a cabo de manera ventajosa también haciendo que la unidad maestra, en lugar de  $n$  señales genere  $n+1$  señales, y con ello genere cambios de señal por sobre el número de unidades esclavas, por lo que la unidad esclava se eleva en su salida después de su direccionamiento por el cambio de señal adicional y bucle un cambio de señal, preferiblemente por un conductor de retorno situado en la entrada de la unidad maestra, en donde la unidad maestra detecta la conclusión del procedimiento de direccionamiento.
- 30 En este caso, tienen lugar  $n+1$  cambios de señal y con ello resultan  $2n+2$  estados (cadencias) y se eleva el valor de la dirección por cada cambio de señal, de manera tal que la primera unidad esclava se eleva  $n$  veces en el valor "1", la segunda unidad esclava en  $n-1$  veces, etc.
- Si se utiliza un conductor de retorno, en tal caso la unidad maestra genera otra señal de cambio más de lo que realmente necesario para la adjudicación de direcciones. Esto lleva a que el último esclavo, en su salida después de su direccionamiento, que ha sido elevado por el cambio adicional de señales en otra unidad de dirección, genera un cambio de señal del conductor de retorno que puede reconocer la unidad maestra. La unidad maestra sabe que, en el caso de flancos conocidos en su entrada, todos los esclavos han sido dirigidos correctamente. Si la unidad maestra es meramente un pulsador, podría acoplarse una unidad de señalización adecuada tal como, por ejemplo, un LED en el conductor de retorno, y al emitirse la señal, en el caso del LED una breve iluminación, comunicar al operador del pulsador que todas las unidades esclavas han sido correctamente direccionadas.
- 40 Como alternativa al conductor de retorno, una unidad maestra inteligente tal como un SPS, una PC o un control no libremente programable puede comunicar el número de unidades esclavas disponibles. En tal caso, solamente generaría la cantidad necesaria de cambios de flancos necesaria para esta cantidad. En este caso habría que realizar de otra manera una verificación de la correcta ejecución de la adjudicación de direcciones, por ejemplo, mediante consultas adecuadas en el bus.
- 45 Para la señalización de la terminación de la aplicación de direcciones, la unidad maestra envía una señal adecuada, que no puede confundirse con la transición normal de las señales. En este contexto, la señal puede enviarse por medio del conductor de señales o, alternativamente, es posible enviar un orden, que pasa por el bus, a las unidades esclavas.
- Una configuración alternativa del sistema maestro-esclavo y del procedimiento consiste en que puede prescindirse de

- la salida digital de la unidad maestra y la conducción digital entre la unidad maestra desde la salida digital hacia la entrada de la primera unidad esclava. Para ello es necesario que la unidad maestra conozca la dirección, por intermedio del número de serie, de la primera unidad esclava. A continuación, la unidad maestra puede enviar telegramas de bus adecuados, a los que reacciona solamente el esclavo con el número de serie unívoco, que reemplaza el cambio de señales que normalmente se transmiten mediante señales por intermedio de la salida digital a la primera unidad esclava.
- Los procedimientos descritos se llevan a cabo de manera tal que el estado señalizado de la unidad esclava, a través de la secuencia consecutiva serial, sea retransmitido de manera retardada en un período a la unidad esclava subsiguiente en la serie.
- A tal efecto, el procedimiento puede configurarse también de manera ventajosa haciendo que, para la secuencia de direccionamiento completa, se defina un máximo intervalo de tiempo  $t_{m\acute{a}x}$ , que en cada caso puede transcurrir entre dos cambios de señal, a lo cual tienen lugar una interrupción de la adjudicación de direcciones y el reposicionamiento de los valores de memoria y de los valores de dirección al valor de partida, en cuanto se sobrepase el intervalo de tiempo  $t_{m\acute{a}x}$  durante un cambio de señal.
- Las figuras ilustran características adicionales de la invención. En las Figuras:
- la Figura 1 ilustra varias unidades esclavas, cada una de las cuales presenta una memoria digital serial con una magnitud de un bit;
- la Figura 2 muestra una adjudicación de direcciones mediante registro de desplazamiento en estado inicial;
- la Figura 3 muestra una adjudicación de direcciones mediante registro de desplazamiento con estado en la primera cadencia;
- la Figura 4 muestra una adjudicación de direcciones mediante registro de desplazamiento con estado después de la primera cadencia;
- la Figura 5 muestra una adjudicación de direcciones mediante registro de desplazamiento con estado en la segunda cadencia;
- la Figura 6 muestra una adjudicación de direcciones mediante registro de desplazamiento con estado después de la segunda cadencia;
- la Figura 7 muestra una adjudicación de direcciones mediante registro de desplazamiento con estado en la tercera cadencia;
- la Figura 8 muestra una adjudicación de direcciones con estado después de la tercera cadencia;
- la Figura 9 muestra una adjudicación de direcciones mediante registro de desplazamiento con estado en la cuarta cadencia; y
- la Figura 10 muestra una adjudicación de direcciones mediante registro de desplazamiento con estado después de la cuarta cadencia.
- En la Figura 1, se muestra un ejemplo de realización de un sistema maestro-esclavo 100 de acuerdo con la invención. El sistema maestro-esclavo 100 comprende una unidad maestra 1 con una salida digital 6 y un módulo 10 para poner a disposición una secuencia de señales de señales S. Además, se han previsto tres unidades esclavas 2 a título de ejemplo, presentando cada una de las unidades esclavas 2 una memoria digital serial 3 de una magnitud de un bit. Además, cada una de las unidades esclavas 2 presenta una entrada 3a y una salida 3b.
- Como también puede reconocerse en las Figuras, las unidades esclavas 2 están conectadas en serie entre sí por medio de las entradas 3a y de las salidas 3b a través de un conductor de señales 5, estando conectada la entrada 3a de la primera unidad esclava 2 a través del conductor de señal 5 con la salida digital 6 de la unidad maestra 1. En el ejemplo de realización presente, la salida de la última unidad esclava 2 está conectada a una entrada digital 7 de la unidad maestra 1, y juntamente con el conductor de retorno 4 como también con el conductor de señales 5, configura una estructura anular.
- Como unidad maestra 1 en la presente, se utiliza un control programable por memoria (SPS, speicherprogrammierbare Steuerung). Las unidades esclavas 2 pueden estar asociadas, por ejemplo, a ventiladores. Opcionalmente, los conductores de bus RSA y RSB se extienden a las unidades esclavas 2.
- En la presente realización, se dispone de 3 unidades esclavas 2, por lo que tienen lugar 4 ( $n = 3 + 1$ ) cambios de señal, que han sido presentados consecutivamente en las Figuras 3 a 10. Con ello resultan  $2n+2$ , es decir, 8 estados (cadencias), en donde el valor de la dirección A por cada cambio de señal se eleva en el valor "1", inclusive hasta el último cambio de señal, que se buclea de regreso por intermedio del conductor de retorno 4 en la entrada digital 7 del control SPS.

5 El sistema maestro-esclavo 100 está configurado de manera tal que en la entrada 3a de la unidad esclava 2 se detecte una señal puesta a disposición (cambio de señal) desde la salida digital 6 de una secuencia serial de señales y con ello en cada caso se eleva la dirección A de la correspondiente unidad esclava 2 en el valor "1". Dicho de otro modo, esto significa que en cuanto en la entrada de la memoria 3 se reconozca un cambio de señal, se emite una señal correspondiente al contenido de la memoria en la salida de la memoria y se ajusta el contenido de la memoria al valor correspondiente a la señal situado en la entrada. Sin embargo, solamente se almacenan cambios de flanco positivos como se explicó previamente.

10 Para el direccionamiento, el sistema maestro-esclavo 100 mediante el que se pone a disposición una señal de modo de direccionamiento  $S_a$  por la unidad maestra 1, es colocado en el modo de direccionamiento, como ya se describió con anterioridad.

En la Figura 2, se representa el estado de partida (estado inicial) del sistema maestro-esclavo 100. En el momento de la introducción del direccionamiento, todas las unidades esclavas 2 tienen la misma dirección A con el valor representado 1 (uno) y todas las memorias seriales 3 contienen el valor = 0 (cero).

15 La Figura 3 muestra la adjudicación de direcciones por medio de las memorias 3, que actúan como registros de desplazamiento. El cambio de señal se almacena en la memoria 3, y se emite una señal correspondiente al contenido de la memoria 3 en la salida 3b de la memoria 3 y con ello a la entrada 3a de la unidad esclava 2 subsiguiente en la serie. La dirección A de la primera unidad esclava 2 se ha elevado ahora en el valor "1" a 2, y ambas unidades esclavas subsiguientes tienen ahora el valor de dirección 1.

20 En la Figura 4, se muestra el estado después de la primera cadencia. Después del cambio de señal se regresa al estado no señalizado, que en el conductor de señales 5 ha sido representado con el valor "0".

25 En las Figuras 5 y 6, o bien 7 y 8, se repite el proceso anterior arriba descrito. El estado señalizado se retarda en cada caso por la secuencia adyacente serial de las unidades esclavas 2 y se retransmite a la siguiente unidad esclava 2. Esto tiene como consecuencia que las unidades esclavas empiecen la fila recién después de haber elevado sus propias direcciones, con lo cual se garantiza que, al llevarse a cabo por completo el procedimiento, cada esclavo presente una dirección individual unívoca. Por lo tanto, la correspondiente adjudicación de información tiene lugar en cada cambio de señal. Como se describió con anterioridad, se inicia otro cambio de señal después de que la totalidad de las tres unidades esclavas 2 del sistema maestro-esclavo 100 hayan sido direccionadas y presenten las direcciones  $A = 4, 3, 2$ , en este orden. El estado en la cuarta cadencia ha sido representado en la Figura 10 y el estado después de la cuarta cadencia ha sido representado en la Figura 11. El último cambio de señal (impulso de señal) es entregado por el control SPS 1 por intermedio del conductor de retorno del conductor de señales 5 al control SPS 1, con lo que cada una de las direcciones A se eleva en el valor "1" y el control SPS 1 detecta que el direccionamiento ha concluido.

30 Para la totalidad del desarrollo, se define un intervalo de tiempo máximo que puede estar situado entre dos cambios de señal. Si se supera dicho intervalo de tiempo, en tal caso todas las unidades esclavas 2 lo consideran como una interrupción de la adjudicación y reposicionan su memoria serial 3 como también su propia dirección de esclavo A al correspondiente valor de partida.

35 La invención no se limita en su ejecución a los ejemplos de realización preferidos precedentemente señalados. Más bien es concebible una pluralidad de variantes, que utilizan la solución representada también en realizaciones con una configuración fundamental distinta. Todas las características descritas pueden utilizarse en combinaciones arbitrarias en la medida de lo técnicamente posible.

40

## REIVINDICACIONES

1. Sistema maestro-esclavo (100) para la adjudicación dinámica de direcciones de unidades esclavas (2), que comprende un unidad maestra (1) con una salida digital (6) para la puesta a disposición de una secuencia serial de señales (S) y por lo menos dos unidades esclavas (2), en donde cada una de las unidades esclavas (2) presenta una memoria digital serial (3) con una magnitud de un bit y una entrada (3a) y una salida (3b), en donde las unidades esclavas (2) están conectadas entre sí en serie a través de las entradas (3a) y de las salidas (3b) por intermedio de un conductor de señales (5) y en donde la entrada (3a) de una primera unidad esclava (2) está conectada a través del conductor de señales (5) con la salida digital (6) de la unidad maestra (1), en donde el sistema maestro-esclavo (100) está configurado de manera tal que en la entrada (3a) de la unidad esclava (2) se detecta un cambio de señal de una secuencia de señales seriales (S) proporcionada por la salida digital (6), en donde como reacción al cambio de señal el sistema maestro-esclavo está configurado para
- 5 - aumentar la dirección (A) de la unidad esclava (2) pertinente en cada caso en el valor "1",
- almacenar el cambio de señal en la memoria (3), almacenando únicamente el cambio de flanco positivo de un cambio de señal de la secuencia de señales serial (S); y
- 15 - transmitir una correspondiente señal en la salida (3b) de la correspondiente unidad esclava (2) y con ello ponerla a disposición en la entrada de la correspondiente unidad esclava (2) inmediatamente adyacente.
2. Sistema maestro-esclavo (100) según la reivindicación 1, **caracterizado por que** se prevén n unidades esclavas (2), en donde la salida (3b) de n-1 unidades esclavas (2) está conectada a la entrada de la correspondiente unidad esclava (2) adyacente en la serie.
- 20 3. Sistema maestro-esclavo (100) según la reivindicación 1 ó 2, **caracterizado por que** la salida de la última unidad esclava (2) en la disposición en serie está conectada a una entrada digital (7) de la unidad maestra (1) por intermedio de un conductor de retorno (4).
4. Sistema maestro-esclavo (100) según una de las reivindicaciones precedentes, **caracterizado por que** la unidad maestra (1) está configurada como un control programable por memoria (SPS), como ordenador con correspondientes interfaces de hardware, como control no libremente programable o como una unidad que tiene un pulsador para generar la señal (S).
- 25 5. Sistema maestro-esclavo (100) según una de las reivindicaciones precedentes, **caracterizado por que** el sistema maestro-esclavo (100) puede conmutar de un modo de bloqueo a un modo de direccionamiento, y viceversa, en donde el direccionamiento de las unidades esclavas (2) está bloqueado o habilitado.
- 30 6. Sistema maestro-esclavo (100) según la reivindicación 5, **caracterizado por que** la unidad maestra (1) está configurada para generar una señal de modo de direccionamiento,  $S_a$ , para ajustar el sistema maestro-esclavo (100) en el modo de direccionamiento, y la señal de modo de direccionamiento,  $S_a$ , puede ser puesta a disposición a través de la salida digital (6) o a través de un bus opcionalmente previsto (RSA, RSB).
- 35 7. Sistema maestro-esclavo (100) según la reivindicación 5, **caracterizado por que** la unidad maestra (1) está configurada para generar una señal de modo de bloqueo,  $S_p$ , para ajustar el sistema maestro-esclavo (100) en el modo de bloqueo cuando el direccionamiento ha terminado, y la señal de modo de bloqueo,  $S_p$ , puede ser puesta a disposición a través de la salida digital (6) o a través de un bus opcionalmente previsto (RSA, RSB).
8. Sistema maestro-esclavo (100) según una de las reivindicaciones precedentes, **caracterizado por que** las memorias digitales seriales (3) están configuradas como registros de desplazamiento.
- 40 9. Procedimiento para la adjudicación dinámica de direcciones de unidades esclavas (2) de un sistema maestro-esclavo (100) según una de las reivindicaciones 1 a 8, en donde al inicio de la adjudicación de direcciones, todas las unidades esclavas (2) tienen la misma dirección, y el contenido de todas las memorias digitales seriales (3) es el valor "cero", en donde el procedimiento comprende las siguientes etapas:
- 45 a) ajuste del sistema maestro-esclavo (100) en el modo de direccionamiento mediante una señal de modo de direccionamiento,  $S_a$ , puesta a disposición por la unidad maestra (1);
- b) generar una secuencia serial de señales (S) que corresponde al número de unidades esclavas (2) y transmitir las señales a través del conductor de señales (5) mediante la unidad maestra (1);
- (c) en cuanto se detecte un cambio de señal de la secuencia serial de señales (S) en la entrada (3a) de la unidad esclava (2)
- 50 - aumentar la dirección del esclavo de la unidad esclava (2) abordada por cada señal (S), en cada caso en un valor "1";
- almacenamiento del cambio de señal en la memoria (3), en donde solamente se almacena el cambio de flanco positivo de un cambio de señal de la secuencia serial de señales (S); y

- transmisión de una señal correspondiente en la salida (3b) de la correspondiente unidad esclava (2) y puesta a disposición de la correspondiente señal en la entrada de la correspondiente unidad esclava (2) adyacente más próxima.

5 10. Procedimiento según la reivindicación 9, **caracterizado por que** el estado señalizado de la unidad esclava (2) se comunica a la siguiente unidad esclava (2) en la serie, en cada caso retardado en un periodo como resultado de su secuenciamiento consecutivo en serie.

10 11. Procedimiento según la reivindicación 9 ó 10, **caracterizado por que** para la totalidad del desarrollo se define un intervalo de tiempo máximo,  $t_{m\acute{a}x}$ , que en cada caso puede transcurrir entre dos cambios de señal, en donde una interrupción de la adjudicación de direcciones y la reposición de los valores de memoria y de los valores de dirección tiene lugar al valor de salida en cuanto se sobrepase el intervalo de tiempo  $t_{m\acute{a}x}$  durante un cambio de señal.

15 12. Procedimiento según la reivindicación 9 a 11, **caracterizado por que** la unidad maestra (1) genera una señal de cambio adicional más allá del número de unidades esclavas (2), de manera tal que la última unidad esclava (2) en la serie, después de su direccionamiento, se eleva en su salida (3b) en una unidad de dirección adicional como resultado del cambio de señal adicional, preferiblemente por intermedio de un conductor de retorno (4) en la entrada (7) de la unidad maestra (1), en donde la unidad maestra (1) detecta la terminación del proceso de direccionamiento.

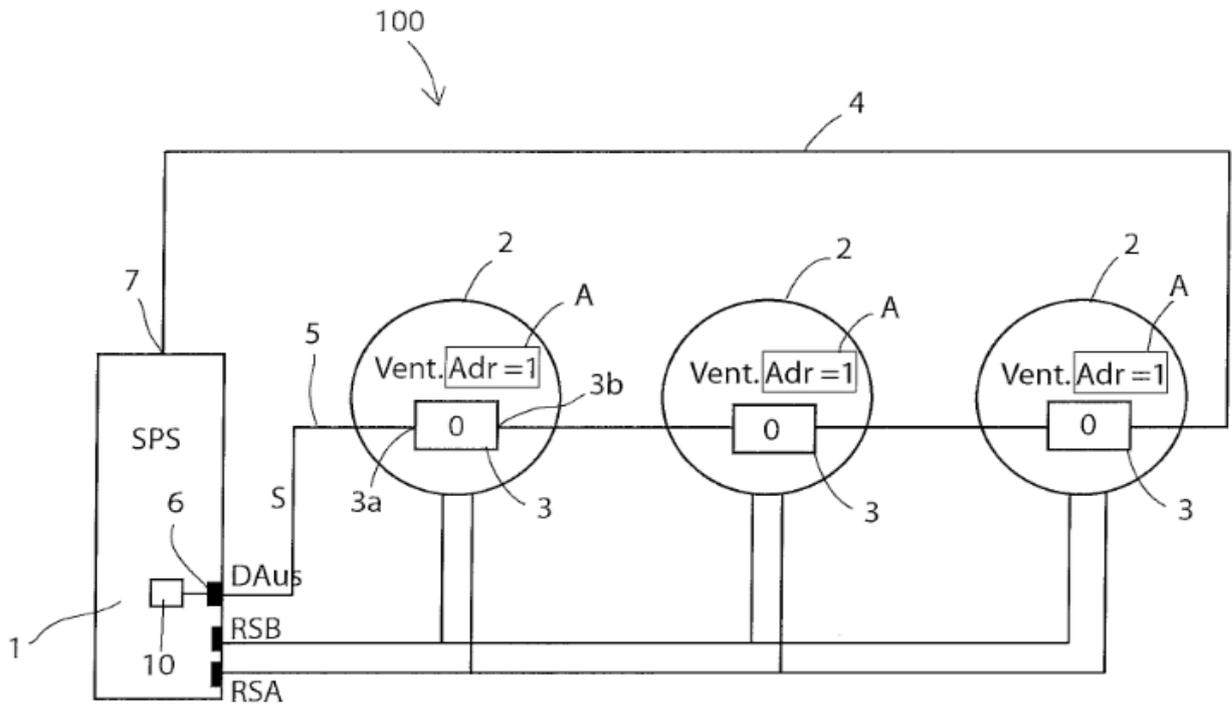


Fig. 1

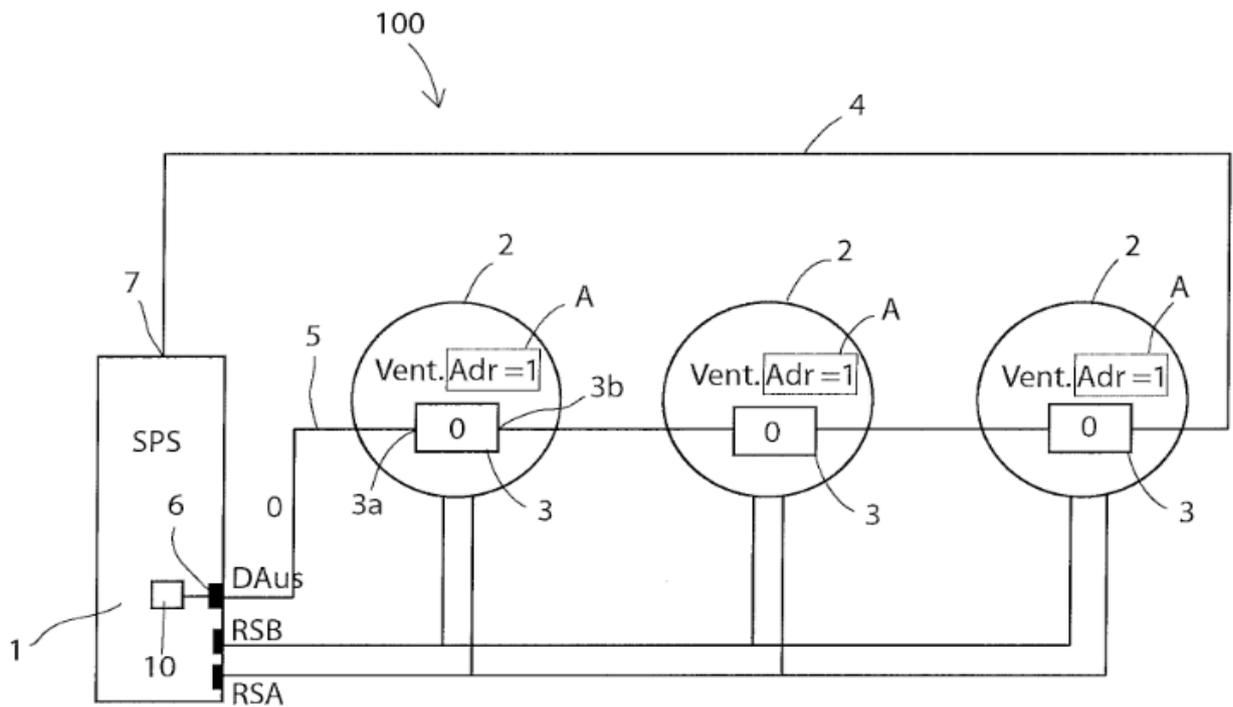


Fig. 2

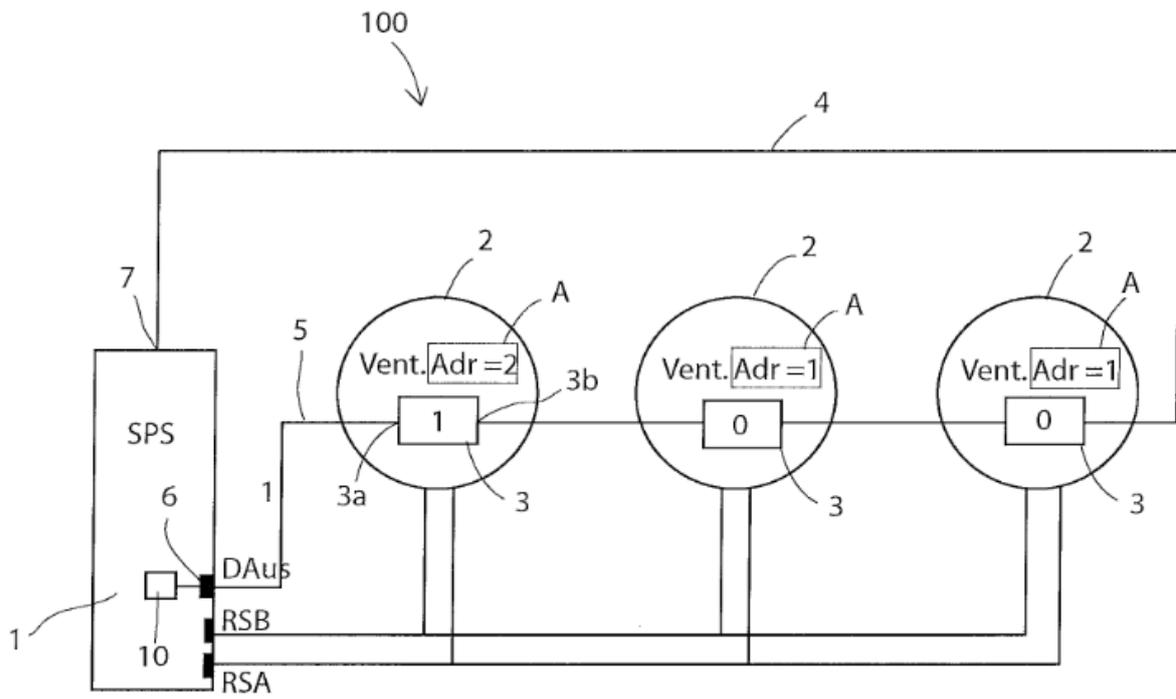


Fig. 3

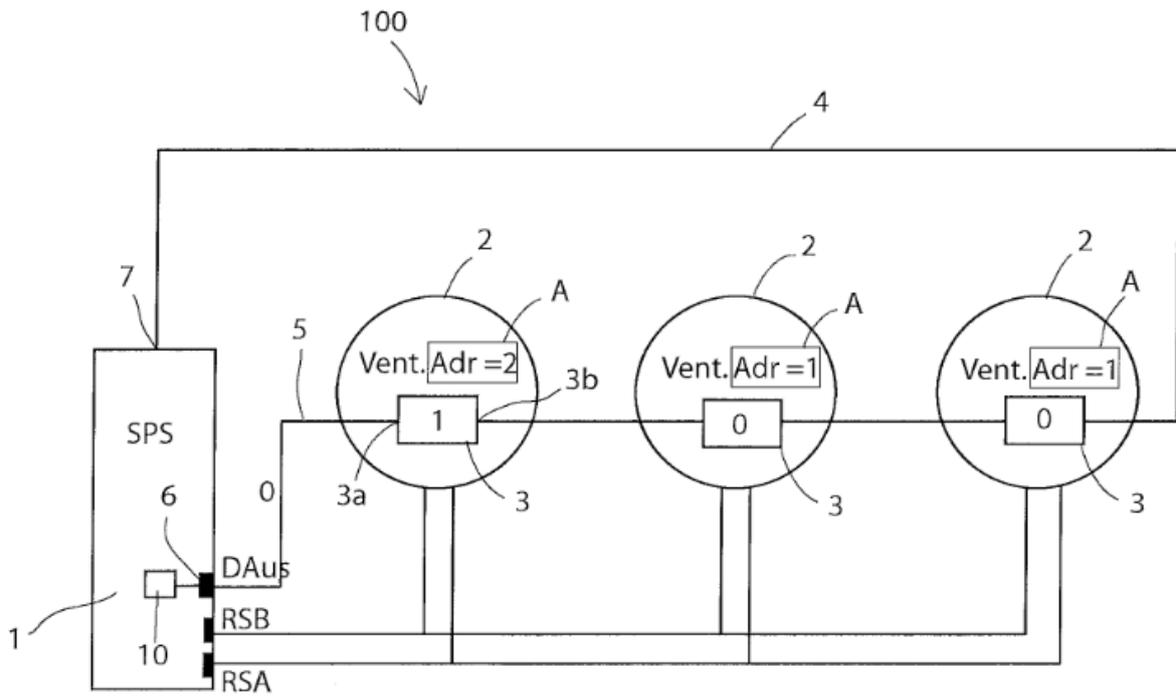


Fig. 4

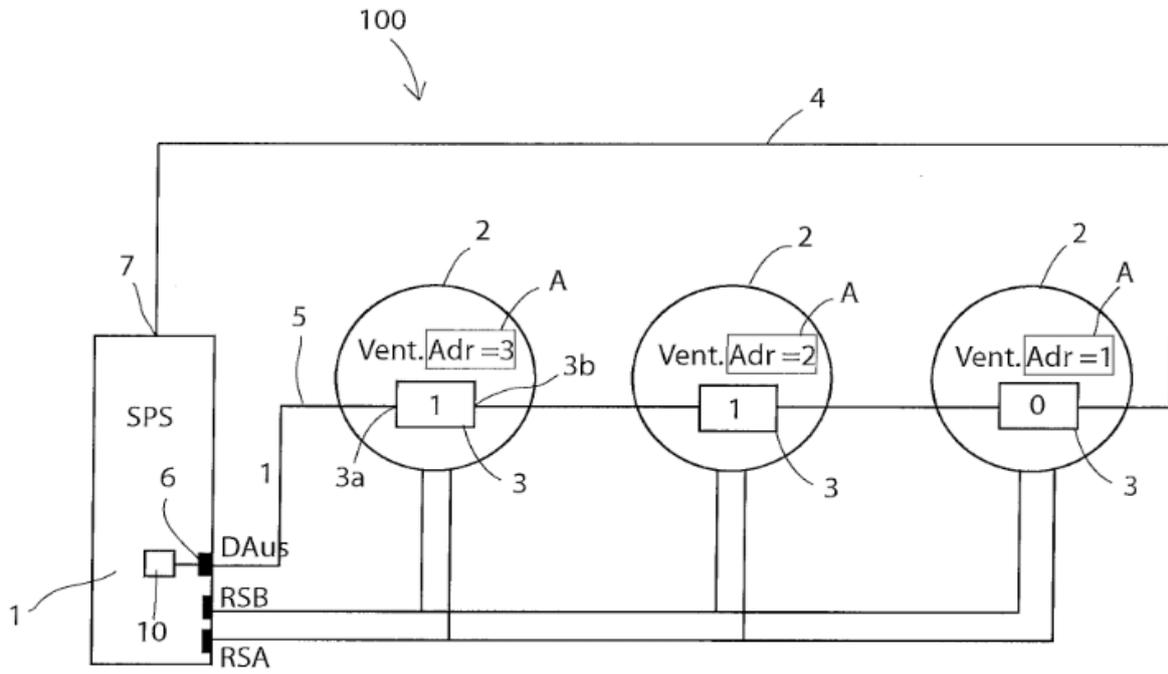


Fig. 5

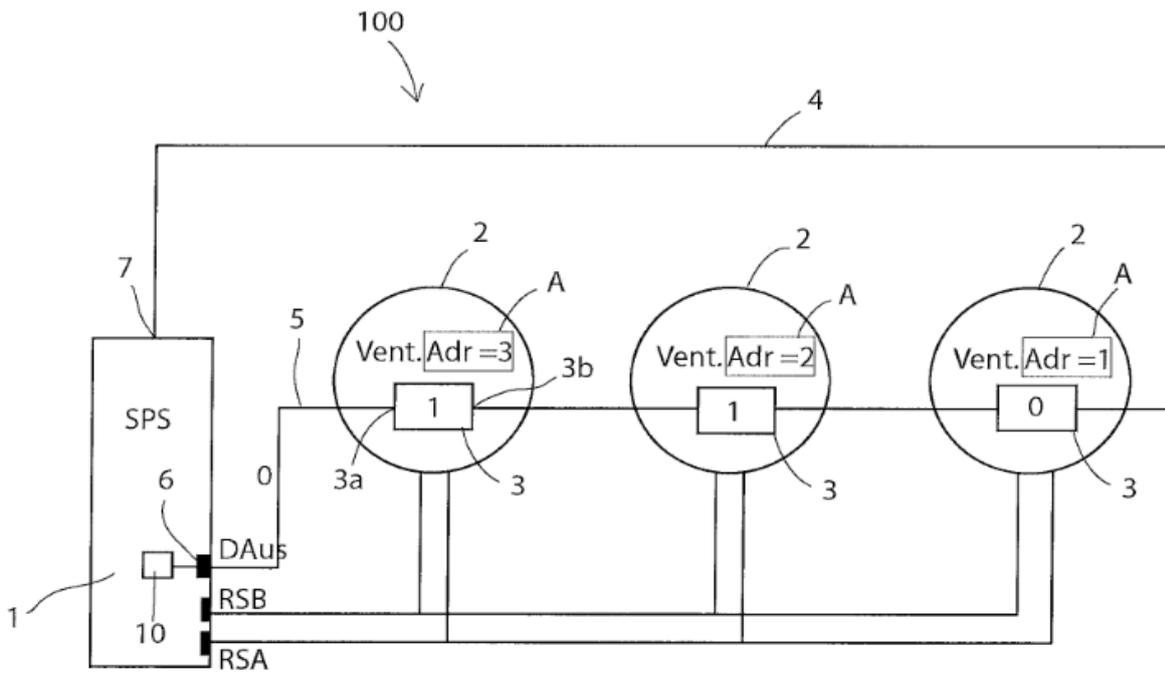


Fig. 6

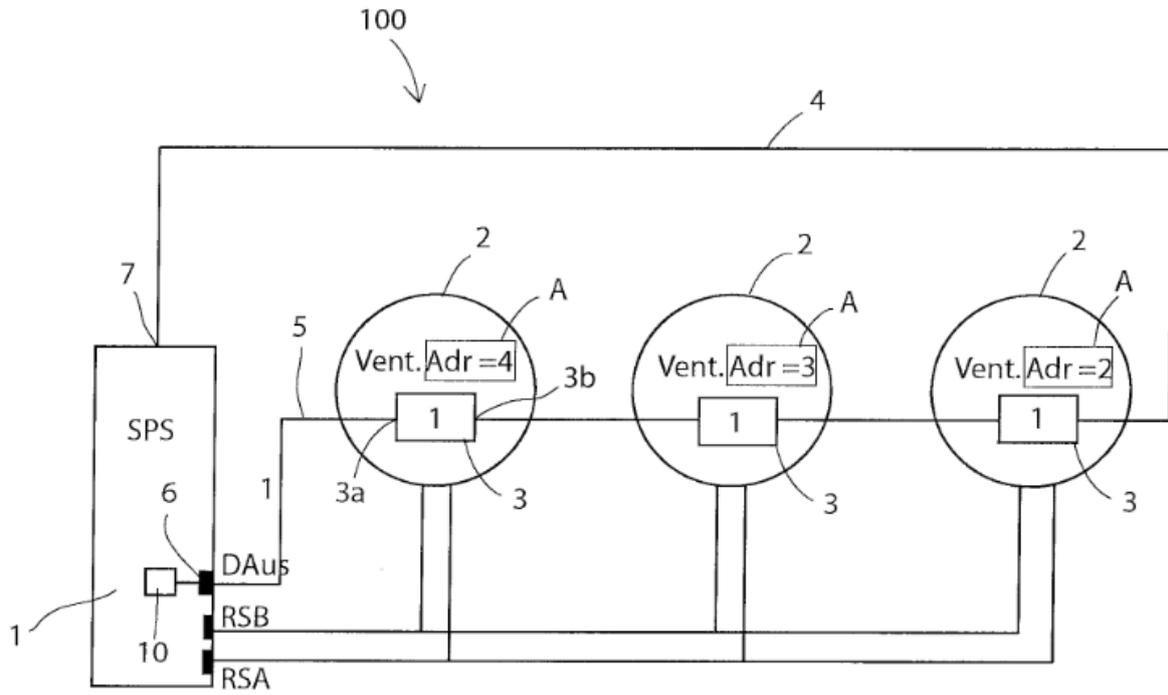


Fig. 7

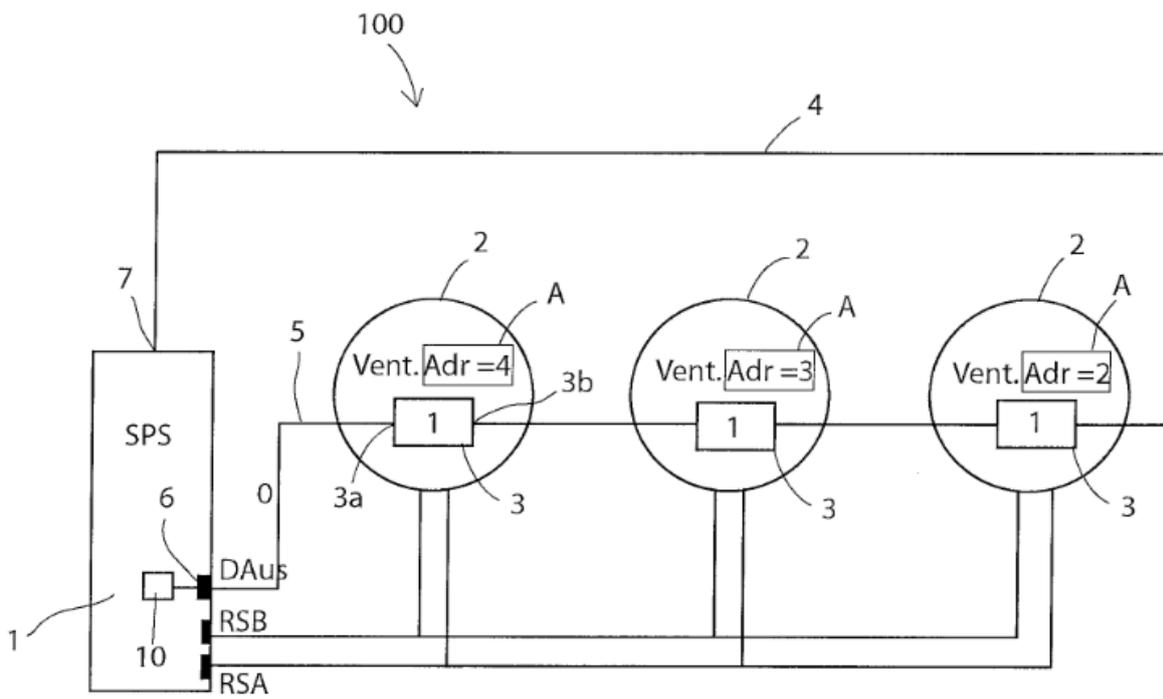


Fig. 8

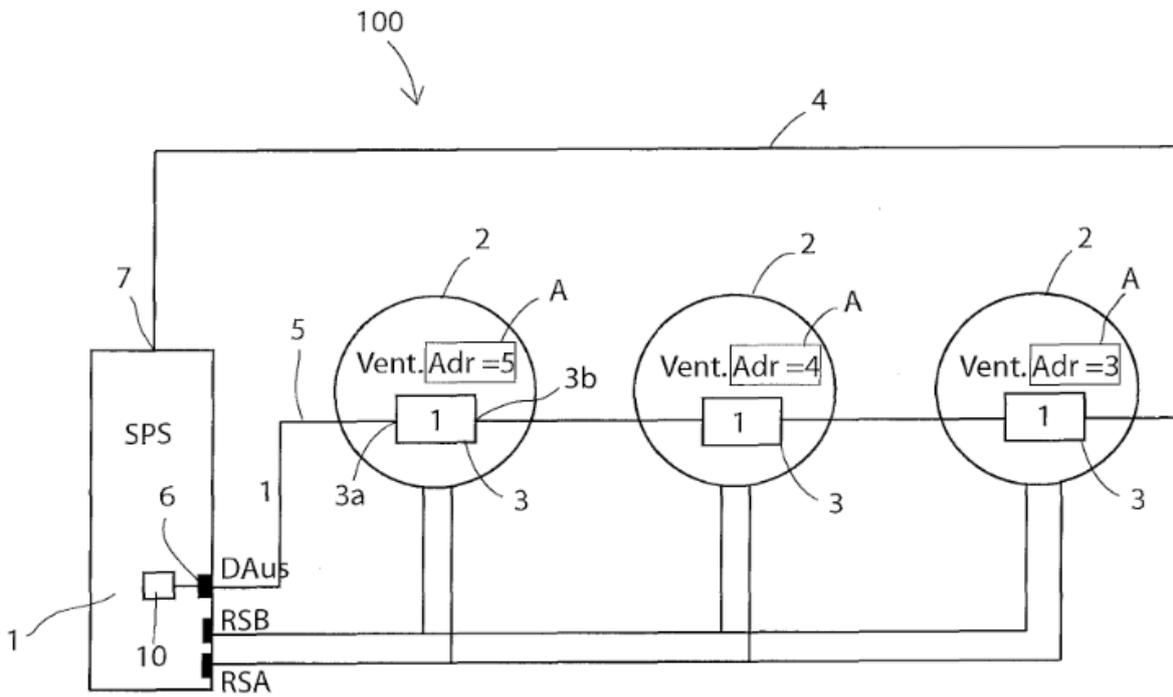


Fig. 9

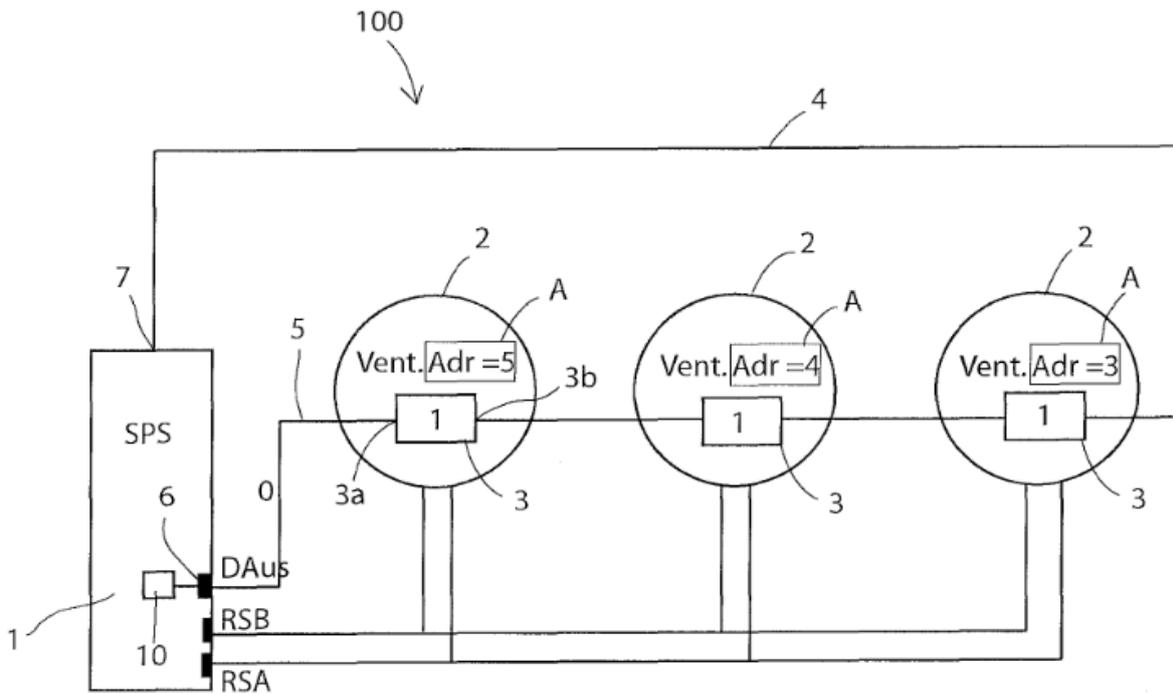


Fig. 10