

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 646 551**

51 Int. Cl.:

H03L 7/081 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **11.03.2015 PCT/US2015/019970**

87 Fecha y número de publicación internacional: **29.10.2015 WO15163988**

96 Fecha de presentación y número de la solicitud europea: **11.03.2015 E 15713277 (0)**

97 Fecha y número de publicación de la concesión europea: **13.09.2017 EP 3134973**

54 Título: **Circuito para generar señales precisas de fase de reloj para un serializador/deserializador de alta velocidad**

30 Prioridad:

21.04.2014 US 201414257913

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

14.12.2017

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US**

72 Inventor/es:

**ARCUDIA, KENNETH y
CHEN, ZHIQIN**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 646 551 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito para generar señales precisas de fase de reloj para un serializador/deserializador de alta velocidad

5 ANTECEDENTES

Campo

10 [0001] La presente invención se refiere a circuitos electrónicos y, más particularmente, a circuitos electrónicos para generar señales precisas de fase de reloj para SERDES de alta velocidad.

Antecedentes

15 [0002] El uso de enlaces de comunicación en serie de alta velocidad en sistemas electrónicos ha seguido creciendo. Los enlaces de comunicación en serie de alta velocidad pueden funcionar de acuerdo con diversas normas tales como las interfaces USB (Bus Universal en Serie), HDMI (Interfaz Multimedia de Alta Definición), SATA (Conector de Tecnología Avanzada en Serie y PCIe (Interfaz de Componentes Periféricos). Se usa un serializador/deserializador (SERDES) para transmitir y recibir desde un enlace de comunicación en serie. Un SERDES usa en general múltiples señales de reloj para llevar a cabo sus funciones. Un SERDES puede usar, por ejemplo, cuatro señales de reloj que están espaciadas por un cuarto de un período de reloj. El rendimiento de un SERDES puede degradarse si las señales de reloj no tienen relaciones precisas. Por ejemplo, una temporización desajustada entre las señales de reloj puede causar errores en los datos recibidos.

25 [0003] La Solicitud de Patente estadounidense publicada 2010/0085099 se refiere a generadores de señales de fases múltiples y a procedimientos para generar señales de fases múltiples. El generador de reloj puede generar señales de reloj en cuadratura, incluyendo aquellas que tengan una diferencia de fase de 90, 180, 270 y 360 grados con una primera señal de reloj. Una de las señales de reloj intermedias puede usarse como una señal de habilitación para guiar el bloqueo de todas las señales. Por ejemplo, la señal de reloj de 180 grados puede invertirse y usarse como una señal de habilitación para guiar el bloqueo de las señales iniciales y de 360 grados en un procedimiento de ajuste de fase única. Las señales de 0 y 360 grados pueden retrasarse antes de que su fase se compare para compensar el error del ciclo de trabajo en las señales de reloj.

35 [0004] La Solicitud de Patente británica publicada GB 2 446 511 se refiere a un circuito coordinador y de corrección de señales de reloj CML-CMOS en el cual se reciben señales de reloj CML diferenciales de señales pequeñas por un amplificador diferencial que acciona dos memorias intermedias de salida CMOS. Cada memoria intermedia de salida tiene un bucle de control que controla la relación marca-espacio de las señales de salida al 50 %. Los circuitos coordinadores y de corrección de reloj de esta forma pueden usarse para producir dos conjuntos de señales antifase, estando los conjuntos de señales en cuadratura, para un circuito doblador de frecuencia XOR/XNOR. Los dos conjuntos de señales de reloj se mantienen en cuadratura por un circuito de control de retroalimentación que actúa de manera opuesta sobre las fuentes de corriente de los dos circuitos de conversión y corrección de reloj.

RESUMEN

45 [0005] En un aspecto, se proporciona un circuito para generar cuatro señales de reloj con relaciones de temporización precisas. El circuito incluye: una lógica de modo de corriente (CML) en un convertidor semiconductor de óxido metálico complementario (CMOS) configurado para convertir un par diferencial de señales de reloj CML en un par diferencial de señales de reloj CMOS, en el que el convertidor CML-CMOS incluye una función de corrección de ciclo de trabajo que controla el ciclo de trabajo (la fracción de un período de reloj durante el cual la señal es alta) del par diferencial de señales de reloj CMOS; un temporización bucle bloqueado por retardo configurado para producir las cuatro señales de reloj a partir del par diferencial de señales de reloj CMOS; y un módulo de calibración configurado para controlar los retardos del módulo de bucle bloqueado por retardo y controlar la corrección del ciclo de trabajo del convertidor CML-CMOS para ajustar las relaciones de temporización de las cuatro señales de reloj.

55 [0006] En un aspecto, se proporciona un procedimiento para generar cuatro señales de reloj con relaciones de temporización precisas. El procedimiento incluye: convertir niveles lógicos de un par diferencial de señales de reloj CML en un par diferencial de señales de reloj CMOS incluyendo ajustar el ciclo de trabajo del par diferencial de señales de reloj CMOS; retardar cada uno de los pares diferenciales de señales de reloj CMOS para producir señales de reloj retardadas; combinar el par diferencial de las señales de reloj CMOS y las señales de reloj retardadas para producir las cuatro señales de reloj; y calibrar el ajuste del ciclo de trabajo del par diferencial de las señales de reloj CMOS y el retardo de las señales de reloj retardadas para ajustar las relaciones de temporización de las cuatro señales de reloj.

65 [0007] En un aspecto, se proporciona un aparato para generar cuatro señales de reloj con relaciones de temporización precisas. El aparato incluye: un medio para convertir un par diferencial de señales de reloj CML en un par diferencial de señales de reloj CMOS incluyendo una función de corrección de ciclo de trabajo que controla el ciclo de trabajo del par diferencial de señales de reloj CMOS; un medio para producir las cuatro señales de reloj a

partir del par diferencial de las señales de reloj CMOS incluyendo retardar cada uno de los pares diferenciales de señales de reloj CMOS; y un medio para calibrar las relaciones de temporización de las cuatro señales de reloj incluyendo controlar los retardos de retardo de cada uno de los pares diferenciales de señales de reloj CMOS y controlar la función de corrección de ciclos de trabajo.

5 [0008] Otras características y ventajas de la presente invención deberían ser evidentes a partir de la siguiente descripción que ilustra, a modo de ejemplo, aspectos de la invención.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

10 [0009] Los detalles de la presente invención, tanto en cuanto a su estructura como a su funcionamiento, pueden recogerse parcialmente por el estudio de los dibujos adjuntos, en los cuales números de referencia similares se refieren a partes similares y en los cuales:

15 la FIG. 1 es un diagrama de bloques funcional de un deserializador;

la FIG. 2 es un diagrama de bloques funcional de un deserializador anterior;

20 la FIG. 3 es un diagrama de bloques funcional de un deserializador de acuerdo con un modo de realización divulgado en este momento;

la FIG. 4 es un diagrama de bloques funcional de un circuito que puede usarse para implementar el módulo de bucle bloqueado por retardo y el módulo de calibración del deserializador de la FIG. 3 de acuerdo con un modo de realización divulgado en este momento;

25 la FIG. 5 es un diagrama en forma de onda que ilustra el funcionamiento del circuito de la FIG. 4;

la FIG. 6 es un diagrama esquemático de una célula de retardo de acuerdo con un modo de realización divulgado en este momento;

30 la FIG. 7 es un diagrama en forma de onda que ilustra el funcionamiento de la célula de retardo de la FIG. 6;

la FIG. 8 es un diagrama esquemático de un convertidor CML-CMOS de acuerdo con un modo de realización divulgado en este momento;

35 la FIG. 9 es un diagrama esquemático de un comparador de acuerdo con un modo de realización divulgado en este momento; y

40 la FIG. 10 es un diagrama de flujo de un proceso para generar cuatro señales de reloj con relaciones de temporización precisas de acuerdo con un modo de realización divulgado en este momento.

DESCRIPCIÓN DETALLADA

45 [0010] La descripción detallada expuesta a continuación, en conexión con los dibujos adjuntos, está concebida como una descripción de diversas configuraciones y no está concebida para representar las únicas configuraciones en las cuales pueden llevarse a la práctica los conceptos descritos en el presente documento. La descripción detallada incluye detalles específicos con el propósito de proporcionar un entendimiento exhaustivo de los diversos conceptos. Sin embargo, resultará evidente para los expertos en la técnica que estos conceptos pueden llevarse a la práctica sin estos detalles específicos. En algunos casos, se muestran estructuras y componentes bien conocidos de forma simplificada con el fin de evitar complicar dichos conceptos.

50 [0011] La FIG. 1 es un diagrama de bloques funcional de un deserializador (también denominado circuito de recuperación de reloj y de datos o CDR). El deserializador es un diseño de "media velocidad" en el que la frecuencia de las señales de reloj usadas en el deserializador es la mitad de la velocidad de transferencia de datos. El deserializador recibe una señal de datos en serie RX que contiene un flujo de datos en serie. Cada bit del flujo de datos en serie abarca un intervalo de tiempo que puede denominarse tiempo de bits. El deserializador funciona para recuperar los datos de la señal de datos en serie y recuperar una señal de reloj que indique la temporización de los datos.

60 [0012] El deserializador incluye un amplificador de ganancia variable 102 que puede ajustar la amplitud de la señal recibida. La salida del amplificador de ganancia variable 102 se recibe por un ecualizador 104 que puede ecualizar la señal recibida para compensar las pérdidas dependientes de la frecuencia. Un módulo de muestreo 111 muestrea la señal amplificada y ecualizada en dos veces por tiempo de bit (cuatro veces por período de reloj). La temporización de las muestras se basa en las señales de reloj recibidas desde un interpolador de fase 121.

65 [0013] El interpolador de fase 121 produce cuatro señales de reloj que están nominalmente espaciadas 90 grados

(periodo de reloj de un cuarto). Las señales de reloj pueden denominarse señales de reloj de 0, 90, 180, 270 grados de acuerdo con su temporización relativa. El interpolador de fase 121 produce las señales de reloj interpolando entre señales de reloj en fase y en cuadratura (por ejemplo, recibidas desde un bucle bloqueado por fase). Las señales de reloj en fase (I) y en cuadratura (Q) son cada una señales diferenciales con la señal de reloj en cuadratura desplazada 90 grados de la señal de reloj en fase.

[0014] El deserializador usa un filtro de bucle 131 para sincronizar la recuperación. El filtro de bucle 131 suministra señales digitales que controlan la fase del interpolador de fase 121. El filtro de bucle 131 funciona para colocar las señales de reloj de 0 y 180 grados en los centros de los tiempos de bits de los datos recibidos y las señales de reloj de 90 y 270 grados en los bordes de los tiempos de bits de los datos recibidos. Las señales de reloj de 0 y 180 grados pueden usarse a continuación para muestrear la señal de datos recibida para producir los datos recuperados. Las señales de reloj de 90 y 270 grados pueden usarse también para muestrear la señal de datos recibida. Todas las muestras pueden usarse por el filtro de bucle 131 para sincronizar la recuperación.

[0015] Un módulo deserializador de datos 141 convierte las muestras de datos del módulo de muestreo 111 del formato en serie en paralelo. Por ejemplo, el módulo deserializador de datos 241 puede combinar cinco conjuntos de muestras de la señal de datos recibida que se muestrearon usando las señales de reloj de 0 grados y 180 grados para producir una salida en paralelo de 10 bits (DATA).

[0016] La FIG. 2 es un diagrama de bloques funcional de un deserializador anterior. El deserializador de la FIG. 2 es similar al deserializador de la FIG. 1 con elementos de referencia similar que funcionan de la misma manera excepto por las diferencias descritas.

[0017] El deserializador de la FIG. 2 incluye un filtro polifásico 220 para filtrar las señales de reloj en fase y en cuadratura y mejorar la temporización relativa de las fases de reloj. Los interpoladores de dos fases 221, 222 interpolan las señales a partir del filtro polifásico. Los interpoladores de fase interpolan a fases separadas 90 grados y se controlan por un filtro de bucle digital 231. Cada interpolador de fase produce un par diferencial de señales de salida. El par diferencial de señales de salida del primer interpolador de fase 221 se usa para producir las señales de reloj de 0 grados y 180 grados. El par diferencial de señales de salida del segundo interpolador de fase 222 se usa para producir las señales de reloj de 90 grados y 270 grados. El filtro de bucle 231 y el módulo deserializador de datos 241 pueden funcionar como el filtro de bucle 131 y el módulo deserializador de datos 141.

[0018] El filtro polifásico y los interpoladores de fase usan la lógica de modo de corriente (CML). Cada uno de los interpoladores de fase se sigue por un convertidor CML-CMOS 225, 226 que convierte las señales de reloj CML de los interpoladores de fase en señales de reloj CMOS. Las señales CML son señales diferenciales con oscilaciones de tensión que son menores que la tensión de alimentación asociada. Las señales CMOS tienen en general oscilaciones de tensión que igualan la tensión de alimentación asociada (también llamada riel a riel). Las señales de reloj CMOS se usan en el módulo de muestreo 211 para muestrear la señal de datos recibida.

[0019] Las fuentes de errores de fase entre las señales de reloj CMOS incluyen desajustes en los dos interpoladores de fase, desajustes en las señales de reloj en fase y en cuadratura (que pueden reducirse sustancialmente por el filtro polifásico pero solamente en una banda estrecha de frecuencias) y desajustes y desviaciones en los convertidores CML-CMOS. Adicionalmente, los interpoladores de fase y los convertidores CML-CMOS pueden ocupar una gran cantidad de área de circuito integrado y tener un alto consumo de energía. El filtro polifásico puede agravar esto atenuando las señales de reloj en fase y en cuadratura.

[0020] La FIG. 3 es un diagrama de bloques funcional de un deserializador de acuerdo con un modo de realización divulgado en este momento. El deserializador de la FIG. 3 es similar al deserializador de la FIG. 1 con elementos de referencia similar que funcionan de la misma manera excepto por las diferencias descritas. En contraste con el deserializador de la FIG. 2, el deserializador de la FIG. 3 lleva a cabo la generación de señales de fase de reloj sin usar un filtro polifásico y usa solamente un interpolador de fase (y solamente un convertidor CML-CMOS).

[0021] El deserializador usa un interpolador de fase 321 para producir un par diferencial de señales de reloj CML interpoladas a partir de señales de reloj en fase y en cuadratura. Las señales de componente de un par diferencial de señales pueden denominarse señal positiva y señal negativa. En el modo de realización de la FIG. 3, no hay ningún filtro polifásico entre las señales de reloj en fase y en cuadratura y el interpolador de fase, por tanto el deserializador puede funcionar sobre una amplia gama de frecuencias. El interpolador de fase 321 interpola a una fase en base a una señal de control de fase a partir de un filtro de bucle 331. El interpolador de fase 321 recibe y produce señales CML. Un convertidor CML-CMOS 325 convierte el par diferencial de señales de reloj CML del interpolador de fase 321 en un par diferencial (complementario) de señales de reloj CMOS (ϕ_0 , ϕ_{180}). El convertidor CML-CMOS 325 incluye una función de corrección de ciclo de trabajo (DCC). La función de corrección de ciclo de trabajo se usa para ajustar el par diferencial de las señales de reloj CMOS de modo que los bordes de las señales estén separados 180 grados.

[0022] Un módulo de bucle bloqueado por retardo (DLL) 355 recibe el par diferencial de señales de reloj CMOS desde el convertidor CML-CMOS 325 y usa células de retardo (o líneas de retardo) para producir las señales de reloj

de 0, 90, 180, y 270 grados (Φ_0 , Φ_{90} , Φ_{180} , Φ_{270}). Las señales de reloj de 0, 90, 180 y 270 grados se usan para la temporización por el módulo de muestreo 311. Antes de que la señal de datos recibida sea muestreada en el módulo de muestreo 311, puede amplificarse por el amplificador de ganancia variable 302 y ecualizarse por el ecualizador 304. Después de que se muestree la señal de datos recibida, el módulo deserializador de datos 341 puede convertir las muestras de un formato en serie en un formato paralelo. Por consiguiente, las señales de reloj de 0, 90, 180 y 270 grados pueden denominarse señales de reloj de muestreo. El módulo DLL 355 produce también señales de error (Errores) que indican errores en la temporización relativa de las señales de reloj de 0, 90, 180 y 270 grados.

[0023] Un módulo de calibración 359 recibe las señales de error desde el módulo DLL 355. El módulo de calibración 359 evalúa las señales de error y produce señales de control para el convertidor CML-CMOS 325 y para el módulo DLL 355. La señal de control DCC (código DCC) desde el módulo de calibración 359 hasta el convertidor CML-CMOS 325 se usa para ajustar la corrección del ciclo de trabajo. La señal de control de retardo (Delay_code) al módulo DLL 355 se usa para ajustar los retardos de las células de retardo. En diversos modos de realización, el módulo de calibración 359 puede producir múltiples señales de control DCC y puede producir múltiples señales de control de retardo.

[0024] El deserializador de la FIG. 3 puede tener varias ventajas sobre los deserializadores anteriores. El deserializador puede, usando el módulo de calibración 359, mejorar la temporización de las señales de reloj de muestreo y mejorar de este modo el rendimiento del deserializador, por ejemplo, mejorando los márgenes de temporización del deserializador. El módulo de calibración 359 puede corregir el desajuste entre las señales de reloj en fase y en cuadratura a partir del PLL, para los errores de ciclo de trabajo en las señales de reloj a partir del PLL y los desajustes del circuito y la variación con el proceso, la tensión y la temperatura. La ausencia de un filtro polifásico en el deserializador de la FIG. 3 puede permitir que el deserializador funcione sobre una amplia gama de velocidades de transferencia de datos.

[0025] Adicionalmente, el deserializador de la FIG. 3 puede ocupar también menos área de circuito integrado y consumir menos energía que el deserializador anterior. Además, el módulo de calibración 359 funciona digitalmente y permite que el deserializador tenga menos circuitos analógicos críticos que puedan mejorar la fabricación y simplificar el movimiento de un diseño hacia una nueva tecnología de proceso. Adicionalmente, el módulo de calibración 359 puede proporcionar un arranque rápido guardando los valores de control digital y recargando los valores al arrancar.

[0026] La FIG. 4 es un diagrama de bloques funcional de un circuito que puede usarse para implementar el módulo DLL y el módulo de calibración del deserializador de la FIG. 3 de acuerdo con un modo de realización divulgado en este momento. El circuito recibe el par de señales de reloj CMOS diferenciales (una señal de reloj positiva "Clock" y una señal de reloj negativa "Clockb") del convertidor CML-CMOS 325. La señal de reloj positiva se retarda por una primera célula de retardo 411 para producir una señal de reloj positiva retardada "Clock_del". La señal de reloj negativa se retarda por una segunda célula de retardo 412 para producir una señal de reloj negativa retardada "Clockb_del. Los retardos de las células de retardo se ajustan por el módulo de calibración para tener retardos de una cuarta parte del periodo de reloj.

[0027] La circuitería lógica 420 combina de manera lógica la señal de reloj positiva, la señal de reloj negativa, la señal de reloj positiva retardada y la señal de reloj negativa retardada para producir cuatro señales de reloj de un cuarto. La señal de reloj positiva se somete a la función AND junto con el complemento de la señal de reloj positiva retardada mediante una primera puerta AND 421 para producir una primera señal de reloj de un cuarto "Q1". La señal de reloj positiva retardada se somete a la función AND junto con el complemento de la señal de reloj negativa mediante una segunda puerta AND 422 para producir una segunda señal de reloj de un cuarto "Q2". La señal de reloj negativa se somete a la función AND junto con el complemento de la señal de reloj negativa retardada mediante una tercera puerta AND 423 para producir una tercera señal de reloj de un cuarto "Q3". La señal de reloj negativa retardada se somete a la función AND junto con el complemento de la señal de reloj positiva mediante una cuarta puerta AND 424 para producir una cuarta señal de reloj de un cuarto "Q4".

[0028] Las señales de reloj de un cuarto están altas (activas) durante un cuarto del periodo de reloj y bajas durante el resto del periodo de reloj. La primera señal de reloj de un cuarto está alta durante un primer cuarto del periodo de reloj. La segunda señal de reloj de un cuarto se retarda desde la primera señal de reloj de un cuarto por un cuarto del periodo de reloj. La tercera señal de reloj de un cuarto se retrasa desde la segunda señal de reloj de un cuarto por un cuarto del periodo de reloj. La cuarta señal de reloj de un cuarto se retrasa desde la tercera señal de reloj de un cuarto en un cuarto del periodo de reloj. Estas relaciones de temporización son después de la calibración y pueden existir pequeños errores (por ejemplo, 1 %) en las relaciones de temporización.

[0029] Dos circuitos cerrojo de ajuste-reajuste producen las señales de reloj de 0, 90, 180, y 270 grados en base a las señales de reloj de un cuarto. El primer circuito cerrojo de ajuste-reajuste 461 tiene su entrada de ajuste (S) conectada a y se ajusta mediante la primera señal de reloj de un cuarto y tiene su entrada de reajuste (R) conectada a y se reajusta mediante la tercera señal de reloj de un cuarto. La salida verdadera (Q) del primer circuito cerrojo de ajuste-reajuste 461 proporciona la señal de reloj de 0 grados y la salida de complemento (\bar{Q}) proporciona la señal de reloj de 180 grados. El segundo circuito cerrojo de ajuste-reajuste 462 tiene su entrada de ajuste (S) conectada a y

se ajusta mediante la segunda señal de reloj de un cuarto y tiene su entrada de reajuste (R) conectada a y se reajusta mediante la cuarta señal de reloj de un cuarto. La salida verdadera (Q) del segundo circuito cerrojo de ajuste-reajuste 462 proporciona la señal de reloj de 90 grados y la salida de complemento (\bar{Q}) proporciona la señal de reloj de 270 grados. Los circuitos cerrojo de ajuste-reajuste tienen pequeños retardos y los desajustes en los retardos también serán pequeños. Por tanto, la calibración de las señales de reloj de un cuarto dará como resultado una calibración precisa de las señales de reloj de 0, 90, 180 y 270 grados.

[0030] La FIG. 5 es un diagrama en forma de onda que ilustra el funcionamiento del circuito de la FIG. 4. En el momento 501, la señal de reloj positiva sube y la señal de reloj negativa cae. Poco después del momento 501, la primera señal de reloj de un cuarto sube y la cuarta señal de reloj de un cuarto cae. Poco después, la señal de reloj de 0 grados sube y la señal de reloj de 180 grados cae en base a que el primer circuito cerrojo de ajuste-reajuste 461 se ajusta mediante la primera señal de reloj de un cuarto. El retardo desde la transición de la señal de reloj positiva hasta la transición de la primera señal de reloj de un cuarto y de la segunda señal de reloj de un cuarto es para la conmutación de la circuitería lógica 420. El retardo desde la transición de la primera señal de reloj de un cuarto hasta las transiciones de las señales de reloj de 0 y 180 grados es para la conmutación del primer circuito cerrojo de ajuste-reajuste 461.

[0031] En el momento 502, la señal de reloj negativa retardada cae. El retardo entre la caída de la señal de reloj negativa y la caída de la señal de reloj negativa retardada es un retardo de la segunda célula de retardo 412. Puesto que la caída de la señal de reloj negativa retardada no causa transiciones de las señales de reloj de 0, 90, 180 o 270 grados, este retardo no es crítico para el rendimiento del circuito.

[0032] En el momento 503, la señal de reloj positiva retardada sube. El retardo entre la subida de la señal de reloj positiva y la subida de la señal de reloj positiva retardada es el retardo controlado de la primera célula de retardo 411. Poco después del momento 503, la primera señal de reloj de un cuarto cae y la segunda señal de reloj de un cuarto sube. Poco después, la señal de reloj de 90 grados sube y la señal de reloj de 270 grados cae en base a que el segundo circuito cerrojo de ajuste-reajuste 462 se ajusta mediante la segunda señal de reloj de un cuarto. El retardo desde la transición de la señal de reloj positiva retardada hasta las transiciones de la primera señal de reloj de un cuarto y de la segunda señal de reloj de un cuarto es para la conmutación de la circuitería lógica 420. El retardo desde la transición de la segunda señal de reloj de un cuarto hasta las transiciones de las señales de reloj de 90 y 270 grados es para la conmutación del segundo circuito cerrojo de ajuste-reajuste 462.

[0033] En el momento 505, la señal de reloj positiva cae y la señal de reloj negativa sube. Poco después del momento 505, la segunda señal de reloj de un cuarto cae y la tercera señal de reloj de un cuarto sube. Poco después, la señal de reloj de 0 grados cae y la señal de reloj de 180 grados sube en base a que el primer circuito cerrojo de ajuste-reajuste 461 se reinicia por la tercera señal de reloj de un cuarto. El retardo desde la transición de la señal de reloj negativa hasta la transición de la segunda señal de reloj de un cuarto y de la tercera señal de reloj de un cuarto es para la conmutación de la circuitería lógica 420. El retardo desde la transición de la tercera señal de reloj de un cuarto hasta las transiciones de las señales de reloj de 0 y 180 grados es para la conmutación del primer circuito cerrojo de ajuste-reajuste 461.

[0034] En el momento 506, la señal de reloj positiva retardada cae. El retardo entre la caída de la señal de reloj positiva y la caída de la señal de reloj positiva retardada es un retardo de la primera célula de retardo 411. Puesto que la caída de la señal de reloj positiva retardada no causa transiciones de las señales de reloj de 0, 90, 180 o 270 grados, este retardo no es crítico para el funcionamiento del circuito.

[0035] En el momento 507, la señal de reloj negativa retardada sube. El retardo entre la subida de la señal de reloj negativa y el aumento de la señal de reloj negativa retardada es el retardo controlado de la segunda célula de retardo 412. Poco después del momento 507, la tercera señal de reloj de un cuarto cae y la cuarta señal de reloj de un cuarto sube. Poco después, la señal de reloj de 90 grados cae y la señal de reloj de 270 grados sube en base a que el segundo circuito cerrojo de ajuste-reajuste 462 se reinicia por la cuarta señal de reloj de un cuarto. El retardo desde la transición de la señal de reloj negativa retardada hasta las transiciones de la tercera señal de reloj de un cuarto y de la cuarta señal de reloj de un cuarto es para la conmutación del circuito lógico 420. El retardo desde la transición de la cuarta señal de reloj de un cuarto hasta las transiciones de las señales de reloj de 90 y 270 grados es para la conmutación del segundo circuito cerrojo de ajuste-reajuste 462.

[0036] En el momento 509, la señal de reloj positiva sube de nuevo y la señal de reloj negativa cae de nuevo. Comienza otro período de reloj y se repiten las transiciones descritas para el momento 501.

[0037] El tiempo de retardo desde la señal de reloj de 0 grados hasta la señal de reloj de 90 grados se conoce como distancia A (TA); el retardo de tiempo desde la señal de reloj de 90 grados hasta la señal de reloj de 180 grados se denomina distancia B (TB); el retardo de tiempo desde la señal de reloj de 180 grados hasta la señal de reloj de 270 grados se denomina distancia C (TC); y el retardo de tiempo desde la señal de reloj de 270 grados hasta la señal de reloj de 0 grados (del siguiente período de reloj) se denomina distancia D (TD).

[0038] Volviendo a la FIG. 4, tres bucles de control que usan tres comparadores y tres integradores proporcionan la

- calibración de las señales de fase de reloj. Los bucles de control usan versiones filtradas de paso bajo de las señales de reloj de un cuarto. Un primer filtro de paso bajo 431 filtra la primera señal de reloj de un cuarto; un segundo filtro de paso bajo 432 filtra la segunda señal de reloj de un cuarto; un tercer filtro de paso bajo 433 filtra la tercera señal de reloj de un cuarto; y un cuarto filtro de paso bajo 434 filtra la cuarta señal de reloj de un cuarto. Los
- 5 filtros de paso bajo en el modo de realización de la FIG. 4 usan filtros resistivos-capacitivos (RC). Las cuartas señales de reloj de un cuarto filtradas de paso bajo serán aproximadamente de un cuarto de la tensión de la fuente de alimentación; por ejemplo, con una alimentación de 1 V, las señales filtradas de paso bajo serán de aproximadamente 250 mV.
- 10 **[0039]** Un primer bucle de control ajusta el retardo de la primera célula de retardo 411. El primer bucle de control incluye un primer comparador 441 y un primer integrador 451. El primer comparador 441 compara la primera señal de reloj de un cuarto filtrada de paso bajo con la segunda señal de reloj de un cuarto filtrada de paso bajo. La primera señal de reloj de un cuarto filtrada de paso bajo es proporcional a la distancia de temporización A (TA en la FIG. 5). La segunda señal de reloj de un cuarto filtrada de paso bajo es proporcional a la distancia de temporización B (TB en la FIG. 5). El resultado del primer comparador 441 indica si la primera señal de reloj de un cuarto filtrada de paso bajo es mayor que la segunda señal de reloj de un cuarto filtrada de paso bajo, lo que indica si la distancia de temporización A es mayor que la distancia de temporización B.
- 15 **[0040]** El primer integrador 451 interpreta la señal de comparación del primer comparador 441 como una señal de error firmada (por ejemplo, +1, -1) e integra la señal de error para producir un control de retardo Delay_code_1 para la primera célula de retardo 411. Puesto que la primera célula de retardo 411 se ajusta cuando termina la primera señal de reloj de un cuarto y comienza la segunda señal de reloj de un cuarto, el primer bucle de control a través del primer comparador 441, el primer integrador 451 y la primera célula de retardo 411 ajustan el retardo para establecer la distancia de temporización A y la distancia de temporización B igual.
- 20 **[0041]** Un segundo bucle de control ajusta el retardo de la segunda célula de retardo 412. El segundo bucle de control incluye un segundo comparador 442 y un segundo integrador 452. El segundo comparador 442 compara la tercera señal de reloj de un cuarto filtrada de paso bajo con la cuarta señal de reloj de un cuarto filtrada de paso bajo. La tercera señal de reloj de un cuarto filtrada de paso bajo es proporcional a la distancia de temporización C (TC en la FIG. 5). La cuarta señal de reloj de un cuarto filtrada de paso bajo es proporcional a la distancia de temporización D (TD en la FIG. 5). El resultado del segundo comparador 442 indica si la tercera señal de reloj de un cuarto filtrada de paso bajo es mayor que la cuarta señal de reloj de un cuarto filtrada de paso bajo, lo que indica si la distancia de temporización C es mayor que la distancia de temporización D.
- 25 **[0042]** El segundo integrador 452 interpreta la señal de comparación del segundo comparador 442 como una señal de error firmada e integra la señal de error para producir un Delay_code_2 de control de retardo para la segunda célula de retardo 412 puesto que la segunda célula de retardo 412 se ajusta cuando la tercera señal de reloj de un cuarto acaba y la cuarta señal de reloj de un cuarto comienza, el segundo bucle de control a través del segundo comparador 442, el segundo integrador 452 y la segunda célula de retardo 412 ajustan el retardo para hacer que la distancia de temporización C y la distancia de temporización D sean iguales.
- 30 **[0043]** Un tercer bucle de control ajusta la DCC del convertidor CML-CMOS 325. El tercer bucle de control incluye un tercer comparador 443 y un tercer integrador 453. El tercer comparador 443 compara la segunda señal de reloj de un cuarto filtrada de paso bajo con la cuarta señal de reloj de un cuarto filtrada de paso bajo. La segunda señal de reloj de un cuarto filtrada de paso bajo es proporcional a la distancia de temporización B (TB en la FIG. 5). La cuarta señal de reloj de un cuarto filtrada de paso bajo es proporcional a la distancia de temporización D (TD en la FIG. 5). El resultado del tercer comparador 443 indica si la segunda señal de reloj de un cuarto filtrada de paso bajo es mayor que la cuarta señal de reloj de un cuarto filtrada de paso bajo, lo que indica si la distancia de temporización B es mayor que la distancia de temporización D.
- 35 **[0044]** El tercer integrador 453 interpreta la señal de comparación del tercer comparador 443 como una señal de error firmada e integra la señal de error para producir una señal de control DCC (DCC_code) para ajustar el ciclo de trabajo del par diferencial de señales de reloj CMOS (Clock, Clockb) del convertidor CML-CMOS 325. Puesto que el control DCC del convertidor CML-CMOS 325 se ajusta cuando comienza la tercera señal de reloj de un cuarto (cuando termina la segunda señal de reloj de un cuarto) y cuando comienza la primera señal de reloj de un cuarto (cuando finaliza la cuarta señal de reloj de un cuarto) a través del tercer comparador 443, el tercer integrador 453 y el convertidor CML-CMOS 325 ajustan el ciclo de trabajo para hacer que la distancia de temporización B y la distancia de temporización D sean iguales.
- 40 **[0045]** El primer bucle de control funciona para hacer que la distancia de temporización A sea igual a la distancia de temporización B; el segundo bucle de control funciona para que la distancia de temporización C sea igual a la distancia de temporización D; y el tercer bucle de control funciona para hacer que la distancia de temporización B sea igual a la distancia de temporización D. Por igualdad transitiva, los bucles de control se combinan para hacer que todas las distancias de temporización sean iguales. Puesto que la suma de las cuatro distancias de temporización es igual a un periodo de reloj, cada una de las distancias de temporización es igual a un periodo de reloj de un cuarto. Por tanto, las cuatro señales de reloj tendrán fases relativas de 90 grados.
- 45 **[0043]** Un tercer bucle de control ajusta la DCC del convertidor CML-CMOS 325. El tercer bucle de control incluye un tercer comparador 443 y un tercer integrador 453. El tercer comparador 443 compara la segunda señal de reloj de un cuarto filtrada de paso bajo con la cuarta señal de reloj de un cuarto filtrada de paso bajo. La segunda señal de reloj de un cuarto filtrada de paso bajo es proporcional a la distancia de temporización B (TB en la FIG. 5). La cuarta señal de reloj de un cuarto filtrada de paso bajo es proporcional a la distancia de temporización D (TD en la FIG. 5). El resultado del tercer comparador 443 indica si la segunda señal de reloj de un cuarto filtrada de paso bajo es mayor que la cuarta señal de reloj de un cuarto filtrada de paso bajo, lo que indica si la distancia de temporización B es mayor que la distancia de temporización D.
- 50 **[0044]** El tercer integrador 453 interpreta la señal de comparación del tercer comparador 443 como una señal de error firmada e integra la señal de error para producir una señal de control DCC (DCC_code) para ajustar el ciclo de trabajo del par diferencial de señales de reloj CMOS (Clock, Clockb) del convertidor CML-CMOS 325. Puesto que el control DCC del convertidor CML-CMOS 325 se ajusta cuando comienza la tercera señal de reloj de un cuarto (cuando termina la segunda señal de reloj de un cuarto) y cuando comienza la primera señal de reloj de un cuarto (cuando finaliza la cuarta señal de reloj de un cuarto) a través del tercer comparador 443, el tercer integrador 453 y el convertidor CML-CMOS 325 ajustan el ciclo de trabajo para hacer que la distancia de temporización B y la distancia de temporización D sean iguales.
- 55 **[0045]** El primer bucle de control funciona para hacer que la distancia de temporización A sea igual a la distancia de temporización B; el segundo bucle de control funciona para que la distancia de temporización C sea igual a la distancia de temporización D; y el tercer bucle de control funciona para hacer que la distancia de temporización B sea igual a la distancia de temporización D. Por igualdad transitiva, los bucles de control se combinan para hacer que todas las distancias de temporización sean iguales. Puesto que la suma de las cuatro distancias de temporización es igual a un periodo de reloj, cada una de las distancias de temporización es igual a un periodo de reloj de un cuarto. Por tanto, las cuatro señales de reloj tendrán fases relativas de 90 grados.
- 60 **[0045]** El primer bucle de control funciona para hacer que la distancia de temporización A sea igual a la distancia de temporización B; el segundo bucle de control funciona para que la distancia de temporización C sea igual a la distancia de temporización D; y el tercer bucle de control funciona para hacer que la distancia de temporización B sea igual a la distancia de temporización D. Por igualdad transitiva, los bucles de control se combinan para hacer que todas las distancias de temporización sean iguales. Puesto que la suma de las cuatro distancias de temporización es igual a un periodo de reloj, cada una de las distancias de temporización es igual a un periodo de reloj de un cuarto. Por tanto, las cuatro señales de reloj tendrán fases relativas de 90 grados.
- 65

5 **[0046]** Los comparadores 431, 432, 433 se cronometran por una señal de reloj de calibración Cal_clock. Los comparadores comparan sus respectivas señales de entrada en cada ciclo de la señal de reloj de calibración. Los integradores 451, 452, 453 se sincronizan también por la señal de reloj de calibración. Los integradores integran las señales de error de los comparadores y pueden actualizar sus respectivas salidas de control en cada ciclo de la señal de reloj de calibración. La señal de reloj de calibración puede ser, por ejemplo, una señal de 19,2 MHz en un deserializador que reciba una velocidad de transferencia de datos de 10 GHz. Pueden usarse también otras frecuencias. Puesto que la calibración funciona para rastrear efectos, tales como la temperatura, que cambian lentamente, la velocidad a la que se lleva a cabo la calibración no necesita ser alta. Adicionalmente, la señal de reloj de calibración puede ser asíncrona al par diferencial de las señales de reloj CML (y de las otras señales de reloj).

15 **[0047]** El convertidor CML-CMOS 325 y la DLL y los módulos de bucle de calibración digitales proporcionados por el circuito de la FIG. 4 pueden generar cuatro señales de fase de reloj con relaciones de temporización precisas a partir de un par diferencial de señales de reloj de entrada. Además de su uso en un deserializador, pueden usarse circuitos iguales o similares en otras aplicaciones, por ejemplo, en un serializador o en un convertidor analógico-digital entrelazado en el tiempo.

20 **[0048]** La FIG. 6 es un diagrama esquemático de una célula de retardo de acuerdo con un modo de realización divulgado en este momento. La célula de retardo puede usarse como las células de retardo 411, 412 del circuito de la FIG. 4. La célula de retardo usa una única etapa de retardo de carga y descarga de condensadores controlados para producir su retardo. La etapa de retardo incluye un inversor 631 que acciona la salida Clock_del de la célula de retardo.

25 **[0049]** La entrada Clock_in de la célula de retardo está conectada a la puerta de un transistor de canal p 611. El transistor de canal p 611 puede funcionar como un conmutador y puede denominarse conmutador. La fuente del transistor de canal p 611 está conectada a una fuente de tensión y el drenaje del transistor de canal p 611 está conectado a un punto medio Mid de la célula de retardo. El punto medio está conectado a la entrada del inversor 631. Un convertidor digital-analógico de modo de corriente 621 absorbe la corriente desde el punto medio de la célula de retardo. Un condensador 625 puede incluirse también en la célula de retardo. En algunos modos de realización, el condensador está provisto de capacitancia (que puede denominarse capacitancia parasitaria) de otros elementos de la célula de retardo (por ejemplo, capacitancia de entrada del inversor 631, capacitancia de fuente del transistor de canal p 611, capacitancia de salida del modo de corriente DAC 621 y la capacitancia del cableado del nodo de punto medio).

35 **[0050]** La FIG. 7 es un diagrama en forma de onda que ilustra el funcionamiento de la célula de retardo de la FIG. 6. Cuando la entrada a la célula de retardo conmuta a alta (momento 701), el transistor de canal p 611 se apaga y el DAC de modo de corriente 621 tira del punto medio bajo. Cuando el punto medio se ha descargado por debajo del umbral del inversor 631 (momento 702), la salida conmuta a alta.

40 **[0051]** El retardo en la descarga del punto medio variará dependiendo de la corriente absorbida por DAC de modo de corriente 621 y de la capacitancia en el punto medio. Por consiguiente, el retardo a través de la célula de retardo para una transición de baja a alta es proporcional a la corriente absorbida por el DAC. La corriente del DAC de modo de corriente 621 se establece mediante una señal de control de retardo DAC_code. El DAC de modo de corriente 621 recibe también una señal de corriente de polarización (Bias) que proporciona una corriente o tensión de referencia. En el módulo DLL de la FIG. 4, la corriente DAC para la primera célula de retardo 411 se ajusta por la señal de control de retardo desde el primer integrador 451 y la corriente DAC para la segunda célula de retardo 412 se ajusta por la señal de control de retardo desde el segundo integrador 452. En un deserializador que funciona a una velocidad de transferencia de datos de 10 Gbps, la corriente DAC puede ajustarse de modo que un LSB de cambio en la señal de control de retardo cause un cambio de retardo de aproximadamente 1 ps.

50 **[0052]** Cuando la entrada a la célula de retardo conmuta a baja (momento 703), el transistor de canal p 611 se enciende y tira del el punto medio alto. El punto medio puede conmutar rápidamente debido a la corriente desde el transistor de canal p 611. La conmutación de punto medio causa que el inversor 631 conmute la salida de la célula de retardo baja. Por consiguiente, el retardo a través de la célula de retardo puede ser pequeño para una transición de alta a baja.

60 **[0053]** La célula de retardo de la FIG. 6 puede tener retardos asimétricos (desiguales) para transiciones de subida y transiciones de bajada. En particular, el retardo para la transiciones de bajada depende en gran medida de la corriente del transistor de canal p 611 y el retardo para las transiciones de subida depende en gran medida de la corriente del DAC de modo de corriente 621. En el circuito de la FIG. 4, el retardo de las células de retardo 411, 412 para las transiciones de bajada no es crítico. Los retardos de las células de retardo para las transiciones de subida, que se controlan por la corriente DAC, son los retardos usados para ajustar la temporización de las señales de fase de reloj.

65 **[0054]** La FIG. 8 es un diagrama esquemático de un convertidor CML-CMOS de acuerdo con un modo de realización divulgado en este momento. El convertidor CML-CMOS puede usarse como el convertidor CML-CMOS 325 en el

deserializador de la FIG. 3. El convertidor CML-CMOS de la FIG. 8 incluye una función de corrección del ciclo de trabajo. La función de corrección del ciclo de trabajo se controla mediante una señal de control DCC. La señal de control DCC en el convertidor CML-CMOS de la FIG. 8 usa una representación de magnitud de signo. Una señal de signo DCC (DCC_sign y su complemento DCC_sign_b) controla la dirección de la corrección del ciclo de trabajo y una señal de magnitud DCC DCC_code controla la cantidad de la corrección del ciclo de trabajo . La señal de magnitud DCC puede ser la magnitud de la señal de error integrada a partir del tercer integrador 453 del módulo de calibración de la FIG. 4 con la señal de signo DCC siendo el signo de la señal de error integrada. De manera similar, cuando el convertidor CML-CMOS de la FIG. 8 se usa como convertidor CML-CMOS 325 en el deserializador de la FIG. 3, la señal de control DCC es la señal de control DCC (DCC_code).

[0055] El convertidor CML-CMOS recibe un par de señales de entrada CML diferenciales (una señal de entrada positiva INp y una señal de entrada negativa INm). Cuando el convertidor CML-CMOS de la FIG. 8 se usa como convertidor CML-CMOS 325 en el deserializador de la FIG. 3, las señales diferenciales de entrada CML se reciben desde el interpolador de fase 321. Las señales de entrada pueden amplificarse en un preamplificador 821. Las salidas del preamplificador 821 están acopladas de manera capacitiva (acopladas en CA) a amplificadores de autopolarización 830, 850 por los condensadores 831, 851. Los amplificadores de autopolarización 830, 850 tienen puntos CC ajustables. El ajuste de los puntos CC de los amplificadores de autopolarización 830, 850 cambia efectivamente los niveles umbral y de este modo cambia el ciclo de trabajo del convertidor CML-CMOS.

[0056] Las salidas de los amplificadores de autopolarización 830, 850 se almacenan temporalmente por inversores para accionar las señales de salida (el par diferencial de señales de reloj CMOS Clock, Clockb) del convertidor CML-CMOS. Cuando el convertidor CML-CMOS de la FIG. 8 se usa como convertidor CML-CMOS 325 en el deserializador de la FIG. 3, las señales de salida son el par diferencial de las señales de reloj CMOS (ϕ_0 , ϕ_{180}), que se suministran al módulo DLL 355. El inversor 841 acciona la señal positiva del par diferencial de las señales de reloj CMOS desde la salida del primer amplificador de autopolarización 830. El inversor 842 acciona la señal negativa del par diferencial de las señales de reloj CMOS desde la salida del segundo amplificador de autopolarización 850. El convertidor CML-CMOS puede incluir el inversor 845 y el inversor 846 que están acoplados transversalmente entre la señal positiva y la señal negativa del par diferencial de señales de reloj CMOS.

[0057] El primer amplificador de autopolarización 830 incluye un primer inversor 835; el segundo amplificador de autopolarización 850 incluye un segundo inversor 855. Dos resistencias en serie 833, 834 están acopladas desde la entrada a la salida del primer inversor 835; dos resistencias en serie 853, 854 están acopladas desde la entrada a la salida del segundo inversor 855. Se suministran o se absorben corrientes desde el punto medio de las resistencias en serie para ajustar los puntos CC y los niveles umbral.

[0058] Un módulo de polarización 810 ajusta los niveles umbral de los amplificadores de autopolarización 830, 850. El módulo de polarización 810 incluye dos DAC de modo de corriente 811, 812 que pueden generar corrientes. El módulo de polarización 810 incluye dos DAC de modo de corriente 813, 814 que pueden absorber corrientes. De forma alternativa, puede usarse un único DAC o un DAC combinado con salidas múltiples.

[0059] En el modo de realización ilustrado, los DAC de modo de corriente 811, 812 están polarizados por una señal de polarización p BIASp y los DAC de modo de corriente DAC 813, 814 están polarizados por una señal de polarización p BIASn. Las señales de polarización pueden ser referencias de tensión o de corriente. El nivel de las corrientes originadas o absorbidas por los DAC se controla por la señal de magnitud DCC.

[0060] El módulo de polarización 810 incluye cuatro conmutadores para acoplar selectivamente los DAC de modo de corriente a los amplificadores de autopolarización 830, 850. Un primer conmutador 815 acopla el DAC de modo de corriente 811 al primer amplificador de autopolarización 830 cuando la señal de signo DCC es positiva; un segundo conmutador 816 acopla el DAC de modo de corriente 812 al segundo amplificador de autopolarización 850 cuando la señal de signo DCC es negativa; un tercer conmutador 817 acopla el DAC de modo de corriente 813 al primer amplificador de autopolarización 830 cuando la señal de signo DCC es negativa; y un cuarto conmutador 818 acopla el DAC de modo de corriente 814 al segundo amplificador de autopolarización 850 cuando la señal de signo DCC es positiva. El primer conmutador 815 y el segundo conmutador 816 pueden implementarse, por ejemplo, con transistores de canal p; el tercer conmutador 817 y el cuarto conmutador 818 pueden implementarse, por ejemplo, con transistores de canal n.

[0061] Cuando el módulo de polarización 810 suministra corriente al primer amplificador de autopolarización 830 para aumentar su umbral, el módulo de polarización 810 absorbe también corriente desde el segundo amplificador de autopolarización 850 para disminuir su umbral. Esto aumenta el ciclo de trabajo de las señales de salida del convertidor CML-CMOS. Cuando el módulo de polarización 810 absorbe la corriente del primer amplificador de autopolarización 830 para disminuir su umbral, el módulo de polarización 810 suministra también corriente al segundo amplificador de autopolarización 850 para aumentar su umbral. Esto disminuye el ciclo de trabajo de las señales de salida del convertidor CML-CMOS.

[0062] La FIG. 9 es un diagrama esquemático de un comparador de acuerdo con un modo de realización divulgado en este momento. El comparador puede usarse como los comparadores 441, 442, 443 en el circuito de la FIG. 4. El

comparador de la FIG. 9 es un comparador de capacidad conmutada con reducción a cero automática. Pueden usarse también otros tipos de comparadores. El comparador recibe dos señales de entrada In1 e In2 que compara. El comparador produce una señal de salida Out que indica cuál de las señales de entrada fue mayor. El comparador está sincronizado por dos señales de fase de reloj CK1, CK2. Las dos señales de fase de reloj no se superponen. El comparador usa etapas de inversor en cascada para aumentar su ganancia.

[0063] Durante una fase de reajuste, la entrada y la salida de un primer inversor 923 están conectados por el conmutador 925 y la entrada y salida de un segundo inversor 933 están conectados por el conmutador 935. Adicionalmente, el conmutador 911 conecta la primera señal de entrada a un primer terminal de un primer condensador 921 cuyo segundo terminal está conectado a la entrada del primer inversor 923. Un segundo condensador 931 está conectado entre la salida del primer inversor 923 y la entrada del segundo inversor 933. La fase de reinicio carga el primer condensador 921 y el segundo condensador 931 a cero tensiones de error de desplazamiento.

[0064] Durante una fase de comparación, el conmutador 925, el conmutador 935 y el conmutador 911 se desactivan y el conmutador 912 conecta la segunda entrada al primer terminal del primer condensador 921. Cuando la segunda señal de entrada es mayor que la primera señal de entrada, la tensión en el primer nodo del primer condensador 921 aumentará durante la fase de comparación. Esto provoca, a través del primer condensador 921, un aumento de la tensión en la entrada del primer inversor 923 que se amplifica y causa una disminución más grande de la tensión en la salida del primer inversor 923. Esto causa, a través del segundo condensador 931, una disminución de la tensión en la entrada del segundo inversor 933 que se amplifica y provoca un aumento todavía mayor de la tensión en la salida (la salida del comparador) del segundo inversor 933. Una operación similar pero complementaria se produce cuando la segunda señal de entrada es menor que la primera señal de entrada.

[0065] Los conmutadores 911, 912, 925, 935 pueden implementarse, por ejemplo, con los transistores de canal n. Los conmutadores pueden implementarse también con transistores de canal p o con pares complementarios de transistores.

[0066] El comparador de la FIG. 9 puede conseguir la buena exactitud con la pequeña área integrada del circuito y el consumo bajo de energía. Por ejemplo, el comparador puede conseguir una sensibilidad de aproximadamente 2,5 mV. Para un deserializador de 10 GHz, 2,5 mV corresponde a una variación de aproximadamente 1 ps en las señales de reloj.

[0067] La FIG. 10 es un diagrama de flujo de un proceso para generar cuatro señales de reloj con relaciones de temporización precisas de acuerdo con un modo de realización divulgado en este momento. El procedimiento puede implementarse, por ejemplo, usando el deserializador de la FIG. 3, el circuito de la FIG. 4, la célula de retardo de la FIG. 6, el convertidor CML-CMOS de la FIG. 8 y el comparador de la FIG. 9.

[0068] En la etapa 1010, el proceso convierte los niveles lógicos de las señales de reloj de entrada mientras se ajusta el ciclo de trabajo de las señales de reloj convertidas. El convertidor CML-CMOS de la FIG. 8 puede, por ejemplo, usarse para que la etapa 1010 convierta un par diferencial de señales de reloj CML en un par diferencial de señales de reloj CMOS con el ciclo de trabajo corregido.

[0069] En la etapa 1020, el proceso retarda las señales de reloj convertidas para producir señales de reloj retardadas. Dos de las células de retardo de la FIG. 6 pueden usarse, por ejemplo, para llevar a cabo la etapa 1020.

[0070] En la etapa 1030, el proceso produce las cuatro señales de reloj en base a las señales de reloj convertidas y a las señales de reloj retardadas. La circuitería lógica 420 y los circuitos cerrojo de ajuste-reajuste 461, 462 de la FIG. 4 puede, por ejemplo, usarse para producir las señales de reloj de un cuarto en base al par diferencial de las señales de reloj CMOS y a las señales de reloj retardadas positivas y negativas y para producir a continuación las señales de reloj de 0, 90, 180 y 270 grados en base a las señales de reloj de un cuarto.

[0071] En la etapa 1040, el proceso calibra las relaciones de temporización de las cuatro señales de reloj mediante el ajuste del ciclo de trabajo de la etapa 1020 y de los retardos de la etapa 1030. Los tres bucles de control de la FIG. 4 pueden, por ejemplo, usarse para controlar el retardo de la primera célula de retardo 411, el retardo de la segunda célula de retardo 412 y la DCC del convertidor CML-CMOS 325.

[0072] El proceso de la FIG. 10 puede modificarse, por ejemplo, añadiendo o alterando etapas. Por ejemplo, una etapa de interpolación puede interpolar las señales de reloj de entrada a partir de las señales de reloj en fase y en cuadratura. Adicionalmente, pueden llevarse a cabo etapas simultáneamente.

[0073] Aunque se han descrito anteriormente modos de realización para modos de realización particulares, son posibles muchas variaciones de la invención, incluyendo, por ejemplo, aquellas con diferentes polaridades de señales y tipos de transistores. Adicionalmente, pueden usarse tecnologías y niveles de señal distintos a CML y CMOS. Algunas funciones pueden eliminarse; por ejemplo, el convertidor CML-CMOS puede, en un modo de realización, ajustar solo el ciclo de trabajo sin la conversión de nivel. Además, las funciones descritas como llevadas

a cabo por un módulo pueden moverse hacia otro módulo o distribuirse entre módulos. Otras variaciones pueden producir un número diferente de señales de reloj, por ejemplo, ocho señales de reloj espaciadas 45 grados. Adicionalmente, las características de los diversos modos de realización pueden combinarse en combinaciones que difieran de las descritas anteriormente.

5
10
15
[0074] La descripción anterior de los modos de realización divulgados se proporciona para permitir que cualquier experto en la técnica realice o use la invención. Diversas modificaciones de estos modos de realización resultarán fácilmente evidentes a los expertos en la técnica y los principios genéricos definidos en el presente documento pueden aplicarse a otros modos de realización sin apartarse del espíritu o el alcance de la invención. Por tanto, se entenderá que la descripción y los dibujos presentados en el presente documento representan modos de realización preferidas en este momento de la invención y, por lo tanto, son representativos de la materia objeto que se contempla ampliamente en la presente invención. Se entiende además que el alcance de la presente invención abarca completamente otros modos de realización que pueden volverse obvios para los expertos en la técnica y que, por consiguiente, el alcance de la presente invención está limitado por nada más que las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un circuito para generar cuatro señales de reloj con relaciones de temporización en cuadratura, incluyendo el circuito:

5 un convertidor de lógica de modo de corriente, CML, en CMOS (325), configurado para convertir un par diferencial de señales de reloj CML en un par diferencial de señales de reloj CMOS, en el que el convertidor CML-CMOS incluye un ciclo de trabajo controlable;

10 un módulo de bucle bloqueado por retardo (355) que incluye

una primera célula de retardo (411) configurada para producir una señal de reloj positiva retardada a partir de una señal positiva del par diferencial de señales de reloj CMOS, y

15 una segunda célula de retardo (412) configurada para producir una señal de reloj negativa retardada a partir de una señal negativa del par diferencial de señales de reloj CMOS, y

configurado para producir las cuatro señales de reloj a partir del par diferencial de señales de reloj CMOS, la señal de reloj positiva retardada y la señal de reloj negativa retardada; y

20 un módulo de calibración (359) configurado para controlar un retardo de la primera célula de retardo, controlar un retardo de la segunda célula de retardo y controlar el ciclo de trabajo del convertidor CML-CMOS para ajustar las relaciones de temporización de las cuatro señales de reloj.
2. El circuito según la reivindicación 1, en el que el módulo de bucle bloqueado por retardo incluye además:

25 una circuitería lógica configurada para combinar el par diferencial de señales de reloj CMOS, la señal de reloj positiva retardada y la señal de reloj negativa retardada para producir cuatro señales de reloj de un cuarto que tengan tiempos activos de un período de reloj de un cuarto; y

30 circuitos cerrojo de ajuste-reajuste configurados para producir las cuatro señales de reloj a partir de las señales de reloj de un cuarto.
3. El circuito según la reivindicación 2, en el que la circuitería lógica comprende:

35 una primera puerta AND que tiene entradas acopladas a la señal positiva del par diferencial de señales de reloj CMOS y al complemento de la señal de reloj positiva retardada y una salida acoplada a una primera de las señales de reloj de un cuarto;

40 una segunda puerta AND que tiene entradas acopladas al complemento de la señal negativa del par diferencial de señales de reloj CMOS y a la señal de reloj positiva retardada y una salida acoplada a una segunda de las señales de reloj de un cuarto;

45 una tercera puerta AND que tiene entradas acopladas a la señal negativa del par diferencial de señales de reloj CMOS y al complemento de la señal de reloj negativa retardada y una salida acoplada a una tercera de las señales de reloj de un cuarto; y

una cuarta puerta AND que tiene entradas acopladas al complemento de la señal positiva del par diferencial de señales de reloj CMOS y a la señal de reloj negativa retardada y una salida acoplada a una cuarta de las señales de reloj de un cuarto; y preferentemente

50 en el que los circuitos cerrojo de ajuste-reajuste comprenden:

un primer circuito cerrojo de ajuste-reajuste que tiene una entrada de ajuste acoplada a la primera de las señales de reloj de un cuarto y una entrada de reajuste acoplada a la tercera de las señales de reloj de un cuarto y que tiene una salida verdadera acoplada a una primera de las cuatro señales de reloj y una salida de complemento acoplada a una tercera de las cuatro señales de reloj; y

55 un segundo circuito cerrojo de ajuste-reajuste que tiene una entrada de ajuste acoplada a la tercera de las señales de reloj de un cuarto y una entrada de reajuste acoplada a la cuarta de las señales de reloj de un cuarto y que tiene una salida verdadera acoplada a una segunda de las cuatro señales de reloj y una salida de complemento acoplada a una cuarta de las cuatro señales de reloj.
4. El circuito según la reivindicación 1, en el que cada una de la primera célula de retardo y de la segunda célula de retardo consiste en una única etapa de retardo; y preferentemente

65 en el que la etapa de retardo incluye:

un transistor de canal p que tiene una puerta acoplada a una señal del par diferencial de señales de reloj CMOS, una fuente acoplada a una fuente de tensión y un drenaje acoplado a un punto medio de la etapa de retardo;

5 un convertidor digital-analógico de modo de corriente acoplado al punto medio de la etapa de retardo, donde una corriente del convertidor digital-analógico de modo de corriente controla un retardo de la etapa de retardo; y

10 un inversor que tiene una entrada acoplada al punto medio de la etapa de retardo y una salida acoplada a una respectiva de las señales de reloj retardadas.

5. El circuito según la reivindicación 2, en el que el módulo de calibración incluye:

15 filtros de paso bajo configurados para filtrar cada una de las señales de reloj de un cuarto y producir señales de reloj de un cuarto filtradas;

comparadores configurados para comparar pares de las señales de reloj de un cuarto filtradas y para producir señales de error; e

20 integradores configurados para integrar las señales de error de los comparadores para producir señales de control para controlar los retardos de la primera célula de retardo y la segunda célula de retardo y el ciclo de trabajo del convertidor CML-CMOS; y preferentemente

25 en el que cada uno de los filtros de paso bajo incluye un filtro resistivo-capacitivo; o en el que

un primero de los comparadores recibe una primera de las señales de reloj de un cuarto filtradas y una segunda de las señales de reloj de un cuarto filtradas y produce una primera de las señales de error;

30 un primero de los integradores recibe la primera de las señales de error y produce el control del retardo de la primera célula de retardo;

35 un segundo de los comparadores recibe una tercera de las señales de reloj de un cuarto filtradas y una cuarta de las señales de reloj de un cuarto filtradas y produce una segunda de las señales de error;

un segundo de los integradores recibe la segunda de las señales de error y produce el control del retardo de la segunda célula de retardo;

40 un tercero de los comparadores recibe la segunda de las señales de reloj de un cuarto filtradas y la cuarta de las señales de reloj de un cuarto filtradas y produce una tercera de las señales de error; y un tercero de los integradores recibe la tercera de las señales de error y produce el control del ciclo de trabajo del convertidor CML-CMOS; o

45 en el que los comparadores y los integradores se sincronizan mediante una señal de reloj de calibración que es asíncrona con respecto al par diferencial de señales de reloj CML; o

en el que los comparadores son comparadores de capacidad conmutada.

6. El circuito según la reivindicación 1, en el que el convertidor CML-CMOS incluye:

50 amplificadores de autopolarización que tienen entradas acopladas de manera capacitiva al par diferencial de señales de reloj CML y salidas acopladas al par diferencial de señales de reloj CMOS; y

55 una función de corrección de ciclos de trabajo que controla niveles de umbral de los amplificadores de autopolarización; y preferentemente

en el que cada uno de los amplificadores de autopolarización incluye un inversor y resistencias en serie conectadas entre una entrada del inversor y una salida del inversor, y

60 en el que la función de corrección del ciclo de trabajo controla los niveles de umbral de los amplificadores de autopolarización suministrando corrientes a o absorbiendo corrientes de los puntos medios de las resistencias en serie; y preferentemente

que comprende además un módulo de polarización que comprende una pluralidad de convertidores digital-analógico de modo de corriente acoplados a los puntos medios de las resistencias en serie mediante una pluralidad de conmutadores; o

65 en el que las entradas de los amplificadores de autopolarización están acopladas de manera capacitiva al

par diferencial de señales de reloj CML a través de un preamplificador.

- 5 7. El circuito según la reivindicación 1, que comprende además un interpolador de fase configurado para producir el par diferencial de señales de reloj CML a partir de una pluralidad de señales de reloj de entrada en base a una señal de control de fase.
- 10 8. Un deserializador, que comprende:
 el circuito según la reivindicación 7;
 un módulo de muestreo configurado para muestrear una señal de datos en serie en los bordes de las cuatro señales de reloj; y
 un filtro de bucle configurado para producir la señal de control de fase para el interpolador de fase en base a valores de muestra a partir del módulo de muestreo.
- 15 9. Un procedimiento para generar cuatro señales de reloj con relaciones de temporización en cuadratura, incluyendo el procedimiento:
 20 convertir niveles lógicos de un par diferencial de señales de reloj CML en un par diferencial de señales de reloj CMOS incluyendo ajustar el ciclo de trabajo del par diferencial de señales de reloj CMOS;
 retardar una señal positiva del par diferencial de señales de reloj CMOS para producir una señal de reloj positiva retardada;
 25 retardar una señal negativa del par diferencial de señales de reloj CMOS para producir una señal de reloj negativa retardada;
 combinar el par diferencial de señales de reloj CMOS, la señal de reloj positiva retardada y la señal de reloj negativa retardada para producir las cuatro señales de reloj; y
 30 calibrar el ajuste del ciclo de trabajo del par diferencial de señales de reloj CMOS, el retardo de la señal de reloj positiva retardada y el retardo de la señal de reloj negativa retardada para ajustar las relaciones de temporización de las cuatro señales de reloj.
- 35 10. El procedimiento según la reivindicación 9, en el que la combinación del par diferencial de señales de reloj CMOS, la señal de reloj positiva retardada y la señal de reloj negativa retardada para producir las cuatro señales de reloj incluye:
 40 combinar de manera lógica el par diferencial de señales de reloj CMOS, la señal de reloj positiva retardada y la señal de reloj negativa retardada para producir cuatro señales de reloj de un cuarto que tengan tiempos activos de un período de reloj de un cuarto; y
 45 ajustar y reajustar circuitos cerrojo para producir las cuatro señales de reloj en base a las señales de reloj de un cuarto; y preferentemente en el que retardar la señal positiva del par diferencial de señales de reloj CMOS para producir la señal de reloj positiva retardada incluye usar retardos asimétricos para las transiciones de subida y de bajada; o
 50 en el que calibrar el ajuste del ciclo de trabajo del par diferencial de señales de reloj CMOS, el retardo de la señal de reloj positiva retardada y el retardo de la señal de reloj negativa retardada incluye:
 filtrar con paso bajo cada una de las señales de reloj de un cuarto para producir señales de reloj de un cuarto filtradas;
 55 comparar pares de las señales de reloj de un cuarto filtradas y producir señales de error; e integrar las señales de error; y
 controlar el ciclo de trabajo del par diferencial de señales de reloj CMOS, el retardo de la señal de reloj positiva retardada y el retardo de la señal de reloj negativa retardada en base a las señales de error integradas.
- 60 11. Un aparato para generar cuatro señales de reloj con relaciones de temporización en cuadratura, incluyendo el aparato:
 65 un medio (325) para convertir un par diferencial de señales de reloj CML en un par diferencial de señales de reloj CMOS que incluya un ciclo de trabajo controlable;

5 un medio (355) para producir las cuatro señales de reloj a partir del par diferencial de señales de reloj CMOS, incluyendo retardar una señal positiva del par diferencial de señales de reloj CMOS para producir una señal de reloj positiva retardada y retardar una señal negativa del par diferencial de señales de reloj CMOS para producir una señal de reloj negativa retardada; y

10 un medio (359) para calibrar las relaciones de temporización de las cuatro señales de reloj, incluyendo controlar los retardos de retardar cada uno de los pares diferenciales de señales de reloj CMOS y controlar el ciclo de trabajo de los medios para convertir el par diferencial de señales de reloj CML en el par diferencial de señales de reloj CMOS.

12. El aparato según la reivindicación 11, en el que el medio para producir las cuatro señales de reloj incluye:

15 una primera célula de retardo configurada para producir la señal de reloj positiva retardada a partir de la señal positiva del par diferencial de señales de reloj CMOS;

una segunda célula de retardo configurada para producir la señal de reloj negativa retardada a partir de la señal negativa del par diferencial de señales de reloj CMOS;

20 circuitería lógica configurada para combinar el par diferencial de señales de reloj CMOS y las señales de reloj retardadas para producir cuatro señales de reloj de un cuarto que tengan tiempos activos de un período de reloj de un cuarto; y

25 circuitos cerrojo de ajuste-reajuste configurados para producir las cuatro señales de reloj a partir de las señales de reloj de un cuarto.

13. El aparato según la reivindicación 1 o la reivindicación 12, en el que la primera célula de retardo y la segunda célula de retardo tienen retardos asimétricos para las transiciones de subida y de bajada.

30 14. El aparato según la reivindicación 12, en el que cada una de las células de retardo consiste en una única etapa de retardo; o

en el que el medio de calibración incluye:

35 filtros de paso bajo configurados para filtrar cada una de las señales de reloj de un cuarto y producir señales de reloj de un cuarto filtradas;

40 comparadores configurados para comparar pares de las señales de reloj de un cuarto filtradas y para producir señales de error; e

integradores configurados para integrar las señales de error de los comparadores para producir controles para controlar los retardos de las células de retardo y el ciclo de trabajo de los medios para convertir el par diferencial de señales de reloj CML en el par diferencial de señales de reloj CMOS.

45 15. El aparato según la reivindicación 11, en el que el medio para convertir el par diferencial de señales de reloj CML en el par diferencial de señales de reloj CMOS incluye:

50 amplificadores de autopolarización que tienen entradas acopladas de manera capacitiva al par diferencial de señales de reloj CML y salidas acopladas al par diferencial de señales de reloj CMOS; y

una función de corrección de ciclos de trabajo que controla niveles de umbral de los amplificadores de autopolarización; y preferentemente

55 en el que cada uno de los amplificadores de autopolarización incluye un inversor y resistencias en serie conectadas entre una entrada del inversor y una salida del inversor, y

en el que la función de corrección del ciclo de trabajo controla los niveles de umbral de los amplificadores de autopolarización suministrando corrientes a o absorbiendo corrientes desde los puntos medios de las resistencias en serie.

60

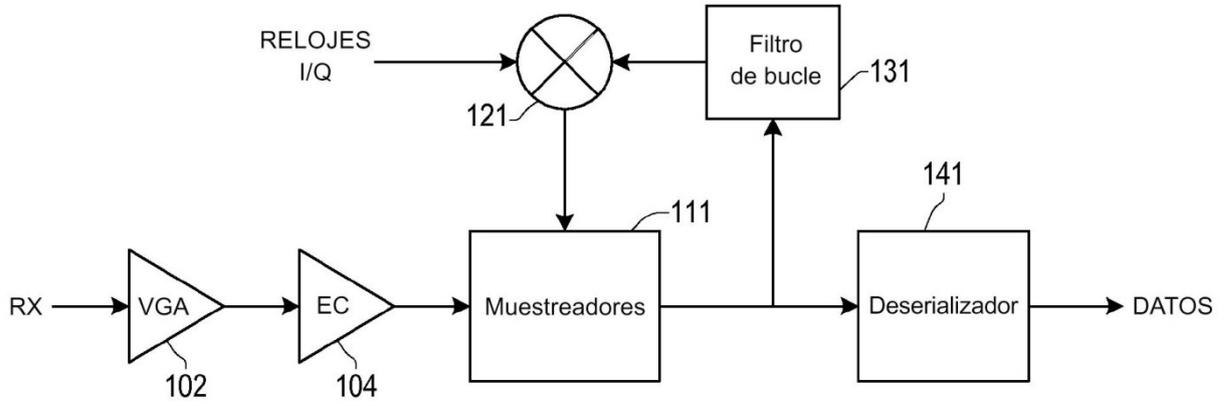


FIG. 1

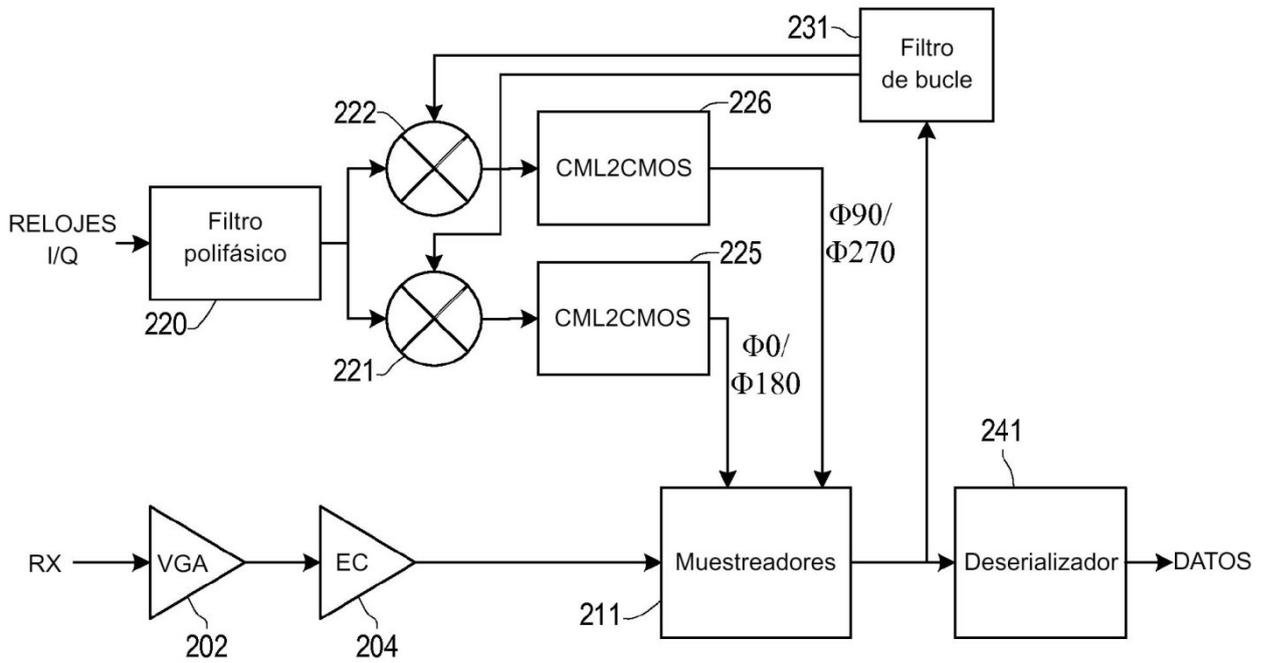


FIG. 2

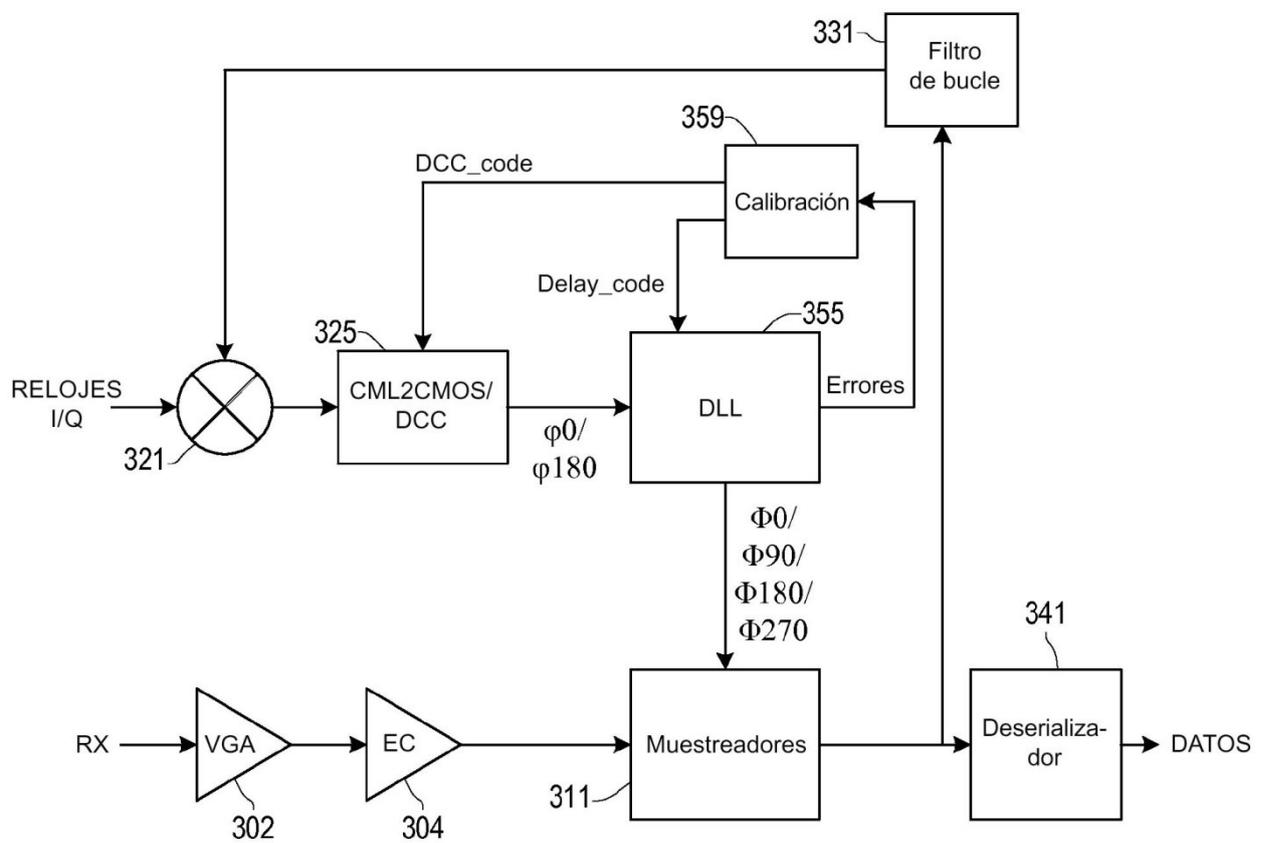


FIG. 3

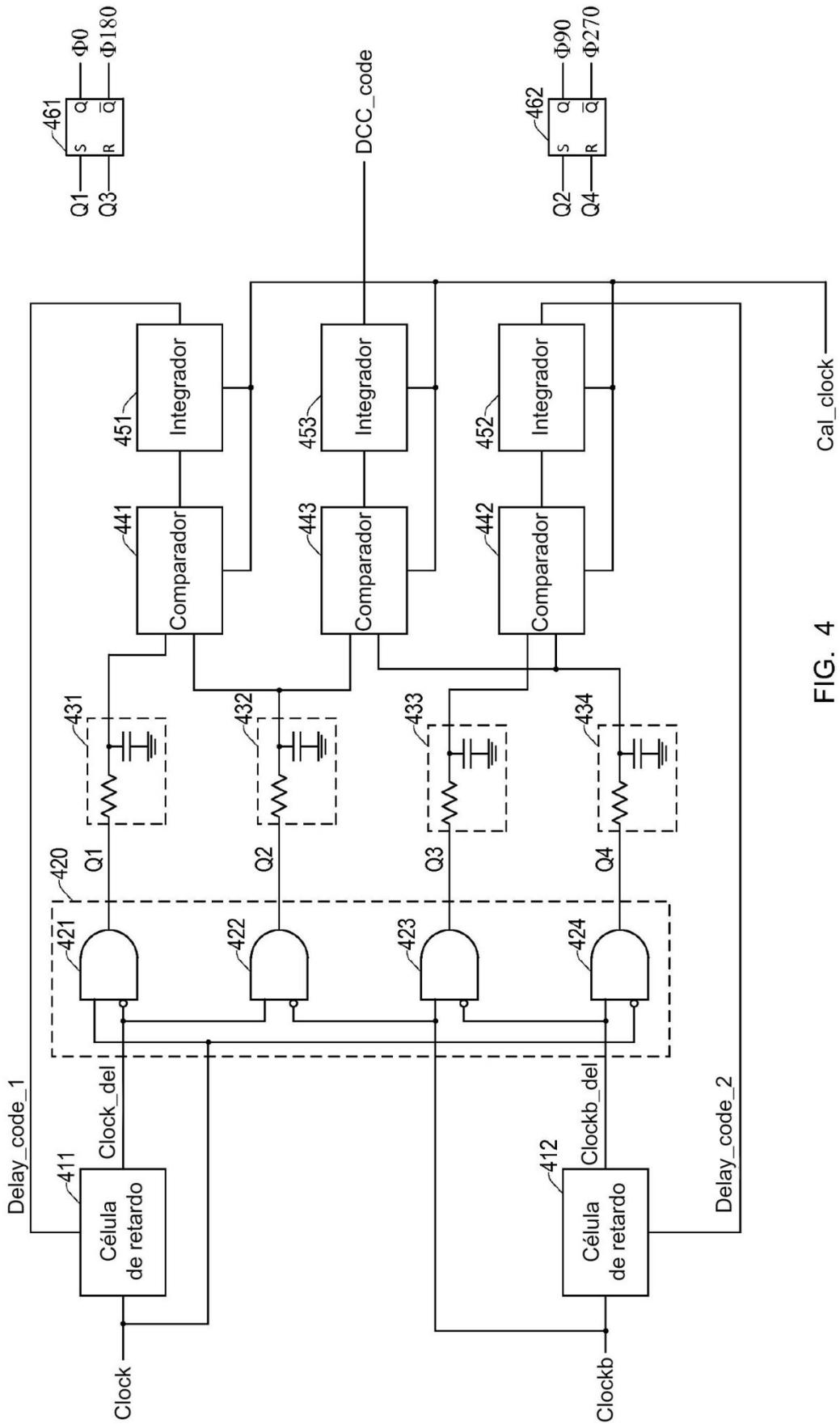


FIG. 4

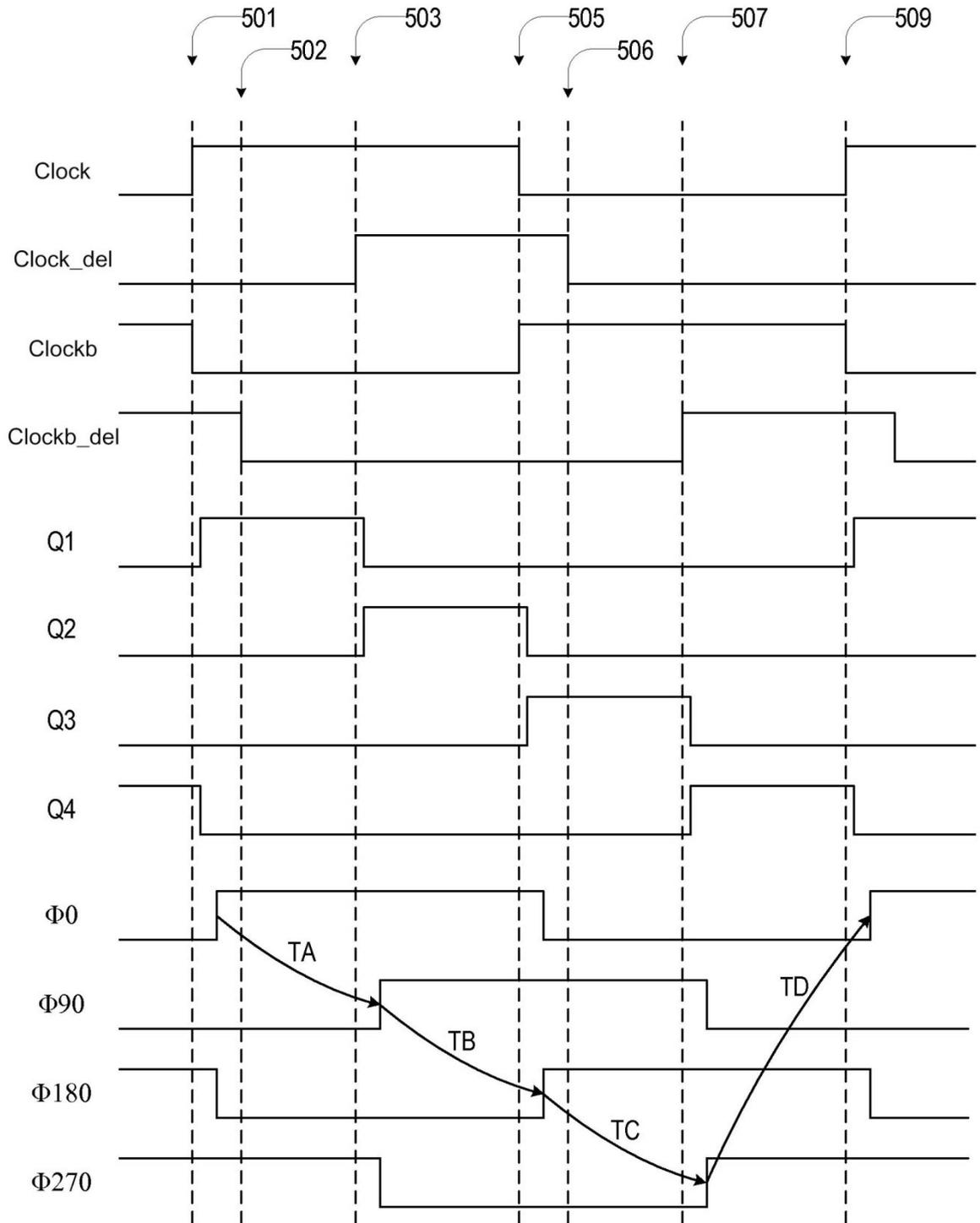


FIG. 5

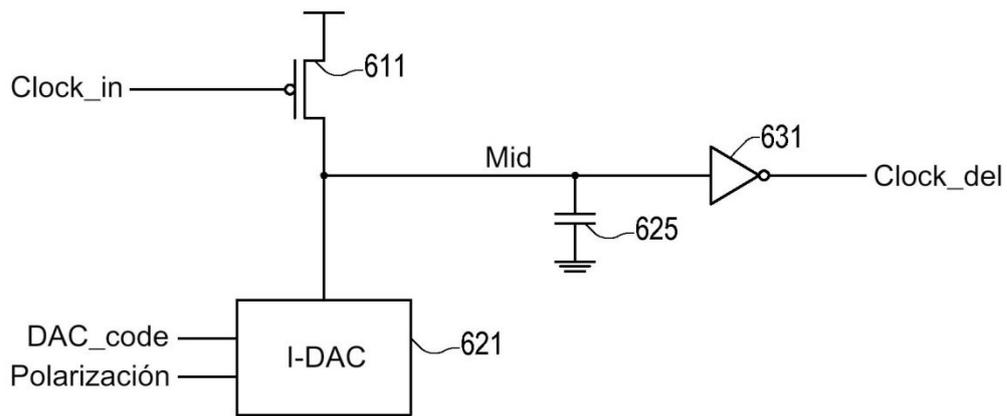


FIG. 6

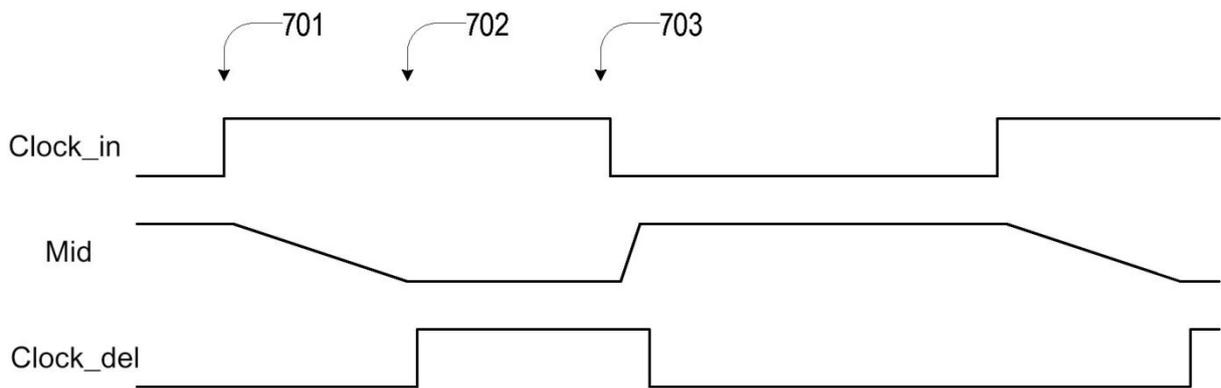


FIG. 7

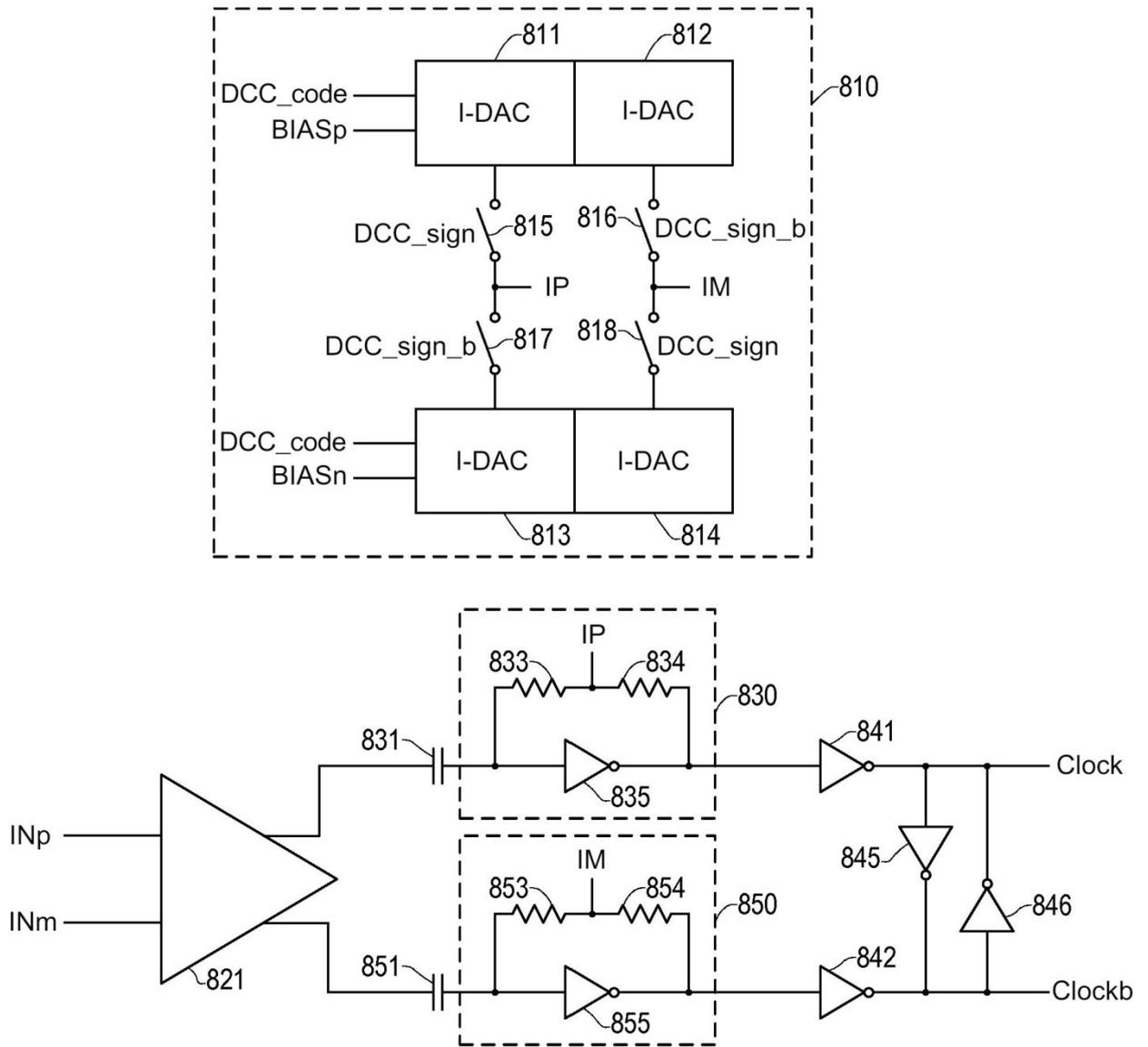


FIG. 8

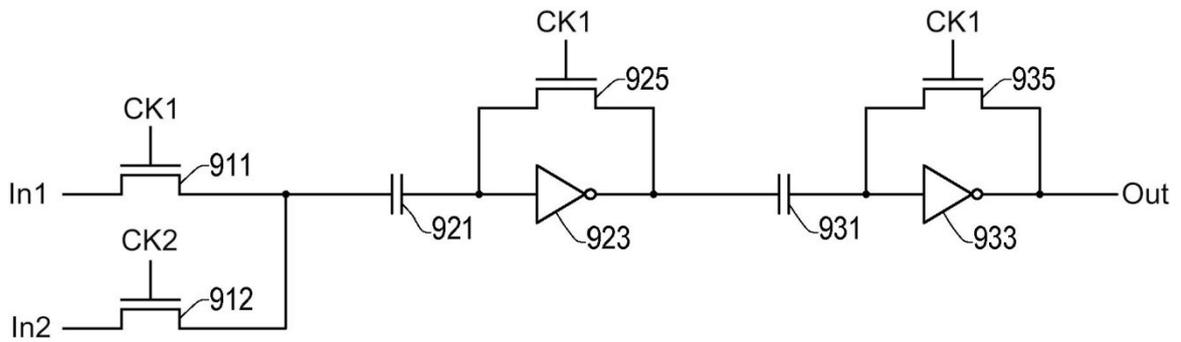


FIG. 9

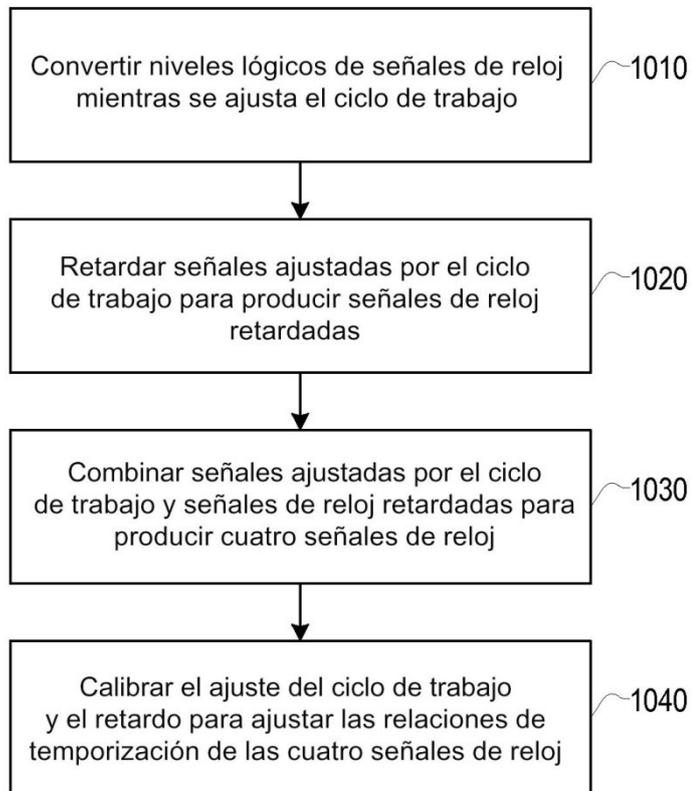


FIG. 10