

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 646 728**

51 Int. Cl.:

H03M 13/23 (2006.01)

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **18.06.2013 PCT/SE2013/050717**

87 Fecha y número de publicación internacional: **13.03.2014 WO14038993**

96 Fecha de presentación y número de la solicitud europea: **18.06.2013 E 13737692 (7)**

97 Fecha y número de publicación de la concesión europea: **09.08.2017 EP 2893642**

54 Título: **Perforación simétrica para informes CQI/PCI en el HS-DPCCH**

30 Prioridad:

10.09.2012 US 201261698868 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

15.12.2017

73 Titular/es:

**TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)
(100.0%)
164 83 Stockholm, SE**

72 Inventor/es:

NAMMI, SAIRAMESH

74 Agente/Representante:

LINAGE GONZÁLEZ, Rafael

ES 2 646 728 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Perforación simétrica para informes CQI/PCI en el HS-DPCCH

5 **Campo técnico**

La presente divulgación se refiere a sistemas de comunicación inalámbricos multiantena.

10 **Antecedentes**

10 Varias características nuevas se agregan a la evolución de acceso a paquetes de alta velocidad (HSPA) a largo plazo con el fin de cumplir con los requisitos de rendimiento establecidos por la International Mobile Telecommunications Advanced (IMT-A). El objetivo principal de estas características adicionales es aumentar la eficiencia espectral media. Una técnica posible para mejorar la eficacia espectral de enlace descendente es introducir soporte para la múltiple entrada múltiple salida (MEMO) de cuatro ramas, es decir, utilizar hasta cuatro antenas de transmisión y recepción para mejorar las ganancias de multiplexación espacial y ofrecer capacidades mejoradas de formación de haces. MIMO de cuatro ramas proporciona hasta 84 Mbps por portadora de 5 MHz para usuarios de alta relación señal a ruido (SNR) y mejora la cobertura para usuarios de baja SNR.

20 El sistema HSPA actual (Versión 7-10) admite 1 ó 2 antenas de transmisión en la estación base (por ejemplo, Nodo B). Para estos sistemas, a partir del sondeo del canal, un equipo de usuario (UE) (por ejemplo, un teléfono móvil o cualquier otro dispositivo de comunicación inalámbrico) mide un canal e informa en un canal de subtrama de la información de estado relacionada con el canal medido. Normalmente, este informe consiste en un indicador de calidad de canal (CQI), que indica explícitamente el indicador de rango (RI) y el indicador de control de pre-codificación (PCI). El UE envía este informe periódicamente para cada subtrama (TTI). El NodoB utiliza este informe al programar el UE.

30 La introducción de MIMO de 4 ramas requerirá una nueva estructura de canal de retroalimentación para enviar la información de CQI/PCI al NodoB. Para reducir la sobrecarga de señalización en el enlace descendente y el enlace ascendente, se ha recomendado utilizar dos palabras clave para MIMO de cuatro ramas. Para el canal de señalización de enlace ascendente (HS-DPCCH), se acordó utilizar una estructura similar a la de MIMO de dos antenas (Versión 7), donde el CQI, PCI se envían en una subtrama. Por lo tanto, en total se utilizan 14 bits para informar: CQI (8 bits), RI (2 bits) y PCI (4 bits). Dado que el número total de bits es diferente en comparación con el de la estructura de la Versión 7 de 10 bits, se necesita un nuevo esquema de codificación para transmitir estos bits. Por lo tanto, para codificar estos 14 bits en una subtrama, se ha propuesto un código convolucional con una velocidad de código de 1/3. Desafortunadamente, el patrón de perforación elegido para este esquema no es óptimo en términos de rendimiento de error de paquete.

40 3GPP Tdoc R1-123565 "Problemas persistentes en el diseño de HS-SCCH para MIMO de enlace descendente de cuatro ramas" discute diferentes esquemas de perforación y codificación de canal y resultados de simulación de tales esquemas para el diseño de HS-SCCH de MIMO de enlace descendente de cuatro ramas.

45 3GPP Tdoc R1-123816 "Discusiones adicionales en el diseño de HS-SCCH" discute diferentes esquemas de perforación y codificación convolucional y resultados de simulación de tales esquemas para el diseño de HS-SCCH de MIMO de enlace descendente de cuatro ramas.

50 3GPP Tdoc R1-123566 "Problemas persistentes en el diseño de retroalimentación para MIMO de enlace descendente de cuatro ramas" discute y compara los resultados de simulación para algunos esquemas de codificación CQI que utilizan codificación/perforación convolucional y códigos de bloque respectivamente.

55 3GPP Tdoc R1-99G51 "Nuevo esquema de perforación para códigos convolucional" discute diferentes esquemas de perforación para codificación convolucional.

55 **Sumario**

De acuerdo con la presente invención se proporcionan un método para codificar información de control y un equipo de usuario en las reivindicaciones independientes 1 y 4, respectivamente.

60 Se divulga un método para codificar información de control generada por un equipo de usuario (UE). La información de control comprende una primera secuencia de bits, una segunda secuencia de bits, y una tercera secuencia de bits. El método incluye: disponer dichas secuencias de bits para producir una secuencia de bits X1; rellenar la secuencia de bits X1 con una secuencia de bits P1 para producir una secuencia de bits X1'; codificar por convolución la secuencia de bits X1' para producir una secuencia de bits codificada Z1; y perforar la secuencia de bits Z1 utilizando un patrón de perforación predefinido para producir una secuencia de bits R1, en el que el patrón de perforación predefinido es un patrón de perforación rotacionalmente simétrico.

La secuencia de bits Z1 puede constar de 44 bits, y el patrón de perforación predefinido puede ser [1 3 42 y 44]. La perforación de la secuencia de bits Z1 utilizando el patrón de perforación predefinido para producir la secuencia de bits R1 puede consistir en eliminar el primer bit, el tercer bit, el cuarenta y segundo bit, y el cuarenta y cuarto bit de la secuencia de bits Z1. La primera secuencia de bits puede ser un valor de indicador de calidad de canal, CQI; la segunda secuencia de bits puede ser un valor de indicador de control de pre-codificación, PCI; y la tercera secuencia de bits es el valor que identifica un número preferido de capas. La secuencia de bits X1 puede constar de catorce bits, y la secuencia de bits P1 puede constar de ocho bits. Codificar por convolución la secuencia de bits X1' para producir la secuencia de bits codificada Z1 puede incluir codificar por convolución la secuencia de bits X1' utilizando una codificación convolucional de velocidad 1/2.

Un equipo de usuario (UE) es divulgado. El UE está adaptado para: generar información de control, comprendiendo la información de control una primera secuencia de bits, una segunda secuencia de bits, y una tercera secuencia de bits; disponer dichas secuencias de bits para producir una secuencia de bits X1; rellenar la secuencia de bits X1 con una secuencia de bits P1 para producir una secuencia de bits X1'; codificar por convolución la secuencia de bits X1' para producir una secuencia de bits codificada Z1; y perforar la secuencia de bits Z1 utilizando un patrón de perforación predefinido (700, 900) para producir una secuencia de bits R1. El patrón de perforación predefinido es un patrón de perforación rotacionalmente simétrico.

Se divulga un aparato para codificar información de control. La información de control incluye una primera secuencia de bits, una segunda secuencia de bits, y una tercera secuencia de bits. El aparato comprende: un multiplexor adaptado para multiplexar dichas secuencias de bits para producir una secuencia de bits X1; un elemento de relleno adaptado para rellenar la secuencia de bits X1 con una secuencia de bits P1 para producir una secuencia de bits X1'; un codificador convolucional adaptado para codificar por convolución la secuencia de bits X1' para producir una secuencia de bits codificada Z1; y un adaptador de velocidad adaptado para perforar la secuencia de bits Z1 utilizando un patrón de perforación predefinido para producir una secuencia de bits R1. El patrón de perforación predefinido es un patrón de perforación rotacionalmente simétrico.

Breve descripción de los dibujos

La figura 1 ilustra un sistema de ejemplo.

La figura 2 es un diagrama de bloques de una estación base de ejemplo.

La figura 3 es un diagrama de bloques de un UE de ejemplo.

La figura 4 ilustra un diagrama de flujo de mensajes.

La figura 5A ilustra una estructura de HS-DPCCH para una única portadora.

La figura 5B ilustra otra estructura para HS-DPCCH.

La figura 6 ilustra un patrón de perforación de ejemplo.

La figura 7 ilustra un patrón de perforación de ejemplo.

La figura 8 muestra una gráfica BLER.

La figura 9 ilustra un patrón de perforación de ejemplo.

La figura 10 ilustra un patrón de perforación de ejemplo.

La figura 11 muestra una gráfica BLER.

La figura 12 muestra una gráfica BLER.

La figura 13 ilustra un patrón de perforación de ejemplo.

La figura 14 ilustra un patrón de perforación de ejemplo.

La figura 15 muestra una gráfica BLER.

La figura 16 muestra una gráfica BLER.

La figura 17 es un diagrama de bloques funcional de un UE de ejemplo.

La figura 18 es un diagrama de flujo que ilustra un proceso de acuerdo con algunas realizaciones.

Descripción detallada de realizaciones

5 En un aspecto, esta divulgación se refiere a un proceso mejorado para codificar información de control transmitida desde un UE a una estación base en un sistema MIMO. En algunas realizaciones, el proceso puede comenzar con el UE seleccionando y/o determinando (es decir, "generando") información de control para transmitir a la estación base. La información de control generada puede incluir: CQI, RI y PCI, donde cada uno tiene una secuencia de bits correspondiente. Las secuencias de bits están dispuestas para producir una secuencia de bits X1 (en algunas realizaciones X1 tiene catorce bits). En algunas realizaciones, la porción primera de X1 (por ejemplo, los primeros ocho bits de X1) son para el CQI, la siguiente porción de X1 (por ejemplo, los dos siguientes bits) identifica el RI (es decir, los bits identifican un rango), y la última porción de X1 (por ejemplo, los siguientes cuatro bits de X1) identifican un PCI. A continuación, X1 se rellena con la secuencia de bits P1 (en algunas realizaciones, P1 tiene ocho bits de longitud) para producir la secuencia de bits X1'. La secuencia de bits X1' está codificada por convolución para producir la secuencia de bits codificada Z1. Dependiendo de la longitud de X1' y de la velocidad del codificador convolucional, Z1 puede tener, por ejemplo, 44 o 66 bits. Por ejemplo, cuando X1' tiene 22 bits y la velocidad es 1/2, entonces Z1 = 44bits y cuando X1' tiene 22 bits y la velocidad es 1/3, entonces Z1 = 66bits. A continuación, los bits codificados Z1 son perforados por un ajustador de velocidad que utiliza un patrón de perforación rotacionalmente simétrico predefinido para producir la secuencia de bits R1 (en algunas realizaciones, Z1 es perforado de manera que RI tiene una longitud de 40 bits). En algunas realizaciones, RI se extiende luego por el factor 128 de expansión, se modula por QPSK y se transmite utilizando dos intervalos.

25 En una realización particular, cuando la velocidad es 1/3, el siguiente patrón de perforación es utilizado por el ajustador de velocidad: [1 2 3 4 5 6 7 8 9 10 11 12 13 54 55 56 57 58 59 60 61 62 63 64 65 66]. Es decir, los bits 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 54, 55, 56, 57, 58, 59, 60, 61, 62, 63, 64, 65 y 66 se eliminan de Z1 mediante el ajustador de velocidad para producir RI.

30 En otra realización particular, cuando la velocidad es 1/2 y, uno de los siguientes seis patrones de perforación es utilizado por el ajustador de velocidad: (1) [1 3 42 44]; (2) [1 2 43 44]; (3) [1 4, 41 44]; (4) [2 3 42 43]; (5) [2 4 41 43]; (6) [3 4 41 42]. Es decir, por ejemplo, si se utilizan los patrones de perforación primeros, entonces los bits 1, 3, 42 y 44 se eliminan de Z1 mediante el ajustador de velocidad para producir RI.

35 Preferentemente, el patrón de perforación utilizado es un patrón "rotacionalmente simétrico". Es decir, para cada bit n incluido en el patrón de perforación existe otro bit n' que también se incluye en el patrón de perforación, donde $n' = (N + 1) - n$, donde N es la longitud del bit de la secuencia de bits codificada Z1. Por ejemplo, si el patrón de perforación es rotacionalmente simétrico e incluye el bit 7 y $N = 66$, entonces el patrón de perforación necesariamente también incluye el bit 60 (es decir, $60 = 66 + 1 - 7$). Cada uno de los patrones de perforación identificados anteriormente es rotacionalmente simétrico.

40 En otro aspecto, la divulgación se refiere a un UE mejorado para su uso en un sistema MIMO. En algunas realizaciones, el UE mejorado incluye un receptor para recibir datos destinados para el UE. El UE puede incluir además una unidad de medición de canal para generar información de control para enviar a la estación base que sirve al UE. La información de control generada puede incluir: bits CQI (por ejemplo, 8 bits), bits RI (por ejemplo, 2 bits) y bits PCI (por ejemplo, 4 bits). El UE puede incluir además un multiplexor para multiplexar los bits CQI, bits RI y bits PCI para producir una secuencia de bits X1. En algunas realizaciones de ejemplo, los primeros 8 bits de X1 son los bits CQI, los dos bits siguientes de X1 son los bits RI, y los últimos cuatro bits de X1 son los bits PCI (en algunas realizaciones X1 tiene catorce bits). El UE también puede incluir un elemento de relleno que rellena X1 con la secuencia de bits P (en algunas realizaciones, P tiene ocho bits de longitud) para producir la secuencia de bits X1'. El UE también incluye un codificador convolucional que codifica por convolución X1' para producir la secuencia de bits codificada Z1. Dependiendo de la longitud de X1' y de la velocidad del codificador convolucional, Z1 puede ser, por ejemplo, 44 ó 66 bits. Por ejemplo, cuando X1' tiene 22 bits y la velocidad es 1/2, entonces Z1 = 44 bits y cuando X1' tiene 22 bits y la velocidad es 1/3, entonces Z1 = 66 bits. Los bits codificados Z1 son luego perforados por un ajustador de velocidad que utiliza un patrón de perforación rotacionalmente simétrico predefinido para producir la secuencia de bits RI (en algunas realizaciones, Z1 es perforado de manera que RI tiene 40 bits de longitud). El UE también puede incluir modulador y transmisor que luego se propaga, modula y transmite RI en uno o más intervalos.

55 Con referencia ahora a la figura 1, la figura 1 ilustra esquemáticamente una red 100 de sistema de telecomunicaciones móvil universal, UMTS, en la que se pueden implementar los presentes procedimientos y aparatos. Sin embargo, debe observarse que la persona experta podrá realizar fácilmente implementaciones en otros sistemas de comunicación similares que implican la transmisión de datos codificados entre nodos.

60 En la figura 1, la red 100 de UMTS comprende una red central 110 y una red 103 de acceso de radio terrestre, UTRAN, de UMTS. La UTRAN 103 comprende varios nodos en forma de controladores 105 de red de radio (RNC) (por ejemplo, los RNC 105a, b), cada uno de los cuales está acoplado a un conjunto de nodos vecinos en forma de una o más estaciones base 104 (por ejemplo, los NodoB 104a, b). Cada NodoB 104 es responsable de una célula de radio geográfica determinada y el RNC 105 de control es responsable de enrutar los datos de usuario y de señalización entre ese NodoB 104 y la red central 110. Todos los RNC 105 pueden estar acoplados entre sí. Una

descripción general de la UTRAN 103 se da en la especificación técnica 3GPP TS 25.401 V3.2.0.

5 La figura 1 también ilustra dispositivos 106 de comunicación (también conocidos como equipos de usuario (los UE) (por ejemplo, los UE 106a, 106b) conectados a un respectivo Nodo B 104a, 104b en la UTRAN 103 a través de una interfaz aérea 111a, 111b respectiva. Los UE servidos por un Nodo B, como el UE 106a servido por el Nodo B 104a, están ubicados en una llamada célula de radio. La red central 110 comprende un número de nodos representados por el nodo 107 y proporciona servicios de comunicación al UE 106 a través de la UTRAN 103, por ejemplo cuando se comunica con Internet 109 donde, esquemáticamente, un servidor 120 ilustra una entidad con la que los UE pueden 106 comunicarse. Como la persona experta se da cuenta, la red 100 en la figura 1 puede comprender un gran número de unidades funcionales similares en la red central 110 y la UTRAN 103, y en realizaciones típicas de redes, el número de dispositivos móviles puede ser muy grande. Además, la comunicación entre los nodos en la UTRAN 103 y los UE 106 puede seguir los protocolos como se especifica mediante las especificaciones de HSPA de 3GPP.

15 La figura 2 es un diagrama de bloques funcional que ilustra esquemáticamente la estación base 104, de acuerdo con algunas realizaciones. En la realización de la figura 2, la estación base 104 representa un NodoB. La estación base 104 comprende medios de procesamiento, medios de memoria y medios de comunicación en forma de un procesador 202, una memoria 204 y una circuitería 206 de comunicación. La estación base 104 se comunica con otros nodos a través de una trayectoria 208 de datos primera y a través de una trayectoria 210 de datos segunda. Por ejemplo, la trayectoria 208 de datos primera se puede conectar a un RNC y la trayectoria 210 de datos segunda se puede conectar a una o más antenas 212. Las trayectorias 208, 210 de datos pueden ser cualquiera de las trayectorias de datos de enlace ascendente y de enlace descendente, como comprenderá la persona experta.

25 La figura 3 es un diagrama de bloques funcional que ilustra esquemáticamente el UE 106, de acuerdo con algunas realizaciones. El UE 106 comprende medios de procesamiento, medios de memoria y medios de comunicación en forma de procesador 252, memoria 254 y circuitería 256 de radio. El UE 106 se comunica con otros nodos a través de una interfaz aérea de radio con el uso de una o más antenas 262. El UE 106 también comprende una circuitería 258 de entrada/salida en forma de, por ejemplo, una pantalla, un teclado, un micrófono, una cámara, etc.

30 Los métodos que se describirán a continuación pueden implementarse en la estación base 104 y el UE 106, respectivamente. En tales realizaciones, las acciones del método se realizan por medio de instrucciones 205, 255 de software que están almacenadas en la memoria 204, 254 y son ejecutables por el procesador 202, 252. Dichas instrucciones 205, 255 de software pueden realizarse y proporcionarse de cualquier manera adecuada, por ejemplo proporcionadas a través de las redes 110, 103 o siendo instaladas durante la fabricación, tal como se dará cuenta el experto. Además, la memoria 204, 254, el procesador 202, 252, así como la circuitería 206 de comunicación y la circuitería 256 de radio comprenden software y/o firmware que, además de estar configurados de modo que es capaz de implementar los métodos que se describirán, está configurado para controlar la funcionamiento general de la estación base 104 y el UE 106, respectivamente, cuando funciona en un sistema de comunicación móvil celular tal como el sistema 100 en la figura 1. Sin embargo, con el fin de evitar detalles innecesarios, no se hará una descripción adicional en la presente divulgación con respecto a este funcionamiento general.

45 Con referencia ahora a la figura 4, la figura 4 muestra un intercambio de mensajes de ejemplo entre una estación base 104 (por ejemplo, Nodo B 104) y un UE 106 en un sistema HSDPA 100. Como se muestra en la figura 4, el Nodo B 104 transmite una señal piloto en un canal piloto común 402 (por ejemplo, el CPICH).

La señal piloto puede ser emitida por la estación base con potencia constante y de una secuencia de bits conocida. El UE recibe la señal piloto y una unidad de medición de canal del UE utiliza el canal piloto para determinar un indicador de calidad de canal (CQI) y un indicador de canal de pre-codificación (PCI).

50 Para dos antenas, el CQI se calcula como

$$CQI = \begin{cases} 15 \times CQI_1 + CQI_2 + 31 & \text{cuando el equipo de usuario prefiere 2 bloques de transporte} \\ CQI_S & \text{cuando el equipo de usuario prefiere 1 bloque de transporte} \end{cases}$$

donde el CQI es la calidad del canal por capa individual. CQI es el valor de CQI en el caso de Rango = 1. CQI1 y CQI2 son los valores individuales de CQI para cada flujo en el caso de Rango = 2.

55 Se puede observar que si el CQI es menor que 31, la información de rango es 1; de lo contrario, la información de rango es 2. El PCI es los bits de información de pre-codificación seleccionados en el subconjunto del libro de códigos correspondiente a la información de rango.

60 El CQI y PCI junto con otra información (por ejemplo, acuse de recibo/acuse de recibo negativo (ACK/NAK) de solicitud de repetición automática (HARQ)) es reportado al NodoB utilizando, por ejemplo, un canal 404 de control físico dedicado de alta velocidad (HS-DPCCH). En algunas realizaciones, la periodicidad de HS-DPPCH es una subtrama (2 ms). La estructura de HS-DPCCH para una portadora única se muestra en la figura 5a.

Una vez que el NodoB recibe esta información, asigna los códigos de canalización requeridos, la modulación y la codificación, el índice del canal de pre-codificación al UE después de la planificación. Esta información 406 se transmite a UE por el canal de control compartido (HS-SCCH). Una vez que el UE detecta el HS-SCCH, la transmisión 408 de enlace descendente comienza a través del canal de tráfico de datos utilizando el canal compartido de enlace descendente físico (HS-PDSCH).

Para un MIMO de 4 ramas, el UE transmite, a la estación base a través del HS-DPCCH, la siguiente información: información de ACK de HARQ (misma estructura que la de la Versión 7); CQI (8 bits); RI (es decir, información que indica el número de capas que prefiere el UE) (2 bits); y PCI (índice de control de pre-codificación en RI) (4 bits). Por consiguiente, si se compara la estructura con respecto a la Versión 7 MIMO, se necesita agregar bits adicionales para informar de PCI y RI. A partir de una estructura que se ha propuesto, el informe se muestra en la figura 5B.

Se puede observar a partir de la figura 5B que el ACK de HARQ se transmite en un intervalo primero (10 bits) de acuerdo con la estructura de la Versión 7. CQI, RI y PCI se transmiten en los intervalos segundo y tercero con 40 bits. Se recomienda un código convolucional de velocidad de código 1/3 con patrón de perforación que identifique 26 bits para codificar los 14 bits de información CQI/RI/PCI a 40 bits. Un patrón de perforación seleccionado de acuerdo con las reglas en 3GPP TS 25.212 v10.2.0 da como resultado el siguiente patrón de perforación: [1 3 6 8 11 13 16 18 21 23 26 28 31 34 36 39 41 44 46 49 51 54 56 59 61 64]. Este patrón se denomina aquí como un patrón de perforación "R99" y se ilustra en la figura 6. Este patrón de perforación no es óptimo.

OPCIONES DE DISEÑO PARA LA ADAPTACIÓN DE VELOCIDAD

Opción 1: Código convolucional con velocidad de código de 1/3 y perforación "de extremos"

La figura 7 muestra un patrón 700 de perforación que es rotacionalmente simétrico y utiliza perforación "de extremos", es decir, solo se perforan los bits iniciales (por ejemplo, los bits 1-21) y los bits de extremo (por ejemplo, los bits 46-66), pero no los bits medios. Por consiguiente, en este método, todos los bits están igualmente protegidos. El patrón 700 de perforación proporciona mejores resultados que el patrón de perforación R99 mostrado en la figura 6. La figura 8 muestra la gráfica BLER para estos dos patrones. Se puede ver que el patrón 700 se comporta mejor que la perforación R99 en 0,25 dB. Por consiguiente, se propone que se utilice un código convolucional de velocidad 1/3 con el patrón de perforación [1 2 3 4 5 6 7 8 9 10 11 12 13 54 55 56 57 58 59 60 61 62 63 64 65 66], como se muestra en la figura 7.

Opción 2: Código convolucional con velocidad de código de 1/2 y perforación "de extremos"

En esta opción se utiliza el código convolucional con la velocidad 1/2 y también se utiliza la perforación de extremos. La figura 9 muestra un patrón 900 de perforación de ejemplo de acuerdo con la opción 2. Como se muestra en la figura 9 los patrones de perforación son [1 3 42 44]. Al igual que el patrón 700 de perforación, el patrón 900 de perforación es rotacionalmente simétrico (es decir, para cada bit n que se incluye en el patrón también se incluye en el patrón un bit correspondiente n' , donde $n' = N + 1 - n$, donde N es la longitud de la secuencia de bits que se va a perforar, que en este caso es 44). Por motivos de comparación, la figura 10 muestra un patrón 1000 de perforación R99 (es decir, un patrón de perforación que utiliza los principios descritos en 3GPP TS 25.212 v 10.2.0). El patrón 1000 de perforación no es rotacionalmente simétrico (por ejemplo, el bit 1 está incluido en el patrón, pero el bit correspondiente al bit 1 (es decir, el bit 44) no está incluido). La figura 11 muestra la gráfica BLER para estos patrones 900 y 1000. Se puede ver que el patrón 900 de perforación se comporta mejor que el patrón 1000 de perforación R99. También se contemplan patrones alternativos de perforación de extremos para la velocidad de codificación de 1/2. Por ejemplo, los siguientes cinco patrones de perforación alternativos proporcionan el mismo resultado (o casi el mismo) que el patrón 900 de perforación: (1) [1 2 43 44], (2) [1 4 41 44], (3) [2 3 42 43], (4) [2 4 41 43] y (5) [3 4 41 42]. Al igual que el patrón 700, estos patrones alternativos también son rotacionalmente simétricos.

Tras una comparación de la opción 1 y la opción 2, se puede observar que el mejor rendimiento se logra utilizando la velocidad de código 1/2 y utilizando un patrón de perforación de extremos que es rotacionalmente simétrico. Véase, por ejemplo, la figura 12, que muestra la gráfica BLER para las opciones descritas anteriormente.

Con fines comparativos, los resultados de la simulación logrados utilizando un patrón de perforación no simétrico se comparan con los resultados de la simulación logrados utilizando un patrón de perforación rotacionalmente simétrico. La figura 13 y 14 muestran dos patrones de perforación no simétricos de ejemplo, y las figuras 15 y 16 muestran el BLER para estos dos patrones respectivos (también se representan gráficamente el resultado con un patrón de perforación de extremos rotativamente simétrico). De las gráficas mostradas en la figura 15 y 16, se puede argumentar que un patrón de perforación con simetría rotacional da el mejor rendimiento en lugar de un patrón de perforación arbitrariamente perforado al principio y al final de la secuencia de código. Esto se debe a que con un patrón rotacionalmente simétrico hay una cantidad igual de perforación en ambos extremos.

Una ventaja de al menos algunas de las realizaciones preferidas descritas en el presente documento incluye requerir

menos potencia para el canal de control, por lo tanto, más rendimiento para el tráfico de datos de UL.

5 Con referencia ahora a la figura 17, la figura 17 ilustra componentes funcionales del UE 106, de acuerdo con alguna realización. Como se muestra en la figura 17, el UE 106 puede incluir una unidad 800 de medición de canal para generar información de control que comprende una primera secuencia de bits, una segunda secuencia de bits y una tercera secuencia de bits (por ejemplo, CQI, RI y PCI) para enviar a la estación base que sirve al UE en una señal piloto transmitida desde la estación base. El UE 106 también incluye un multiplexor 801 para multiplexar los bits CQI, RI y PCI para producir la secuencia de bits X1 (14 bits) (es decir, una cuarta secuencia de bits). X1 es rellenado por el elemento 802 de relleno con la secuencia de bits P1 (P1 = 8 bits) para producir la secuencia de bits X1' (X1' = 22 bits) (es decir, una secuencia de bits quinta). X1' es luego codificado por un codificador convolucional 804 para codificar convolucionalmente X1' para producir bits codificados Z1 (es decir, una secuencia de bits sexta). Dependiendo de la velocidad del codificador convolucional 804, Z1 puede ser 44 ó 66, por ejemplo. Por ejemplo, cuando la velocidad es 1/2, Z1 = 44bits y cuando la velocidad es 1/3, entonces Z1 = 66bits. A continuación, los bits codificados Z1 son perforados por un ajustador 806 de velocidad de acuerdo con un patrón de perforación predefinido para producir la secuencia de bits RI (es decir, una secuencia de bits séptima), donde RI tiene una longitud de 40 bits. RI se extiende mediante el factor 128 de dispersión, se modula por QPSK y se transmite. A continuación se proporcionan más detalles.

20 En una realización, cuando la velocidad es 1/2, el patrón de perforación siguiente es utilizado por el ajustador 806 de velocidad: [1 3 42 44]. Es decir, los bits 1, 3, 42 y 44 se eliminan ("perforan") de Z1 mediante el ajustador 806 de velocidad para producir R1.

25 En otra realización, cuando la velocidad es 1/2, uno de los siguientes patrones de perforación es utilizado por el ajustador 806 de velocidad: [1 2 43 44], [1 4 41 44], [2 3 42 43], [2 4 41 43] o [3 4 41 42].

En otra realización más, cuando la velocidad es 1/3 y, el patrón de perforación siguiente es utilizado por el ajustador 806 de velocidad: [1 2 3 4 5 6 7 8 9 10 11 12 13 54 55 56 57 58 59 60 61 62 63 64 65 66].

30 Con referencia ahora a la figura 18, la figura 18 es un diagrama de flujo que ilustra un proceso 1800 de acuerdo con algunas realizaciones, cuyo proceso puede ser realizado por el UE 106. El proceso 1800 puede comenzar en el paso 1802, donde el UE 106 recibe una señal piloto.

En el paso 1804, el UE utiliza señal piloto para generar bits CQI, PCI y RI (es decir, secuencias de tres bits).

35 En el paso 1806, los bits CQI, PCI y RI están dispuestos para producir una secuencia de bits X1, es decir, una cuarta secuencia de bits, (en algunas realizaciones X1 tiene catorce bits). En algunas realizaciones, la primera porción de X1 (por ejemplo, los primeros 8 bits de X1) identifica un CQI, la siguiente porción de X1 (por ejemplo, los próximos 2 bits) identifica un RI, y la última parte de X1 (por ejemplo, los siguientes cuatro bits de X1) identifican un PCI.

40 A continuación (paso 1808), X1 se rellena con la secuencia de bits P1 (en algunas realizaciones, P1 tiene ocho bits de longitud) para producir la secuencia de bits X1' (es decir, una secuencia de bits quinta).

45 A continuación (paso 1810), la secuencia de bits X1' está codificada por convolución para producir la secuencia de bits codificada Z1 (es decir, una secuencia de bits sexta). Dependiendo de la longitud de X1' y de la velocidad del codificador convolucional, Z1 puede tener, por ejemplo, 44 ó 66 bits, por ejemplo. Por ejemplo, cuando X1' tiene 22 bits y la velocidad es 1/2, entonces Z1 = 44bits y cuando X1' tiene 22 bits y la velocidad es 1/3, entonces Z1 = 66bits.

50 A continuación (paso 1812), los bits codificados Z1 son perforados por un ajustador de velocidad utilizando un patrón de perforación rotacionalmente simétrico predefinido para producir la secuencia de bits RI (es decir, una secuencia de bits séptima) (en algunas realizaciones Z1 es perforado de modo que RI tiene 40 bits en longitud).

55 RI luego se extiende (por ejemplo, mediante el factor 188 de dispersión), se modula (por ejemplo, se modula por QPSK) y se transmite (paso 1816).

60 Aunque se han descrito anteriormente varias realizaciones, debe entenderse que se han presentado solo a modo de ejemplo, y no de limitación. Por lo tanto, la amplitud y el alcance de esta descripción no deberían estar limitados por ninguna de las realizaciones de ejemplo descritas anteriormente. Además, cualquier combinación de los elementos descritos anteriormente en todas las variaciones posibles de los mismos está abarcada por la divulgación a menos que se indique lo contrario en el presente documento o se contradiga claramente por el contexto.

65 Además, aunque los procesos descritos anteriormente e ilustrados en los dibujos se muestran como una secuencia de pasos, esto se hizo únicamente con fines ilustrativos. En consecuencia, se contempla que se pueden agregar algunos pasos, se pueden omitir algunos pasos, se puede reorganizar el orden de los pasos, y algunos pasos se pueden realizar en paralelo.

REIVINDICACIONES

- 1.- Un método para codificar información de control generada por un equipo de usuario, UE (106a, 106b), comprendiendo la información de control una primera secuencia de bits, una segunda secuencia de bits y una tercera secuencia de bits, comprendiendo el método:
- 5 disponer (1806) dichas secuencias de bits para producir una secuencia de bits X1,
- rellenar (1808) la secuencia de bits X1 con una secuencia de bits P1 para producir una secuencia de bits X1',
- 10 codificar por convolución (1810) la secuencia de bits X1' para producir una secuencia de bits codificada Z1, y
- perforar (1812) la secuencia de bits Z1 utilizando un patrón (700, 900) de perforación predefinido para producir una secuencia de bits R1;
- 15 en el que:
- codificar por convolución la secuencia de bits X1' para producir la secuencia de bits codificada Z1 comprende codificar por convolución la secuencia de bits X1' utilizando la codificación convolucional de velocidad 1/2,
- 20 la secuencia de bits X1 consiste en catorce bits,
- la secuencia de bits P1 consiste en ocho bits,
- 25 la secuencia de bits Z1 consiste en cuarenta y cuatro bits, y
- el patrón de perforación predefinido es [1 3 42 y 44].
- 2.- El método de cualquiera de las reivindicaciones 1, en el que:
- 30 la primera secuencia de bits es un valor de indicador de calidad de canal, CQI;
- la segunda secuencia de bits es un valor de indicador de control de pre-codificación, PCI.
- 35 3.- El método de la reivindicación 2, en el que la tercera secuencia de bits es un valor que identifica un número preferido de capas.
- 4.- Un equipo de usuario, UE, (106a, 106b) adaptado para:
- 40 generar información de control, comprendiendo la información de control una primera secuencia de bits, una segunda secuencia de bits, y una tercera secuencia de bits,
- disponer dichas secuencias de bits para producir una secuencia de bits X1,
- 45 rellenar la secuencia de bits X1 con una secuencia de bits P1 para producir una secuencia de bits X1',
- codificar por convolución la secuencia de bits X1' para producir una secuencia de bits codificada Z1, y
- 50 perforar la secuencia de bits Z1 utilizando un patrón (700, 900) de perforación predefinido para producir una secuencia de bits R1;
- en el que:
- el UE se adapta para codificar por convolución la secuencia de bits X1' para producir la secuencia de bits codificada Z1 codificando por convolución la secuencia de bits X1' utilizando la codificación convolucional de velocidad 1/2,
- 55 la secuencia de bits X1 consiste en catorce bits,
- la secuencia de bits P1 consiste en ocho bits,
- 60 la secuencia de bits Z1 consiste en cuarenta y cuatro bits, y
- el patrón de perforación predefinido es [1 3 42 y 44].
- 65 5.- El UE de la reivindicación 4, en el que:

la primera secuencia de bits es un valor de indicador de calidad de canal, CQI;

la segunda secuencia de bits es un valor de indicador de control de pre-codificación, PCI.

- 5 6.- El UE de la reivindicación 5, en el que la tercera secuencia de bits es un valor que identifica un número preferido de capas.

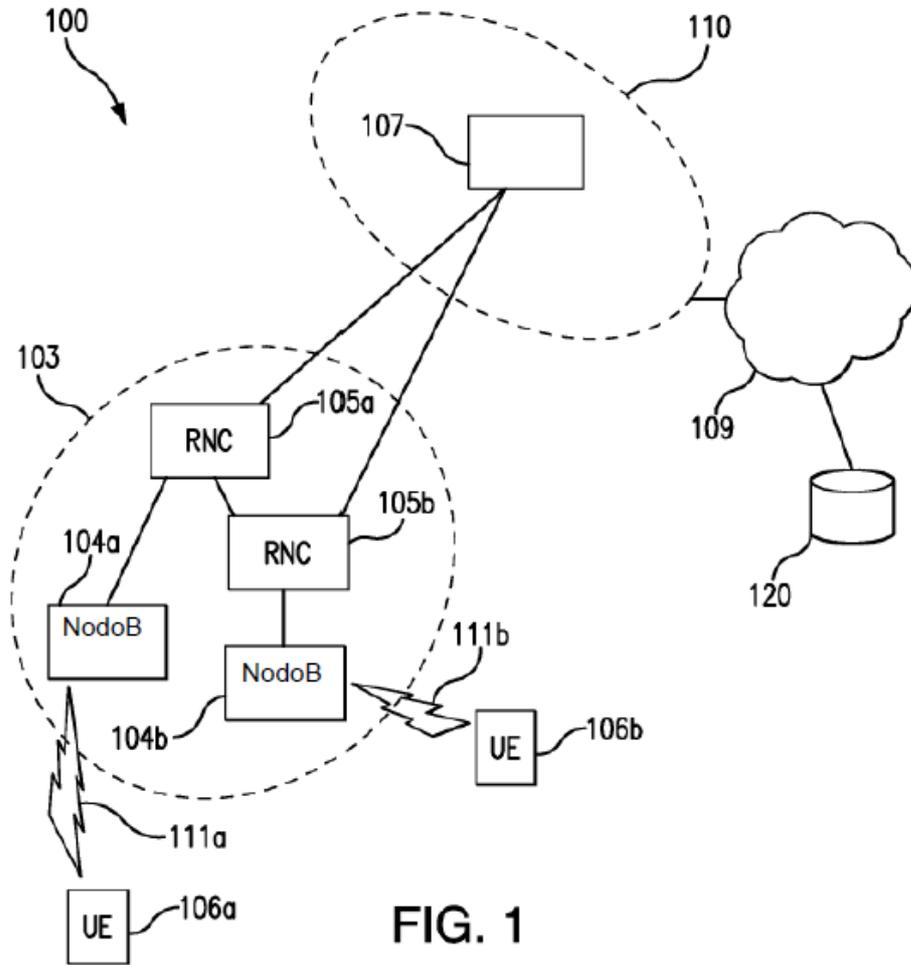


FIG. 1

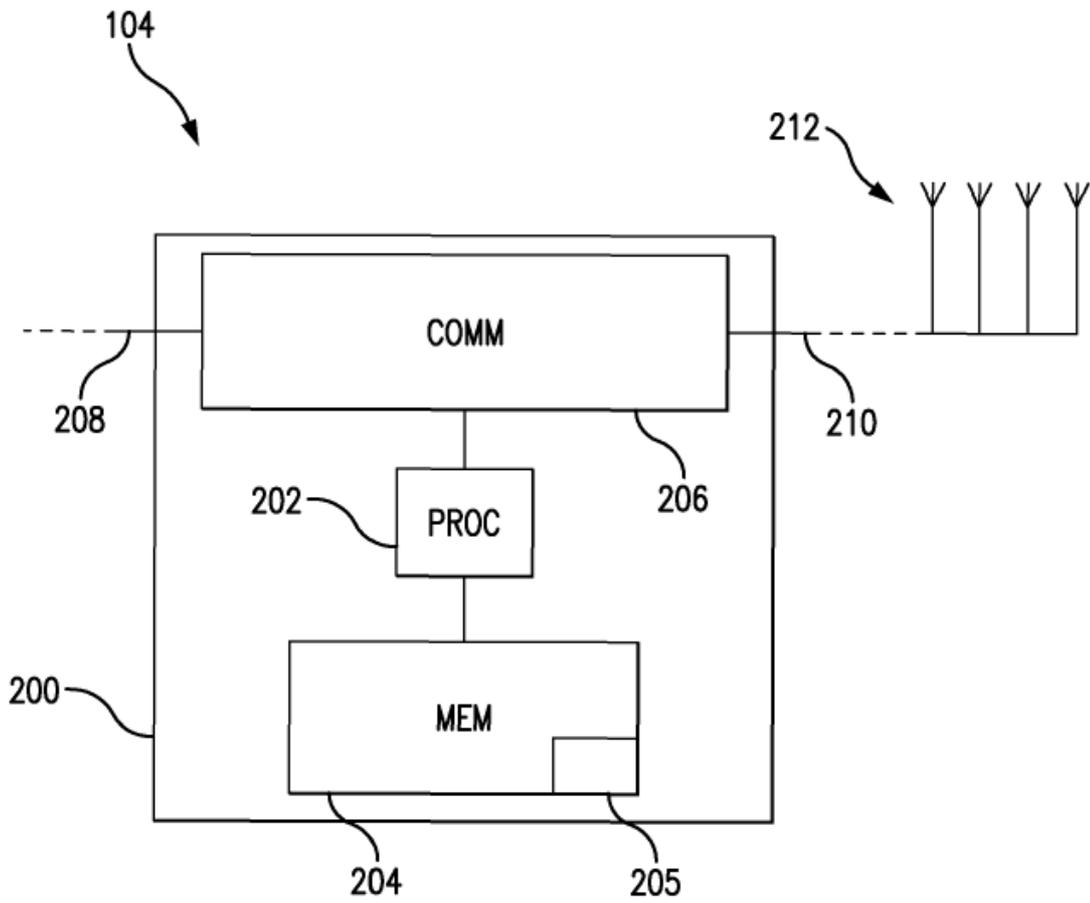


FIG. 2

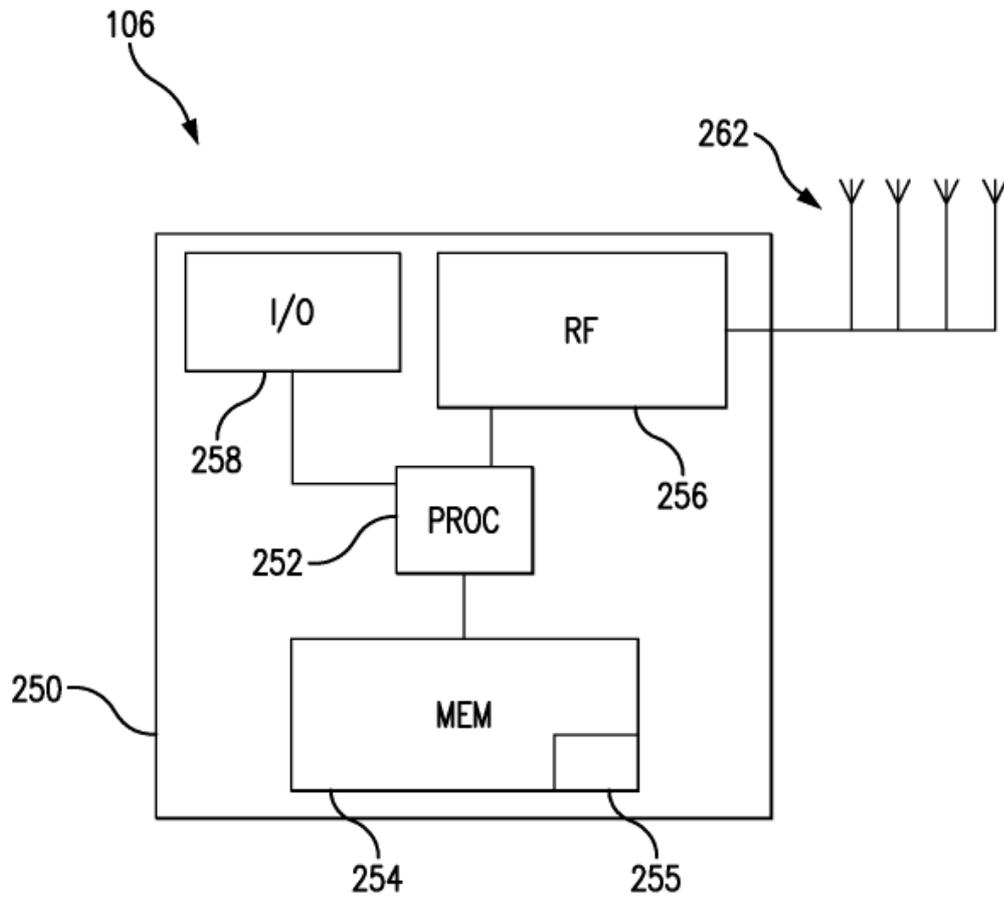


FIG. 3

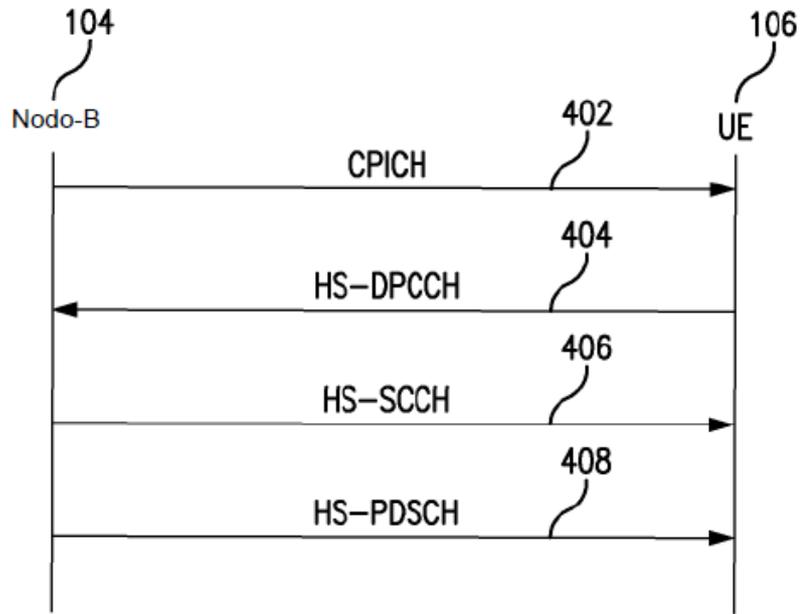


FIG. 4

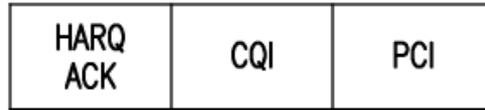


FIG. 5A

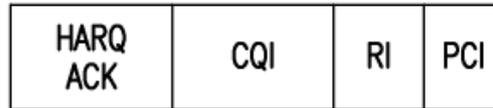


FIG. 5B

1	2	3	4	7	10	13	16	19	22	25	28	31	34	37	40	43	46	49	52	55	58	61	64
2	5	8	11	14	17	20	23	26	29	32	35	38	41	44	47	50	53	56	59	62	65		
6	9	12	15	18	21	24	27	30	33	36	39	42	45	48	51	54	57	60	63	66			

FIG. 6

700



FIG. 7

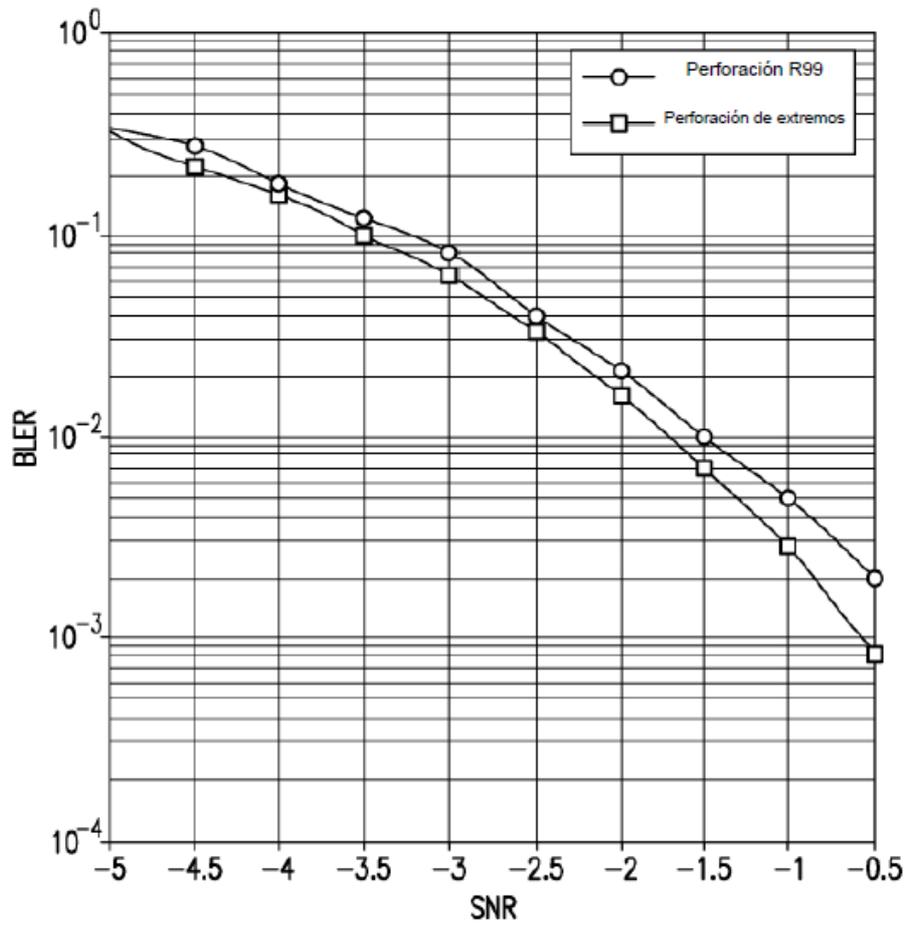


FIG. 8



FIG. 9

1	5	9	13	17	21	25	29	33	37	41
2	6	10	14	18	22	26	30	34	38	42
3	7	11	15	19	23	27	31	35	39	43
4	8	12	16	20	24	28	32	36	40	44

FIG. 10

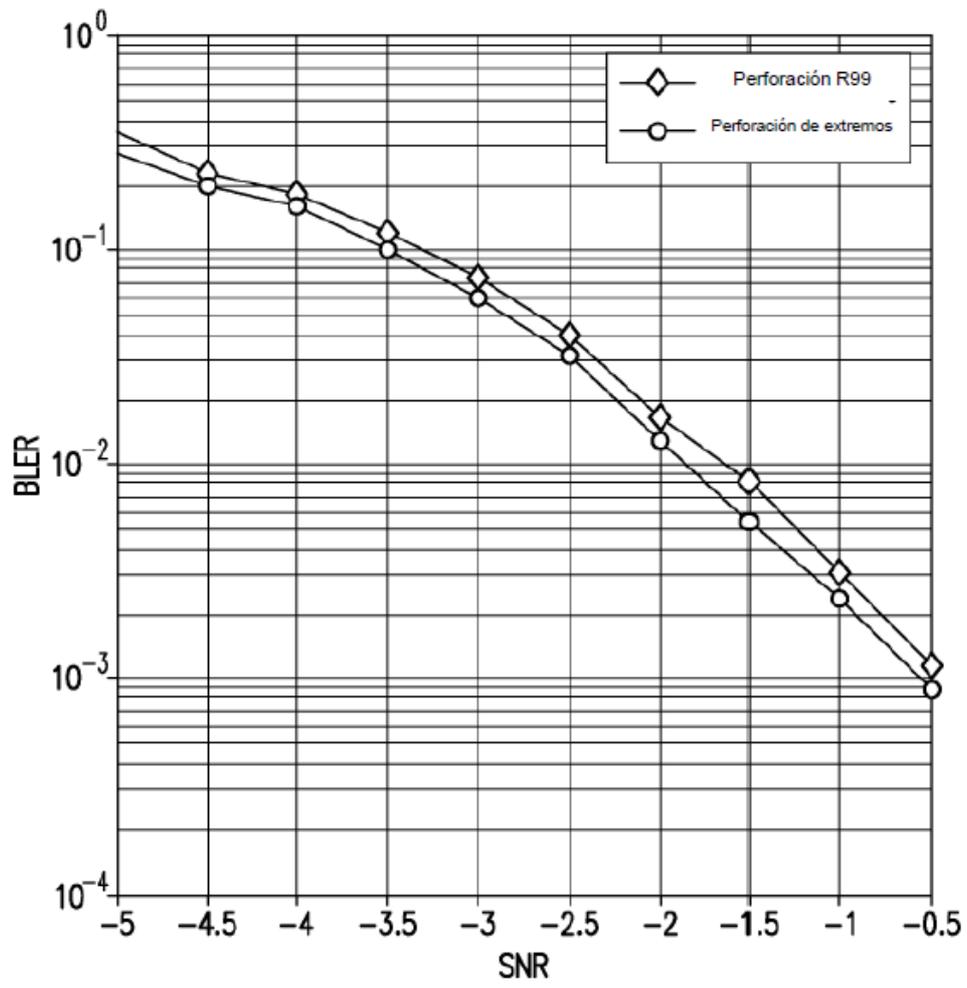


FIG. 11

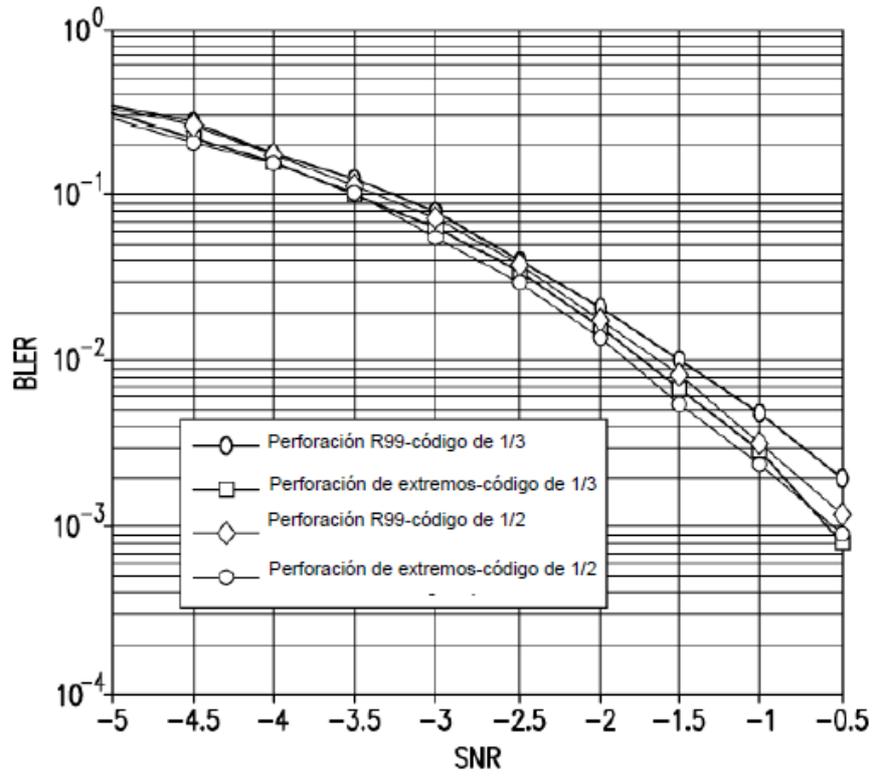


FIG. 12

1	5	9	13	17	21	25	29	33	37	41
2	6	10	14	18	22	26	30	34	38	42
3	7	11	15	19	23	27	31	35	39	43
4	8	12	16	20	24	28	32	36	40	44

FIG. 13

1	5	9	13	17	21	25	29	33	37	41
2	6	10	14	18	22	26	30	34	38	42
3	7	11	15	19	23	27	31	35	39	43
4	8	12	16	20	24	28	32	36	40	44

FIG. 14

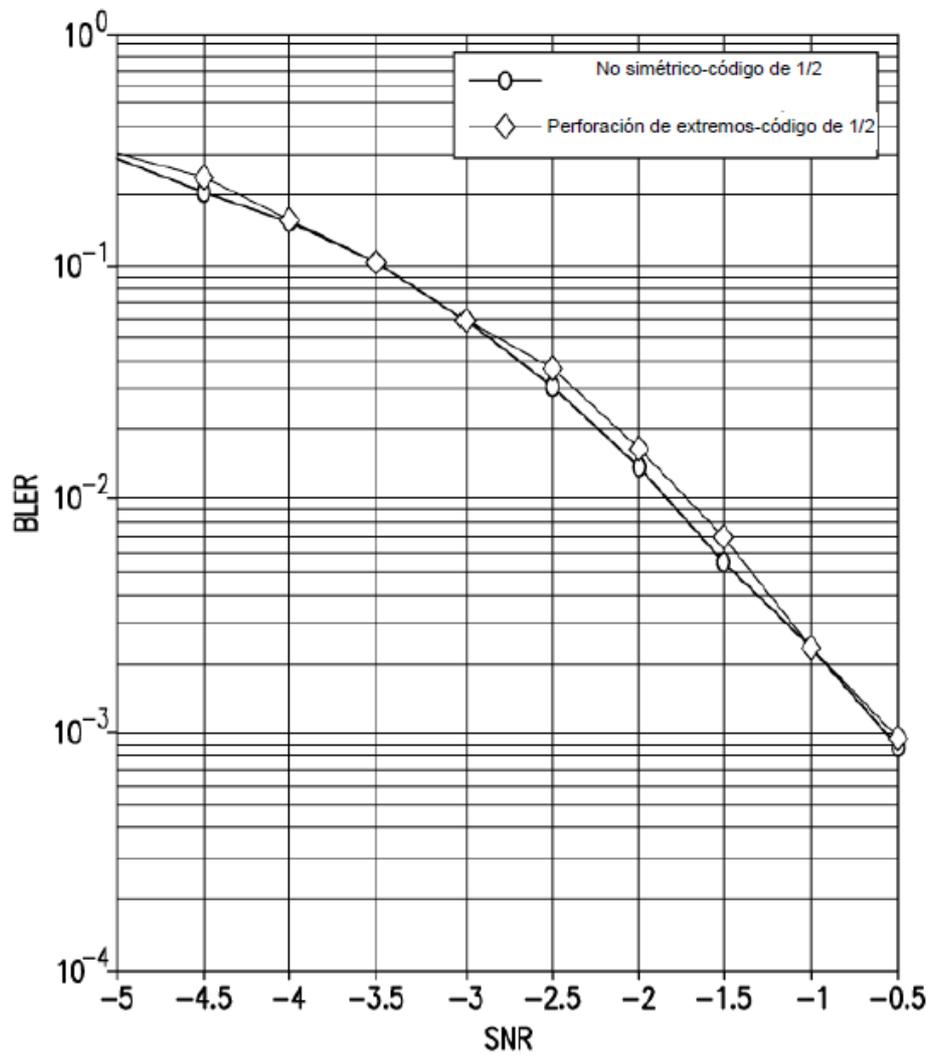


FIG. 15

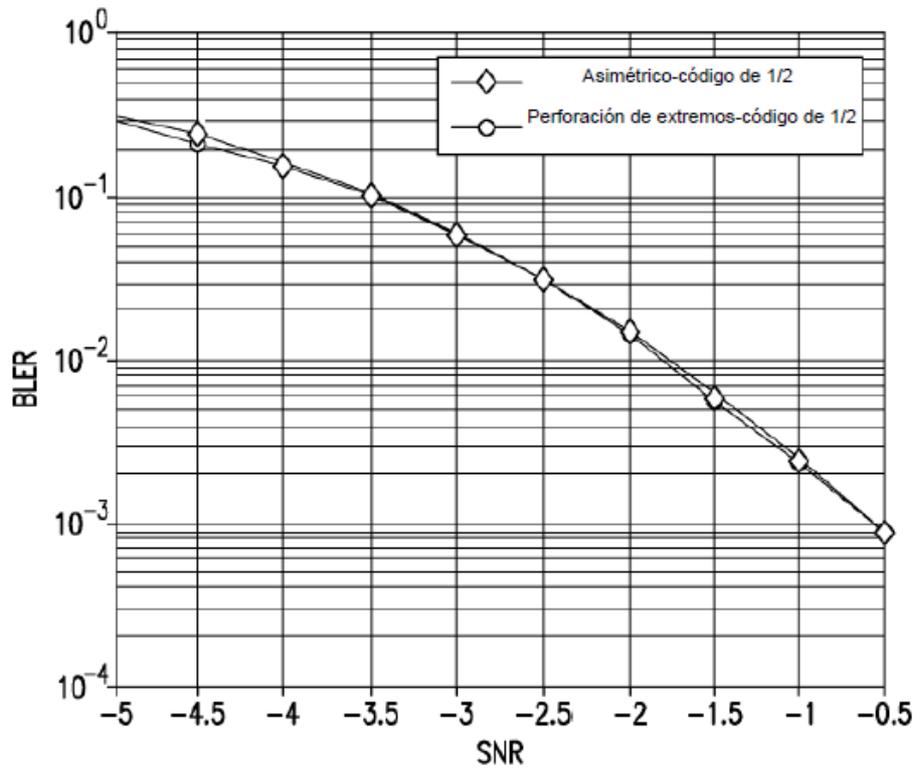


FIG. 16

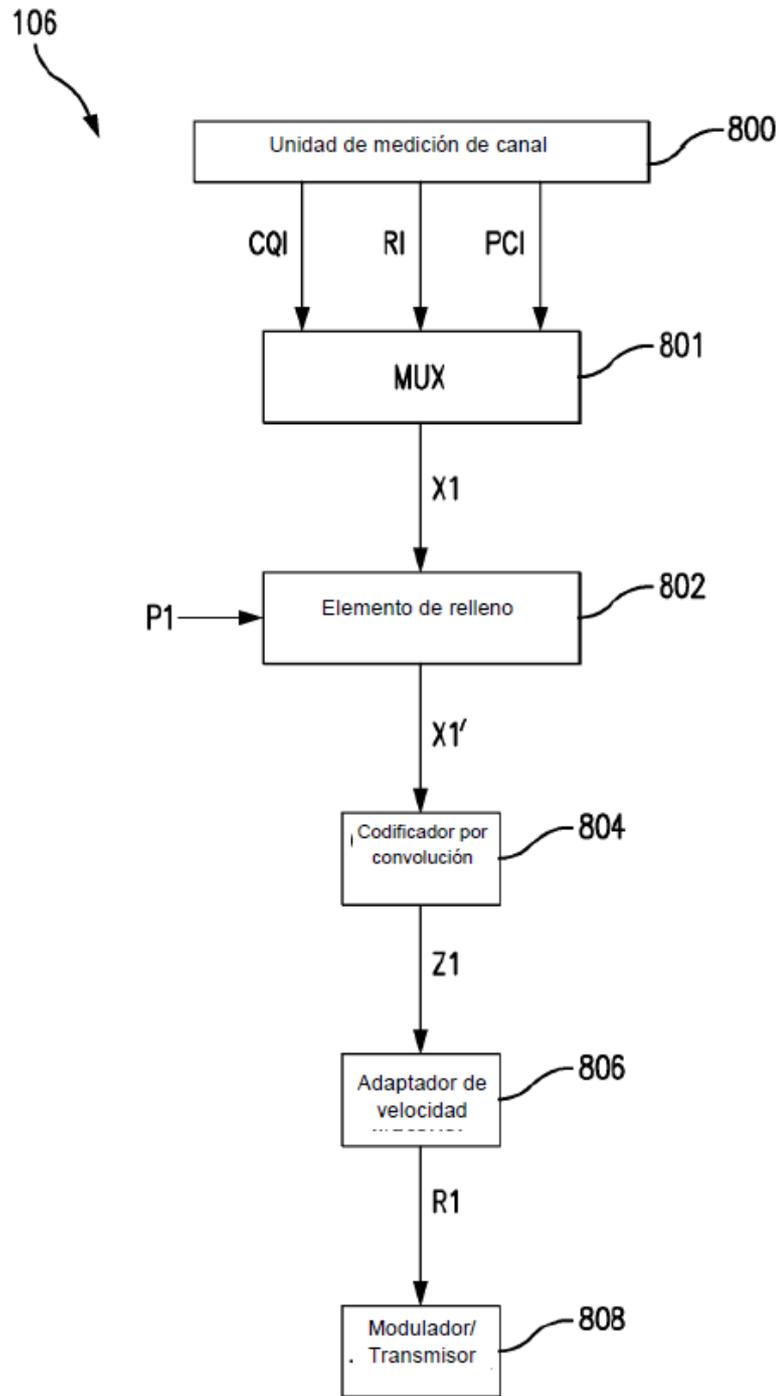


FIG. 17

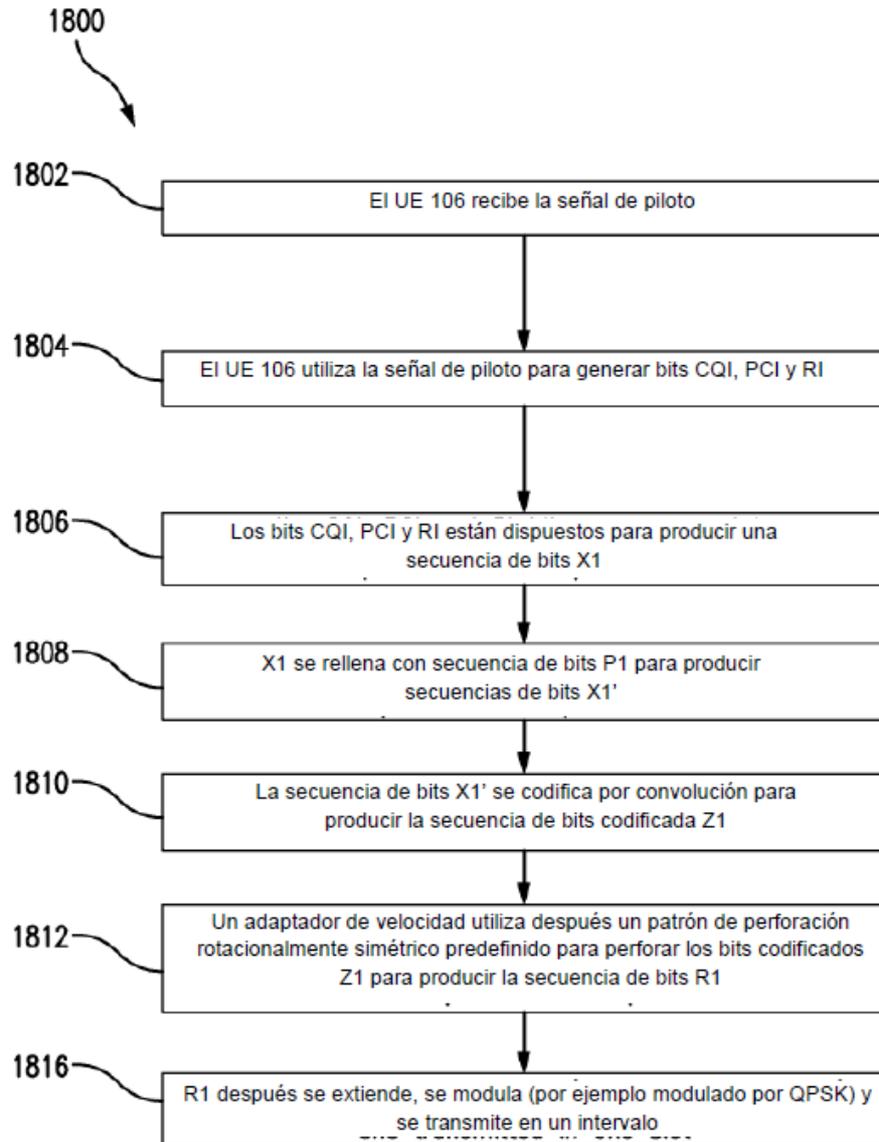


FIG. 18