

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 647 685**

51 Int. Cl.:

H03F 1/02 (2006.01)

H03F 1/30 (2006.01)

H03F 3/30 (2006.01)

H03F 3/72 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **14.03.2008 PCT/US2008/057146**

87 Fecha y número de publicación internacional: **17.09.2009 WO09114021**

96 Fecha de presentación y número de la solicitud europea: **14.03.2008 E 08714264 (2)**

97 Fecha y número de publicación de la concesión europea: **16.08.2017 EP 2274828**

54 Título: **Sistema y procedimiento para habilitar un dispositivo de procesamiento de señal de una manera relativamente rápida para procesar una señal de ciclo de trabajo bajo**

30 Prioridad:
10.03.2008 US 45595

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
26.12.2017

73 Titular/es:
**QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:
FAGG, RUSSELL JOHN

74 Agente/Representante:
FORTEA LAGUNA, Juan José

ES 2 647 685 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y procedimiento para habilitar un dispositivo de procesamiento de señal de una manera relativamente rápida para procesar una señal de ciclo de trabajo bajo

5

ANTECEDENTES

Campo

10 **[0001]** La presente divulgación se refiere en general a sistemas de comunicaciones y, más específicamente, a un sistema y procedimiento para mejorar la eficiencia energética de un receptor para aplicaciones de ciclo de trabajo bajo.

Antecedentes

15

[0002] Los dispositivos de comunicaciones que funcionan con suministros de energía limitados, tales como baterías, típicamente usan técnicas para proporcionar la funcionalidad prevista mientras consumen cantidades relativamente pequeñas de energía. Una técnica que ha ido ganando popularidad se refiere a recibir señales usando técnicas de modulación de impulsos. Esta técnica en general implica recibir información usando impulsos de ciclo de trabajo bajo y funcionar en un modo de baja potencia durante los tiempos en que no se reciben los impulsos. Por lo tanto, en estos dispositivos, la eficiencia energética es típicamente mejor que en los dispositivos de comunicaciones que hacen funcionar continuamente un receptor.

20

[0003] Para que este tipo de técnica de recepción sea eficaz, uno o más de los dispositivos que forman el receptor deberían habilitarse rápidamente y en un estado operativo suficiente para que pueda procesar eficazmente los impulsos entrantes de ciclo de trabajo bajo. Esto permitiría al receptor permanecer en un modo de consumo de energía más bajo durante un período de tiempo más largo, y estar en un modo de consumo de energía más alto durante el tiempo necesario para procesar el impulso entrante. Además, cualquier energía potencial residual que quede después de que uno o más dispositivos de recepción hayan procesado el impulso debería utilizarse para mejorar mejor la eficiencia energética del receptor.

25

30

[0004] El documento US 2007/0170988 A1 describe una sección 13 de control de ganancia capaz de cambiar una ganancia de bucle APC de acuerdo con un nivel de salida de potencia ajustado en un amplificador de potencia para permitir la supresión de variación en el nivel de salida de potencia cuando el nivel de salida de potencia es bajo y la supresión de la incidencia del timbre cuando el nivel de salida de potencia es alto haciendo que la ganancia del bucle sea alta cuando el nivel de salida de potencia es bajo y haciendo que la ganancia del bucle sea baja cuando el nivel de salida de potencia es alto.

35

[0005] Además, el documento US 2007/0096819 se refiere a un amplificador de CMOS que incluye una etapa de entrada, una etapa de salida, un circuito de control de corriente de reposo de tipo de alimentación anticipada y un circuito de interruptor. La etapa de salida incluye un circuito en contrafase (push-pull circuit) con fuente conectada a tierra que tiene un transistor MOS de P canales de salida y un transistor MOS de N canales de salida. La etapa de entrada incluye dos circuitos amplificadores diferenciales. El circuito de control de la corriente de reposo suministra corrientes de reposo a los transistores MOS de la etapa de salida de modo que los transistores MOS de la etapa de salida realizan operaciones de amplificación de clase AB. El circuito de interruptores incluye una pluralidad de interruptores que están desactivados en un estado de espera para detener el suministro de energía a los circuitos de amplificadores diferenciales, detener los funcionamientos de circuitos de corriente constante incluidos en el circuito de control de corriente de reposo y cancelar voltajes de fuente de puerta en los transistores MOS de la etapa de salida.

40

45

50

RESUMEN

[0006] La invención se divulga en las reivindicaciones adjuntas.

55

[0007] Otros aspectos, ventajas y características novedosas de la presente divulgación serán evidentes a partir de la siguiente descripción detallada de la divulgación cuando se consideren conjuntamente con los dibujos adjuntos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

60

[0008]

La FIG. 1 ilustra un diagrama de bloques de un receptor a modo de ejemplo para aplicaciones de ciclo de trabajo bajo que comprende un amplificador de bajo ruido (LNA) de acuerdo con un modo de realización de la invención.

65

La FIG. 2 ilustra un diagrama de temporización de señales a modo de ejemplo generadas y/o procesadas por el receptor a modo de ejemplo que comprende un amplificador de bajo ruido (LNA) de acuerdo con un modo de

realización de la invención.

La FIG. 3 ilustra un diagrama esquemático de un amplificador de bajo ruido (LNA) a modo de ejemplo que incluye un circuito de habilitación a modo de ejemplo de acuerdo con otro aspecto de la invención.

La FIG. 4 ilustra un diagrama esquemático de otro amplificador de bajo ruido (LNA) a modo de ejemplo que incluye un circuito de habilitación a modo de ejemplo de acuerdo con otro aspecto de la invención.

La FIG. 5 ilustra un diagrama esquemático de un circuito de ajuste de voltaje de polarización a modo de ejemplo de un receptor a modo de ejemplo para aplicaciones de ciclo de trabajo bajo que comprende un amplificador de bajo ruido (LNA) de acuerdo con un modo de realización de la invención.

La FIG. 6 ilustra un diagrama de temporización de señales a modo de ejemplo generadas y/o procesadas por el circuito de ajuste de voltaje de polarización a modo de ejemplo.

La FIG. 7 ilustra un diagrama de bloques de un dispositivo de comunicaciones a modo de ejemplo.

La FIG. 8 ilustra un diagrama de bloques de otro dispositivo de comunicaciones a modo de ejemplo

Las FIGs. 9A-D ilustran diagramas de temporización de varias técnicas de modulación de impulsos.

La FIG. 10 ilustra un diagrama de bloques de varios dispositivos de comunicaciones que se comunican entre sí a través de diversos canales.

La FIG. 11 ilustra un diagrama de bloques de un aparato a modo de ejemplo

DESCRIPCIÓN DETALLADA

[0009] A continuación se describen diversos aspectos de la invención. Resultará evidente que las enseñanzas del presente documento pueden implementarse de muchas maneras diferentes y que cualquier estructura o función específica, o ambas, divulgadas en el presente documento, son simplemente representativas. Tomando como base las enseñanzas del presente documento, un experto en la técnica apreciará que un aspecto divulgado en el presente documento se puede implementar independientemente de cualquier otro aspecto, y que dos o más de estos aspectos se pueden combinar de diversas maneras. Por ejemplo, un aparato puede implementarse, o un procedimiento puede llevarse a la práctica, usando cualquier número de los aspectos expuestos en el presente documento. Además, tal aparato se puede implementar o tal procedimiento se puede llevar a la práctica usando otra estructura, funcionalidad, o estructura y funcionalidad además de o aparte de uno o más de los aspectos expuestos en el presente documento.

[0010] Como un ejemplo de algunos de los conceptos anteriores, en algunos aspectos, la invención se refiere a un sistema y procedimiento para mejorar la eficiencia energética de un receptor para aplicaciones de ciclo de trabajo bajo. En un aspecto, el receptor incluye un amplificador de bajo ruido (LNA) que es capaz de habilitarse de una manera relativamente rápida para amplificar un impulso de datos entrantes, y a continuación deshabilitarse para ajustar el LNA en un modo de bajo consumo de energía. En particular, el LNA incluye un par de dispositivos complementarios, y un circuito de habilitación adaptado para hacer rápidamente que los dispositivos complementarios conduzcan sustancialmente la misma corriente. En otro aspecto, se proporciona un aparato generador de voltaje de polarización que usa un voltaje residual de un funcionamiento anterior para establecer el voltaje de polarización actual para el LNA. En particular, el aparato incluye un controlador adaptado para sintonizar un condensador ajustable a una capacitancia basándose en un voltaje residual, y acoplar los condensadores entre sí para formar el voltaje de polarización para el LNA.

[0011] La FIG. 1 ilustra un diagrama de bloques de un receptor a modo de ejemplo 100 para aplicaciones de ciclo de trabajo bajo. En resumen, el receptor 100 incluye un circuito de habilitación para un amplificador de bajo ruido (LNA) que está configurado para habilitar un LNA de una forma relativamente rápida para que el LNA pueda amplificar un impulso entrante y deshabilitar el LNA de forma relativamente rápida para que el LNA se pueda colocar de nuevo en un modo de bajo consumo de energía. Además, el receptor 100 incluye un circuito de ajuste de voltaje de polarización que utiliza voltaje o cargas residuales restantes de un funcionamiento anterior del LNA para establecer un voltaje de polarización para un funcionamiento posterior del LNA. Estas características ayudan a mejorar la eficiencia energética del receptor 100.

[0012] En particular, el receptor 100 comprende un generador de temporización 102, un circuito de ajuste de voltaje de polarización 104, y un LNA 106 que incluye un circuito de habilitación para el LNA. El LNA 106 recibe y amplifica una señal de entrada para generar una señal de salida. La señal de entrada puede configurarse como uno o más impulsos de ciclo de trabajo bajo. El LNA 106 incluye internamente un circuito de habilitación configurado para habilitar el LNA de una manera relativamente rápida para que el LNA pueda amplificar el impulso de señal de entrada y deshabilitar el LNA de una manera relativamente rápida para que el LNA pueda colocarse en un modo de

bajo consumo de energía.

[0013] El circuito de ajuste de voltaje de polarización 104 está configurado para configurar el voltaje de polarización Vdd_Lna para el LNA 106 mediante la utilización de voltaje o cargas residuales almacenados en un condensador externo C sobrante de un funcionamiento anterior del LNA 106 residual. El generador de temporización 102 coordina la configuración del voltaje de polarización Vdd_Lna y la habilitación y deshabilitación del LNA 106 mediante el uso de las respectivas señales HABILITACIÓN DE VOLTAJE DE POLARIZACIÓN Y HABILITACIÓN DE LNA, como se analiza con mayor detalle a continuación.

[0014] La FIG. 2 ilustra un diagrama de temporización de señales a modo de ejemplo generadas y/o procesadas por el receptor a modo de ejemplo 100 que comprende el LNA 106. De acuerdo con el diagrama de temporización, el generador de temporización 102 primero confirma la señal HABILITACIÓN DE VOLTAJE DE POLARIZACIÓN para hacer que el circuito de ajuste de voltaje de polarización 104 establezca el voltaje de polarización Vdd_Lna para el LNA 106. Si el LNA 106 no se hizo funcionar previamente, puede no haber voltaje residual a través del condensador externo C. En consecuencia, el circuito de ajuste de voltaje de polarización 104 establece el voltaje de polarización de LNA Vdd_Lna a partir de cero (0) voltios. Después de que se haya establecido el voltaje de polarización Vdd_Lna, la señal HABILITACIÓN DE VOLTAJE DE POLARIZACIÓN se puede des-confirmar antes de que se confirme la señal HABILITACIÓN DE LNA. Sin embargo, debe entenderse que la señal HABILITACIÓN DE VOLTAJE DE POLARIZACIÓN puede continuar siendo confirmada a través de la ventana de recepción para el LNA 106, como se analiza con más detalle más adelante.

[0015] Después de configurar el voltaje de polarización de LNA Vdd_Lna, el generador de temporización 102 confirma la señal HABILITACIÓN DE LNA para habilitar el LNA 106 de una manera relativamente rápida con el fin de amplificar adecuadamente el impulso de señal de entrada. El generador 102 de temporización continúa confirmando la señal HABILITACIÓN DE LNA durante un tiempo suficiente para formar una ventana de recepción o un intervalo de tiempo en el que debe recibirse el impulso de señal de entrada. Como se muestra en este ejemplo, el impulso de señal de entrada se recibe relativamente temprano en la primera ventana de recepción, lo cual podría interpretarse de una manera particular, tal como un nivel lógico alto. Después de la ventana de recepción, el generador de temporización 102 deja de confirmar las señales HABILITACIÓN DE VOLTAJE DE POLARIZACIÓN Y HABILITACION DE LNA para deshabilitar el LNA 106 y colocarlo en un modo de bajo consumo de energía. De esta manera, el receptor 100 se hace funcionar de una manera eficiente energéticamente haciendo funcionar el LNA 106 en un modo de potencia relativamente baja cuando no se espera señal de entrada, y haciendo funcionar el LNA en un modo de potencia relativamente alta cuando se espera una señal de entrada.

[0016] Cuando es el momento para el siguiente ciclo de recepción, el generador de temporización 102 de nuevo confirma la señal HABILITACIÓN DE VOLTAJE DE POLARIZACIÓN para hacer que el circuito de ajuste de voltaje de polarización 104 configure el voltaje de polarización de LNA Vdd_Lna. Dado que, en este ejemplo, el LNA 106 ya se ha hecho funcionar, puede haber algo de voltaje residual a través del condensador externo C que el circuito de ajuste de voltaje 104 use para establecer el voltaje de polarización de LNA Vdd_Lna para el funcionamiento posterior del LNA 106. De nuevo, de esta manera, el receptor 100 se hace funcionar de una manera eficiente energéticamente utilizando energía potencial residual que puede sobrar de un funcionamiento anterior para suministrar energía al LNA 106. Según el ciclo de recepción anterior, el generador de temporización 102 confirma entonces la señal HABILITACIÓN DE LNA para habilitar el LNA 106 de una manera relativamente rápida para amplificar adecuadamente el impulso de señal de entrada. En este ejemplo, el impulso de señal de entrada se recibe relativamente tarde en la segunda ventana de recepción, lo cual podría interpretarse de otra manera particular, tal como un nivel lógico bajo.

[0017] La FIG. 3 ilustra un diagrama esquemático de un amplificador de bajo ruido (LNA) 300 a modo de ejemplo que incluye un circuito de habilitación a modo de ejemplo de acuerdo con un aspecto de la invención. El LNA 300 puede ser un ejemplo del LNA 106 previamente analizado. En particular, el LNA 300 comprende un par de transistores de efecto de campo (FET) de p canales, M1 y M2, un par de FET de n canales, M3 y M4, y un par de resistencias R1 y R2. Las fuentes de los FET de p canales M1 y M2 están adaptadas para recibir el voltaje de polarización Vdd_Lna. Las puertas de los FET M1 y M4 están adaptadas para recibir la señal HABILITACION DE LNA previamente analizada.

[0018] Las puertas de los FET M2 y M3 están adaptados para recibir la señal de entrada. La señal de salida se produce en los drenajes de los FET M3 y M2. El drenaje del FET M1 está acoplado eléctricamente al terminal de señal de entrada (y las puertas de los FET M2 y M3). La resistencia R1 está acoplada eléctricamente entre la fuente del FET M4 y el terminal de señal de entrada (puertas de los FET M2 y M3). La resistencia R2 está acoplada eléctricamente entre el drenaje del FET M4 y el terminal de señal de salida (drenajes de los FET M2 y M3). La fuente del FET M3 está acoplada eléctricamente al potencial Vss, que puede estar al potencial de tierra o un potencial más negativo que Vdd_Lna.

[0019] En funcionamiento, el LNA 300 está en un modo de bajo consumo de energía cuando la señal HABILITACIÓN DE LNA está a un nivel lógico bajo. El nivel lógico bajo en la puerta del FET M1 hace que el FET M1 se active. Esto hace que el voltaje Vdd_LNA se aplique a las puertas de los FET M2 y M3. Esto, a su vez, desactiva

el FET M2 y activa el FET M3. Además, el nivel lógico bajo de la señal HABILITACION DE LNA aplicada a la puerta del FET M4 hace que el FET M4 se desactive. Por lo tanto, en el modo de bajo consumo de energía, el terminal de señal de salida del LNA 300 tiene un potencial aproximado de Vss debido a la activación del FET M3 y la desactivación del FET M2. El terminal de señal de entrada está a un potencial sustancialmente Vdd_Lna debido a la activación del FET M1 y está sustancialmente aislado del terminal de señal de salida debido a la desactivación del FET M4.

[0020] Cuando la señal HABILITACIÓN DE LNA pasa de un nivel lógico bajo a un nivel lógico alto, el FET M1 se desactiva y el FET M4 se activa. Dado que antes del paso de la señal HABILITACION DE LNA al nivel lógico alto, el voltaje en el terminal de señal de entrada era sustancialmente Vdd_Lna y se activaba el FET M3, la activación del FET M4 hace que las cargas fluyan desde el terminal de señal de entrada a Vss a través de la resistencia R1, la fuente y el drenaje del FET M4, la resistencia R2, y la fuente y el drenaje del FET M3. Esto hace que el voltaje en el terminal de la señal de entrada baje, haciendo que FET M2 conduzca más corriente y que el FET M3 conduzca menos corriente.

[0021] El voltaje en el terminal de señal de entrada cae hasta que alcanza un equilibrio sustancial en las corrientes conducidas por los FET M2 y M3. En el equilibrio, el voltaje en el terminal de la señal de entrada (por ejemplo, las puertas de los FET M2 y M3) es aproximadamente de $Vdd_Lna/2$. Cuando esto ocurre, ambos FET M2 y M3 están polarizados sustancialmente en las mismas regiones lineales, y los FET M2 y M3 funcionan como dispositivos de contrafase (push-pull devices) complementarios para amplificar la señal de entrada para generar la señal de salida. La auto-polarización de los FET M2 y M3 cuando la señal HABILITACION DE LNA pasa al nivel lógico alto ocurre dentro de un intervalo de tiempo definido relativamente pequeño, lo cual permite que el LNA 300 se configure rápidamente para amplificar la señal de entrada cuando sea necesario. Una vez que la señal de entrada ha sido procesada, la señal HABILITACIÓN DE LNA se establece en el nivel lógico bajo para volver a colocar el LNA 300 en un modo de bajo consumo de energía, como se analizó anteriormente.

[0022] La FIG. 4 ilustra un diagrama esquemático de otro amplificador de bajo ruido (LNA) 400 a modo de ejemplo que incluye un circuito de habilitación a modo de ejemplo de acuerdo con otro aspecto de la invención. El LNA 400 puede ser otro ejemplo del LNA 106 previamente analizado. En particular, el LNA 400 comprende un FET M2 de p canales, tres (3) FET de n canales M1, M3 y M4, un par de resistencias R1 y R2, y un par de inversores I1 e I2. La fuente del FET M2 de p canales está adaptada para recibir el voltaje de polarización Vdd_Lna. La entrada del inversor I1 está adaptada para recibir la señal HABILITACION DE LNA previamente analizada.

[0023] Las puertas de los FET M2 y M3 están adaptados para recibir la señal de entrada. La señal de salida se produce en los drenajes de los FET M2 y M3. El drenaje del FET M1 está acoplado eléctricamente al terminal de señal de entrada (puertas de los FET M2 y M3). La resistencia R1 está acoplada eléctricamente entre la fuente del FET M4 y el terminal de señal de entrada (puertas de los FET M2 y M3). La resistencia R2 está acoplada eléctricamente entre el drenaje del FET M4 y el terminal de señal de salida (drenajes de los FET M2 y M3). Las fuentes de los FET M1 y M3 están acopladas eléctricamente a Vss, que puede estar al potencial de tierra o en un potencial más negativo que Vdd_Lna. La salida del inversor I1 está acoplada eléctricamente a la puerta del FET M1 y a la entrada del inversor I2. La salida del inversor I2 está acoplada eléctricamente a la puerta del FET M4.

[0024] En funcionamiento, el LNA 400 está en un modo de bajo consumo de energía cuando la señal HABILITACIÓN DE LNA está a un nivel lógico bajo. El inversor I1 invierte el nivel lógico bajo para producir un nivel lógico alto. El nivel lógico alto hace que el FET M3 se active, conectándose de ese modo a tierra o aplicando potencial Vss al terminal de señal de entrada (puertas de los FET M2 y M3). La conexión a tierra o el potencial Vss en las puertas de los FET M2 y M3 hace que el FET M2 se habilite y el FET M3 se desactive. El inversor I2 invierte el nivel lógico alto en la salida del inversor I1 para generar un nivel lógico bajo en la puerta del FET M4. Esto hace que el FET M4 se desactive, aislando así el terminal de señal de salida del terminal de señal de entrada. En el modo de baja potencia, el voltaje en el terminal de señal de salida es aproximadamente Vdd_Lna, y el LNA 300 consume poca corriente ya que ambos FET M1 y M3 están desactivados.

[0025] Cuando la HABILITACIÓN DE LNA pasa del nivel lógico bajo a un nivel lógico alto, el inversor I1 genera un nivel lógico bajo, desactivando de ese modo el FET M1. El inversor I2, a su vez, invierte el nivel lógico bajo en la salida del inversor I1 para generar un nivel lógico alto, lo cual activa el FET M4. Dado que antes del paso de la señal HABILITACION DE LNA al nivel lógico alto, el voltaje en el terminal de señal de salida era aproximadamente de Vdd_Lna, la activación del FET M4 hace que las cargas fluyan desde el terminal de señal de salida al terminal de señal de entrada, haciendo así que el voltaje en el terminal de señal de entrada aumente.

[0026] El voltaje en el terminal de señal de entrada aumenta hasta que produce un equilibrio sustancial en las corrientes conducidas por los FET M2 y M3. En este equilibrio, el voltaje en el terminal de la señal de entrada (puertas de los FET M2 y M3) es aproximadamente de $Vdd_Lna/2$. Cuando esto ocurre, ambos FET M2 y M3 están polarizados sustancialmente en las mismas regiones lineales, y los FET M2 y M3 funcionan como dispositivos de contrafase complementarios para amplificar la señal de entrada para generar la señal de salida. La auto-polarización de los FET M2 y M3 cuando la señal HABILITACION DE LNA pasa al nivel lógico alto ocurre dentro de un intervalo de tiempo definido relativamente pequeño, permitiendo que el LNA 400 se habilite rápidamente para amplificar la

señal de entrada cuando sea necesario. Una vez que la señal de entrada ha sido procesada, la señal HABILITACIÓN DE LNA se establece en el nivel lógico bajo para volver a colocar el LNA 400 en un modo de bajo consumo de energía, como se analizó anteriormente.

5 **[0027]** La FIG. 5 ilustra un diagrama esquemático de un circuito de ajuste de voltaje de polarización 500 a modo de ejemplo. El circuito de ajuste de voltaje de polarización 500 puede ser un ejemplo del circuito de ajuste de voltaje de polarización 104 previamente analizado. El circuito de ajuste de voltaje de polarización 500 establece el voltaje de polarización Vdd_Lna para el LNA. Como se analizó previamente, si hay algún voltaje residual a través de un condensador externo después de un funcionamiento del LNA, el circuito de ajuste de voltaje de polarización 500 usa el voltaje residual para establecer Vdd_Lna para el siguiente ciclo de funcionamiento del LNA. De esta forma, el
10 circuito de ajuste de voltaje de polarización 500 mejora la eficiencia energética del LNA o receptor que incorpora el LNA.

[0028] En particular, el circuito de ajuste de voltaje de polarización 500 comprende un controlador 502, un condensador sintonizable 506, un condensador fuera de chip C, y un par de FET T1 y T2. El controlador 502 incluye una entrada para recibir la señal HABILITACIÓN DE VOLTAJE DE POLARIZACIÓN procedente del generador de temporización 102. El controlador 502 incluye además entradas para recibir los voltajes Vdd_Chip, Vdd_Lna y Vss; este último puede estar al potencial de tierra. El controlador 502 incluye además salidas para generar un voltaje Vdd_Boost a través del condensador sintonizable 506, y señales de control respectivas para las puertas de los FET T1 y T2. El voltaje Vdd_Boost puede ser mayor o menor que el voltaje Vdd_Chip. El controlador 502 también incluye una salida para generar una Palabra de Sintonización para el condensador sintonizable 506.
15

[0029] La fuente del FET T1 está adaptada para recibir un voltaje Vdd_Chip. El drenaje del FET T1 está acoplado eléctricamente a un extremo del condensador externo C y al drenaje del FET T2. El voltaje de polarización Vdd_Lna para el LNA se genera en el drenaje del FET T1. El otro extremo del condensador C está eléctricamente acoplado al potencial Vss, que, como se analizó previamente, podría estar al potencial de tierra. La fuente del FET T2 está acoplada eléctricamente al conducto Vdd_Boost y a un extremo del condensador sintonizable 506. El otro extremo del condensador sintonizable 506 está acoplado eléctricamente a Vss. El funcionamiento del circuito de ajuste de voltaje de polarización 500 se explica de la siguiente manera.
25

[0030] La FIG. 6 ilustra un diagrama de temporización de señales a modo de ejemplo generadas y/o procesadas por el circuito de ajuste de voltaje de polarización 500 a modo de ejemplo de acuerdo con otro aspecto de la invención. Antes de hacer funcionar el LNA por primera vez, el voltaje en Vdd_Lna se puede representar como V_0 , que podría estar a cero (0) voltios. El controlador 502 genera una Palabra de Sintonización y un voltaje Vdd_Boost para el condensador sintonizable 506 basándose en el voltaje actual Vdd_Lna, que en este ejemplo está en V_0 . En esencia, el controlador 502 compara el voltaje V_0 con un voltaje de referencia para seleccionar la capacitancia y el voltaje Vdd_Boost apropiados para el condensador sintonizable 506. Dado que, en este ejemplo, el voltaje V_0 puede ser relativamente pequeño (por ejemplo, ~ 0 voltios), el controlador 502 sintoniza el condensador sintonizable 506 a una capacitancia relativamente alta y genera un voltaje relativamente alto Vdd_Boost para que pueda transferir las cargas necesarias al condensador externo C de modo que se establezca el voltaje Vdd_Lna especificado.
30

[0031] En respuesta a la señal HABILITACIÓN DE VOLTAJE DE POLARIZACIÓN recibida desde el generador de temporización 102, el controlador 502 envía un impulso a la puerta del FET T1. Esto activa temporalmente el FET T1 para aplicar Vdd_Chip al condensador C. En respuesta, el voltaje Vdd_Lna aumenta de V_0 a V_{11} . Entonces, el controlador 502 envía un impulso a la puerta del FET T2. Esto activa temporalmente el FET T2 para transferir cargas desde el condensador sintonizable 506 al condensador externo C. En respuesta, el voltaje Vdd_Lna aumenta de V_{11} a V_{12} , el voltaje de polarización especificado para el LNA. A continuación, se confirma la señal HABILITACION DE LNA para permitir que el LNA durante un período de tiempo forme una ventana de recepción para un impulso de señal de entrada. Aunque en este ejemplo, el FET T2 se activa solo durante el tiempo suficiente para transferir las cargas necesarias desde el condensador sintonizable 506 al condensador externo C, debe entenderse que el FET T2 podría activarse durante el tiempo en que el LNA esté habilitado. Como se indica en el diagrama de temporización, durante el funcionamiento del LNA, el voltaje Vdd_Lna cae de V_{12} a V_{13} .
45

[0032] En el segundo ciclo de funcionamiento, el controlador 502 genera otra palabra de sintonización para el condensador sintonizable 506 basándose en el voltaje actual Vdd_Lna, que en este ejemplo está ahora en V_{13} . Como se analizó anteriormente, el controlador 502 compara el voltaje V_{13} a un voltaje de referencia para seleccionar la capacitancia adecuada para el condensador sintonizable 506. Dado que, en este ejemplo, el voltaje V_{13} puede ser mayor que V_0 ya que es el voltaje residual en el condensador externo C sobrante del funcionamiento anterior del LNA, el controlador 502 sintoniza el condensador sintonizable 506 a una capacitancia relativamente baja y genera un Vdd_Boost de voltaje relativamente bajo porque no necesita transferir tantas cargas al condensador externo C para lograr el voltaje Vdd_Lna especificado para el LNA. De esta manera, el circuito de ajuste de voltaje de polarización 500 usa el voltaje residual del funcionamiento anterior del LNA para establecer el voltaje de polarización actual Vdd_Lna. Esto mejora la eficiencia energética del receptor porque la carga residual en C se conserva de un período de recepción al siguiente.
50

[0033] El segundo ciclo funciona de manera similar al funcionamiento del primer ciclo. Específicamente, en
65

respuesta a una señal de temporización recibida desde el generador de temporización 102, el controlador 502 envía un impulso a la puerta del FET T1. Esto activa temporalmente el FET T1 para aplicar Vdd_Chip al condensador C. En respuesta, el voltaje Vdd_Lna aumenta de V_{13} a V_{21} . De nuevo, en respuesta a otra señal de temporización recibida del generador de temporización 102, el controlador 502 envía un impulso a la puerta del FET T2. Esto activa temporalmente el FET T2 para transferir cargas desde el condensador sintonizable 506 al condensador C. En respuesta, el voltaje Vdd_Lna aumenta de V_{21} a V_{22} , el voltaje de polarización especificado para el LNA. A continuación, se confirma la señal HABILITACION DE LNA para permitir que el LNA durante un período de tiempo forme una ventana de recepción para un impulso de señal de entrada. Como se indica en el diagrama de temporización, durante el funcionamiento del LNA, el voltaje Vdd_Lna cae de V_{22} a V_{23} . Este proceso se repite para el N-ésimo ciclo de funcionamiento del LNA como se muestra en el diagrama de temporización.

[0034] A pesar de que, en el ejemplo proporcionado, el circuito de ajuste de voltaje de polarización 500 se ha descrito con referencia al establecimiento de un voltaje de polarización para el LNA, se entenderá que el circuito puede ser utilizado para ajustar el voltaje de polarización para otros dispositivos. De nuevo, el circuito de ajuste de voltaje de polarización hace uso del voltaje residual de un funcionamiento anterior de un dispositivo para establecer un nuevo voltaje de polarización para el dispositivo. Esta es una manera eficiente energéticamente de establecer el voltaje de polarización para cualquier dispositivo, no solo el LNA como se analizó anteriormente porque la carga residual en C se conserva de un período de recepción al siguiente.

[0035] La figura 7 ilustra un diagrama de bloques de un dispositivo de comunicaciones 700 a modo de ejemplo que incluye un receptor a modo de ejemplo de acuerdo con otro aspecto de la invención. El dispositivo de comunicaciones 700 puede ser particularmente adecuado para enviar y recibir datos desde y hacia otros dispositivos de comunicaciones. El dispositivo de comunicaciones 700 comprende una antena 702, un dispositivo de aislamiento Tx/Rx 704, una parte receptora de interfaz de usuario 706, una parte receptora de RF a banda base 708, una unidad de banda base 710, una parte transmisora de banda base a RF 712, un transmisor 714, un receptor de datos 716 y un generador de datos 718. El receptor 706 puede estar configurado como o incluir al menos algunos de los componentes del receptor 100 previamente analizados, incluyendo uno o más de los LNA 300 y 400, y el circuito de ajuste de voltaje de polarización 500.

[0036] En funcionamiento, el procesador de datos 716 puede recibir datos desde un dispositivo de comunicaciones remoto a través de la antena 702 que recoge la señal de RF desde el dispositivo de comunicaciones a distancia, el dispositivo de aislamiento de Tx/Rx 704 que envía la señal a la parte receptora de interfaz de usuario 706, el interfaz de usuario receptor 706 que amplifica la señal recibida, la parte receptora de RF a banda base 708 que convierte la señal RF en una señal de banda base, y la unidad de banda base 710 que procesa la señal de banda base para determinar los datos recibidos. El receptor de datos 716 puede entonces realizar una o más operaciones definidas basándose en los datos recibidos. Por ejemplo, el procesador de datos 716 puede incluir un microprocesador, un microcontrolador, un procesador de ordenador de conjunto de instrucciones reducido (RISC), una pantalla, un dispositivo de audio, tal como un auricular, que incluye un transductor tal como altavoces, un dispositivo médico, una zapata, un reloj, un dispositivo robótico o mecánico que responde a los datos, una interfaz de usuario, tal como una pantalla, uno o más diodos emisores de luz (LED), etc.

[0037] Además, en funcionamiento, el generador de datos 718 puede generar datos de salida para su transmisión a otro dispositivo de comunicaciones a través de la unidad de banda base 710 que procesa los datos salientes convirtiéndolos en una señal de banda base para la transmisión, la parte del transmisor de banda base a RF 712 que convierte la señal de banda base en una señal de RF, el transmisor 714 que acondiciona la señal de RF para su transmisión a través del medio inalámbrico, el dispositivo de aislamiento Tx/Rx 704 que envía la señal de RF a la antena 702 mientras aísla la entrada al interfaz de usuario receptor 706, y la antena 702 que irradia la señal de RF al medio inalámbrico. El generador de datos 718 puede ser un sensor u otro tipo de generador de datos. Por ejemplo, el generador de datos 718 puede incluir un microprocesador, un microcontrolador, un procesador RISC, un teclado, un dispositivo apuntador tal como un ratón o una bola de desplazamiento (trackball), un dispositivo de audio, tal como un auricular, incluyendo un transductor tal como un micrófono, un dispositivo médico, una zapata, un dispositivo robótico o mecánico que genera datos, una interfaz de usuario, tal como una pantalla, uno o más diodos emisores de luz (LED), etc.

[0038] La figura 8 ilustra un diagrama de bloques de un dispositivo de comunicaciones a modo de ejemplo 800 que incluye un receptor a modo de ejemplo. El dispositivo de comunicaciones 800 puede ser particularmente adecuado para recibir datos de otros dispositivos de comunicaciones. El dispositivo de comunicaciones 800 comprende una antena 802, un receptor de interfaz de usuario 804, una parte transmisora de RF a banda base 806, una unidad de banda base 808 y un receptor de datos 810. El receptor 804 puede estar configurado como o incluir al menos algunos de los componentes del receptor 100 previamente analizados, incluyendo uno o más de los LNA 300 y 400, y el circuito de ajuste de voltaje de polarización 500.

[0039] En funcionamiento, el procesador de datos 810 puede recibir datos desde un dispositivo de comunicaciones remoto a través de la antena 802 que recoge la señal de RF desde el dispositivo de comunicaciones a distancia, el interfaz de usuario receptor 804 que amplifica la señal recibida, la parte receptora de RF a banda base 806 que convierte la señal de RF en una señal de banda base, y la unidad de banda base 808 que procesa la señal de banda

base para determinar los datos recibidos. El receptor de datos 810 puede entonces realizar una o más operaciones definidas basándose en los datos recibidos. Por ejemplo, el procesador de datos 810 puede incluir un microprocesador, un microcontrolador, un procesador de ordenador de conjunto de instrucciones reducido (RISC), una pantalla, un dispositivo de audio, tal como un auricular, que incluye un transductor tal como altavoces, un dispositivo médico, una zapata, un reloj, un dispositivo robótico o mecánico que responde a los datos, una interfaz de usuario, tal como una pantalla, uno o más diodos emisores de luz (LED), etc.

[0040] La figura 9A ilustra diferentes canales (canales 1 y 2) definidos con diferentes frecuencias de repetición de impulsos (PRF) como un ejemplo de una modulación de impulsos que puede emplearse en cualquiera de los sistemas de comunicaciones descritos en el presente documento. Específicamente, los impulsos para el canal 1 tienen una frecuencia de repetición de impulsos (PRF) correspondiente a un período de retardo de impulso a impulso 902. Por el contrario, los impulsos para el canal 2 tienen una frecuencia de repetición de impulsos (PRF) correspondiente a un período de retardo de impulso a impulso 904. Esta técnica puede por lo tanto usarse para definir canales pseudo-ortogonales con una probabilidad relativamente baja de colisiones de impulsos entre los dos canales. En particular, se puede lograr una baja probabilidad de colisiones de impulsos mediante el uso de un ciclo de trabajo bajo para los impulsos. Por ejemplo, a través de la selección apropiada de las frecuencias de repetición de impulsos (PRF), sustancialmente todos los impulsos para un canal dado pueden transmitirse a tiempos diferentes que los impulsos para cualquier otro canal.

[0041] La frecuencia de repetición de impulsos (PRF) definida para un canal dado puede depender de la velocidad o velocidades de datos soportadas por ese canal. Por ejemplo, un canal que soporta velocidades de datos muy bajas (por ejemplo, del orden de unos pocos kilobits por segundo o Kbps) puede emplear una frecuencia de repetición de impulsos (PRF) baja correspondiente. Por el contrario, un canal que soporta velocidades de datos relativamente altas (por ejemplo, del orden de varios megabits por segundo o Mbps) puede emplear una frecuencia de repetición de impulsos (PRF) correspondientemente más alta.

[0042] La figura 9B ilustra diferentes canales (canales 1 y 2) definidos con diferentes desfases o posiciones de los impulsos como un ejemplo de una modulación que puede emplearse en cualquiera de los sistemas de comunicaciones descritos en el presente documento. Los impulsos para el canal 1 se generan en un punto en el tiempo como se representa mediante la línea 906 de acuerdo con un primer desfase de impulsos (por ejemplo, con respecto a un punto dado en el tiempo, no mostrado). Por el contrario, los impulsos para el canal 2 se generan en un punto en el tiempo como se representa mediante la línea 908 de acuerdo con un segundo desfase de impulsos. Dada la diferencia de desfase de impulsos entre los impulsos (representada por las flechas 910), esta técnica puede usarse para reducir la probabilidad de colisiones de impulsos entre los dos canales. Dependiendo de cualquier otro parámetro de señalización definido para los canales (por ejemplo, como se analiza en el presente documento) y la precisión de la temporización entre los dispositivos (por ejemplo, relativo a deriva de reloj), el uso de diferentes desfases de impulsos puede utilizarse para proporcionar canales ortogonales o pseudo-ortogonales

[0043] La figura 9C ilustra diferentes canales (canales 1 y 2) definidos con diferentes modulaciones de las secuencias de salto de temporización que pueden emplearse en cualquiera de los sistemas de comunicaciones descritos en el presente documento. Por ejemplo, los impulsos 912 para el canal 1 se pueden generar a veces de acuerdo con una secuencia de salto de tiempo mientras que los impulsos 914 para el canal 2 se pueden generar a veces de acuerdo con otra secuencia de salto de tiempo. Dependiendo de las secuencias específicas usadas y de la precisión de la temporización entre los dispositivos, esta técnica se puede usar para proporcionar canales ortogonales o pseudo-ortogonales. Por ejemplo, las posiciones de impulsos con salto de tiempo pueden no ser periódicas para reducir la posibilidad de repetición de colisiones de impulsos desde los canales próximos.

[0044] La figura 9D ilustra diferentes canales definidos con diferentes ranuras de tiempo como un ejemplo de una modulación de impulsos que puede emplearse en cualquiera de los sistemas de comunicaciones descritos en el presente documento. Los impulsos para el canal L1 se generan en momentos particulares. De forma similar, los impulsos para el canal L2 se generan en otros momentos. De la misma manera, el impulso para el canal L3 se genera en otros momentos. En general, los momentos pertenecientes a los diferentes canales no coinciden o pueden ser ortogonales para reducir o eliminar la interferencia entre los diversos canales.

[0045] Se debe apreciar que otras técnicas pueden usarse para definir los canales de acuerdo con esquemas de modulación de impulsos. Por ejemplo, un canal se puede definir basándose en diferentes secuencias de números pseudo-aleatorios de difusión, o algún otro parámetro o parámetros adecuados. Además, un canal puede definirse basándose en una combinación de dos o más parámetros.

[0046] La figura 10 ilustra un diagrama de bloques de varios dispositivos de comunicaciones de banda ultra ancha (UWB) que se comunican entre sí a través de diversos canales. Por ejemplo, el dispositivo UWB 1 1002 se está comunicando con el dispositivo UWB 2 1004 a través de dos canales UWB simultáneos 1 y 2. El dispositivo UWB 1002 se está comunicando con el dispositivo UWB 3 1006 a través de un solo canal 3. Y, el dispositivo UWB 3 1006 se está, a su vez, comunicando con el dispositivo UWB 4 1008 a través de un único canal 4. Otras configuraciones son posibles. Los dispositivos de comunicaciones se pueden usar para muchas aplicaciones diferentes, y se pueden implementar, por ejemplo, en un auricular, micrófono, sensor biométrico, monitor de frecuencia cardíaca, podómetro,

dispositivo EKG, reloj, zapato, control remoto, interruptor, monitor de presión de neumáticos, u otros dispositivos de comunicaciones.

5 **[0047]** La FIG. 11 ilustra un diagrama de bloques de un aparato a modo de ejemplo 1100 de acuerdo con otro aspecto de la invención. El aparato 1100 comprende un módulo 1102 para una señal de entrada que incluye dispositivos complementarios primero y segundo que tienen entradas acopladas entre sí para recibir una señal de entrada, y salidas acopladas juntas en las que se produce una señal de salida. El aparato 1100 incluye además un módulo 1104 para acoplar las entradas y salidas del primer y segundo dispositivos complementarios, y está adaptado para hacer que los dispositivos complementarios primero y segundo conduzcan sustancialmente las mismas corrientes si el módulo de procesamiento 1102 está habilitado.

15 **[0048]** Cualquiera de los aspectos anteriores de la invención puede implementarse en muchos dispositivos diferentes. Por ejemplo, además de las aplicaciones médicas analizadas anteriormente, los aspectos de la invención pueden aplicarse a aplicaciones de salud y de acondicionamiento físico. Además, los aspectos de la invención pueden implementarse en zapatas para diferentes tipos de aplicaciones. Hay otra multitud de aplicaciones que pueden incorporar cualquier aspecto de la invención como se describe en el presente documento.

20 **[0049]** Se han descrito diversos aspectos de la invención anteriormente. Resultará evidente que las enseñanzas del presente documento se pueden realizar en una amplia variedad de formas y que cualquier estructura o función específicas, o ambas, que se divulguen en el presente documento es simplemente representativa. Tomando como base las enseñanzas del presente documento, un experto en la técnica apreciará que un aspecto divulgado en el presente documento se puede implementar independientemente de cualquier otro aspecto, y que dos o más de estos aspectos se pueden combinar de diversas maneras. Por ejemplo, un aparato puede implementarse, o un procedimiento puede llevarse a la práctica, usando cualquier número de los aspectos expuestos en el presente documento. Además, tal aparato se puede implementar o tal procedimiento se puede llevar a la práctica usando otra estructura, funcionalidad, o estructura y funcionalidad además de o aparte de uno o más de los aspectos expuestos en el presente documento. Como ejemplo de algunos de los conceptos anteriores, en algunos aspectos pueden establecerse canales concurrentes basándose en frecuencias de repetición de impulsos. En algunos aspectos pueden establecerse canales concurrentes basándose en los desfases o la posición de los impulsos. En algunos aspectos pueden establecerse canales concurrentes basándose en secuencias de salto de tiempo. En algunos aspectos pueden establecerse canales concurrentes basándose en frecuencias de repetición de impulsos, desfases o posiciones de los impulsos y secuencias de salto de tiempo.

35 **[0050]** Los expertos en la técnica entenderán que la información y las señales pueden representarse usando cualquiera entre varias tecnologías y técnicas diferentes. Por ejemplo, los datos, las instrucciones, los comandos, la información, las señales, los bits, los símbolos y los segmentos que puedan haber sido mencionados a lo largo de la descripción anterior pueden representarse mediante voltajes, corrientes, ondas electromagnéticas, campos o partículas magnéticos, campos o partículas ópticos, o cualquier combinación de los mismos.

40 **[0051]** Los expertos en la técnica apreciarán además que los diversos bloques lógicos, módulos, procesadores, medios, circuitos y etapas de algoritmo ilustrativos descritos en relación con los aspectos divulgados en el presente documento se pueden implementar como hardware electrónico (por ejemplo, una implementación digital, una implementación analógica, o una combinación de las dos que se pueda diseñar usando codificación de fuente o alguna otra técnica), como diversas formas de código de programa o de diseño que incorporan instrucciones (que pueden denominarse en el presente documento, por comodidad, "software" o "módulo de software"), o como combinaciones de ambos. Para ilustrar claramente esta intercambiabilidad de hardware y software, anteriormente se han descrito diversos componentes, bloques, módulos, circuitos y etapas ilustrativos, en general, en lo que respecta a su funcionalidad. Que dicha funcionalidad se implemente como hardware o software depende de la aplicación particular y de las restricciones de diseño impuestas al sistema global. Los expertos en la técnica pueden implementar la funcionalidad descrita de formas distintas para cada aplicación particular, pero no debe interpretarse que tales decisiones de implementación suponen una salida del alcance de la presente invención.

55 **[0052]** Los diversos bloques lógicos, módulos y circuitos ilustrativos descritos en relación con los aspectos divulgados en el presente documento se pueden implementar en o realizar mediante un circuito integrado ("IC"), un terminal de acceso o un punto de acceso. El IC puede comprender un procesador de propósito general, un procesador de señales digitales (DSP), un circuito integrado de aplicación específica (ASIC), una matriz de puertas programables in situ (FPGA) u otro dispositivo lógico programable, puerta discreta o lógica de transistor, componentes de hardware discretos, componentes eléctricos, componentes ópticos, componentes mecánicos, o cualquier combinación de los mismos diseñada para realizar las funciones que se describen en el presente documento y que pueden ejecutar códigos o instrucciones que residen en el IC, fuera del IC o en ambos casos. Un procesador de propósito general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados convencional. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo.

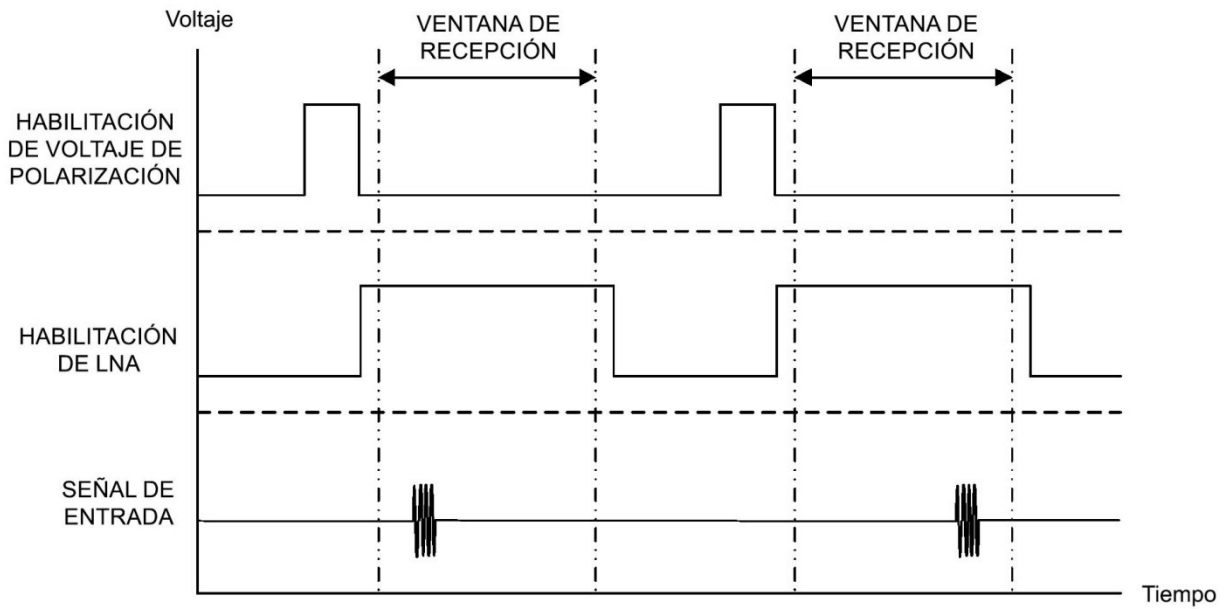
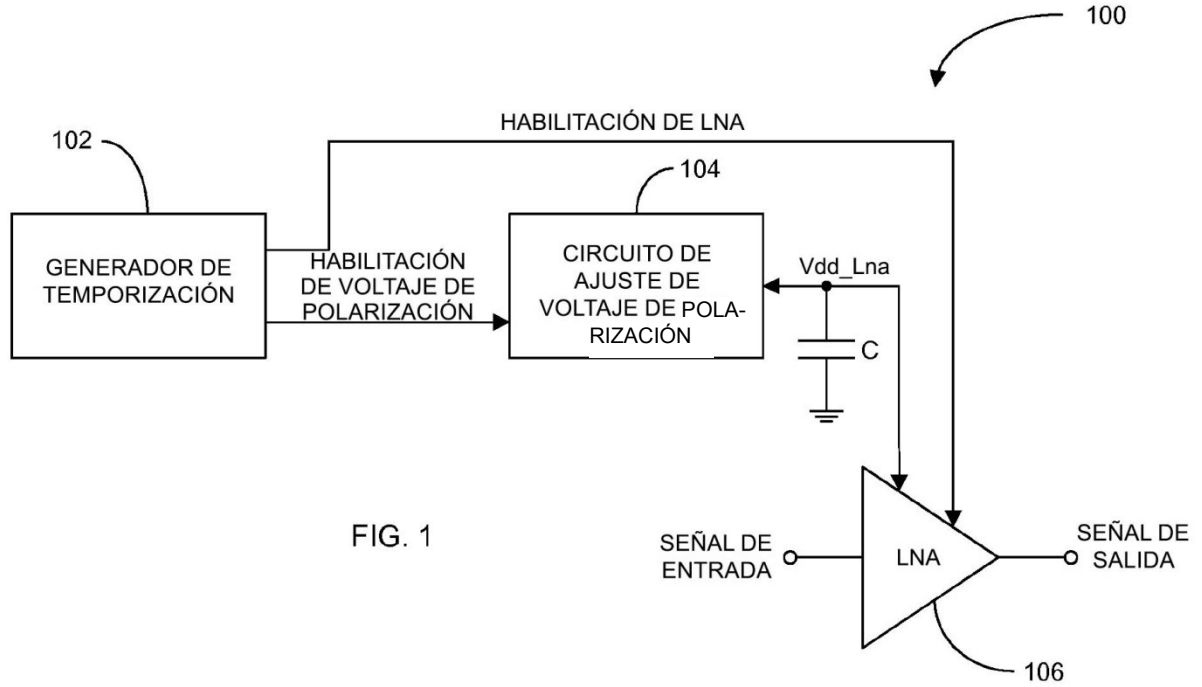
5 **[0053]** Se entiende que cualquier orden o jerarquía específicos de etapas en cualquier proceso divulgado es un ejemplo de un enfoque de muestra. Basándose en las preferencias de diseño, se entiende que el orden o jerarquía específico de etapas en los procesos se puede reorganizar mientras siga estando dentro del alcance de la presente invención. Las reivindicaciones de procedimiento adjuntas presentan elementos de las diversas etapas en un orden de muestra y no están destinadas a estar limitadas al orden o jerarquía específicos presentados.

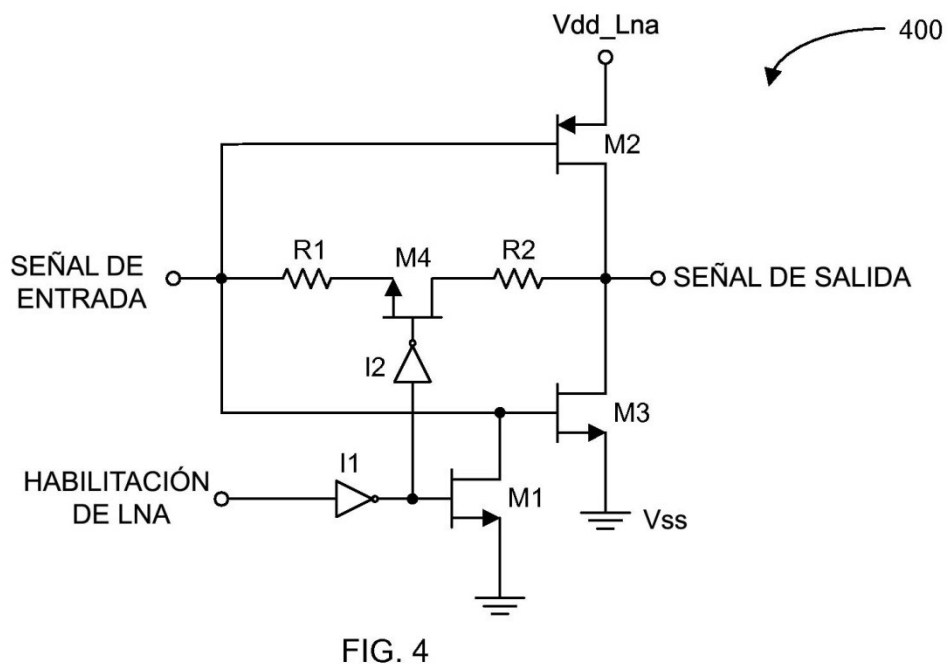
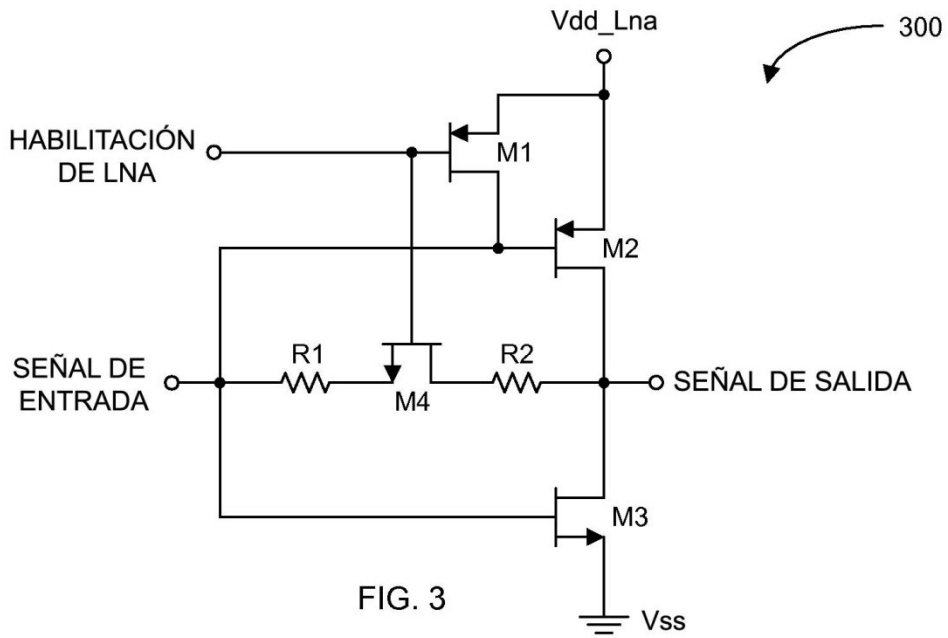
10 **[0054]** Las etapas de un procedimiento o algoritmo descritas en relación con los aspectos divulgados en el presente documento pueden realizarse directamente en hardware, en un módulo de software ejecutado por un procesador o en una combinación de los dos. Un módulo de software (por ejemplo, incluyendo instrucciones ejecutables y datos relacionados) y otros datos pueden residir en una memoria de datos, como una memoria RAM, una memoria flash, una memoria ROM, una memoria EPROM, una memoria EEPROM, registros, un disco duro, un disco extraíble, un CD-ROM o cualquier otra forma de medio de almacenamiento legible por ordenador conocido en la técnica. Se puede acoplar a una máquina un medio de almacenamiento de muestra tal como, por ejemplo, un ordenador /
15 procesador (que en el presente documento se puede denominar, por conveniencia, un "procesador") de modo que el procesador pueda leer información (por ejemplo, código) del y escribir información en el medio de almacenamiento. Un medio de almacenamiento de muestra puede estar integrado en el procesador. El procesador y el medio de almacenamiento pueden residir en un ASIC. El ASIC puede residir en un equipo de usuario. De forma alternativa, el procesador y el medio de almacenamiento pueden residir como componentes discretos en un equipo de usuario. Además, en algunos aspectos, cualquier producto de programa informático adecuado puede comprender un medio
20 legible por ordenador que comprende códigos relacionados con uno o más de los aspectos de la divulgación. En algunos aspectos, un producto de programa informático puede incluir materiales de embalaje.

25 **[0055]** Aunque la invención se ha descrito en relación con diversos aspectos, se comprenderá que la invención es capaz de otras modificaciones. Esta solicitud está destinada a cubrir cualquier variación, uso o adaptación de la invención siguiendo, en general, los principios de la invención, e incluyendo tales desviaciones de la presente divulgación, dentro de la práctica conocida y habitual dentro de la técnica a la que pertenece la invención.

REIVINDICACIONES

1. Un procedimiento de procesamiento de una señal de entrada mediante un par de dispositivos complementarios (M_2 , M_3) que tienen entradas acopladas entre sí y tienen salidas acopladas entre sí, en el que una señal de entrada se alimenta directamente al par de dispositivos complementarios (M_2 , M_3), las entradas se acoplan además a las salidas a través de un elemento resistivo (R_1) acoplado en serie con un primer interruptor controlable (M_4), un segundo interruptor controlable (M_1) situado entre una fuente de un voltaje específico y las entradas o salidas de los dispositivos complementarios (M_2 , M_3) y adaptado para establecer el voltaje especificado en las entradas o salidas de los dispositivos complementarios (M_2 , M_3), con el par de dispositivos complementarios (M_2 , M_3) teniendo un modo de bajo consumo de energía si una señal de habilitación de nivel lógico desactiva el primer interruptor controlable (M_4) y activa el segundo interruptor controlable (M_1), comprendiendo el procedimiento:
 - activar el primer interruptor controlable (M_4) y desactivar el segundo interruptor controlable (M_1) en respuesta a una transición de la señal de habilitación de nivel lógico hace que los dispositivos (M_2 , M_3) funcionen como dispositivos en contrafase (push-pull devices) complementarios para amplificar la señal de entrada.
2. El procedimiento según la reivindicación 1, en el que el establecimiento del voltaje especificado en las entradas o salidas de los dispositivos complementarios (M_2 , M_3) se realiza en respuesta a una señal de control que indica si habilitar o deshabilitar el procesamiento de la señal de entrada.
3. El procedimiento según la reivindicación 1, que comprende además habilitar el procesamiento de la señal de entrada dentro de una constante de tiempo especificada.
4. El procedimiento según la reivindicación 1, que comprende además la eliminación de las cargas de las entradas de los dispositivos complementarios (M_2 , M_3) para hacer que los dispositivos complementarios conduzcan sustancialmente la misma corriente.
5. Un aparato, que comprende un par de dispositivos complementarios (M_2 , M_3) que tienen entradas acopladas entre sí y tienen salidas acopladas entre sí, en el que una señal de entrada se alimenta directamente al par de dispositivos complementarios (M_2 , M_3), las entradas están además acopladas a las salidas a través de un elemento resistivo (R_1) acoplado en serie con un primer interruptor controlable (M_4), un segundo interruptor controlable (M_1) situado entre una fuente de un voltaje especificado y las entradas o salidas de los dispositivos complementarios (M_2 , M_3) y adaptado para establecer el voltaje especificado en las entradas o salidas de los dispositivos complementarios (M_2 , M_3), teniendo el par de dispositivos complementarios (M_2 , M_3) un modo de bajo consumo de energía si una señal de habilitación de nivel lógico desactiva el primer interruptor controlable (M_4) y activa el segundo interruptor controlable (M_1), comprendiendo además el aparato:
 - una transición de la señal de nivel lógico activa el primer interruptor controlable (M_4) y desactiva el segundo interruptor controlable (M_1) haciendo que los dispositivos complementarios (M_2 , M_3) funcionen como dispositivos en contrafase complementarios para amplificar la señal de entrada.
6. El aparato de la reivindicación 5, en el que los medios de establecimiento de voltaje especificados están adaptados para responder a una señal de control para habilitar o deshabilitar los medios de procesamiento.
7. El aparato de la reivindicación 5, en el que los medios de acoplamiento están configurados para habilitar los medios de procesamiento dentro de una constante de tiempo especificada.
8. El aparato de la reivindicación 5, en el que los medios de acoplamiento están adaptados para eliminar las cargas de las entradas de los dispositivos complementarios (M_2 , M_3) para hacer que los dispositivos complementarios conduzcan sustancialmente la misma corriente.
9. El aparato de la reivindicación 5, en el que los medios de acoplamiento están adaptados para enviar cargas hacia las entradas de los dispositivos complementarios (M_2 , M_3) para hacer que los dispositivos complementarios (M_2 , M_3) conduzcan sustancialmente la misma corriente.
10. El aparato de la reivindicación 5, en el que los dispositivos complementarios comprenden un transistor de efecto de campo (FET) de p canales y un transistor de efecto de campo (FET) de n canales.
11. El aparato de la reivindicación 5, en el que los medios de procesamiento están adaptados para procesar la señal de entrada que tiene un espectro fraccional del orden del 20 % o más, un espectro del orden de 500 MHz o más, o un espectro fraccional del orden del 20 % o más y un espectro del orden de 500 MHz o más.
12. El aparato de la reivindicación 5, en el que los medios de procesamiento comprenden un amplificador de bajo ruido (LNA).





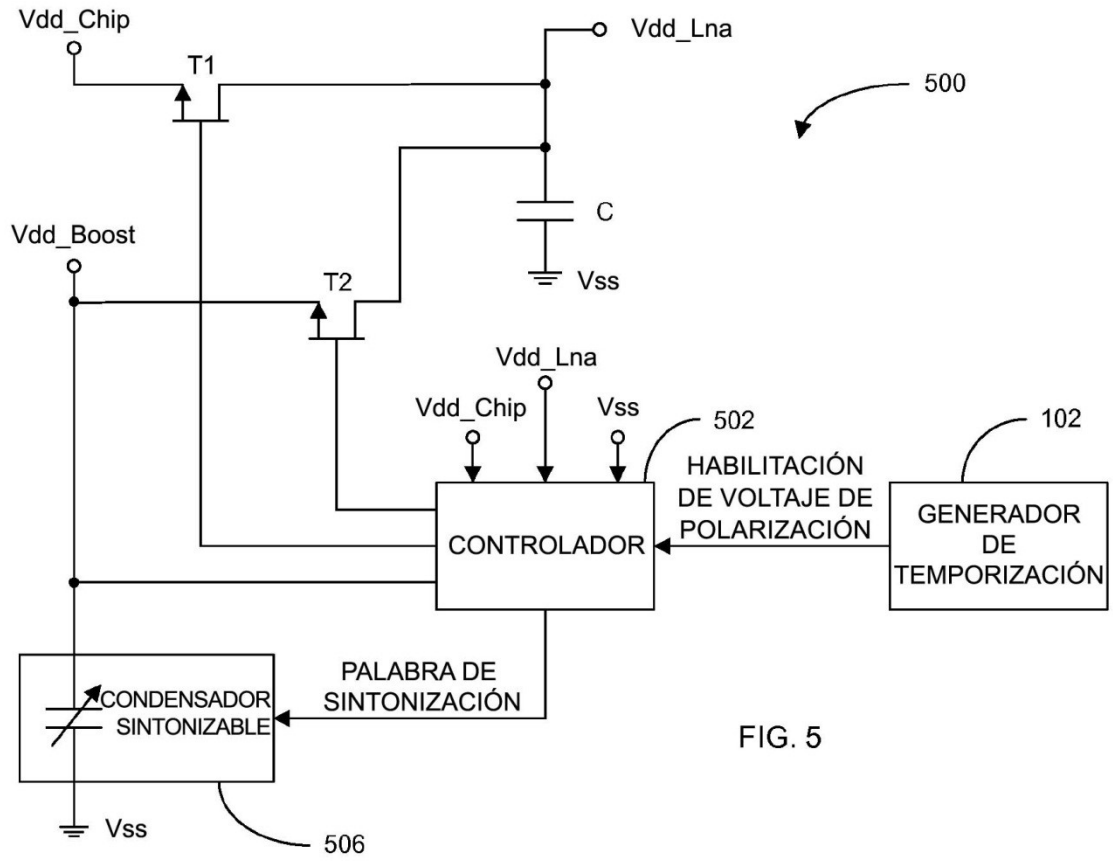


FIG. 5

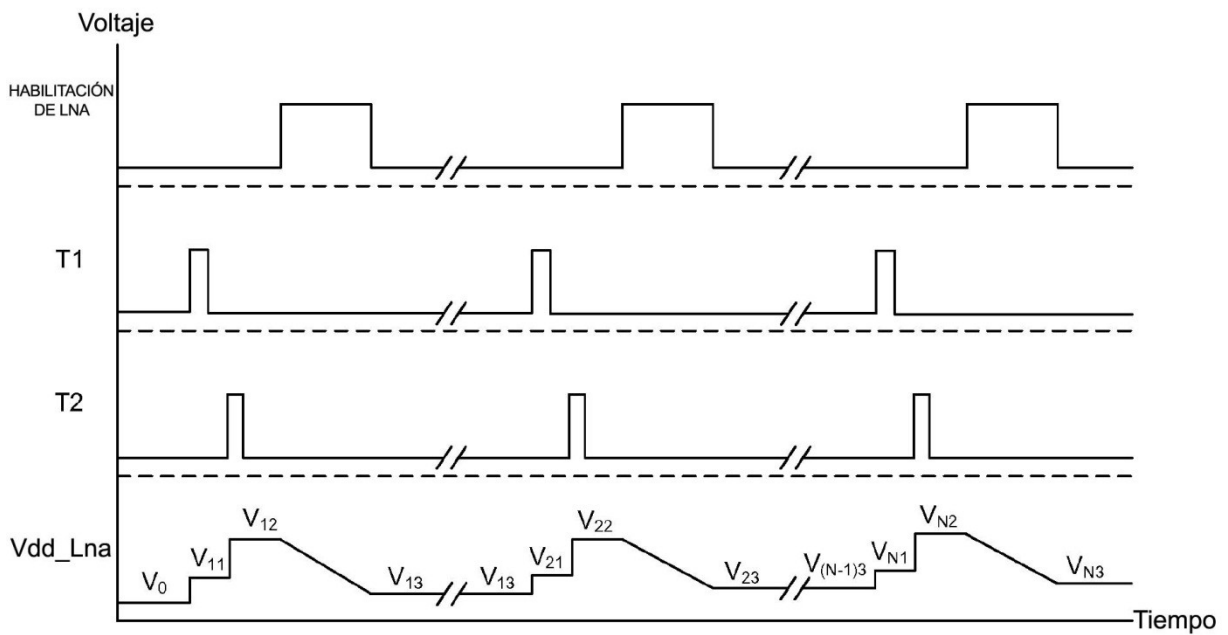


FIG. 6

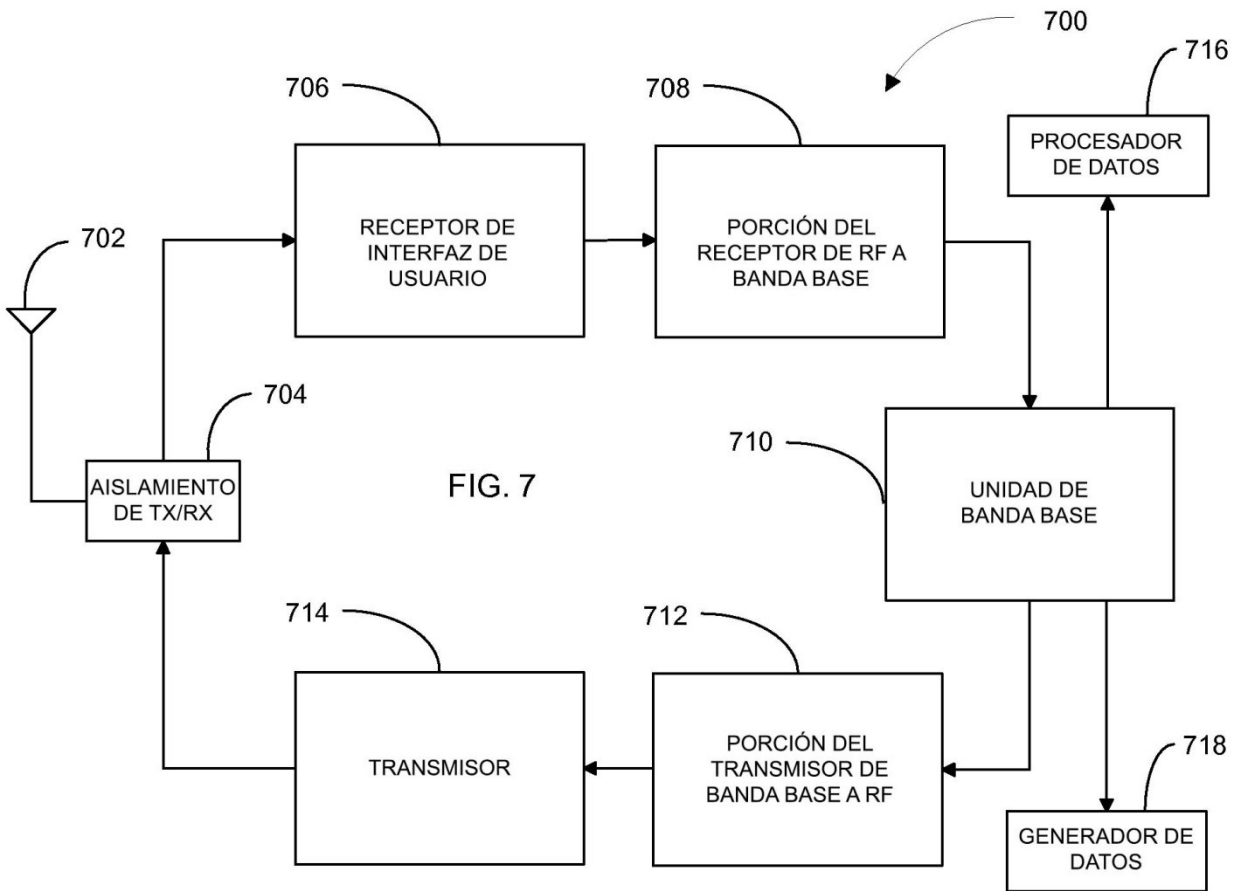


FIG. 7

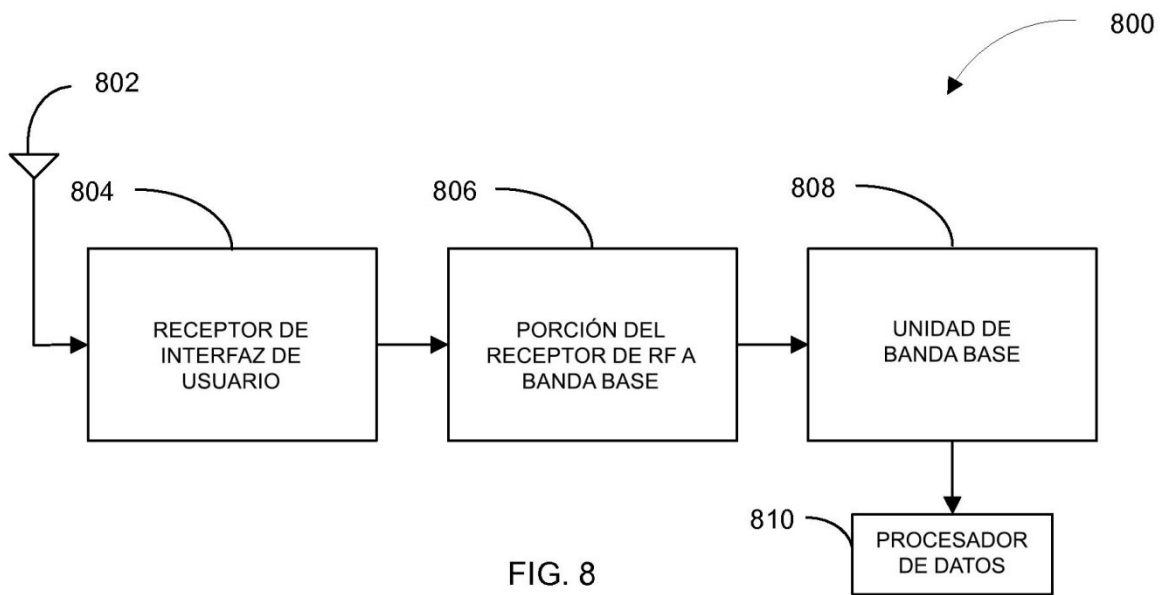


FIG. 8

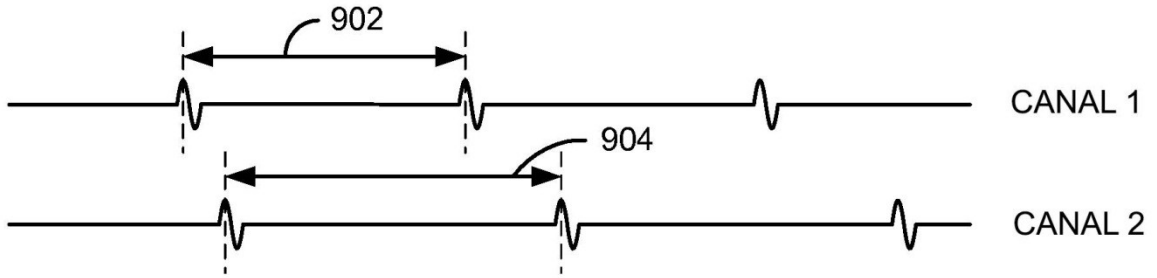


FIG. 9A

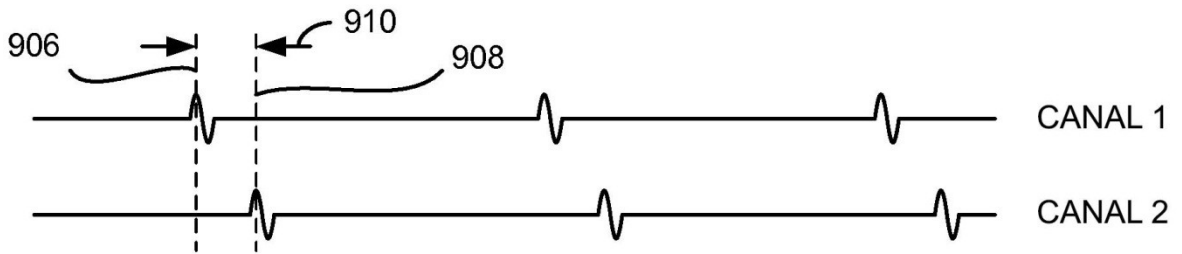


FIG. 9B

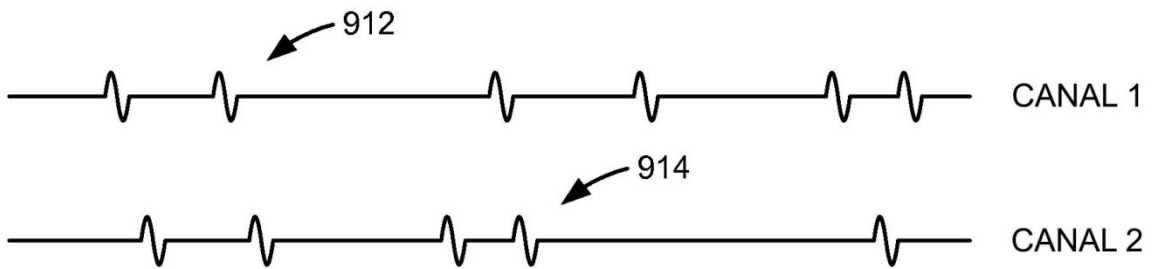


FIG. 9C

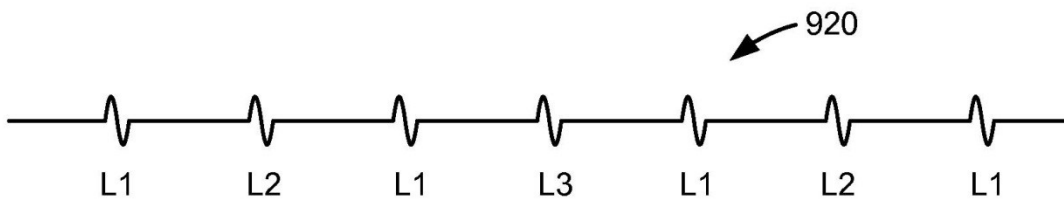


FIG. 9D

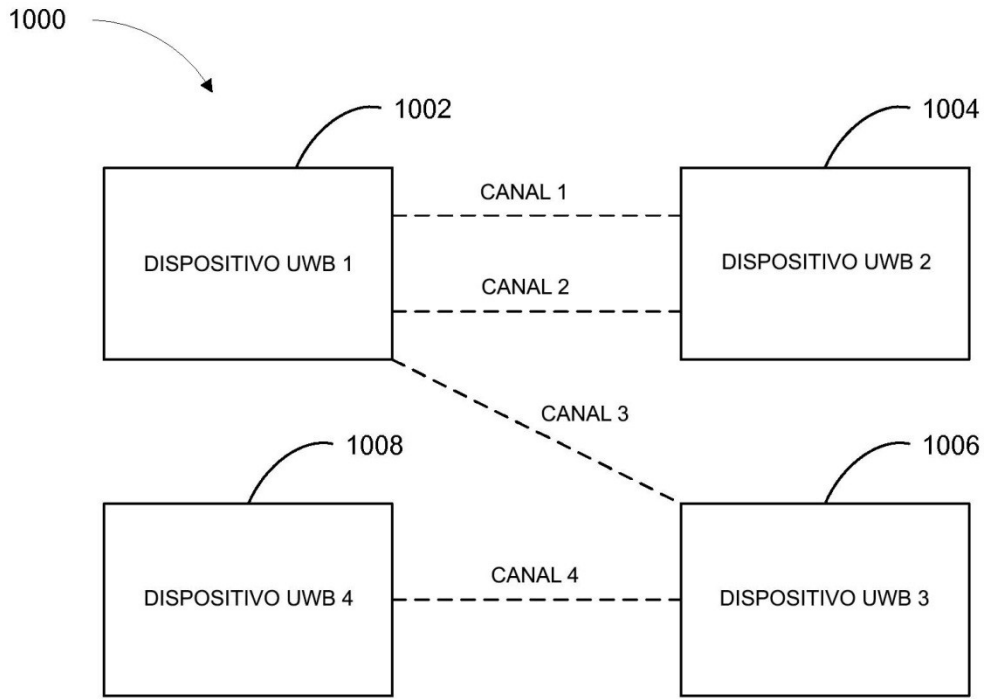


FIG. 10

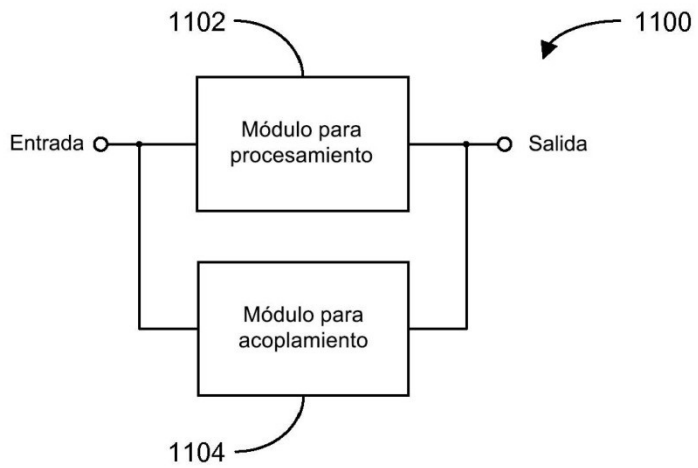


FIG. 11