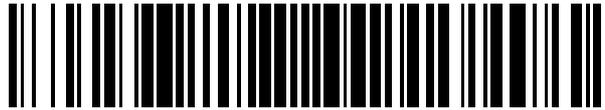


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 648 893**

51 Int. Cl.:

H03K 5/13

(2014.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **18.12.2008 PCT/US2008/087545**

87 Fecha y número de publicación internacional: **09.07.2009 WO09086018**

96 Fecha de presentación y número de la solicitud europea: **18.12.2008 E 08867868 (5)**

97 Fecha y número de publicación de la concesión europea: **04.10.2017 EP 2235823**

54 Título: **Circuito de retardo programable con resolución de tiempo de enteros y fraccional**

30 Prioridad:

20.12.2007 US 962045

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

08.01.2018

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
Attn: International IP Administration 5775
Morehouse Drive
San Diego, California 92121-1714 , US**

72 Inventor/es:

**KESKIN, MUSTAFA y
PEDRALI-NOY, MARZIO**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 648 893 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de retardo programable con resolución de tiempo de enteros y fraccional

5 ANTECEDENTES

I. Campo

10 [1] La presente divulgación se refiere en general a circuitos electrónicos y, más específicamente, a un circuito de retardo.

II. Antecedentes

15 [2] Un circuito síncrono tal como un circuito biestable o un circuito de cierre puede recibir una señal de datos desde una fuente y una señal de reloj desde otra fuente. Las señales de datos y de reloj pueden tener diferentes retardos de propagación y pueden no estar alineadas en el tiempo en el circuito síncrono. Puede ser deseable retardar la señal de reloj y/o la señal de datos en una cantidad apropiada de modo que estas señales estén alineadas en el tiempo. Esto puede permitir a continuación que el circuito síncrono funcione a una velocidad más rápida y/o que alcance más márgenes de temporización, siendo ambos deseables.

20 [3] El documento US 2005/0184775 A1 divulga un circuito de retardo que comprende una cadena de retardo gruesa en serie con una cadena de retardo fina ajustable. La cadena de retardo fina es ajustable a través de una pluralidad de trayectorias de señales paralelas cargadas capacitivamente.

25 BREVE DESCRIPCIÓN DE LOS DIBUJOS

[4]

30 La FIG. 1 muestra un dispositivo que tiene una unidad central de procesamiento (CPU) y dos memorias.

La FIG. 2 muestra un diagrama de bloques de un circuito de interfaz de entrada.

La FIG. 3 muestra un diagrama de bloques de un circuito de retardo programable.

35 La FIG. 4 muestra un diagrama esquemático de un circuito de retardo completo de N etapas.

La FIG. 5 muestra un diagrama esquemático de un circuito de retardo fraccional.

40 La FIG. 6 muestra un diagrama esquemático de otro circuito de retardo fraccional.

La FIG. 7 muestra un diagrama de bloques de un dispositivo de comunicación inalámbrica.

DESCRIPCIÓN DETALLADA

45 [5] La invención se define por las reivindicaciones independientes 1 y 11. El término "a modo de ejemplo" se usa en el presente documento con el significado de "que sirve de ejemplo, caso o ilustración". No debe interpretarse necesariamente que cualquier modo de realización a modo de ejemplo descrito en el presente documento como "a modo de ejemplo" sea preferido o ventajoso con respecto a otros modos de realización a modo de ejemplo.

50 [6] El circuito de retardo programable descrito en el presente documento puede usarse para adaptarse a los retardos de las señales proporcionadas a circuitos síncronos, tales como circuitos biestables, circuitos de cierre, etc. El circuito de retardo programable puede usarse para circuitos de interfaz entre diferentes dispositivos tales como CPU y memorias, que pueden implementarse en el mismo circuito integrado (CI) o en diferentes circuitos integrados. El circuito de retardo programable puede usarse también para circuitos internos dentro de un dispositivo o CI dado.

55 [7] La FIG. 1 muestra un diagrama de bloques de un dispositivo 100 que tiene una CPU 110 y memorias 120 y 130. La CPU 110 puede comprender cualquier tipo de procesador tal como un procesador de señales digitales (DSP), un procesador de uso general, un microprocesador, un procesador de cálculo con conjunto de instrucciones reducidas (RISC), un procesador de cálculo con conjunto de instrucciones complejas (CISC), etc. Las memorias 120 y 130 pueden ser las mismas o diferentes tipos de memorias. Por ejemplo, la memoria 120 puede ser una memoria de acceso aleatorio dinámica síncrona (SDRAM) y la memoria 130 puede ser una memoria Flash, tal como una Flash NAND o una Flash NOR. La CPU 110 y las memorias 120 y 130 pueden implementarse en un único CI tal como un circuito integrado específico de la aplicación (ASIC). De forma alternativa, la CPU 110 y las memorias 120 y 130 pueden implementarse en CI independientes.

65 [8] La CPU 110 incluye un circuito de interfaz de entrada/salida (Ckt I/O) 112 para intercambiar datos con la

memoria 120. La memoria 120 incluye circuitos I/O 122 y 124 para intercambiar datos con la CPU 110 y la memoria 130, respectivamente. La memoria 130 incluye un circuito I/O 132 para intercambiar datos con la memoria 120. Puede ser deseable funcionar las interfaces entre la CPU 110 y las memorias 120 y 130 a velocidades de reloj que sean tan altas como sea posible para mejorar el rendimiento de datos. Las velocidades de reloj altas pueden recibir soporte usando el circuito de retardo programable descrito en el presente documento en los circuitos I/O 112, 122, 124 y 132.

[9] La FIG. 2 muestra un diagrama esquemático de un diseño a modo de ejemplo de un circuito de interfaz de entrada 200, que puede usarse en cada uno de los circuitos I/O mostrados en la FIG. 1. En este diseño a modo de ejemplo, el circuito de interfaz de entrada 200 incluye un circuito de retardo programable 210 y un circuito síncrono 220, que puede comprender un circuito biestable, un circuito de cierre, etc. El circuito de retardo programable 210 recibe una señal de reloj y proporciona una señal de reloj retardada. El circuito síncrono 220 recibe una señal de datos y la señal de reloj retardada y proporciona una señal de salida. El circuito de retardo programable 210 proporciona una cantidad adecuada de retardo de tal manera que la señal de reloj retardada está alineada en el tiempo con la señal de datos en las entradas del circuito síncrono 220. La cantidad de retardo puede ser programable y estar determinada por un control de selección.

[10] En un aspecto, el circuito de retardo programable 210 puede proporcionar un retardo con resolución de tiempo de enteros y fraccional. La resolución de tiempo de enteros puede obtenerse con células de retardo de unidad que puedan implementarse eficientemente. La resolución de tiempo fraccional puede obtenerse eficientemente como se describe a continuación. La resolución de tiempo fraccional puede proporcionar una resolución de retardo más fina, lo que puede permitir que la señal de reloj se retarde o se incline con una resolución de frecuencia más fina.

[11] La FIG. 3 muestra un diagrama de bloques de un diseño a modo de ejemplo del circuito de retardo programable 210 en la FIG. 2. En este diseño a modo de ejemplo, el circuito de retardo programable 210 incluye un circuito de retardo completo de N etapas 310, un circuito de medio retardo 320, un circuito de un cuarto de retardo 330 y un convertidor de extremo único a diferencial 340, todos los cuales están acoplados en serie. El circuito de retardo completo 310 recibe la señal de reloj y proporciona un retardo de 1 a N unidades de tiempo, donde N puede ser cualquier valor entero mayor que uno. Una unidad de tiempo T_{unidad} puede ser cualquier duración de tiempo adecuada y puede seleccionarse en base a diversos factores tales como la aplicación para la cual se use el circuito de retardo programable 210, la resolución de retardo de enteros deseada, etc. Por ejemplo, la T_{unidad} puede ser del orden de picosegundos (ps), decenas de picosegundos, etc. El circuito de medio retardo 320 recibe la salida del circuito de retardo completo 310 y proporciona un retardo de una unidad de medio tiempo cuando se activa. El circuito de un cuarto de retardo 330 recibe la salida del circuito de medio retardo 320 y proporciona un retardo de un cuarto de unidad de tiempo cuando se activa. La combinación de los circuitos de retardo 320 y 330 puede proporcionar un retardo fraccional de cero a $3 T_{\text{unidad}}/4$, más un desfase de tiempo descrito a continuación.

[12] Los circuitos de retardo 310, 320 y 330 pueden disponerse en órdenes diferentes del orden mostrado en la FIG. 3. Además, pueden usarse uno o más circuitos de retardo fraccionales adicionales (por ejemplo, un octavo circuito de retardo, un decimosexto circuito de retardo, etc.) para proporcionar una resolución de retardo aún más fina. El convertidor de extremo único a diferencial 340 recibe una señal de un único extremo desde el último circuito de retardo 330, realiza la conversión de un único extremo a diferencial y proporciona una señal de reloj retardada diferencial Clockp y Clockn.

[13] La FIG. 4 muestra un diagrama de bloques de un diseño a modo de ejemplo del circuito de retardo completo de N etapas 310 en la FIG. 3. En este diseño a modo de ejemplo, el circuito de retardo completo 310 incluye N células de retardo de unidades 410a a 410n acopladas en serie. Las células de retardo de unidades 410a a 410n pueden activarse en un orden secuencial en base a señales de control S1 y R1 a SN y RN para obtener la cantidad deseada de retardo. Por ejemplo, un retardo de la T_{unidad} puede obtenerse permitiendo solamente una única célula de retardo de unidad 410a, un retardo de la de $2T_{\text{unidad}}$ puede obtenerse activando dos células de retardo de unidades 410a y 410B, y así sucesivamente, y un retardo de $N \cdot T_{\text{unidad}}$ puede obtenerse activando todas las N células de retardo de unidades 410a a 410n.

[14] Cada célula de retardo de unidad 410 incluye (i) una trayectoria superior compuesta por una puerta NAND 412 y (ii) una trayectoria inferior compuesta por una puerta NAND 414. Cada célula de retardo de unidad 410 incluye además una puerta NAND 414 para acoplar una señal de salida desde la trayectoria superior a la trayectoria inferior. Para la n -ésima célula de retardo de unidad, donde $1 \leq n \leq N$, la puerta NAND 412 recibe una señal de entrada X_n para la trayectoria superior y una señal de control S_n y proporciona una señal de salida Y_n para la trayectoria superior. La puerta NAND 414 recibe la señal de salida Y_n y una señal de control R_n y proporciona su salida a la puerta NAND 416. La puerta NAND 416 recibe una señal de entrada U_n para la trayectoria inferior y la salida de la puerta NAND 414 proporciona una señal de salida V_n para la trayectoria inferior.

[15] Cada célula de retardo de unidad 410 funciona de la forma siguiente. La puerta NAND 412 pasa (i) la señal de entrada X_n si la señal de control S_n está a un nivel lógico alto o (ii) nivel lógico alto si la señal de control S_n está a un nivel lógico bajo. La puerta NAND 414 pasa (i) la salida de señal Y_n si la señal de control R_n está a un nivel

lógico alto o (ii) nivel lógico alto si la señal de control R_n está a un nivel lógico bajo. La puerta NAND 416 pasa (i) la salida de la puerta NAND 414 si la señal de control R_n está a un nivel lógico alto o (ii) la señal de entrada U_n para la trayectoria inferior si la señal de control R_n está a un nivel lógico bajo. La Tabla 1 da la señal de salida Y_n para la trayectoria superior y la señal de salida V_n para la trayectoria inferior frente a las señales de control S_n y R_n , respectivamente.

Tabla 1

S_n	Y_n		R_n	V_n
0	nivel lógico alto		0	Y_n
1	$\overline{X_n}$		1	$\overline{U_n}$

[16] Cada célula de retardo de unidad 410 recibe una señal de salida Y_{n-1} de la trayectoria superior de una célula de retardo de unidad anterior, retarda esta señal mediante un retardo de $T_{\text{media unidad}} = T_{\text{Unidad}}/2$ y proporciona una señal de salida Y_n a la trayectoria superior de la célula de retardo de unidad siguiente si se activa por la señal de control S_n . Cada célula de retardo de unidad 410 también pasa la señal de salida Y_n de la trayectoria superior a la trayectoria inferior a través de la puerta NAND 414 si se activa por la señal de control R_n . Cada célula de retardo de unidad 410 recibe además una señal de salida V_{n+1} desde la trayectoria inferior de la célula de retardo de unidad siguiente, pasa la señal Y_n o V_{n+1} en base a la señal de control R_n , retarda la señal pasada mediante un retardo de la $T_{\text{media unidad}}$ y proporciona una señal de salida V_n a la trayectoria inferior de la célula de retardo de unidad anterior.

[17] Un retardo de la $k \cdot T_{\text{Unidad}}$, donde $1 \leq k \leq N$, puede obtenerse pasando la señal de entrada a través de las trayectorias superiores de las primeras células de retardo de unidad, a continuación desde la trayectoria superior hasta la trayectoria inferior de la k -ésima unidad y a continuación a través de las trayectorias inferiores de las primeras k células de retardo de unidad. Esto puede conseguirse (i) estableciendo señales de control de S_1 a S_k a un nivel lógico alto para activar las primeras k células de retardo de unidades, (ii) establecer las señales de control restantes S_{k+1} a través de S_N a un nivel lógico bajo para desactivar las $N-k$ células de retardo de unidades restantes, (iii) establecer la señal de control R_k a un nivel lógico alto para pasar la señal desde la trayectoria superior hasta la trayectoria inferior de la k -ésima célula de retardo de unidad y (iv) establecer las $N-1$ señales de control R_1 a R_{k-1} y R_{k+1} a R_N restantes a un nivel lógico bajo.

[18] El retardo total proporcionado por el circuito de retardo completo 310 puede expresarse como:

$$T_{\text{enteros}} = 2 \cdot k \cdot T_{\text{media unidad}} + T_{\text{desfase}} = k \cdot T_{\text{Unidad}} + T_{\text{desfase}}, \quad \text{Eq (1)}$$

donde T_{desfase} es el retardo de la trayectoria de acoplamiento desde la trayectoria superior a la trayectoria inferior,

k es el número de células de retardo de unidad seleccionadas y

T_{enteros} es el retardo total proporcionado por el circuito de retardo completo 310.

[19] Como se muestra en la ecuación (1), el retardo total incluye una parte T_{desfase} que está presente independientemente del número de células de retardo de unidades seleccionadas. La T_{desfase} puede considerarse por tanto como un desfase fijo. El retardo total puede seleccionarse en incrementos de la T_{Unidad} activando un número apropiado de células de retardo de unidades.

[20] En el diseño a modo de ejemplo mostrado en la FIG. 4, cada célula de retardo de unidad tiene una puerta NAND 412 en la trayectoria superior, una puerta NAND 416 en la trayectoria inferior y una puerta NAND 414 en la trayectoria de acoplamiento desde la trayectoria superior hasta la trayectoria inferior. Cuando se seleccionan k células de retardo de unidades, donde $1 \leq k \leq N$, la señal de entrada pasa a través de $2k$ puertas NAND en las trayectorias superior e inferior de las k unidades de retardo de unidad seleccionadas más una puerta NAND en la trayectoria de acoplamiento de la k -ésima célula de retardo de unidad. La señal de entrada pasa por tanto a través de un número impar de puertas NAND independientemente del número de células de retardo de unidades seleccionadas. Puede insertarse un inversor en la entrada o en la salida de la primera célula de retardo de unidad 410a (no mostrada en la FIG. 4) con el fin de obtener un número par de inversiones. Esto daría como resultado que la señal de salida tuviera la misma polaridad que la señal de entrada. De forma alternativa, la inversión por este inversor puede conseguirse intercambiando las señales Clock_p y Clock_n del convertidor 340 en la FIG. 3.

[21] La FIG. 5 muestra un diagrama esquemático de un diseño a modo de ejemplo de un circuito de retardo fraccional 500, que puede usarse para cada uno de los circuitos de retardo 320 y 330 en la FIG. 3. El circuito de retardo fraccional 500 incluye un inversor 510, tres puertas NAND 512, 514 y 516, y L puertas NAND simuladas 518a a 518l, en donde $L \geq 1$. El inversor 510 recibe una señal de control Sel y proporciona una señal de control invertida. La puerta NAND 512 recibe una señal de entrada In y la señal de control invertida, y la puerta NAND 514 recibe la señal de entrada y la señal de control. La puerta NAND 516 recibe las salidas de las puertas NAND 512 y 514 y proporciona una señal de salida Out . Las puertas NAND 518a a 518l tienen sus entradas acopladas juntas y además

a la salida de la puerta NAND 514.

[22] La célula de retardo fraccional 500 incluye una trayectoria corta compuesta de puertas NAND 512 y 516 y una trayectoria larga compuesta de puertas NAND 514 y 516. La trayectoria corta se selecciona cuando la señal de control Sel está a un nivel lógico bajo. En este caso, la señal de entrada pasa a través de las puertas NAND 512 y 516 hasta la salida. La trayectoria larga se selecciona cuando la señal de control Sel está en la lógica alta. En este caso, la señal de entrada pasa a través de las puertas NAND 514 y 516 hasta la salida.

[23] El retardo fraccional proporcionado por el circuito de retardo 500 puede expresarse como:

$$T_{\text{frac}} = T_{\text{larga}} - T_{\text{corta}}, \quad \text{Eq (2)}$$

donde T_{corta} es el retardo de la trayectoria corta,

T_{larga} es el retardo de la trayectoria larga y

T_{frac} es el retardo fraccional proporcionado por el circuito de retardo 500 cuando se selecciona.

[24] El retardo a través del circuito de retardo fraccional 500 incluye una parte de T_{corta} que está presente independientemente de si se ha seleccionado o no el circuito de retardo 500. La T_{corta} puede considerarse por tanto como un desfase fijo.

[25] Las puertas NAND 518a a 518l actúan como puertas simuladas que proporcionan una carga adicional para la puerta NAND 514 y por lo tanto aumentan el retardo de propagación de la trayectoria larga. Las puertas NAND 518 pueden estar diseñadas para proporcionar el retardo fraccional T_{frac} deseado. En un diseño a modo de ejemplo, pueden usarse diferentes números de puertas NAND 518 para obtener diferentes cantidades de retardo fraccional. Por ejemplo, puede obtenerse un retardo fraccional de la $T_{\text{unidad}}/8$ con una puerta NAND, puede obtenerse un retardo fraccional de la $T_{\text{unidad}}/4$ con dos puertas NAND y puede obtenerse un retardo fraccional de la $T_{\text{unidad}}/2$ con cuatro puertas NAND. En otro diseño a modo de ejemplo, puede usarse solamente una puerta NAND 518a como puerta simulada, pero la dimensión (por ejemplo, ancho y/o longitud) de los transistores dentro de la puerta NAND 518a puede seleccionarse para obtener el retardo fraccional deseado. Las simulaciones por ordenador indican que el retardo de la trayectoria larga aumenta linealmente con el ancho de los transistores para la puerta NAND simulada 518a. El retardo fraccional deseado puede obtenerse por tanto seleccionando un ancho adecuado para los transistores dentro de la puerta NAND simulada 518a.

[26] El circuito de retardo fraccional 500 puede usarse para el circuito de medio retardo 320 en la FIG. 3. En este caso, las puertas NAND 518a a 518l pueden estar diseñadas para proporcionar un retardo fraccional de la $T_{\text{unidad}}/2$ cuando se seleccione el circuito de medio retardo 320. El circuito de retardo fraccional 500 también puede usarse para el circuito de retardo de un cuarto 330 en la FIG. 3. En este caso, las puertas NAND 518a a 518l pueden estar diseñadas para proporcionar un retardo fraccional de la $T_{\text{unidad}}/4$ cuando se seleccione el circuito de retardo de un cuarto 330. En general, el circuito de retardo fraccional 500 puede estar diseñado para proporcionar cualquier retardo fraccional deseado.

[27] La FIG. 6 muestra un diagrama esquemático de un diseño a modo de ejemplo de un circuito de retardo fraccional 600, que puede usarse para ambos circuitos de retardo 320 y 330 en la FIG. 3. El circuito de retardo fraccional 600 incluye un inversor 610 y tres puertas NAND 612, 614 y 616 que están acopladas de la misma manera que el inversor 510 y que las puertas NAND 512, 514 y 516 de la FIG. 5. El circuito de retardo fraccional 600 incluye además múltiples (T) puertas NAND simuladas 618a a 618t acopladas a la salida de la puerta NAND 614 a través de los conmutadores T 620a a 620t, respectivamente. Cada puerta NAND simulada 618 tiene sus entradas acopladas entre sí y a la salida de la puerta NAND 614 a través de un respectivo conmutador 620.

[28] En un diseño a modo de ejemplo, las puertas NAND T simuladas 618a a 618t tienen el mismo tamaño. El número de puertas NAND simuladas 618 para acoplarse a la salida de la puerta NAND 614 se determina por el retardo fraccional deseado. Por ejemplo, pueden acoplarse una, dos o cuatro puertas NAND simuladas 618 a la salida de la puerta NAND 614 para obtener retardos fraccionales de $T_{\text{unidad}}/8$, $T_{\text{unidad}}/4$ o $T_{\text{unidad}}/2$, respectivamente. En otro diseño a modo de ejemplo, diferentes puertas NAND simuladas tienen diferentes dimensiones de transistores, y una puerta NAND simulada apropiada puede acoplarse a la salida de la puerta NAND 614 en base al retardo fraccional deseado.

[29] En los diseños a modo de ejemplo mostrados en las FIGS. 5 y 6, se usan puertas NAND para las puertas lógicas en las trayectorias cortas y largas así como para las puertas lógicas simuladas que proporcionen una carga adicional en la trayectoria larga. En general, la carga adicional puede obtenerse con cualquier tipo de puerta lógica, por ejemplo, puertas AND, puertas OR, puertas NOR, puertas OR (XOR) exclusivas, inversores, etc. La carga adicional también puede obtenerse con transistores y/u otros elementos del circuito. Puede ser deseable implementar las puertas lógicas simuladas usando el mismo tipo de puerta lógica usada en las trayectorias cortas y largas. Esto puede permitir que las puertas lógicas simuladas se fabriquen usando el mismo proceso de IC usado para las puertas lógicas en las trayectorias cortas y largas. Esto también puede proporcionar un retardo fraccional más preciso a través de las variaciones del proceso del CI, la temperatura y la fuente de alimentación.

[30] El circuito de retardo programable descrito en el presente documento puede usarse para retardar las señales de reloj para alinear temporalmente las señales de reloj con las señales de datos para circuitos síncronos tales como los circuitos biestables, los circuitos de cierre, etc. El circuito de retardo programable puede usarse en circuitos de interfaz de alta velocidad (por ejemplo, como se muestra en la FIG. 1) para alinear temporalmente las señales de datos y de reloj. Estos circuitos de interfaz de alta velocidad pueden ser para CPU, memorias, registros de bloques programables, etc. El circuito de retardo programable también puede usarse para circuitos internos donde se desee un ajuste preciso de retardo de señales de reloj/control y señales de datos.

[31] El circuito de retardo programable descrito en el presente documento puede usarse para diversas aplicaciones tales como comunicación, redes, cálculo, electrónica del consumidor, etc. El circuito de retardo programable puede usarse para teléfonos móviles, asistentes digitales personales (PDA), dispositivos de comunicación inalámbrica, dispositivos portátiles, módems inalámbricos, ordenadores portátiles, teléfonos inalámbricos, etc. A continuación se describe un uso de ejemplo del circuito de retardo programable en un dispositivo de comunicación inalámbrica.

[32] La FIG. 7 muestra un diagrama de bloques de un diseño a modo de ejemplo del dispositivo de comunicación inalámbrica 700 en un sistema de comunicación inalámbrica. El dispositivo inalámbrico 700 puede ser un teléfono móvil, un terminal, un auricular, un PDA, etc. El sistema de comunicación inalámbrica puede ser un sistema de acceso múltiple por división de código (CDMA), un sistema global para comunicaciones móviles (GSM), etc.

[33] El dispositivo inalámbrico 700 puede proporcionar una comunicación bidireccional a través de una trayectoria de recepción y de una trayectoria de transmisión. En la trayectoria de recepción, las señales transmitidas por las estaciones base se reciben por una antena 712 y se proporcionan a un receptor (RCVR) 714. El receptor 714 condiciona la señal recibida y proporciona una señal de entrada a un ASIC 720. En la trayectoria de transmisión, un transmisor (TMTR) 716 recibe y condiciona una señal de salida desde el ASIC 720 y genera una señal modulada, que se transmite a través de la antena 712 a las estaciones base.

[34] El ASIC 720 puede incluir diversas unidades de procesamiento, de interfaz y de memoria tales como, por ejemplo, un procesador de módem 722, una CPU 724, una unidad de procesamiento gráfico (GPU) 726, una memoria interna 728, un controlador/procesador 730, interfaces de bus externas (EBI) 732 y 734 y un controlador externo 736. El procesador de módem 722 puede realizar el procesamiento para la transmisión y recepción de datos, por ejemplo, codificación, modulación, demodulación, decodificación, etc. La CPU 724 puede realizar diversos tipos de procesamiento para el dispositivo inalámbrico 700, por ejemplo, de procesamiento para aplicaciones de capa superior. El GPU 726 puede realizar un procesamiento de gráficos y vídeo para el dispositivo inalámbrico 700. La memoria interna 728 puede almacenar datos y/o instrucciones para diversas unidades dentro del ASIC 720. El controlador/procesador 730 puede dirigir el funcionamiento y diversas unidades de procesamiento y de interfaz dentro del ASIC 720. La EBI 732 puede facilitar la transferencia de datos entre el ASIC 720 y una SDRAM 742. La EBI 734 puede facilitar la transferencia de datos entre el ASIC 720 y una memoria Flash 744. El accionador externo 736 puede accionar dispositivo(s) externo(s) 746 a través de una interfaz analógica o digital. El circuito de retardo programable descrito en el presente documento puede implementarse en cualquiera de las unidades de procesamiento, de memoria y de interfaz mostradas en la FIG. 7, por ejemplo, en cualquiera de los circuitos I/O (I/O) mostrados en la FIG. 7.

[35] El circuito de retardo programable descrito en el presente documento puede implementarse en diversas unidades de hardware tales como DSP, dispositivos de procesamiento de señales digitales (DSPD), dispositivos de lógica programable (PLD), matrices de puertas programables de campo (FPGA), procesadores, controladores, microcontroladores, microprocesadores, dispositivos electrónicos, dispositivos de memoria, etc. El circuito de retardo programable puede usarse en diversos tipos de CI tales como ASIC, CI digitales, CI analógicos, CI de señal mixta, CI de radiofrecuencia (RFIC), etc. El circuito de retardo programable puede fabricarse con diversas tecnologías de procesos CI, tales como el semiconductor de óxido metálico complementario (CMOS), el MOS de N canales (N-MOS), el MOS de P canales (P-MOS), el transistor de unión bipolar (BJT), el CMOS bipolar (BiCMOS), germanio de silicio (SiGe), arseniuro de galio (GaAs), etc. El circuito de retardo programable también puede fabricarse con cualquier tecnología de tamaño de dispositivo, por ejemplo, 130 nanómetros (nm), 90 nm, 65 nm, 45 nm, 32 nm, etc.

[36] Un aparato que implemente el circuito de retardo programable descrito en el presente documento puede ser una unidad independiente o puede formar parte de un dispositivo más grande. El dispositivo puede ser (i) un CI autónomo, (ii) un conjunto de uno o más CI que puedan incluir CI de memoria para almacenar datos y/o instrucciones, (iii) un ASIC tal como un módem de estación móvil (MSM), (iv) un RFIC tal como un receptor RF (RFR) o un transmisor/receptor RF (RTR), (v) un módulo que puede incrustarse dentro de otros dispositivos, (vi) un teléfono móvil, un dispositivo inalámbrico, un auricular o una unidad móvil, (vi) etc.

[37] La descripción anterior de la divulgación se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Diversas modificaciones a la divulgación resultarán fácilmente evidentes para los expertos en la técnica y los principios genéricos definidos en el presente documento pueden aplicarse a otras

variantes sin apartarse del alcance de la divulgación. Por tanto, la divulgación no pretende limitarse a los ejemplos y diseños descritos en el presente documento, sino que se le ha de conceder el alcance más amplio compatible con los principios y las características novedosas divulgados en el presente documento.

REIVINDICACIONES

1. Un aparato (210), que comprende:
- 5 medios para retardar (310, 410) una señal de entrada por un primer retardo de un número entero de unidades de tiempo; y
- medios para retardar (320, 330, 500, 600) más la señal de entrada por un segundo retardo de una fracción de una unidad de tiempo en base a una carga adicional proporcionada por al menos una puerta lógica simulada (518; 618), en la que los medios para retardar más la señal de entrada por el segundo retardo comprenden:
- 10 medios para pasar (510, 512, 516, 610, 612, 616) la señal de entrada a través de una primera trayectoria sin la carga adicional si no se selecciona el segundo retardo,
- 15 medios para pasar (510, 514, 516, 610, 614, 616) la señal de entrada a través de una segunda trayectoria con la carga adicional acoplada a la segunda trayectoria si se selecciona el segundo retardo; y
- 20 un segundo circuito de retardo que comprende la primera trayectoria que proporciona un retardo más corto cuando se selecciona la primera trayectoria, proporcionando la segunda trayectoria un retardo más largo cuando se selecciona la segunda trayectoria y estando acoplada al menos una puerta lógica simulada a la segunda trayectoria y proporcionando una carga adicional para obtener el retardo más largo para la segunda trayectoria;
- 25 en el que la primera trayectoria comprende una primera y segunda puertas lógicas, la segunda trayectoria comprende la segunda puerta lógica y una tercera puerta lógica, y al menos una puerta lógica simulada está acoplada a la tercera puerta lógica;
- 30 **caracterizado por que** al menos una puerta lógica simulada es del mismo tipo de puerta lógica que las primera, segunda y tercera puertas lógicas.
2. El aparato de la reivindicación 1, el medio para retardar (310, 410) una señal de entrada por un primer retardo que comprende:
- 35 un primer circuito de retardo que proporciona el primer retardo del número entero de unidades de tiempo;
- y en el que el segundo circuito de retardo está acoplado al primer circuito de retardo y proporciona el segundo retardo de la fracción de una unidad de tiempo.
- 40 3. El aparato de la reivindicación 1, estando definida al menos una puerta lógica simulada de tal manera que la diferencia entre el retardo más largo y el retardo más corto es igual a la fracción de una unidad de tiempo.
- 45 4. El aparato de la reivindicación 2, comprendiendo el segundo circuito de retardo múltiples puertas lógicas simuladas acopladas a la segunda trayectoria y proporcionando una carga adicional para obtener el retardo más largo para la segunda trayectoria.
5. El aparato de la reivindicación 2, en el que el segundo circuito de retardo proporciona el segundo retardo con una resolución de una unidad de medio tiempo.
- 50 6. El aparato de la reivindicación 2, en el que el segundo circuito de retardo proporciona el segundo retardo con una resolución de un cuarto de unidad de tiempo.
7. El aparato de la reivindicación 2, comprendiendo el segundo circuito de retardo un tercer circuito de retardo que proporciona un retardo de una unidad de medio tiempo cuando se activa.
- 55 8. El aparato de la reivindicación 7, comprendiendo el segundo circuito de retardo un cuarto circuito de retardo acoplado al tercer circuito de retardo y proporcionando un retardo de un cuarto de unidad de tiempo cuando se activa.
- 60 9. El aparato de la reivindicación 2, comprendiendo el primer circuito de retardo múltiples células de retardo de unidades acopladas en serie, proporcionando cada unidad de célula de retardo un retardo de una unidad de tiempo cuando se activa.
- 65 10. El aparato de la reivindicación 1, estando implementada al menos una puerta lógica simulada con transistores que tienen una dimensión predeterminada y estando determinadas el número de puertas lógicas simuladas

en base a una diferencia objetivo entre el retardo más largo y el retardo más corto.

11. Un procedimiento que comprende:

- 5 retardar una señal de entrada por un primer retardo de un número entero de unidades de tiempo; y retardar la señal de entrada más por un segundo retardo de una fracción de una unidad de tiempo en base a una carga adicional proporcionada por al menos una puerta lógica simulada, en la que
- 10 el retardo adicional de la señal de entrada por el segundo retardo comprende:
- pasar la señal de entrada a través de una primera trayectoria sin la carga adicional si no se selecciona el segundo retardo y
- 15 pasar la señal de entrada a través de una segunda trayectoria con la carga adicional acoplada a la segunda trayectoria si se selecciona el segundo retardo;
- proporcionando la primera trayectoria un retardo más corto cuando se selecciona la primera trayectoria,
- 20 proporcionando la segunda trayectoria un retardo más largo cuando se selecciona la segunda trayectoria, estando acoplada al menos una puerta lógica simulada a la segunda trayectoria y proporcionando una carga adicional para obtener el retardo más largo para la segunda trayectoria;
- 25 comprendiendo la primera trayectoria una primera y segunda puertas lógicas, comprendiendo la segunda trayectoria la segunda puerta lógica y una tercera puerta lógica y estando acoplada al menos una puerta lógica simulada a la tercera puerta lógica; **caracterizado por que** al menos una puerta lógica simulada es del mismo tipo de puerta lógica que las primera, segunda y tercera puertas lógicas.

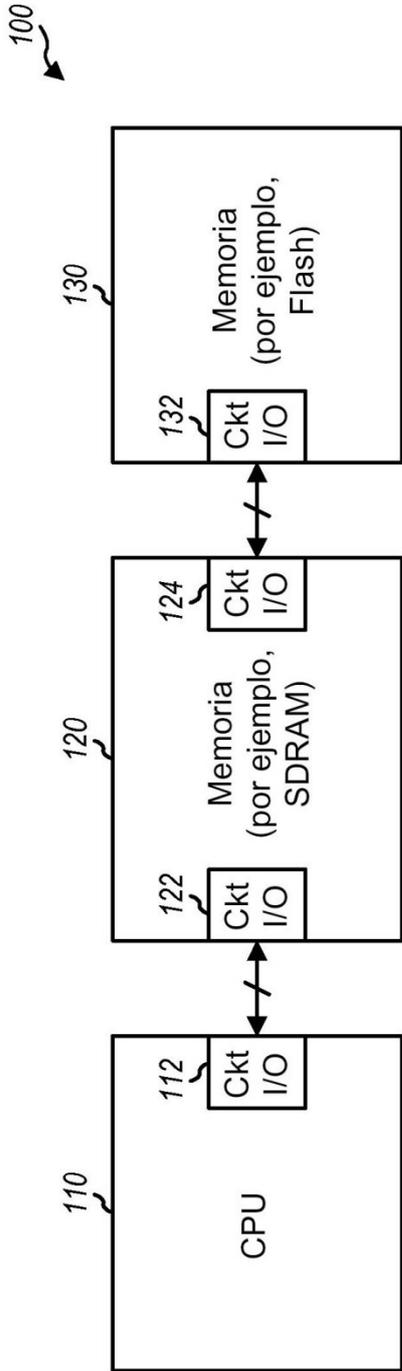


FIG. 1

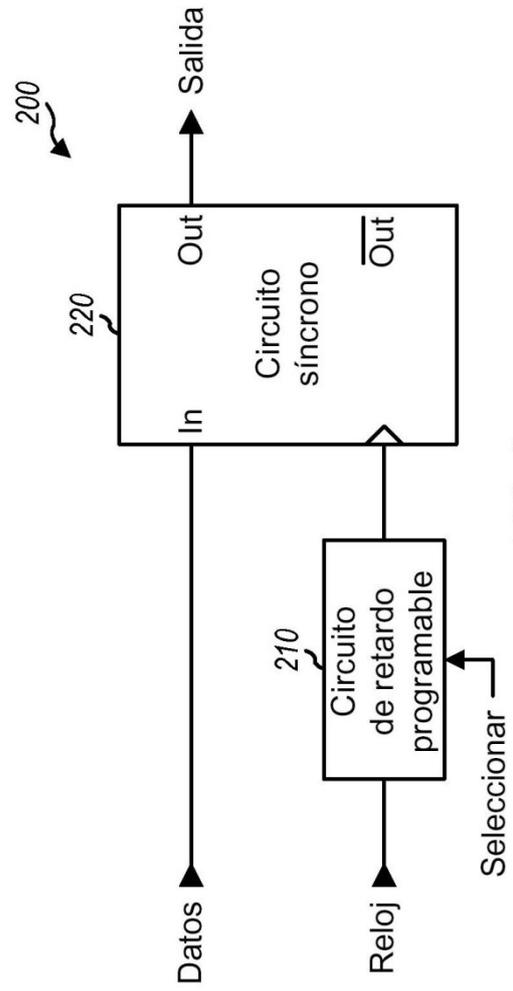


FIG. 2

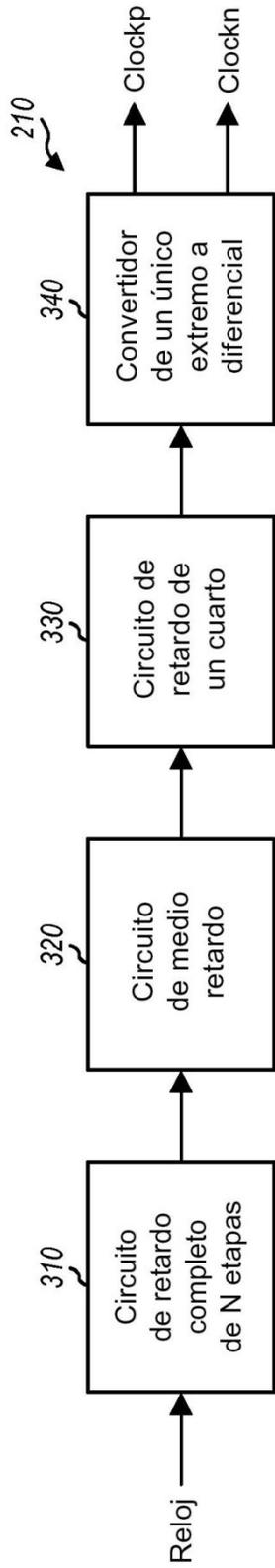


FIG. 3

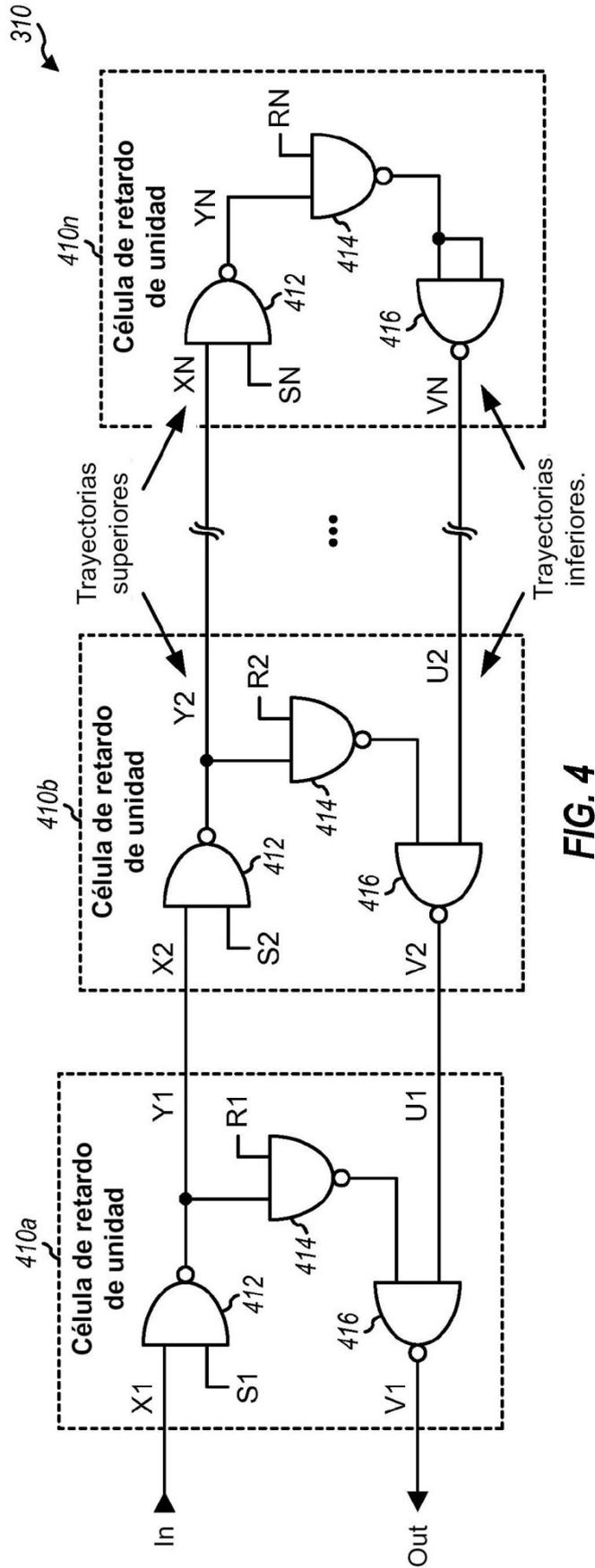


FIG. 4

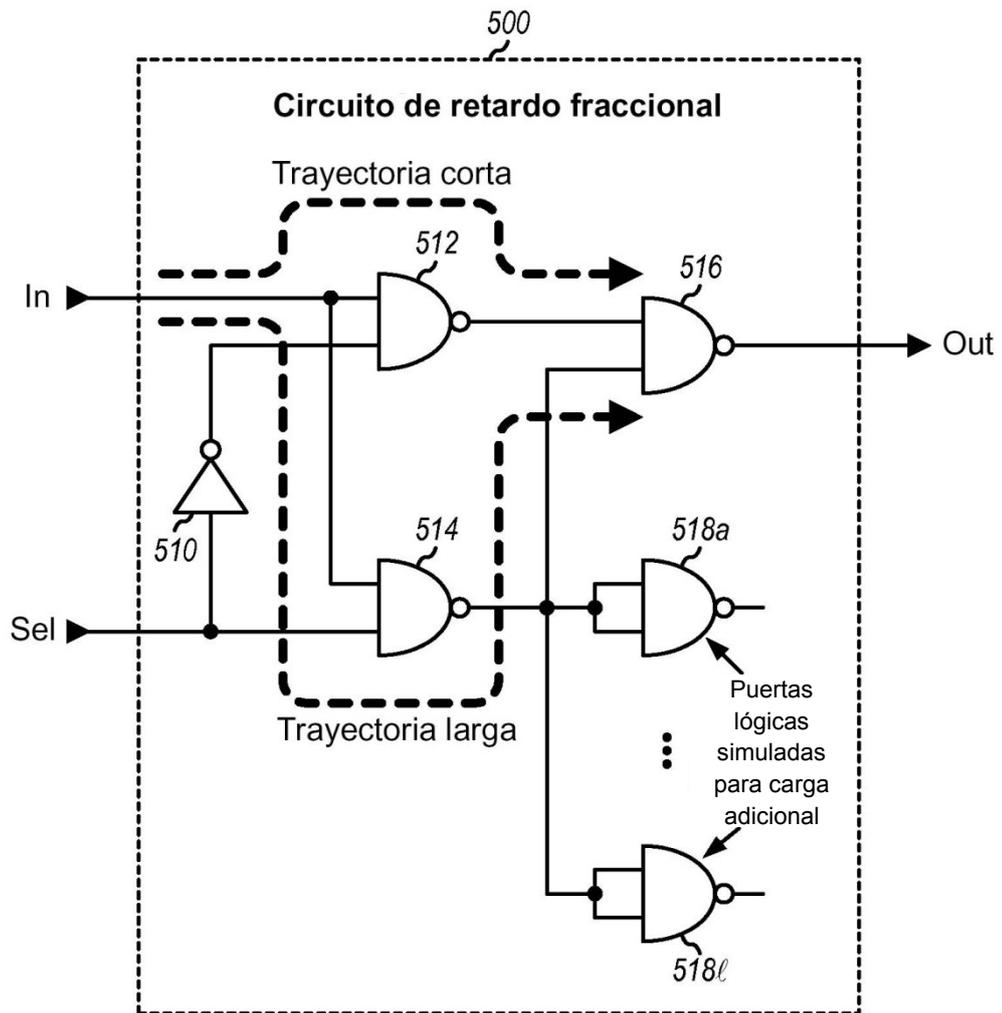


FIG. 5

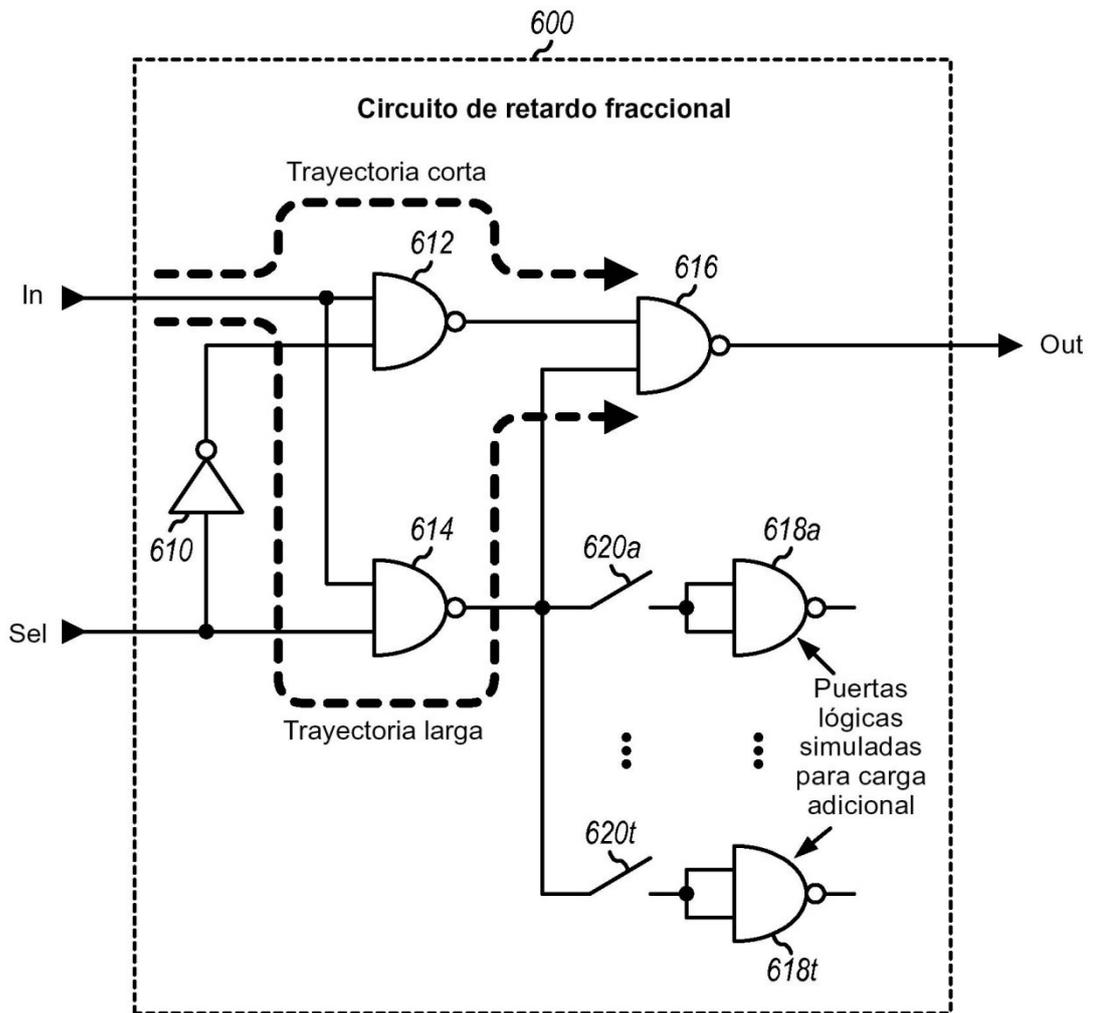


FIG. 6

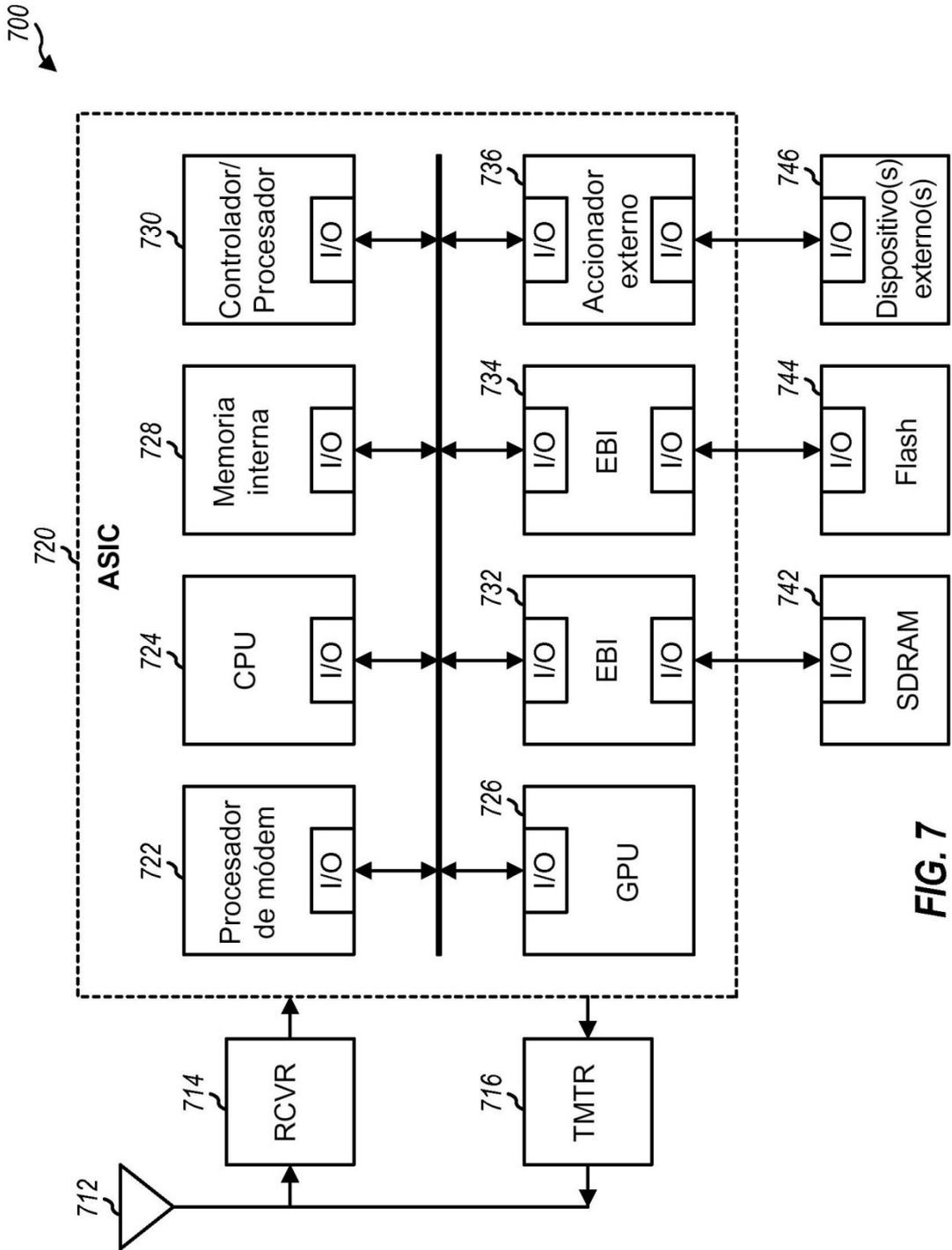


FIG. 7