

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 649 341**

51 Int. Cl.:

**G06F 1/04** (2006.01)

**G06F 1/26** (2006.01)

**G06F 1/32** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **14.12.2011 PCT/US2011/064848**

87 Fecha y número de publicación internacional: **20.06.2013 WO13089698**

96 Fecha de presentación y número de la solicitud europea: **14.12.2011 E 11877465 (2)**

97 Fecha y número de publicación de la concesión europea: **04.10.2017 EP 2791753**

54 Título: **Unidad lógica secuencial de múltiples suministros de energía**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**11.01.2018**

73 Titular/es:

**INTEL CORPORATION (100.0%)  
2200 Mission College Boulevard  
Santa Clara, CA 95052, US**

72 Inventor/es:

**RAYCHOWDHURY, ARIJIT;  
KULKARNI, JAYDEEP y  
TSCHANZ, JAMES W.**

74 Agente/Representante:

**LEHMANN NOVO, María Isabel**

ES 2 649 341 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Unidad lógica secuencial de múltiples suministros de energía

## 5 CAMPO DE LA INVENCION

Las formas de realización se refieren, en general, al campo de procesadores. Más en particular, las formas de realización de la invención dan a conocer un aparato, sistema y método para reducir el retardo de reloj a la salida y para mejorar los parámetros de temporización de una unidad lógica secuencial de múltiples suministros de energía en un procesador.

10 El documento US 6,081,153 da a conocer un circuito de retención y un circuito de 'flip-flop' que tienen una función de conversión de nivel de tensión.

15 El documento US 2011/0084736 A1 da a conocer una arquitectura para controlar las características del reloj.

## ANTECEDENTES DE LA INVENCION

20 Con el fin de reducir la disipación de energía en procesadores, las puertas lógicas de los procesadores están operativas con una tensión de funcionamiento mínima ( $V_{min}$ ). El término "tensión operativa mínima" en el presente documento se refiere al nivel mínimo de tensión de la fuente de alimentación para una tecnología de proceso por debajo de la cual una puerta lógica o circuito no funciona correctamente.

25 Sin embargo, el rendimiento de puertas lógicas secuenciales, tales como circuitos flip-flops o circuitos de retención se degrada más que el rendimiento de puertas lógicas combinatoriales generales, tales como la puerta NAND, puertas NOR, inversores, etc. cuando las puertas lógicas secuenciales y las puertas lógicas combinatoriales generales funcionan con los niveles de suministro de energía  $V_{min}$ . El término "rendimiento" en este documento se refiere, en general, al retardo de propagación de una señal desde un nodo de entrada a un nodo de salida de una puerta lógica. El término "rendimiento" se refiere también a parámetros de temporización tales como el tiempo de configuración de una unidad lógica secuencial. A medida que el nivel del suministro de energía se reduce para una puerta lógica, aumenta el retardo de la puerta lógica y de este modo se degrada el rendimiento de la puerta lógica. Cuando se reduce el nivel de suministro de energía para una unidad lógica secuencial, el tiempo de configuración aumenta, lo que produce la degradación del rendimiento de la unidad lógica secuencial.

35 La Figura 1 es un circuito flip-flop 100 típico con una entrada D, una salida Q y entrada de reloj CLK, que funciona a un solo nivel de suministro de energía. Los circuitos flip-flops suelen situarse, en general, en los límites de la lógica combinatorial (CL). Debido a una contención inherente en la ruta de datos de un circuito flip-flop 100, el retardo del reloj a la salida (CLK-Q) aumenta a medida que se reduce el nivel de suministro en energía (p.ej., en  $V_{min}$ ), para el circuito flip-flop 100. Además, el funcionamiento del circuito flip-flop en niveles de suministro de energía reducidos (p.ej., en  $V_{min}$ ), da lugar al aumento del tiempo de configuración de dicho circuito flip-flop 100, con lo que se degrada su rendimiento.

## BREVE DESCRIPCION DE LOS DIBUJOS

45 Formas de realización de la invención se entenderán más completamente a partir de la descripción detallada dada a continuación y de los dibujos adjuntos de varias formas de realización de la invención que, sin embargo, no deben entenderse como que limitan la invención a las formas de realización específicas, sino que son para fines de explicación y entendimiento.

50 La Figura 1 es un circuito flip-flop que funciona en un solo nivel de suministro de energía.

La Figura 2 es una unidad lógica secuencial de circuito flip-flop de múltiples suministros, de conformidad con una forma de realización de invención.

55 La Figura 3 es una configuración lógica secuencial vectorial, de conformidad una forma de realización de la invención.

La Figura 4 es una configuración lógica secuencial no vectorial, de conformidad con una forma de realización de la invención.

60 La Figura 5 es un diagrama de flujo de un método para reducir el retardo de reloj de salida y para mejorar los parámetros de temporización, de conformidad con una forma de realización de la invención.

La Figura 6 es un diagrama de nivel del sistema de un dispositivo inteligente que incluye un procesador que comprende la unidad lógica secuencial de múltiples suministros para la reducción del retardo de reloj a la salida y para mejorar parámetros de temporización, de conformidad con una forma de realización de la invención.

65

La Figura 7 es una unidad lógica secuencial de circuito flip-flop de múltiples suministros con un circuito de retención esclavo reforzado, de conformidad con una forma de realización de la invención.

#### SUMARIO DE LA INVENCION

5 A continuación, se presenta un resumen simplificado de las formas de realización de la invención con el fin de proporcionar un entendimiento esencial de algunos aspectos de las formas de realización. Este resumen no es una descripción general exhaustiva de las formas de realización de la invención. No está previsto para identificar elementos claves o críticos de las formas de realización ni para marcar el alcance de las formas de realización. Su única finalidad es presentar algunos conceptos de las formas de realización de la invención de una forma simple como introducción a la descripción más detallada que se presenta más adelante. La invención es según se establece en las reivindicaciones independientes.

15 Formas de realización de la invención dan a conocer un aparato, un sistema y un método para reducir el retardo de reloj a la salida y para mejorar parámetros de temporización de una unidad lógica secuencial de múltiples suministros en un procesador.

20 En una forma de realización, el aparato comprende: una ruta de datos, para recibir una señal de entrada, que incluye puertas lógicas que funcionan en un primer nivel de suministro de energía, generando la ruta de datos una señal de salida; y una ruta de reloj que incluye puertas lógicas para funcionar en un segundo nivel de suministro de energía, en donde las puertas lógicas de la ruta de reloj realizan un muestreo de la señal de entrada utilizando dicha señal de muestreo con el fin de generar la señal de salida, en donde el segundo nivel de suministro de energía es más alto que el primer nivel de suministro de energía. En una forma de realización, el sistema comprende: una conectividad inalámbrica; y un procesador acoplado, de forma comunicativa, a la conectividad inalámbrica, incluyendo el procesador: una unidad lógica secuencial, es decir, el aparato.

25 En una forma de realización, el método comprende: proporcionar una señal de entrada a una ruta de datos que incluye puertas lógicas que funcionan en un primer nivel de suministro de energía; generar una señal de salida a partir de la ruta de datos; proporcionar una señal de reloj a una ruta de reloj que incluye puertas lógicas que funcionan en un segundo nivel de suministro de energía; y generar una señal de muestreo por la ruta de reloj con el fin de muestrear la señal de entrada para generar la señal de salida, en donde el segundo nivel de suministro de energía es más alto que el primer nivel de suministro de energía.

30 La siguiente descripción y los dibujos adjuntos exponen, en detalle, algunos aspectos ilustrativos de las formas de realización de la invención. Estos aspectos son indicativos, no obstante, de algunas de las diversas maneras en las que pueden utilizarse los principios operativos de las formas de realización de la invención. Las formas de realización de la invención están previstas para cubrir todos los equivalentes en la forma de alternativas, modificaciones y variaciones que caen dentro del alcance de las reivindicaciones adjuntas. Otras ventajas y características novedosas de las formas de realización de la invención se harán más evidentes a partir de la siguiente descripción detallada de las formas de realización de la invención cuando se consideran en conjunción con los dibujos.

#### DESCRIPCIÓN DETALLADA DE LA INVENCION

45 Formas de realización de la invención dan a conocer un aparato, sistema y método para reducir el retardo de reloj a la salida y para mejorar parámetros de temporización de una unidad lógica secuencial de múltiples suministros en un procesador.

50 Las formas de realización aquí descritas dan a conocer niveles de suministro de energía óptimos a una unidad lógica secuencial con el fin de permitir un nivel  $V_{min}$  global inferior para las unidades lógicas del procesador. Un nivel  $V_{min}$  más bajo significa un ahorro de energía y, por lo tanto, la mejora del rendimiento del procesador. En una forma de realización, la ruta de señal de reloj de la unidad lógica secuencial es operativa en un nivel de suministro de energía diferente del nivel de la ruta de señal de datos de la unidad lógica secuencial. A modo de ejemplo, la ruta de señal de datos se hace funcionar en el nivel de suministro de energía  $V_{min}$  mientras que la ruta de señal de reloj funciona en un nivel de suministro de energía distinto, que es más alto que el nivel de suministro de energía  $V_{min}$ .

55 En dicha forma de realización, el nivel de suministro de energía de la ruta de datos del procesador puede establecerse al nivel de suministro de energía  $V_{min}$  sin que por ello la unidad lógica secuencial genere el denominado 'cuello de botella' para utilizar la ruta de datos del procesador en el nivel de suministro de energía  $V_{min}$ . Al elevar el nivel de la ruta de reloj, es decir, utilizando la ruta de reloj en un nivel de suministro de energía más alto en comparación con el nivel de suministro de energía de la ruta de datos, se reduce la contención inherente de datos en la unidad lógica secuencial dando lugar a una resolución rápida de datos lo que conlleva, a su vez, a una ruta de datos más rápida (p.ej., un 50 % más rápida sobre la velocidad de la ruta de datos del circuito flip-flop 100 ilustrado en la Figura 1). Las formas de realización aquí dadas a conocer permiten también a la red de distribución de reloj funcionar en el nivel de suministro de energía más bajo ( $V_{min}$ ) con el fin de reducir el consumo de energía en la red de distribución de reloj.

65

En la siguiente descripción, se dan a conocer numerosos detalles con el fin de proporcionar una explicación más detallada de las formas de realización de la presente invención. Se hará evidente, sin embargo, para un experto en esta técnica, que las formas de realización de la presente invención pueden ponerse en práctica sin estos detalles específicos. En otras instancias operativas, estructuras y dispositivos bien conocidos se ilustran en la forma de diagramas de bloques, en lugar de mostrarse en detalle, con el fin de aclarar las formas de realización de la presente invención.

Conviene señalar que, en los dibujos adjuntos correspondientes de las formas de realización, las señales están representadas con líneas. Algunas líneas pueden ser más gruesas con el fin de indicar rutas de señal más constitutivas y/o tener flechas en uno o más extremos, que indican la dirección primaria del flujo de información. Dichas indicaciones no están previstas para ser limitativas. Por el contrario, las líneas se utilizan en relación con una o más formas de realización a modo de ejemplo con el fin de facilitar la rápida comprensión de un circuito o una unidad lógica. Cualquier señal ilustrada, según lo indiquen las necesidades o preferencias de diseño, puede incluir realmente una o más señales que pueden desplazarse en cualquier dirección y pueden ponerse en práctica mediante cualquier tipo adecuado de esquema de señales.

En la siguiente descripción y las reivindicaciones, se puede utilizar el término “acoplado” y sus derivados. El término “acoplado” se refiere aquí a dos o más elementos que están en contacto directo (de forma física, eléctrica, magnética, óptica, etc.). El término “acoplado” puede referirse también en este documento a dos o más elementos que no están en contacto directo, pero que cooperan o interactúan entre sí.

Tal como aquí se utiliza, a no ser que se especifique de otro modo, el uso de los adjetivos ordinales “primero”, “segundo” y “tercero”, etc., para describir un objeto común, simplemente indica que se está haciendo referencia a distintas instancias operativas de objetos similares, y no implica que los objetos así descritos deban estar en una secuencia dada, ya sea temporal, espacial, de clasificación o de cualquier otra manera.

Con el fin de hacer más claras las formas de realización de la invención, la unidad lógica secuencial aquí descrita es un circuito flip-flop. Sin embargo, la esencia de las formas de realización de la invención es aplicable a cualquier clase de unidades lógicas secuenciales incluyendo, circuitos de retención, circuitos flip-flops de activación-desactivación, circuitos flip-flops de conmutación, etc.

La Figura 2 ilustra una unidad lógica secuencial de circuito flip-flop de múltiples suministros 200 (también denominada FF de múltiples suministros), en conformidad con una forma de realización de la invención. En una forma de realización, la unidad FF de múltiples suministros recibe datos de entrada ‘D’ que son objeto de muestreo por la señal de reloj CLK con el fin de generar una salida sincronizada ‘Q’. En una forma de realización, la unidad FF de múltiples suministros está configurada para recibir al menos dos fuentes de alimentación de energía – primera fuente de alimentación de energía 210 y segunda fuente de alimentación de energía 211. Las líneas de puntos representan la ruta de señal que es operativa en la segunda fuente de alimentación de energía 211 mientras que las líneas continuas representan la ruta de señal que es operativa en la primera fuente de alimentación de energía 210. Los términos “fuente de alimentación de energía” y “nivel de suministro de energía” se utilizan de forma intercambiable. En las formas de realización aquí dadas a conocer el primer nivel de suministro de energía 210 puede ajustarse con independencia del segundo nivel de suministro de energía 211 y viceversa.

En una forma de realización, la unidad FF de múltiples suministros 200 incluye un dispositivo desplazador de nivel 201 en una ruta de reloj, en donde el dispositivo desplazador de nivel 201 se utiliza para desplazar el nivel de la señal CLK desde el primer nivel de suministro de energía 210 a la señal CLKB que funciona en el segundo nivel de suministro de energía 211. En una forma de realización, el dispositivo desplazador de nivel 201 proporciona un 50 % de la salida del ciclo de trabajo y se compensa por variaciones de la tensión. En otras formas de realización, se pueden utilizar distintas formas operativas de dispositivos desplazadores de nivel en lugar del dispositivo desplazador de nivel 201. En esta forma de realización, el dispositivo desplazador de nivel 201 está situado en el interior de la unidad FF de múltiples suministros 200. Sin embargo, en otras formas de realización, el dispositivo desplazador de nivel 201 puede compartirse por varias unidades FF de múltiples suministros y puede estar situado en el exterior de la unidad FF de múltiples suministros 200.

En la forma de realización ilustrada en la Figura 2, la ruta de reloj incluye el dispositivo desplazador de nivel 201 e inversores 202 y 203 que proporcionan una señal de reloj objeto de muestreo a las puertas de paso 204 y 207, y habilita/inhabilita los inversores 205 y 208. La señal de reloj muestreada, esto es, la salida del dispositivo desplazador de nivel 201 y los inversores 202 y 203, tiene mayor oscilación de tensión que la señal de datos ‘D’ y las señales en la ruta de datos descritas con anterioridad. El motivo de la señal de reloj muestreada, es decir, la salida del dispositivo desplazador de nivel 201 y los inversores 202 y 203 tienen una mayor oscilación de tensión que la señal de entrada de datos ‘D’ y las señales en la ruta de datos radica en el hecho de que el dispositivo desplazador de nivel 201 y los inversores 202 y 203 funcionan en el segundo nivel de suministro de energía 211 que es más alto que el primer nivel de suministro de energía 210. En una forma de realización, el dispositivo desplazador de nivel 201 cambia la señal CLK desde el primer nivel de suministro de energía 210 al segundo nivel de suministro de energía 211. La señal CLK desplazada de nivel presenta una mayor oscilación de tensión que la señal de entrada ‘D’.

En esta forma de realización, la ruta de datos es la ruta desde la señal 'D' a la salida 'Q' e incluye la puerta de paso 204, los inversores de células maestras 205 y 206, la puerta de paso 207 y los inversores de células esclavas 208 y 209. Las puertas de paso 204 y 207 son también denominadas puertas de transmisión e incluyen los transistores P y N que están conectados en paralelo entre sí. En una forma de realización, las puertas lógicas (puerta de paso 204, inversores 205 y 206, puerta de paso 207, e inversores 208 y 209) funcionan en el primer nivel de suministro de energía 210 que es más bajo que el segundo nivel de suministro de energía 211. La oscilación de tensión de las señales en la ruta de datos es menor que la oscilación de tensión de las señales en la ruta de señales de reloj puesto que el primer nivel de suministro de energía 210 es más bajo que el segundo nivel de suministro de energía 211.

En las formas de realización aquí dadas a conocer, el retardo CLK-Q, que es el tiempo que transcurre desde una transición de la señal de reloj CLK a cuando se propagan los datos 'D' como salida 'Q', se reduce debido al hecho de que la ruta de señal de reloj está funcionando en un nivel de suministro de energía 211 más alto que el nivel de suministro de energía de la ruta de datos 210. Al funcionar la ruta de señal de reloj (también denominada ruta de reloj) en un nivel de suministro de energía más alto 211, la contención inherente de datos en el circuito flip-flop de fuente única 100 se reduce para la unidad FF de múltiples suministros 200 puesto que la señal de reloj es más fuerte (está en un nivel de suministro de energía más alto) que la señal de datos. Al reducir la contención de datos en la unidad FF de múltiples suministros 200, se reduce también la probabilidad de meta-estabilidad en la unidad FF de múltiples suministros 200 en comparación con la probabilidad de meta-estabilidad en la unidad FF 100 ilustrada en la Figura 1. Reduciendo la contención de datos en la unidad FF de múltiples suministros 200 e incrementando la ruta de reloj, es decir, colocando la ruta de reloj en un nivel de suministro de energía más alto que el de la ruta de datos, el tiempo de configuración de la unidad FF de múltiples suministros 200 se mejora con respecto al tiempo de configuración de la unidad FF de fuente única 100 de la Figura 1.

La Figura 3 es una configuración lógica secuencial vectorial 300 de conformidad con una forma de realización de la invención. El término "configuración vectorial" se refiere aquí a dos o más unidades FFs que están agrupadas juntas de modo que requieren la misma señal de reloj para el muestreo de sus respectivas señales de entrada de datos. En una forma de realización, el canal de reloj (o ruta de señal de reloj) para la configuración vectorial de las unidades FFs está situado en el exterior del dispositivo desplazador de nivel 201 descrito con referencia a la Figura 2. A modo de ejemplo, el dispositivo desplazador de nivel 201 y los inversores 202 y 203 descritos con referencia a la Figura 2 están situados fuera de la unidad FF de múltiples suministros 200 ilustrada en la Figura 3. En esta forma de realización, las unidades FFs vectoriales reciben, a la vez, la señal de reloj muestreada y la señal de reloj muestreada inversa en la segunda fuente de alimentación de energía 211 como entradas para las unidades FFs vectoriales.

Haciendo referencia, de nuevo, a la Figura 3, las líneas de puntos desde el dispositivo desplazador de nivel 201 ilustran la ruta de señales que funciona en el segundo nivel de suministro de energía 211, mientras que las líneas continuas desde las puertas lógicas (memorias intermedias, etc.) representan una ruta de señal que está funcionando en el primer nivel de suministro de energía 210. La arquitectura 300 de la Figura 3 ilustra tres conjuntos de unidades FFs vectoriales – 301, 302 y 303 – que están situadas entre lógica combinatorial (CL) 304, 305 y 306, respectivamente. En esta forma de realización, el árbol de reloj 307, las lógicas combinatoriales 304, 305 y 306 y las unidades FFs funcionan en el primer nivel de suministro de energía 210.

En una forma de realización, el consumo de energía de las unidades FFs vectoriales 301, 302 y 303 se reduce, además, puesto que el dispositivo desplazador de nivel 201 y el inversor 202 están situados en el exterior de la unidad FF de múltiples suministros 200 ilustrada en la Figura 2 y son compartidos con múltiples unidades FFs, esto es, la señal de reloj CLK\_D muestreada y su versión inversa CLK\_B se envían, a la vez, a las unidades FFs vectoriales 301, 302 y 303. En esta forma de realización, la congestión de enrutamiento de la fuente de alimentación de energía se reduce puesto que la segunda fuente de alimentación de energía 211 no es objeto de enrutamiento en el interior de las unidades FFs vectoriales 301, 302 y 303. En dicha forma de realización, se reduce también el área de las unidades FFs vectoriales puesto que el dispositivo desplazador de nivel 201 y el inversor 202 están situados en el exterior de las unidades FFs vectoriales. En una forma de realización, el segundo nivel de suministro de energía 211, se genera, de forma local, por un regulador de tensión o está en el mismo nivel que la fuente de alimentación de energía para la ruta de datos cuando la ruta de datos no está funcionando en el nivel V<sub>min</sub>. En dicha forma de realización, el nivel del segundo nivel de suministro de energía 211 puede ajustarse, de forma independiente, con referencia al primer nivel de suministro de energía 210.

La Figura 4 es una configuración lógica secuencial no vectorial 400, de conformidad con una forma de realización de la invención. El término "configuración no vectorial" se refiere, en este documento, a unidades FFs distribuidas que no están agrupadas juntas. En dicha configuración, la misma señal de reloj procedente del mismo punto de distribución de reloj no se transmite a un grupo de unidades FFs. En esta forma de realización, las líneas de puntos desde el dispositivo desplazador de nivel 201 representan la ruta de señal que funciona en el segundo nivel de suministro de energía 211 mientras que las líneas continuas desde las memorias intermedias de puertas lógicas (p.ej., 401 y memorias intermedias de árbol de reloj 402) representan una ruta de señal que funciona en el primer nivel de suministro de energía 210. La memoria intermedia 401 se denomina también la memoria intermedia de reloj local que está más cerca, en términos de distancia, a la unidad FF que una memoria intermedia global de reloj (no ilustrada) que transmite señales de reloj sobre una red de distribución a la memoria intermedia 401.

En la configuración lógica secuencial no vectorial, el dispositivo desplazador de nivel 201 está situado fuera de la unidad FF mientras que los inversores 202 y 203 están situados en el interior de la FF. En dicha forma de realización, la unidad FF continua siendo alimentada con los primero y segundo niveles de suministro de energía 210 y 211. La ruta de datos de la unidad FF funciona en el primer nivel de suministro de energía 210 mientras que la ruta de señal de reloj de la unidad FF funciona en el segundo nivel de suministro de energía 211.

La Figura 5 es un diagrama de flujo de un método 500 para reducir el retardo de reloj a la salida (CLK-Q) y para mejorar parámetros de temporización (p.ej., tiempo de configuración) por intermedio de la unidad FF de múltiples suministros 200, de conformidad con una forma de realización de la invención.

Aunque los bloques en el diagrama de flujo 500 se ilustran en un orden particular, puede modificarse el orden de las acciones. Por lo tanto, las formas de realización ilustradas pueden ponerse en práctica en un orden distinto y algunas acciones/bloques pueden realizarse en paralelo. Además, una o más acciones/bloques pueden omitirse en varias formas de realización con el fin de reducir el retardo CLK-Q y mejorar así los parámetros de temporización para una unidad lógica secuencial. El diagrama de flujo de la Figura 5 se ilustra haciendo referencia a las formas de realización de las Figuras 2 a 4.

En el bloque 501, se proporciona una señal de entrada 'D' a una ruta de datos que incluye puertas lógicas que funcionan en un primer nivel de suministro de energía 210. La ruta de datos es la ruta desde la señal 'D' a la salida 'Q' e incluye la puerta de paso 204, los inversores de células maestras 205 y 206, la puerta de paso 207 y los inversores de células esclavas 208 y 209. En el bloque 502, se genera una señal de salida 'Q' a partir de la ruta de datos. En una forma de realización, el primer nivel de suministro de energía 210 es el nivel mínimo de tensión operativa de suministro de energía para las puertas lógicas en la ruta de datos. En una forma de realización, la ruta de datos es independiente de cualquier dispositivo de desplazamiento de nivel tal como se describe con referencia a la Figura 2.

En una forma de realización, la ruta de datos incluye: una célula maestra para recibir la señal de entrada; y una célula esclava, acoplada a la célula maestra, para generar la señal de salida, en donde el método incluye, además: proporcionar a la célula esclava, el segundo nivel de suministro de energía 211; y proporcionar, a la célula maestra, que incluye las puertas lógicas de la ruta de datos, el primer nivel de suministro de energía 210. La forma de realización anterior corresponde a la ilustración de la Figura 7 que se describirá a continuación.

Haciendo referencia de nuevo a la Figura 5, en el bloque 503 se proporciona la señal de reloj CLK a la ruta de reloj, que incluye puertas lógicas que funcionan en un segundo nivel de suministro de energía 211. La ruta de reloj incluye el dispositivo desplazador de nivel 201 e inversores 202 y 203 que proporcionan una señal de reloj muestreada a las puertas de paso 204 y 207 y habilita/inhabilita los inversores 205 y 208.

En el bloque 504, una señal objeto de muestreo se genera por la ruta de reloj para muestrear la señal de entrada 'D' con el fin de generar la señal de salida 'Q', en donde el segundo nivel de suministro de energía 211 es superior que el primer nivel de suministro de energía 210. En el bloque 505, el dispositivo desplazador de nivel 201 desplaza el nivel de la señal de reloj CLK, desde el primer nivel de suministro de energía 210 al segundo nivel de suministro de energía 211, antes de suministrar la señal de reloj a la ruta de reloj. En una forma de realización, el desplazamiento de nivel se realiza por el dispositivo desplazador de nivel 201 en la salida de una red de distribución de reloj según se describió haciendo referencia a las Figuras 3 a 4.

La Figura 6 es un diagrama de nivel de sistema de un dispositivo que incluye un procesador que comprende la unidad lógica secuencial de múltiples suministros con el fin de reducir el retardo de reloj a la salida y mejorar los parámetros de temporización, de conformidad con una forma de realización de la invención. La Figura 6 es un diagrama de bloques de una forma de realización de un dispositivo móvil en el que podrían utilizarse conectores de interfaz de superficie plana. El dispositivo informático 600 representa un dispositivo informático móvil, tal como una tableta informática, un teléfono móvil o teléfono inteligente, un libro electrónico habilitado para conexión inalámbrica u otro dispositivo móvil inalámbrico. Debe entenderse que algunos de los componentes se ilustran de forma general y no todos los componentes de dicho dispositivo se muestran en el dispositivo 600.

El dispositivo 600 incluye un procesador 610, que realiza las operaciones de procesamiento primarias del dispositivo 600. En una forma de realización, el procesador 610 incluye la unidad FF de múltiples suministros 200 (y 700 descrita haciendo referencia a la Figura 7). El procesador 610 puede tener ambas configuraciones, vectorial y no vectorial, de la unidad FF que se describen con referencia a las Figuras 3 y 4.

Haciendo referencia de nuevo a la Figura 6, el procesador 610 puede incluir uno o más dispositivos físicos, tal como microprocesadores, procesadores de aplicación, microcontroladores, dispositivos lógicos programables u otros soportes de procesamiento. Las operaciones de procesamiento puestas en práctica por el procesador 610 incluyen la realización de una plataforma operativa o sistema operativo en el que se ejecutan las funciones de aplicaciones y/o dispositivos. Las operaciones de procesamiento incluyen operaciones relacionadas con la I/O (entrada/salida) por un usuario humano o con otros dispositivos, operaciones relacionadas con la gestión de energía, y/o operaciones relacionadas con la conexión del dispositivo 600 a otro dispositivo. Las operaciones de procesamiento pueden incluir, además, operaciones relacionadas con entrada/salida de señal de audio y/o entrada/salida de visualización.

En una forma de realización, el dispositivo 600 incluye un subsistema de audio 620, que comprende componentes de hardware (p.ej., herramientas de audio y circuitos de audio) y software (p.ej., controladores, codificadores/decodificadores *códecs*) asociados con la puesta en práctica de funciones de audio para el dispositivo informático. Las funciones de audio pueden incluir salida de altavoz y/o auriculares, así como entrada de micrófono. Dispositivos para dichas funciones pueden estar integrados en el dispositivo 600, o conectarse al dispositivo 600. En una forma de realización, un usuario interactúa con el dispositivo 600 aportando órdenes de audio que se reciben y procesan por el procesador 610.

El subsistema de presentación visual 630 incluye componentes de hardware (p.ej., dispositivos de presentación visual) y software (p.ej., controladores) que proporcionan una presentación visual y/o táctil con el fin de que un usuario interactúe con el dispositivo informático. El subsistema de presentación visual 630 incluye una interfaz de visualización 632, que incluye la pantalla particular o el dispositivo informático utilizado para proporcionar una presentación visual a un usuario. En una forma de realización, la interfaz de visualización 632 incluye una lógica separada del procesador 610 para realizar al menos algún procesamiento relacionado con la presentación visual. En una forma de realización, el subsistema de presentación visual 630 incluye un dispositivo de pantalla táctil (o panel táctil) que proporciona, a la vez, entradas y salidas para un usuario.

El controlador de entrada/salida 640 representa dispositivos de hardware y componentes de software relacionados con la interacción con un usuario. El controlador de entrada/salida (I/O) 640 puede utilizarse para gestionar el hardware que forma parte del subsistema de audio 620 y/o del subsistema de presentación visual 630. Además, el controlador de entrada/salida 640 muestra un punto de conexión para dispositivos adicionales que se conectan al dispositivo 600 mediante los cuales un usuario puede interactuar con el sistema. A modo de ejemplo, dispositivos que pueden conectarse al dispositivo 600 pueden incluir dispositivos de micrófono, altavoces o sistemas estéreos, sistemas de vídeo u otro dispositivo de presentación visual, teclado o dispositivos táctiles, u otros dispositivos de entrada/salida (I/O) para su uso con aplicaciones específicas tales como lectores de tarjetas u otros dispositivos.

Según se indicó con anterioridad, un controlador de entrada/salida 640 puede interactuar con un subsistema de audio 620 y/o un subsistema de presentación visual 630. A modo de ejemplo, la entrada por intermedio de un micrófono u otro dispositivo de audio puede proporcionar instrucciones u órdenes para una o más aplicaciones o funciones del dispositivo 600. Además, la salida de audio se puede proporcionar en lugar de, o en adición a una salida de presentación visual. En otra realización, a modo de ejemplo, si el subsistema de presentación visual incluye una pantalla táctil, el dispositivo de visualización actúa, además, como un dispositivo de entrada, que puede ser gestionado, al menos en parte, por el controlador de entrada/salida 640. Pueden existir también botones o conmutadores adicionales en el dispositivo 600 para proporcionar funciones de entrada/salida que se gestionan por el controlador de I/O 640.

En una forma de realización, el controlador de entrada/salida 640 gestiona dispositivos tales como acelerómetros, cámaras, sensores de luz u otros sensores ambientales, u otro hardware que pueda estar incluido en el dispositivo 600. La entrada puede ser parte de la interacción directa del usuario, así como para proporcionar información del entorno al sistema con el fin de influir en sus operaciones (tal como filtración de ruido, ajuste de la presentación visual para detección de brillo, utilización de un flash para una cámara, u otras características).

En una forma de realización, el dispositivo 600 incluye la gestión de energía 650 que controla el uso de la energía de la batería, la carga de la batería, y características relacionadas con la operación de ahorro de energía. El subsistema de memoria 660 incluye dispositivos de memoria para almacenamiento de información en el dispositivo 600. La memoria puede incluir dispositivos de memoria no volátil (su estado no cambia si se interrumpe el suministro de energía al dispositivo de memoria) y/o dispositivos de memoria volátil (su estado es indeterminado si se interrumpe el suministro de energía al dispositivo de memoria). La memoria 660 puede memorizar datos de aplicación, datos de usuario, música, fotografías, documentos u otros datos, así como datos del sistema (tanto a largo plazo como de forma temporal) que se relacionan con la puesta en práctica de aplicaciones y funciones del sistema 600.

Elementos de formas de realización se dan a conocer también como un soporte legible por máquina (p.ej., memoria 600) para almacenar las instrucciones ejecutables por ordenador (p.ej., instrucciones para poner en práctica el diagrama de flujo ilustrado en la Figura 5 y cualquier otro proceso descrito con anterioridad). El soporte legible por máquina (p.ej., memoria 660) puede incluir, sin limitación a, memoria instantánea, discos ópticos, CD-ROMs, DVD ROMs, memorias RAMs, memorias EPROMs, memorias EEPROMs, tarjetas magnéticas u ópticas, u otro tipo de soporte legible por máquina adecuado para memorizar instrucciones electrónicas o ejecutables por ordenador. A modo de ejemplo, formas de realización de la invención pueden descargarse como un programa informático (p.ej., el sistema básico de entrada/salida BIOS) que puede transmitirse desde un ordenador distante (p.ej., un servidor) a un ordenador demandante (p.ej., un cliente) por intermedio de señales de datos a través de un enlace de comunicaciones (p.ej., un modem o conexión de red).

La conectividad 670 incluye dispositivos de hardware (p.ej., conectores inalámbricos y/o cableados y hardware de comunicación) y componentes de software (p.ej., controladores, apilamiento de protocolos) para permitir al dispositivo 600 su comunicación con dispositivos externos. El dispositivo puede ser dispositivos separados, tal como otros dispositivos informáticos, puntos de acceso inalámbrico o estaciones base, así como dispositivos periféricos tales como auriculares, impresoras u otros dispositivos.

La conectividad 670 puede incluir múltiples diferentes tipos de conectividad. En general, el dispositivo 600 se ilustra con conectividad celular 672 y conectividad inalámbrica 674. La conectividad celular 672 se refiere, en general, a una conectividad de red celular proporcionada por portadoras inalámbricas, tal como se proporciona por el sistema GSM (sistema global para comunicaciones móviles) o sus variaciones o derivados, CDMA (acceso múltiple por división de código) o sus variaciones o derivados, TDM (multiplexación por división temporal) o sus variaciones o derivados, u otras normas de servicio celular. La conectividad inalámbrica 674 se refiere a la conectividad inalámbrica que no es celular y puede incluir redes de área personal (tal como Bluetooth, Near Field (de corto alcance), etc.), redes de área local (tales como Wi-Fi), y/o redes de área amplia (tales como WiMax) u otra comunicación inalámbrica.

Las conexiones periféricas 680 incluyen interfaces de hardware y conectores, así como componentes de software (p.ej., controladores, apilamiento de protocolos) con el fin de realizar conexiones periféricas. Debe entenderse que el dispositivo 600 podría ser un dispositivo periférico ("para" 682) otros dispositivos informáticos, así como tener dispositivos periféricos ("desde" 684) conectados a él. El dispositivo 600 suele tener un conector de "acoplamiento" para su conexión a otros dispositivos informáticos para fines tales como la gestión (p.ej., descarga y/o carga, intercambio, sincronización) de contenidos en el dispositivo 600. Además, un conector de acoplamiento puede permitir al dispositivo 600 la conexión de algunos periféricos que permiten al dispositivo 600 el control de salida del contenido, a modo de ejemplo, para sistemas audiovisuales u otros sistemas.

Además de un conector de acoplamiento propietario u otro hardware de conexión propietario, el dispositivo 600 puede realizar conexiones periféricas 680 mediante conectores comunes o basados en normas. Los tipos comunes pueden incluir un conector de Bus Serie Universal (USB) (que puede incluir cualquiera de entre varias interfaces de hardware distintas), la interfaz digital estándar DisplayPort que incluye su versión reducida MiniDisplayPort (MDP), Interfaz Multimedia en Alta Definición (HDMI), cortafuegos u otros tipos.

La referencia en la descripción a "en forma de realización", "una forma de realización", "algunas formas de realización" u "otras formas de realización" significa que una función, estructura o característica particular descrita en relación con las formas de realización está incluida en al menos algunas formas de realización, pero no necesariamente en la totalidad de las formas de realización. Los distintos aspectos de "en forma de realización", "una forma de realización" o "algunas formas de realización" no se refieren, necesariamente, todos ellos a las mismas formas de realización. Si la especificación establece que un componente, función, estructura o característica particular "puede", "podría" o "pudo" incluirse, ese componente, función, estructura o característica particular no es necesario que esté incluido. Si la especificación o las reivindicaciones se refieren a "al" o "un" elemento, ello no significa que solamente haya uno de dichos elementos. Si la especificación o las reivindicaciones se refieren a un elemento "adicional", este término no excluye que haya más de un elemento adicional.

Aunque la invención ha sido descrita en conjunción con formas de realización específicas de la misma, se harán evidentes para los expertos en esta técnica numerosas alternativas, modificaciones y variaciones de dichas formas de realización, a la luz de la descripción anterior.

A modo de ejemplo, con el fin de mejorar la retención de datos en la unidad lógica secuencial, la parte de célula esclava de la unidad lógica secuencial puede hacerse funcionar en una más alta fuente de alimentación de energía que la parte de célula maestra de la unidad lógica secuencial. La Figura 7 es una unidad lógica secuencial FF de múltiples suministros 700 con un circuito de retención esclavo impulsado, en conformidad con una forma de realización de la invención. Para evitar descripciones repetitivas, solamente se describirán aquí las diferencias entre la Figura 2 y la Figura 7. Las líneas de puntos representan la ruta de señal que funciona en la segunda fuente de alimentación de energía 211 mientras que las líneas continuas representan la ruta de señal que funciona en la energía de la primera fuente de alimentación de energía 210.

En una forma de realización, la parte de célula esclava 701 incluye los inversores 708 y 709. En esta forma de realización, los inversores 708 y 709 se hacen funcionar en el segundo nivel de suministro de energía 211 de modo similar a la ruta de reloj. En dicha forma de realización, no es necesario un cambiador de nivel adicional para la célula esclava 701. En una forma de realización, el controlador de salida 710 puede ser reducido (en términos de ancho de puerta (W)/longitud de canal (L) de transistor) puesto que la célula esclava 701 está funcionando en el segundo nivel de suministro de energía 211 que es más alto que el primer nivel de suministro de energía 210.

Las formas de realización de la invención pretenden cubrir todas dichas alternativas, modificaciones y variaciones que caigan dentro del alcance de las reivindicaciones adjuntas.

Se da a conocer un resumen que permitirá al lector determinar la naturaleza y esencia de la divulgación técnica. El resumen se proporciona en el entendimiento de que no se utilizará con el fin de limitar el alcance o significado de las reivindicaciones. Las siguientes reivindicaciones se incorporan en la presente descripción detallada, siendo cada reivindicación independiente entendida como una forma de realización separada.



**REIVINDICACIONES**

1. Un aparato para mejorar la velocidad de una unidad lógica secuencial que comprende:
  - 5 una ruta de datos, configurada para recibir una señal de entrada, que incluye puertas lógicas (204-209) configuradas para ser operativas en un primer nivel de suministro de energía (210), estando la ruta de datos configurada para generar una señal de salida, en donde el primer nivel de suministro de energía (210) es un nivel mínimo de tensión operativa de suministro de energía para las puertas lógicas (202, 203) en la ruta de datos; y
  - 10 una ruta de reloj que incluye puertas lógicas (202, 203) configuradas para funcionar en un segundo nivel de suministro de energía (211), en donde las puertas lógicas (202, 203) de la ruta de reloj generan una señal de muestreo configurada para efectuar el muestreo de la señal de entrada con el fin de generar la señal de salida, en donde las puertas lógicas (202, 203) de la ruta de reloj incluyen un dispositivo desplazador de nivel (201) configurado para desplazar el nivel de una señal de reloj desde el primer nivel de suministro de energía al segundo nivel de suministro de energía antes de
  - 15 generar la señal de muestreo, en donde el segundo nivel de suministro de energía (211) es más alto que el primer nivel de suministro de energía (210), y

en donde la ruta de datos incluye una primera puerta de paso (204), una célula maestra acoplada para recibir la señal de entrada procedente de la primera puerta de paso (204) y que tiene inversores de células maestras (205, 206), una célula esclava acoplada a la célula maestra por intermedio de una segunda puerta de paso (207) y que tiene inversores de células esclavas (208, 209), proporcionando la señal de muestreo a las primera y segunda puertas de paso (204, 207) y para habilitar y deshabilitar inversores (205, 206, 208, 209) en las células maestras y esclavas.
2. El aparato según la reivindicación 1, en donde el dispositivo desplazador de nivel (201) está acoplado a un nodo de salida de una red de distribución de reloj.
3. El aparato según la reivindicación 2 que comprende, además:
  - 30 una memoria intermedia acoplada al dispositivo desplazador de nivel (201) con el fin de proporcionar una señal de reloj a las puertas lógicas (202, 203) de la ruta de reloj, estando la señal de reloj funcionando en el segundo nivel de suministro de energía (211).
4. El aparato según la reivindicación 1, en donde la célula esclava funciona en el segundo nivel de suministro de energía (211) mientras que la célula maestra, que incluye las puertas lógicas (202, 203) de la ruta de datos, funciona en el primer nivel de suministro de energía (210).
5. El aparato según la reivindicación 1 que comprende, además:
  - 40 un inversor para invertir la señal de muestreo con el fin de generar la señal de muestreo inversa, en donde la señal de muestreo y la señal de muestreo inversa se distribuyen a circuitos lógicos secuenciales vectoriales.
6. El aparato según la reivindicación 1,
  - 45 en donde la señal de muestreo se distribuye a circuitos lógicos secuenciales vectoriales.
7. El aparato según la reivindicación 1,
  - 50 en donde la ruta de datos es independiente de cualquier dispositivo desplazador de nivel (201); y
  - la ruta de reloj que incluye puertas lógicas (203, 205) para funcionar en un segundo nivel de suministro de energía (211), en donde las puertas lógicas de la ruta de reloj (211) utilizan una señal de muestreo para muestrear la señal de entrada con el fin de generar la señal de salida.
8. Un método para mejorar la velocidad de una unidad lógica secuencial que comprende:
  - 55 el suministro (500) de una señal de entrada a una ruta de datos que incluye puertas lógicas que funcionan en un primer nivel de suministro de energía;
  - la generación (502) de una señal de salida procedente de la ruta de datos, en donde la ruta de datos incluye una primera puerta de paso, una célula maestra acoplada para recibir la señal de entrada desde la primera puerta de paso y que tiene inversores de células maestras, una célula esclava acoplada a la célula maestra a través de una segunda puerta de paso y que tiene inversores de células esclavas;
  - 60 el suministro (503) de una señal de reloj a una ruta de reloj que incluye puertas lógicas que funcionan en un segundo nivel de suministro de energía; y
  - 65

la generación (504) de una señal de muestreo por las puertas lógicas de la ruta de reloj para muestrear la señal de entrada con el fin de generar la señal de salida, que incluye proporcionar la señal de muestreo a las primera y segunda puertas de paso y para habilitar y deshabilitar inversores en las células maestras y esclavas,

5 en donde el segundo nivel de suministro de energía es más alto que el primer nivel de suministro de energía y que comprende, además,

10 el desplazamiento de nivel (505) de la señal de reloj desde el primer nivel de suministro de energía al segundo nivel de suministro de energía, antes de proporcionar la señal de reloj a la ruta de reloj, en donde el desplazamiento de nivel se realiza en una salida de una red de distribución de reloj.

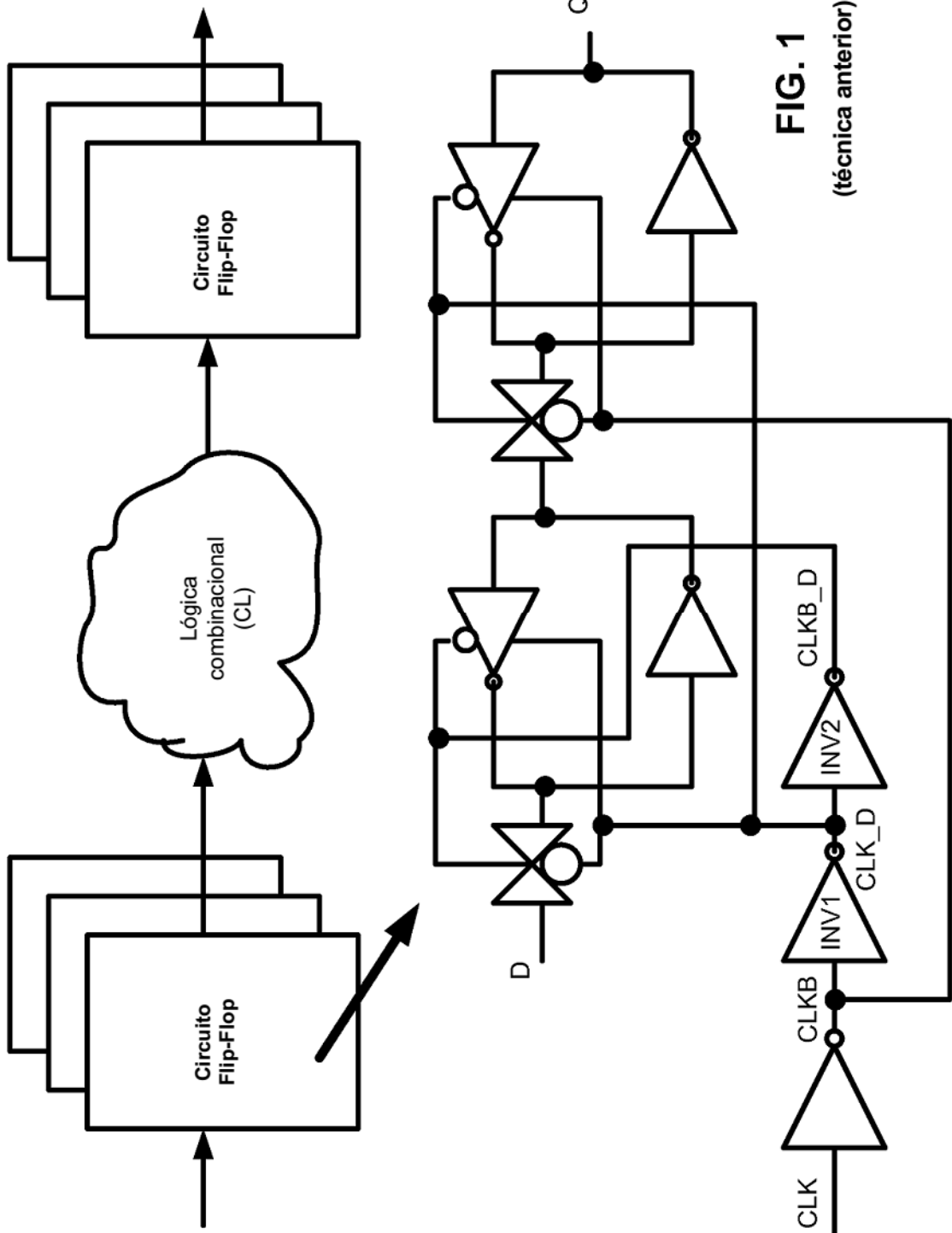
15 **9.** El método según la reivindicación 8, donde el primer nivel de suministro de energía es el nivel mínimo de tensión operativa de suministro de energía para las puertas lógicas en la ruta de datos, en donde el segundo nivel de suministro de energía es un 60 % más alto que el primer nivel de suministro de energía y, en donde la ruta de datos es independiente de cualquier dispositivo desplazador de nivel.

**10.** El aparato según una de las reivindicaciones 1 a 7, que comprende, además:

20 una conectividad inalámbrica; y

un procesador acoplado, de forma comunicativa, a la conectividad inalámbrica.

100



**FIG. 1**  
(técnica anterior)

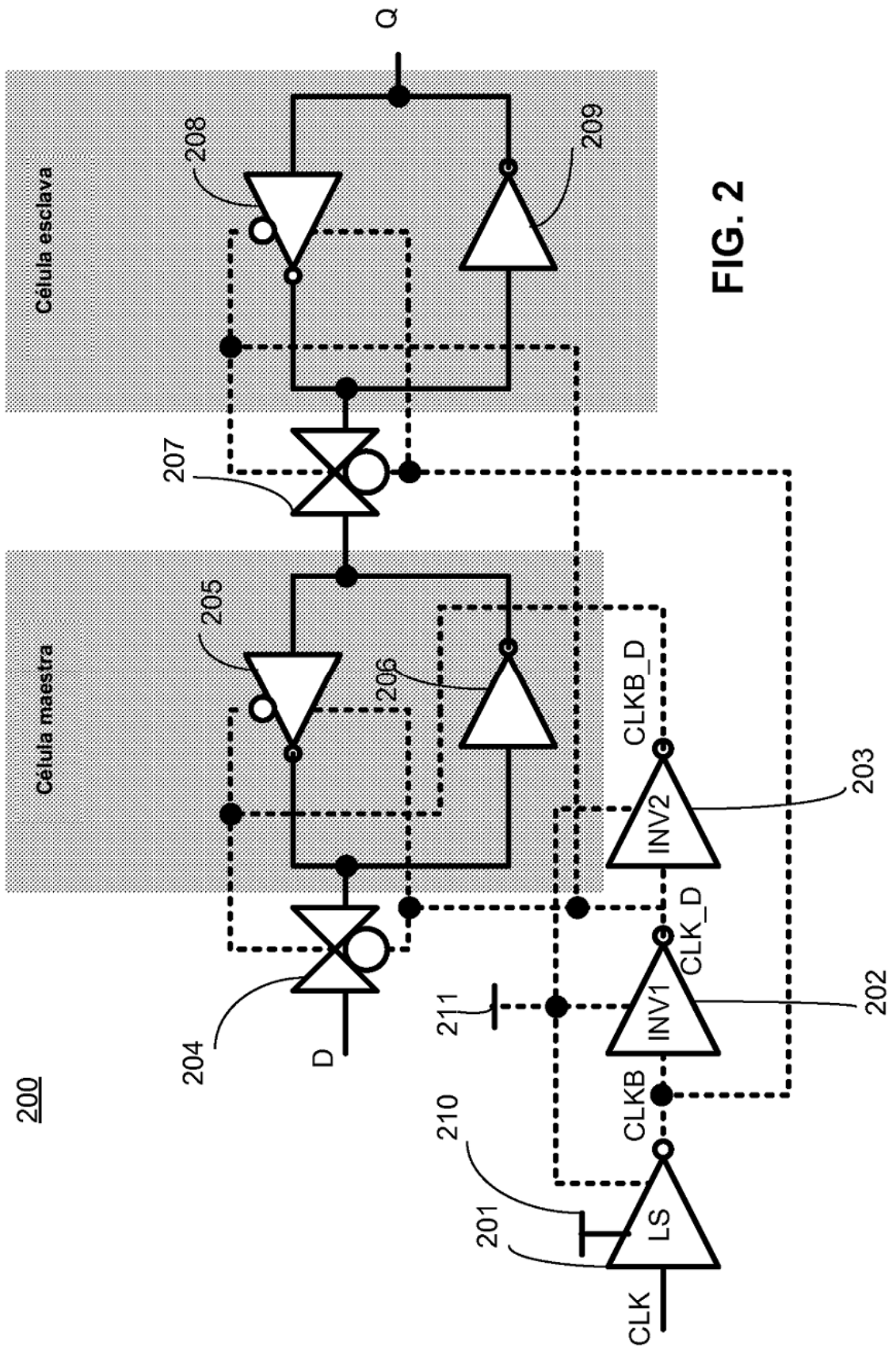


FIG. 2

200

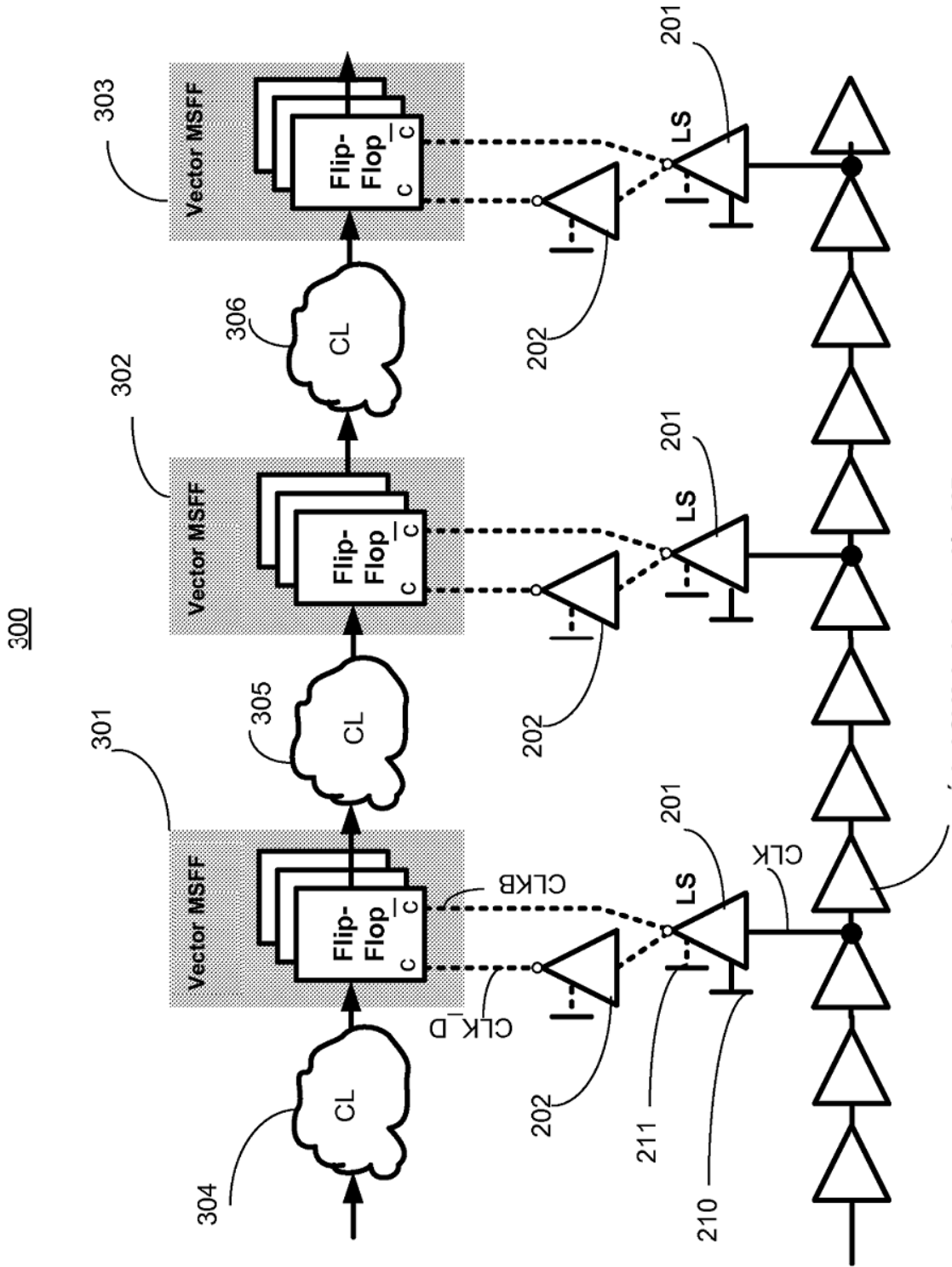
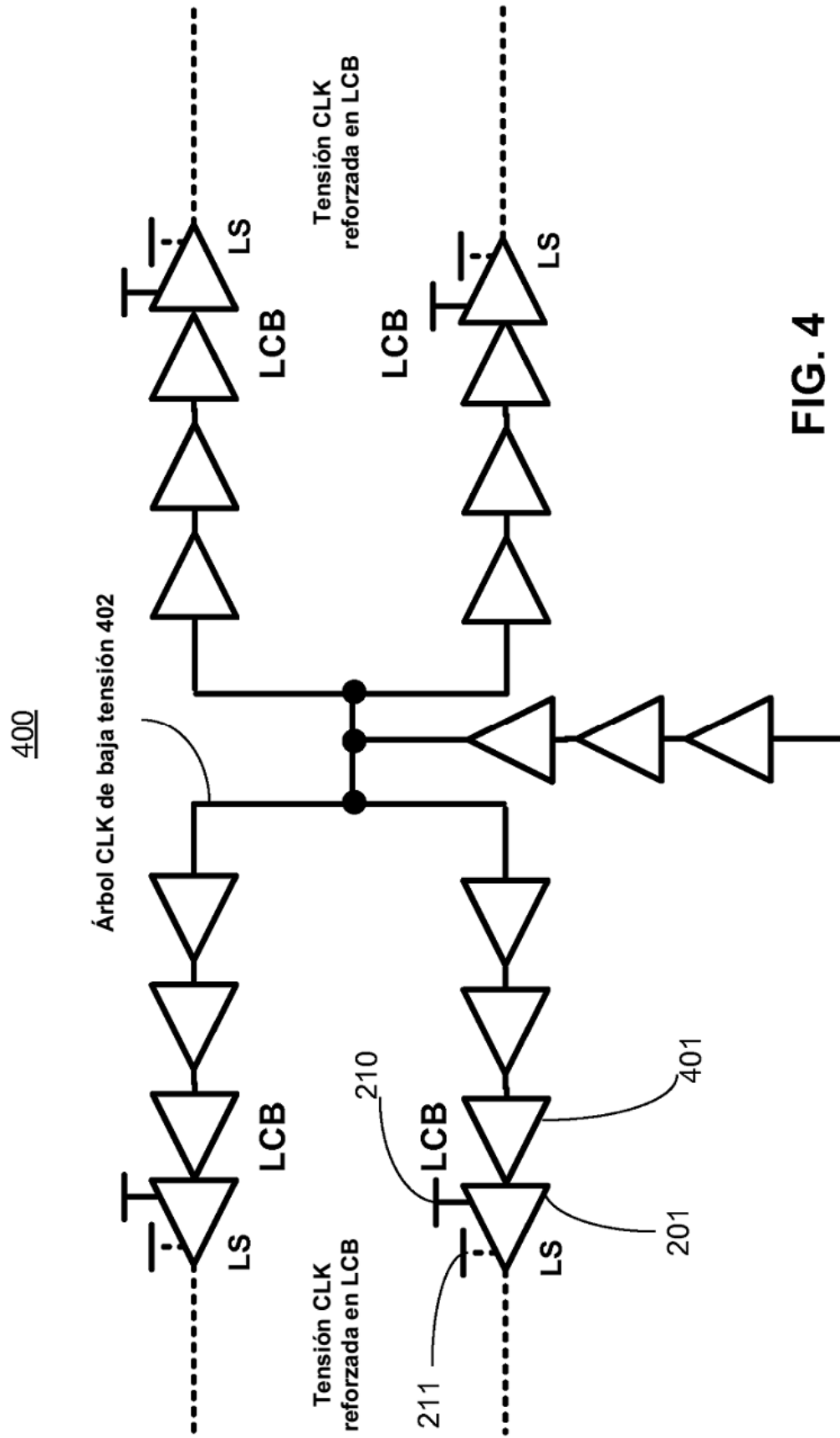
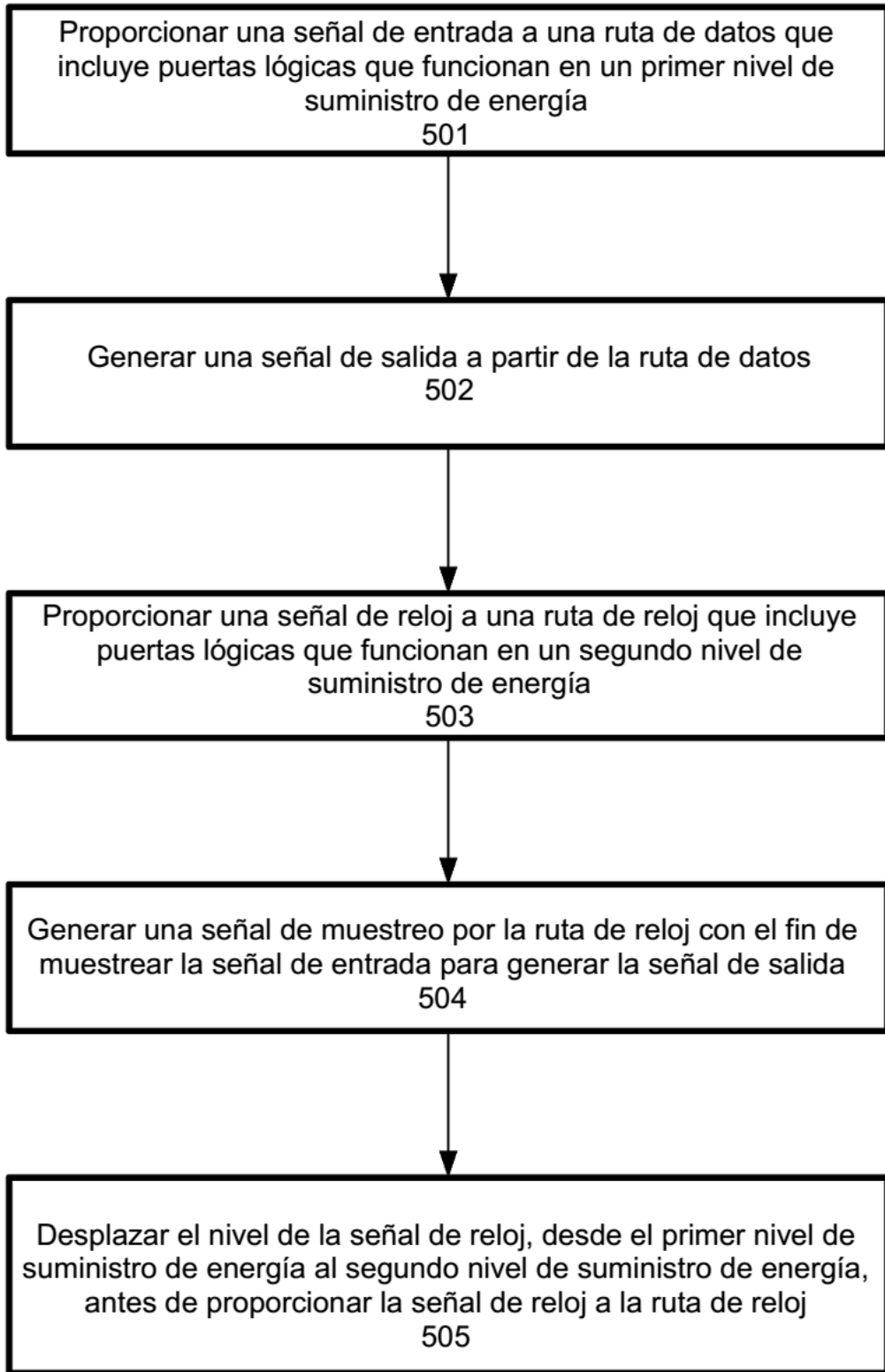


FIG. 3



500



**FIG. 5**

600

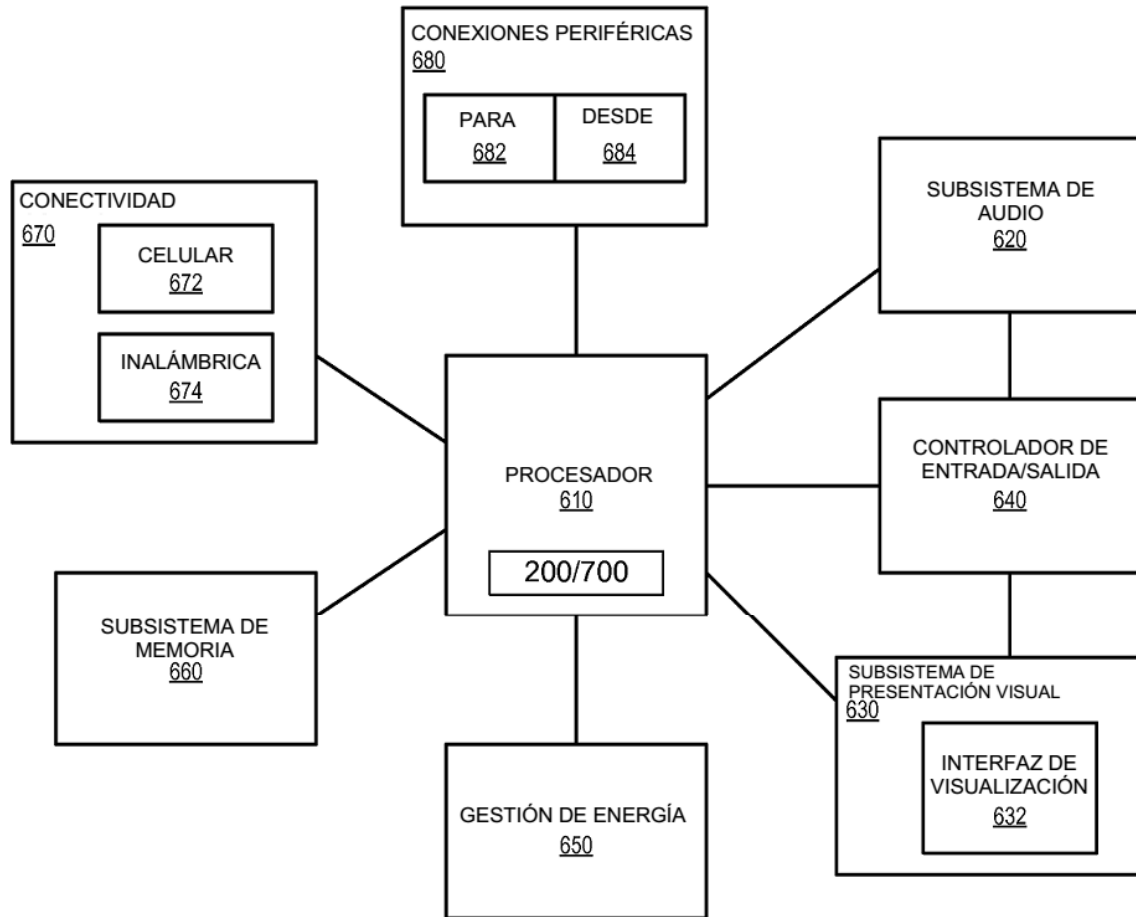
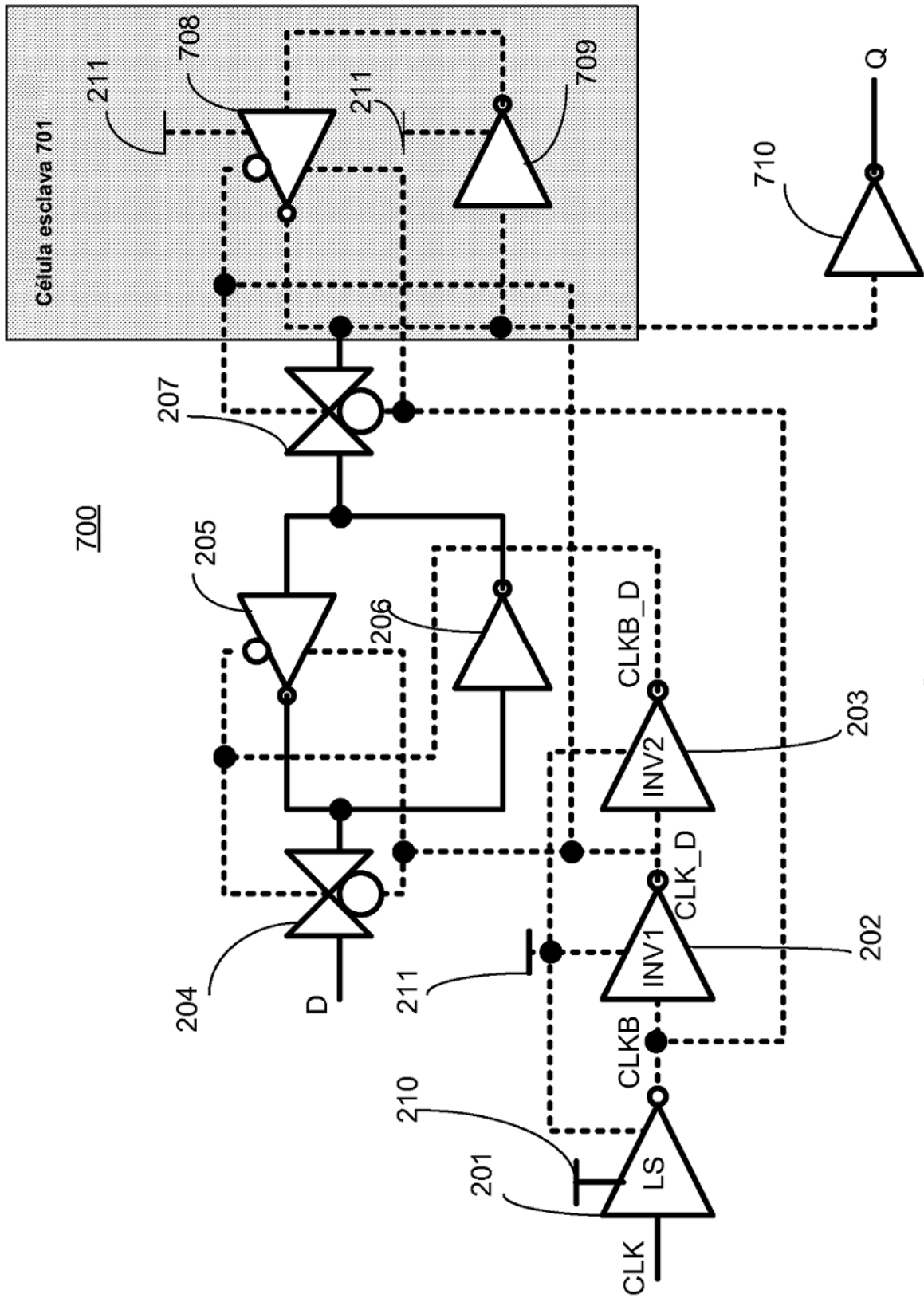


FIG. 6





**FIG. 7**