

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 650 074**

51 Int. Cl.:

G06F 13/16 (2006.01)

G06F 13/42 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.01.2016** **E 16151357 (7)**

97 Fecha y número de publicación de la concesión europea: **13.09.2017** **EP 3089044**

54 Título: **Procedimiento de control de acceso de sistema de memoria de doble puerto**

30 Prioridad:

13.04.2015 KR 20150051999

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

16.01.2018

73 Titular/es:

**LSIS CO., LTD. (100.0%)
127, LS-ro Dongan-gu Anyang-si
Gyeonggi-Do 14119, KR**

72 Inventor/es:

**KWON, DAE HYUN y
LEE, SOO GANG**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 650 074 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento de control de acceso de sistema de memoria de doble puerto

5 **ANTECEDENTES**

[1] La presente divulgación se refiere a un sistema de memoria de doble puerto y, particularmente, a un procedimiento de control de acceso de un sistema de memoria de doble puerto.

10 [2] El documento US 6 122 706 A (LEONG [US]), 19 de septiembre de 2000, divulga una memoria direccionable por contenido de doble puerto.

[3] El documento EP 0 272 547 A2 (HONEYWELL BULL [US]), 29 de junio de 1988, divulga un sistema de procesamiento de datos que tiene un mandato de bus generado por un subsistema en representación de otro subsistema.

15 [4] El documento US 5 845 130 A (GOFF [US] *ET AL.*) divulga un controlador de tráfico de buzón.

[5] Recientemente, un terminal de comunicación móvil tal como un asistente personal digital (PDA) incluye varias funciones de servicio adicionales tales como cámaras digitales, comunicaciones de vídeo y reproducciones multimedia además de una función de comunicación inalámbrica.

20 [6] Un terminal de comunicación móvil puede incluir al menos un procesador tal como un procesador de banda base, un procesador de aplicaciones, etc. para procesar la comunicación inalámbrica y diversas funciones de servicio adicionales, y utiliza una memoria de doble puerto para reducir una velocidad de procesamiento de datos de cada procesador y un área de montaje de una memoria.

[7] Es decir, cuando dos procesadores usan memoria de doble puerto, dado que cada procesador puede leer y escribir datos en el acceso a una matriz de célula de memoria usando su puerto, en comparación con un caso en que dos procesadores están respectivamente conectados a diferentes memorias e intercambian datos de procesamiento a través de una interfaz de procesador de ordenador principal (HPI), las velocidades de procesamiento y transmisión de datos son más rápidas y, debido a esto, el rendimiento general de un sistema puede mejorarse más.

30 [8] La figura 1 es una vista que ilustra una configuración de un sistema de memoria de doble puerto de acuerdo con la técnica relacionada y la figura 2 es un diagrama de temporización que ilustra el sistema de memoria de doble puerto de la figura 1.

[9] Con referencia a la figura 1, el sistema de memoria de doble puerto incluye una memoria de doble puerto 1, un primer procesador 2 y un segundo procesador 3.

40 [10] La memoria de doble puerto 1 puede ser una memoria de acceso aleatorio dinámica síncrona (SDRAM).

[11] En el presente documento, cuando la memoria de doble puerto 1 se aplica a un terminal de comunicación móvil, el primer procesador 2 puede operar como un procesador de banda base y el segundo procesador 3 puede operar como una aplicación.

[12] El procesador de banda base, en un terminal de comunicación móvil, puede realizar una función de comunicación y operaciones de control de procesadores de aplicación para realizar una función específica (por ejemplo, una reproducción multimedia, una función de cámara, etc.). Además, el procesador de banda base puede controlar operaciones de dispositivos adicionales (por ejemplo, una unidad de visualización, un dispositivo de almacenamiento externo, etc.) proporcionados en un terminal de comunicación móvil.

55 [13] El primer procesador 2 puede leer y escribir datos en la memoria de doble puerto 1 a través de una primera interfaz de bus externo (no mostrada) y el segundo procesador 3 puede leer y escribir datos en la memoria de doble puerto 1 a través de una segunda interfaz de bus externo (no mostrada).

[14] Cada uno del primer procesador 2 y el segundo procesador 3 intercambian una señal de reloj CLK, una señal de selección de chip CS, una señal de dirección, una señal de datos Datos, una señal de escritura WR y una señal de resultado de petición de acceso (por ejemplo, Ocupado) con la memoria de doble puerto 1.

[15] En este punto, cuando se intenta acceder a la memoria de doble puerto 1, el primer procesador 2 y el segundo procesador 3 solicitan un acceso desde la memoria de doble puerto 1.

65 [16] En el presente documento, cuando hay una petición de acceso del primer procesador 2 o el segundo procesador 3, la memoria de doble puerto 1 determina si hay un acceso del otro procesador actual y facilita la señal

de resultado de petición de acceso de acuerdo con el acceso.

5 [17] Es decir, cuando el otro procesador actual ya accede a la memoria de doble puerto 1, la memoria de doble puerto 1 facilita una señal de ocupado como señal de resultado de petición de acceso para notificar un fallo de acceso a un procesador que solicita el acceso. En este punto, la señal de ocupado tiene una forma activa baja y, cuando se notifica un fallo de acceso de acuerdo con lo mencionado anteriormente, se facilita una señal baja BAJA como señal de resultado de petición de acceso tal como se muestra en la figura 2.

10 [18] Además, cuando el otro procesador actual no accede actualmente, la memoria de doble puerto 1 permite un acceso de un procesador que solicita el acceso.

15 [19] En relación con un procedimiento de acceso a la memoria de doble puerto 1 de acuerdo con la técnica relacionada, en el momento en que el primer procesador 2 intenta acceder a la memoria de doble puerto 1, si el segundo accede ya a la memoria de doble puerto 1, la memoria de doble puerto 1 facilita una señal de ocupado Ocupado al primer procesador 2 para notificar un fallo de acceso al primer procesador 2.

20 [20] Sin embargo, de acuerdo con el procedimiento de acceso de técnica relacionada mencionado anteriormente, dado que se verifica una señal de ocupado para notificar un fallo de acceso y de acuerdo con esto se requiere solicitar un acceso a la memoria de doble puerto 1 más adelante en un nivel de aplicación cuando un acceso a la memoria de doble puerto 1 ha fallado, transcurre mucho tiempo hasta que se vuelve a intentar el acceso.

RESUMEN

25 [21] Se divulga un procedimiento de acceso de un nuevo tipo de sistema de memoria de doble puerto.

[22] El procedimiento permite un acceso optimizado para reducir drásticamente un tiempo de reintento de acceso añadiendo una función de tiempo de espera y una función de retención.

30 [23] El procedimiento incluye: solicitar, mediante un primer procesador, un acceso desde una memoria de doble puerto; y transmitir, mediante la memoria de doble puerto, una señal de resultado de acuerdo con la petición de acceso al primer procesador, en el que la señal de resultado incluye una primera señal de resultado para notificar un éxito de acceso, una segunda señal de resultado para notificar un fallo de acceso y una tercera señal de resultado para notificar una retención de acceso.

35 [24] La transmisión de la señal de resultado puede incluir: verificar un estado de acceso de un segundo procesador; cuando el segundo procesador no está en acceso, transmitir la primera señal de resultado al primer procesador; cuando el segundo procesador está en acceso, verificar si transcurre un tiempo de admisión predeterminado; si transcurre el tiempo de admisión predeterminado, transmitir la segunda señal de resultado al primer procesador; y si no transcurre el tiempo de admisión predeterminado, transmitir la tercera señal de resultado al primer procesador.

40 [25] Cuando la tercera señal de resultado se transmite al primer procesador, la memoria de doble puerto puede verificar si el acceso del segundo procesador ha terminado y de acuerdo con si el acceso del segundo procesador ha terminado, retransmitir la señal de resultado al primer procesador.

45 [26] Cuando el acceso del segundo procesador termina antes de que transcurra el tiempo de admisión, la memoria de doble puerto puede retransmitir la primera señal de resultado al primer procesador.

50 [27] Cuando se recibe la tercera señal de resultado, el procesador puede esperar a recibir una señal de resultado retransmitida desde la memoria de doble puerto antes de que transcurra un tiempo de admisión predeterminado.

55 [28] Cuando se recibe la tercera señal de resultado y transcurre el tiempo de admisión predeterminado, el primer procesador puede reconocer la tercera señal de resultado recibida como un fallo de acceso correspondiente a la segunda señal de resultado.

[29] Las señales de resultado primera a tercera pueden estar determinadas por los estados alto y bajo de una primera señal y una segunda señal transmitidas desde la memoria de doble puerto al primer procesador.

60 [30] El procedimiento de la presente invención incluye: solicitar, mediante un primer procesador, un acceso desde una memoria de doble puerto; verificar, mediante la memoria de doble puerto, un estado de acceso de un segundo procesador; cuando el segundo procesador no está en acceso, permitir el acceso del primer procesador; y cuando el segundo procesador está en acceso, transmitir, mediante la memoria de doble puerto, una señal de ocupado para notificar el rechazo de acceso al primer procesador, en el que la señal de ocupado se usa como señal para notificar una espera de acceso antes de que transcurra un primer tiempo de admisión predeterminado basándose en el primer tiempo de admisión predeterminado y se usa como señal para notificar un fallo de acceso

después de que transcurra el primer tiempo de admisión predeterminado.

[31] La memoria de doble puerto puede verificar si el acceso del segundo procesador termina cuando la señal de ocupado transmitida al primer procesador es una señal para notificar la espera de acceso, permitir el acceso del primer procesador cuando termina el acceso del segundo procedimiento, y retransmitir una señal de ocupado de acuerdo con si el primer tiempo de admisión predeterminado ha transcurrido cuando el acceso del segundo procesador no ha terminado.

[32] Cuando se recibe la señal de ocupado para notificar la espera de acceso y hasta que transcurre un segundo tiempo de admisión predeterminado, el primer procesador puede esperar a recibir una señal de resultado de acceso retransmitida desde la memoria de doble puerto.

[33] El primer tiempo de admisión puede ser un tiempo establecido en la memoria de doble puerto y el segundo tiempo de admisión puede ser un tiempo establecido en el primer procesador.

[34] Los detalles de uno o más modos de realización se exponen en los dibujos adjuntos y en la descripción siguiente. Otras características resultarán evidentes a partir de la descripción y los dibujos, y a partir de las reivindicaciones.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[35]

La figura 1 es una vista que ilustra una configuración de un sistema de memoria de doble puerto de acuerdo con la técnica relacionada.

La figura 2 es un diagrama de temporización de acceso que ilustra el sistema de memoria de doble puerto de la figura 1.

La figura 3 es una vista que ilustra una configuración de un sistema de memoria de doble puerto de acuerdo con un primer modo de realización de la presente invención.

Las figuras 4 a 6 son diagramas de temporización de acceso específico de estado que ilustran un sistema de memoria de doble puerto de acuerdo con un modo de realización de la presente invención.

La figura 7 es un diagrama de flujo que ilustra una operación de un procesador paso a paso en un sistema de memoria de doble puerto de acuerdo con un primer modo de realización de la presente invención.

La figura 8 es un diagrama de flujo que ilustra una operación de una memoria de doble puerto paso a paso en un sistema de memoria de doble puerto de acuerdo con un primer modo de realización de la presente invención.

La figura 9 es una vista que ilustra una configuración de un sistema de memoria de doble puerto de acuerdo con un segundo modo de realización de la presente invención.

La figura 10 es un diagrama de flujo que ilustra una operación de un procesador paso a paso en un sistema de memoria de doble puerto de acuerdo con un segundo modo de realización de la presente invención.

La figura 11 es un diagrama de flujo que ilustra una operación de una memoria de doble puerto paso a paso en un sistema de memoria de doble puerto de acuerdo con un segundo modo de realización de la presente invención.

DESCRIPCIÓN DETALLADA DE LOS MODOS DE REALIZACIÓN

[36] A continuación, se describen en mayor detalle algunos modos de realización con referencia a los dibujos adjuntos. En la siguiente descripción, dado que los sufijos "módulo" y "unidad" para los componentes se dan e intercambian con el fin de facilitar la realización de la presente divulgación, estos no tienen significados ni funciones distintos.

[37] Los efectos y las características del concepto inventivo, y los procedimientos de implementación de estos se aclararán a través de los siguientes modos de realización descritos con referencia a los dibujos adjuntos. Sin embargo, un modo de realización puede realizarse de muchas formas diferentes y no debe considerarse que el concepto inventivo está limitado a los modos de realización dados a conocer en el presente documento. En su lugar, estos modos de realización se proporcionan para que esta divulgación sea minuciosa y completa y transmita completamente el alcance del concepto inventivo a los expertos en la materia. Además, el concepto inventivo solo está definido por el alcance de las reivindicaciones. Los mismos números de referencia a lo largo de la divulgación se refieren a los mismos componentes.

- 5 **[38]** Al describir modos de realización, se descartarán las descripciones detalladas relacionadas con funciones o configuraciones conocidas, a fin de no ofuscar innecesariamente las materias objeto de los modos de realización. Además, dado que los términos utilizados en el presente documento se definen en consideración a las funciones de los modos de realización, estos pueden variar dependiendo de la intención o práctica del operador del usuario. Por lo tanto, las definiciones deben hacerse basándose en los detalles de la totalidad del concepto inventivo.
- 10 **[39]** Las combinaciones de cada bloque de los dibujos adjuntos y cada etapa de un diagrama de flujo también pueden realizarse mediante instrucciones de un programa informático. Dado que las instrucciones de un programa informático pueden copiarse en el procesador de un ordenador de uso general, un ordenador de uso especial u otro equipo de procesamiento de datos programable, las instrucciones realizadas por el procesador del ordenador u otro equipo de procesamiento de datos programable crean un medio que realiza unas funciones descritas en cada bloque de un dibujo o cada etapa de un diagrama de flujo. Dado que las instrucciones del programa informático también pueden almacenarse en una memoria utilizable por ordenador o legible por ordenador que puede dirigirse al ordenador u otro equipo de procesamiento de datos programable para implementar funciones de una manera específica, las instrucciones almacenadas en la memoria utilizable por ordenador o legible por ordenador pueden también generar un elemento que incluye un medio de instrucción que realiza las funciones descritas en cada bloque de un dibujo o cada etapa de un diagrama de flujo. Las instrucciones del programa informático también pueden copiarse en el ordenador u otro equipo de procesamiento de datos programable. Por lo tanto, dado que una serie de etapas de operación se realizan en el ordenador u otro equipo de procesamiento de datos programable para crear procesos ejecutados por un ordenador, las instrucciones que operan el ordenador u otro equipo de procesamiento de datos programable también pueden proporcionar etapas para realizar unas funciones descritas en cada bloque de un dibujo y cada etapa de un diagrama de flujo.
- 25 **[40]** Además, cada bloque o cada etapa puede representar una parte de un módulo, un segmento o un código que incluye una o más instrucciones ejecutables para realizar funciones lógicas específicas. Además, debe tenerse en cuenta que algunas alternativas pueden realizarse de tal forma que las funciones mencionadas en bloques o etapas se realizan en un orden diferente. Por ejemplo, dos bloques o etapas mostrados uno después de otro también puede realizarse sustancialmente al mismo tiempo o los bloques o etapas también pueden realizarse a veces en orden inverso de acuerdo con una función correspondiente.
- 30 **[41]** A continuación se hará referencia en detalle a los modos de realización de la presente divulgación, ejemplos de los cuales se ilustran en los dibujos adjuntos.
- 35 **[42]** La figura 3 es una vista que ilustra una configuración de un sistema de memoria de doble puerto de acuerdo con la presente invención y las figuras 4 a 6 son diagramas de temporización de acceso específico de estado de un sistema de memoria de doble puerto.
- 40 **[43]** Con referencia a la figura 3, el sistema de memoria de doble puerto incluye una memoria de doble puerto 110, un primer procesador 120 y un segundo procesador 130.
- 45 **[44]** El primer procesador 120 accede a la memoria de doble puerto 110 a través de un primer puerto (no mostrado) y el segundo procesador 130 accede a la memoria de doble puerto 110 a través de un segundo puerto (no mostrado).
- 50 **[45]** El primer procesador 120, por ejemplo, puede configurarse con un procesador de banda base de un terminal de comunicación móvil.
- [46]** El segundo procesador 130, por ejemplo, puede configurarse con un procesador de aplicaciones de un terminal de comunicación móvil.
- [47]** La memoria de doble puerto 110 está conectada al primer procesador 120 a través del primer puerto y conectada al segundo procesador 130 a través del segundo puerto.
- 55 **[48]** Adicionalmente, la memoria de doble puerto 110 puede incluir una interfaz de memoria (no mostrada) y un área de memoria (no mostrada).
- 60 **[49]** Cada interfaz de memoria puede configurarse con una interfaz SDRAM o PSRAM y puede incluir un decodificador de mandato, un decodificador de fila, un decodificador de columna y una memoria intermedia de entrada/salida.
- 65 **[50]** Cada interfaz de memoria recibe direcciones, señales de control, relojes y datos a través de cada puerto correspondiente, determina un área de memoria para realizar una operación de lectura o escritura decodificando una dirección como una dirección de fila y una dirección de columna, y lee o escribe datos desde o en un área de memoria predeterminada de acuerdo con una temporización de operación tal como lectura, escritura y actualización en el área de memoria predeterminada.

- 5 **[51]** La memoria de doble puerto 110 se puede dividir en un área de memoria dedicada y un área de memoria común. El área de memoria dedicada es un área de memoria a la que el primer procesador 120 y el segundo procesador 130 acceden a través del primer puerto y el segundo puerto y garantiza un acceso exclusivo para evitar el conflicto de acceso del primer procesador 120 y el segundo procesador 130.
- [52]** El área de memoria común es un área a la que el primer procesador 120 y el segundo procesador 130 acceden comúnmente para leer o escribir datos.
- 10 **[53]** El área de memoria puede tener una estructura de célula de memoria unitaria de DRAM y puede configurarse con una unidad de banco predeterminada. De forma alternativa, cada área de memoria puede configurarse con una unidad de bloque que tiene un tamaño predeterminado en un banco.
- 15 **[54]** Una primera interfaz de memoria (no mostrada) de la memoria de doble puerto 110 puede configurarse con una interfaz de memoria DRAM sincrónica (SDRAM). Por consiguiente, la primera interfaz de memoria de la memoria de doble puerto 110 recibe direcciones, señales de control, relojes CLK y datos del primer procesador 120 a través del primer puerto y después de decodificar una dirección como una dirección de fila y una dirección de columna de acuerdo con estos, lee o escribe datos desde o en un área de memoria de acuerdo con una temporización de operación tal como lectura, escritura y actualización del área de memoria basándose en la
20 dirección decodificada.
- [55]** Para esto, la primera interfaz de memoria puede incluir un decodificador de mandato (no mostrado), un decodificador de fila (no mostrado), un decodificador de columna (no mostrado) y una memoria intermedia de entrada/salida (no mostrada), que se usan para una SDRAM general.
25
- [56]** Adicionalmente, una segunda interfaz de memoria (no mostrada) de la memoria de doble puerto 110 está configurada con una interfaz de memoria SDRAM y está conectada al segundo procesador 130 a través del segundo puerto de tal forma que recibe direcciones, señales de control, relojes y datos del segundo procesador 130.
- 30 **[57]** Además, después de decodificar la dirección introducida como una dirección de fila y una dirección de columna, la segunda interfaz de memoria de la memoria de doble puerto 110 lee o escribe datos desde o en un área de memoria de acuerdo con una temporización de operación tal como lectura, escritura y actualización del área de memoria basándose en la dirección decodificada.
- 35 **[58]** Para esto, la segunda interfaz de memoria puede incluir un decodificador de mandato (no mostrado), un decodificador de fila (no mostrado), un decodificador de columna (no mostrado), y una memoria intermedia de entrada/salida (no mostrada), que se usan para una interfaz SDRAM general.
- 40 **[59]** Por otro lado, cuando hay una petición de acceso del primer procesador 120 o el segundo procesador 130, la memoria de doble puerto 110 verifica si el área de memoria de la memoria de doble puerto 110 se usa a través del otro procesador actual.
- 45 **[60]** Por otro lado, la memoria de doble puerto 110 facilita una señal de resultado de acceso de acuerdo con la petición de acceso a un procesador que solicita el acceso de acuerdo con si se usa el área de memoria.
- [61]** En este punto, la memoria de doble puerto 110 divide una señal de resultado de acceso de acuerdo con la petición de acceso en una primera señal de resultado, una segunda señal de resultado y una tercera señal de resultado y, de acuerdo con esto, facilita una de ellas como señal de resultado de acuerdo con la petición de acceso.
- 50 **[62]** La primera señal de resultado es una señal para notificar un éxito de acceso, la segunda señal de resultado es una señal para notificar un fallo de acceso y la tercera señal de resultado es una señal para notificar una retención de acceso.
- 55 **[63]** En este punto, en general, la memoria de doble puerto 110 facilita una señal alta o baja a través de una línea de señal para facilitar la señal de resultado. Es decir, la señal de resultado de acceso es una señal de forma activa baja. En consecuencia, cuando la señal es baja, se notifica un fallo de acceso y cuando la señal es alta, se notifica un éxito de acceso.
- 60 **[64]** Sin embargo, de acuerdo con la presente divulgación, la señal de resultado de acceso se facilita a través de dos líneas de señal de tal forma que cada una de la señal de éxito de acceso, la señal de fallo de acceso y la señal de retención de acceso pueden facilitarse combinando las dos señales.
- [65]** En este punto, la señal de retención de acceso se determina mediante un tiempo de admisión predeterminado.
65
- [66]** Para esto, la memoria de doble puerto 110 incluye un tercer temporizador 115.

- 5 **[67]** El tercer temporizador 115 facilita una de la primera señal de resultado, la segunda señal de resultado y la tercera señal de resultado a un procesador que solicita el acceso de acuerdo con un tiempo de admisión predeterminado.
- [68]** De aquí en adelante, un procesador que solicita un acceso se denomina primer procesador y se describe. Sin embargo, esto es solo un modo de realización, y una operación realizada por el primer procesador puede ser realizada de manera idéntica por un segundo procesador.
- 10 **[69]** Puesto que se requiere acceso, el primer procesador 120 transmite una señal de petición de acceso a la memoria de doble puerto 110.
- [70]** La memoria de doble puerto 110 determina si el segundo procesador actual 130 está en acceso de acuerdo con la señal de petición de acceso.
- 15 **[71]** Entonces, si el segundo procesador 130 no tiene acceso, la memoria de doble puerto 110 facilita una primera señal de resultado para notificar el éxito de acceso al primer procesador 120.
- [72]** Por otro lado, si el segundo procesador 130 está en acceso, la memoria de doble puerto 110 verifica si transcurre un tiempo de admisión predeterminado desde un punto de tiempo en que el primer procesador 120 solicita acceso a través del tercer temporizador 115 y facilita la segunda señal de resultado para notificar un fallo de acceso o la tercera señal de resultado para notificar una retención de acceso de acuerdo con si el tiempo de admisión transcurre o no.
- 20 **[73]** Entonces, si transcurre el tiempo de admisión predeterminado desde el punto de tiempo en que el primer procesador 120 solicita el acceso, la memoria de doble puerto 110 facilita la segunda señal de resultado para notificar el fallo de acceso de acuerdo con esto al primer procesador 120 y solicita de nuevo el acceso más tarde.
- [74]** Adicionalmente, si no transcurre el tiempo de admisión predeterminado desde el punto de tiempo en que el primer procesador 120 solicita el acceso, la memoria de doble puerto 110 facilita la tercera señal de resultado para notificar la retención de acceso al primer procesador 120.
- 30 **[75]** La retención de acceso es para mantener la petición de acceso durante el tiempo solicitado cuando la memoria de doble puerto 110 y el primer procesador 120 están conectados entre sí.
- 35 **[76]** Adicionalmente, mientras se facilita la tercera señal de resultado, la memoria de doble puerto 110 verifica si el acceso del segundo procesador 130 termina antes de que transcurra el tiempo solicitado y, si el acceso del segundo procesador 130 termina, facilita la primera señal de resultado para notificar el éxito de acceso al primer procesador 120.
- 40 **[77]** Por consiguiente, en este modo de realización, al añadir la función de retención de acceso para mantener continuamente un estado de petición del acceso durante un tiempo de admisión predeterminado, pueden evitarse inconvenientes al intentar una petición de acceso adicional.
- 45 **[78]** Por otro lado, la señal de resultado está determinada por unos estados de una señal ACK y una señal NAK.
- [79]** Con referencia a la figura 4, se muestra que la señal ACK está en estado bajo y la señal NAK está en estado alto. Es decir, la señal ACK y la señal NAK pueden tener una forma activa baja.
- 50 **[80]** En consecuencia, la señal de la figura 4 notifica que la señal ACK está en activación y esto se usa como una señal para notificar el éxito de acceso que representa un resultado positivo de acuerdo con la petición de acceso.
- [81]** Además, con referencia a la figura 5, se muestra que la señal ACK está en estado alto y la señal NAK está en estado bajo.
- 55 **[82]** En consecuencia, la señal de la figura 5 notifica que la señal NAK está en activación y esto se usa como una señal para notificar un fallo de acceso que representa un negativo de acuerdo con la petición de acceso.
- 60 **[83]** Además, con referencia a la figura 6, se muestra que tanto la señal ACK como la señal NAK están en estado bajo. En consecuencia, la señal de la figura 6 notifica que tanto la señal ACK como la señal NAK están en activación y esto se usa como una señal de retención de acceso que representa tanto un positivo como un negativo de acuerdo con la petición de acceso.
- 65 **[84]** Por otro lado, el primer procesador 120 recibe una señal de resultado transmitida desde la memoria de doble puerto 110 y cuando la señal de resultado es una primera señal de resultado, accede a la memoria de doble

puerto 110 normalmente para realizar una operación de lectura o escritura de datos.

5 **[85]** Además, cuando una señal de resultado transmitida desde la memoria de doble puerto 110 es una segunda señal de resultado, el primer procesador 120 reconoce que no puede acceder a la memoria de doble puerto 110 actualmente y reintenta el acceso más tarde de acuerdo con esto.

10 **[86]** Además, cuando una señal de resultado transmitida desde la memoria de doble puerto 110 es una tercera señal de resultado, el primer procesador 120 reconoce la tercera señal de resultado como señal de fallo de acceso o de retención de acceso.

[87] En otras palabras, cuando se recibe la tercera señal de resultado, el primer procesador 120 determina si transcurre un tiempo de admisión predeterminado desde un punto de tiempo de petición del acceso.

15 **[88]** A continuación, si transcurre el tiempo de admisión predeterminado, el primer procesador 120 reconoce la tercera señal de resultado como señal de fallo de acceso.

20 **[89]** Adicionalmente, si no transcurre el tiempo de admisión predeterminado, el primer procesador 120 reconoce la tercera señal de resultado como señal de retención de acceso y, de acuerdo con la misma, espera a recibir una señal de resultado retransmitida desde la memoria de doble puerto 110.

[90] En otras palabras, si el acceso no está disponible de acuerdo con la petición de acceso, el primer procesador 120 espera un tiempo de admisión predeterminado para preparar una situación en la que se cambia un resultado de acceso.

25 **[91]** En otras palabras, en un punto de tiempo en el que se solicita un acceso desde el primer procesador 120, el acceso del primer procesador 120 puede no estar disponible por el acceso del segundo procesador 130. En este punto, el acceso del segundo procesador 130 puede terminarse dentro de un tiempo de admisión predeterminado.

30 **[92]** Por consiguiente, de acuerdo con la presente invención, cuando se prepara una situación en la que el acceso del segundo procesador 130 se termina, manteniendo continuamente un estado de petición de acceso del primer procesador 120 durante un tiempo de admisión predeterminado, pueden evitarse inconvenientes al transmitir nuevamente la petición de acceso.

35 **[93]** La figura 7 es un diagrama de flujo que ilustra una operación de un procesador paso a paso en un sistema de memoria de doble puerto de acuerdo con la presente invención. La figura 8 es un diagrama de flujo que ilustra una operación de una memoria de doble puerto en un sistema de memoria de doble puerto de acuerdo con la presente invención.

40 **[94]** Con referencia a la figura 7, el primer procesador 120 puede solicitar acceso desde una memoria de doble puerto 110 cuando se requiere el acceso.

[95] A continuación, el primer procesador 120 recibe una señal de resultado de acuerdo con la petición de acceso en la operación 102.

45 **[96]** La señal de resultado de acceso puede incluir una señal ACK y una señal NAK, y un resultado de acuerdo con la petición de acceso se determina mediante una combinación de la señal ACK y la señal NAK.

50 **[97]** El primer procesador 120 determina si la señal de resultado recibida indica que tanto la señal ACK como la señal NAK están en un estado bajo (un valor de 0) en la operación 103.

[98] Es decir, el primer procesador 120 determina si la señal de resultado de acuerdo con la petición de acceso es una tercera señal de resultado para notificar una retención de acceso.

55 **[99]** A continuación, si la señal de resultado recibida es la tercera señal de resultado, el primer procesador 120 verifica un tiempo de petición predeterminado en la operación 104 y de acuerdo con esto, determina si el tiempo de petición predeterminado transcurre en la operación 105.

[100] A continuación, si el tiempo de petición predeterminado no transcurre, el primer procesador 120 vuelve a la operación 102 para recibir una señal de resultado de acuerdo con la petición de acceso nuevamente.

60 **[101]** Adicionalmente, si transcurre el tiempo de petición predeterminado, el primer procesador 120 reconoce la tercera señal de resultado como una señal de fallo de acceso.

65 **[102]** Por otra parte, si la señal de resultado de acuerdo con la petición de acceso no es la tercera señal de resultado, el primer procesador 120 determina si la señal de resultado recibida indica que la señal de ACK es baja y la señal de NAK es alta en la operación 107.

- [103]** Es decir, el primer procesador 120 determina si la señal de resultado de acuerdo con la petición de acceso es una primera señal de resultado para notificar un éxito de acceso.
- 5 **[104]** A continuación, si la señal de resultado de acuerdo con la petición de acceso es la primera señal de resultado, el primer procesador 120 reconoce que se permite el acceso en la operación 108.
- [105]** Por otro lado, si la señal de resultado de acuerdo con la petición de acceso no es la primera señal de resultado, el primer procesador 120 determina si la señal de resultado recibida indica que la señal de ACK es alta y la señal de NAK es baja en la operación 109.
- 10 **[106]** Es decir, el primer procesador 120 determina si la señal de resultado de acuerdo con la petición de acceso es una segunda señal de resultado para notificar un fallo de acceso.
- 15 **[107]** A continuación, si la señal de resultado de acuerdo con la petición de acceso es la segunda señal de resultado, el primer procesador 120 reconoce que el acceso se rechaza en la operación 106.
- [108]** Adicionalmente, cuando la señal de resultado recibida de acuerdo con la petición de acceso indica que la señal ACK y la señal NAK están en un estado alto correspondiente a un estado sin respuesta en la operación 110, el primer procesador 120 verifica un estado de conexión con la memoria de doble puerto 110 para reintentar la petición de acceso en la operación 111.
- 20 **[109]** En el modo de realización mencionado anteriormente de la presente invención, se establece un tiempo de admisión predeterminado y se permite una retención de acceso dentro del tiempo de admisión.
- 25 **[110]** Con referencia a la figura 8, la memoria de doble puerto 110 recibe una señal de petición de acceso del primer procesador 120 en la operación 201.
- [111]** A continuación, la memoria de doble puerto 110 verifica un estado de acceso de otro procesador (por ejemplo, un segundo procesador) de acuerdo con la petición de acceso.
- 30 **[112]** A continuación, la memoria de doble puerto 110 determina si el otro procesador está en acceso de acuerdo con el estado de acceso verificado en la operación 203.
- 35 **[113]** Si el otro proceso está en acceso actualmente, la memoria de doble puerto 110 verifica un tiempo de admisión predeterminado en la operación 204.
- [114]** A continuación, la memoria de doble puerto 110 determina si el tiempo de admisión predeterminado verificado transcurre en la operación 205.
- 40 **[115]** Si el tiempo de admisión predeterminado no transcurre sobre la base del resultado de determinación, la memoria de doble puerto 110 facilita una tercera señal de resultado (tanto la señal ACK como la señal NAK están en un estado bajo) en la operación 206 o una segunda señal de resultado (tanto la señal ACK como la señal NAK están en un estado alto) en la operación 207.
- 45 **[116]** Además, si no se realiza el acceso del otro procesador, la memoria de doble puerto 110 facilita una primera señal de resultado (la señal ACK está en un estado bajo y la señal NAK está en un estado alto) en la operación 208.
- [117]** En este punto, si se transmite la tercera señal de resultado, la memoria de doble puerto 110 verifica la terminación de acceso del otro procesador periódicamente y, si el acceso termina, transmite una primera señal de resultado al primer procesador 120 nuevamente.
- 50 **[118]** Adicionalmente, por el contrario, si el tiempo de admisión transcurre en un estado en que no se realiza la terminación de acceso, la memoria de doble puerto 110 transmite una segunda señal de resultado al primer procesador 120 de nuevo.
- 55 **[119]** La figura 9 es una vista que ilustra una configuración de un sistema de memoria de doble puerto de acuerdo con la presente invención.
- 60 **[120]** El sistema de memoria de doble puerto de acuerdo con el segundo modo de realización de la presente invención incluye una memoria de doble puerto 210 que incluye un tercer temporizador 215, un primer procesador 220 que incluye un segundo temporizador 225, y un segundo procesador 230 que incluye un segundo temporizador 235.
- 65 **[121]** Con referencia a la figura 9, el sistema de memoria de doble puerto tiene la misma configuración general que el sistema de memoria de doble puerto que se muestra en la figura 3.

- 5 **[122]** Sin embargo, aunque la señal de resultado de acuerdo con el resultado de acceso se transmite a través de dos líneas de acuerdo con el primer modo de realización de la presente invención, una señal de resultado de acuerdo con una petición de acceso se transmite a través de una línea en el segundo modo de realización.
- [123]** La primera línea es una línea donde se facilita una señal de ocupado desde un sistema de memoria de doble puerto general.
- 10 **[124]** Si hay una petición de acceso del primer procesador 220, la memoria de doble puerto 210 verifica si el otro procesador actual está en acceso y, de acuerdo con esto, facilita una señal de ocupado que representa un rechazo de acceso de acuerdo con si se tiene el acceso.
- [125]** En este punto, la señal de ocupado puede usarse como una señal para notificar un fallo de acceso o puede usarse como una señal para notificar una retención de acceso.
- 15 **[126]** Es decir, si el otro procesador está en acceso, la memoria de doble puerto 210 determina si transcurre un primer tiempo de admisión predeterminado.
- [127]** En el presente documento, el primer tiempo de admisión es un tiempo establecido en la memoria de doble puerto 210 y puede establecerse en un tiempo tal como 1 segundo y 2 segundos, por ejemplo.
- 20 **[128]** A continuación, si transcurre el primer tiempo de admisión predeterminado, la memoria de doble puerto 210 facilita una señal de ocupado como una señal para notificar un fallo de acceso.
- 25 **[129]** Adicionalmente, si no transcurre el primer tiempo de admisión predeterminado, la memoria de doble puerto 210 facilita una señal de ocupado como una señal para notificar una retención de acceso.
- [130]** En este punto, si se facilita una señal de ocupado como una señal para notificar una retención de acceso, la memoria de doble puerto 210 verifica la terminación de acceso del otro procesador periódicamente y, si el acceso se termina, notifica un éxito de acceso al primer procesador 220.
- 30 **[131]** Cuando se solicita un acceso desde la memoria de doble puerto 210 y se reconoce un éxito de acceso de acuerdo con la admisión de acceso desde la memoria de doble puerto 210, el primer procesador 220 accede a la memoria de doble puerto 210 para realizar una operación de lectura o escritura de datos.
- 35 **[132]** Adicionalmente, el primer procesador 220 solicita un acceso desde la memoria de doble puerto 210 y si se recibe una señal de ocupado de acuerdo con un rechazo de acceso desde la memoria de doble puerto 210 correspondiente, el primer procesador 220 puede determinar si la señal de ocupado es una señal para fallo de acceso o una señal para notificar una espera de acceso.
- 40 **[133]** En el presente documento, la determinación de si la señal de ocupado es la señal de fallo de acceso o la señal para notificar una espera de acceso se realiza de acuerdo con si transcurre un segundo tiempo de admisión predeterminado.
- 45 **[134]** Es decir, cuando se recibe la señal de ocupado, el primer procesador 220 verifica si transcurre el segundo tiempo de admisión predeterminado. A continuación, si transcurre el segundo tiempo de admisión predeterminado, el primer procesador 220 reconoce la señal de ocupado como una señal de fallo de acceso. Adicionalmente, si no transcurre el segundo tiempo de admisión predeterminado, el primer procesador 220 reconoce la señal de ocupado como una señal de espera de acceso y, de acuerdo con esto, espera recibir la señal de resultado retransmitida desde la memoria de doble puerto 210.
- 50 **[135]** En el presente documento, el segundo tiempo de admisión es un tiempo establecido en el primer procesador 220.
- 55 **[136]** En este punto, el primer tiempo de admisión y el segundo tiempo de admisión pueden ser idénticos entre sí o, por el contrario, pueden establecerse como tiempos diferentes.
- [137]** La figura 10 es un diagrama de flujo que ilustra una operación de un procesador paso a paso en un sistema de memoria de doble puerto de acuerdo con un segundo modo de realización de la presente invención.
- 60 **[138]** Con referencia a la figura 10, el primer procesador 220 transmite una señal de petición de acceso a la memoria de doble puerto 210 en la operación 301.
- [139]** A continuación, el primer procesador 220 recibe una señal de resultado de acceso de acuerdo con la señal de petición de acceso en la operación 302.
- 65

- [140] A continuación, el primer procesador 220 determina si la señal de resultado de petición de acceso recibida es una señal de ocupado en la operación 303. Es decir, el primer procesador 220 determina si se recibe una señal de ocupado en estado bajo.
- 5 [141] Es decir, cuando se recibe la señal de ocupado, el primer procesador 220 verifica un segundo tiempo de admisión predeterminado en la operación 304.
- [142] A continuación, el primer procesador 220 determina si el segundo tiempo de admisión verificado transcurre en la operación 305. Es decir, el primer procesador 220 determina si el punto de tiempo actual es un punto de tiempo en el que transcurre el segundo tiempo de admisión basándose en un punto de tiempo de petición del acceso.
- 10 [143] A continuación, si el segundo tiempo de admisión no transcurre, el primer procesador 220 reconoce la señal de ocupado como una señal de retención de acceso y, de acuerdo con esto, vuelve a la operación 302. Es decir, si la señal de ocupado es una señal de retención de acceso, el primer procesador 220 espera a recibir una señal de resultado cambiada de acuerdo con si el acceso de otro procesador termina desde la memoria de doble puerto 210.
- 15 [144] Adicionalmente, si transcurre el segundo tiempo de admisión, el primer procesador 220 reconoce la señal de ocupado como un fallo de acceso en la operación 306.
- 20 [145] Además, si la señal de ocupado está en un estado alto, cuando se permite el acceso, el primer procesador 220 reconoce que el acceso ha tenido éxito en la operación 307.
- [146] La figura 11 es un diagrama de flujo que ilustra una operación de una memoria de doble puerto paso a paso en un sistema de memoria de doble puerto de acuerdo con un segundo modo de realización de la presente invención.
- 25 [147] Con referencia a la figura 11, la memoria de doble puerto 210 recibe una señal de petición de acceso transmitida desde el primer procesador 220 en la operación 401.
- 30 [148] A continuación, cuando se recibe la señal de petición de acceso, la memoria de doble puerto 210 determina si el otro procesador actual, es decir, el segundo procesador 230, está en acceso en la operación 403.
- [149] Es decir, si el segundo procesador 230 está en acceso basándose el resultado de la determinación, la memoria de doble puerto 210 verifica un primer tiempo de admisión predeterminado en la operación 404.
- 35 [150] A continuación, la memoria de doble puerto 210 determina si el primer tiempo de admisión predeterminado transcurre desde un punto de tiempo en que se solicita el acceso basándose en el primer tiempo de admisión verificado en la operación 405.
- 40 [151] Si no transcurre el primer tiempo de admisión predeterminado, la memoria de doble puerto 210 facilita una señal de ocupado como señal de retención de acceso en la operación 406.
- [152] Adicionalmente, si transcurre el primer tiempo de admisión predeterminado, la memoria de doble puerto 210 facilita una señal de ocupado como señal de fallo de acceso en la operación 406.
- 45 [153] Además, si el otro procesador no tiene acceso, la memoria de doble puerto 210 permite el acceso del primer procesador 220 en la operación 408.
- 50 [154] Por otra parte, si la señal de salida facilitada es una señal de retención de acceso, la memoria de doble puerto 210 retransmite una señal de resultado al primer procesador 220 de acuerdo con si el acceso de otro procesador que tiene acceso actualmente ha terminado.
- [155] En otras palabras, si el acceso del otro procesador ha terminado, la memoria de doble puerto 210 permite el acceso del primer procesador 220.
- 55 [156] Adicionalmente, si el acceso del otro procesador no ha terminado, la memoria de doble puerto 210 entra y realiza la operación 404 repetidamente.
- 60 [157] De acuerdo con la presente invención, al añadirse una función de retención mediante hardware a través de una lógica de interfaz de doble puerto, se omite un proceso de acceso de reintento de acceso por una aplicación, de tal forma que un tiempo de reintento de acceso puede reducirse drásticamente y puede realizarse un control optimizado.

REIVINDICACIONES

1. Un procedimiento de control de acceso de un sistema de memoria de doble puerto, comprendiendo el procedimiento:

5 solicitar, mediante un primer procesador (120), un acceso desde una memoria de doble puerto (110); y

 transmitir, mediante la memoria de doble puerto (110), una señal de resultado de acuerdo con la petición de acceso al primer procesador (120),

10 en el que la señal de resultado comprende una primera señal de resultado para notificar el éxito de acceso, una segunda señal de resultado para notificar un fallo de acceso, y una tercera señal de resultado para notificar una retención de acceso;

caracterizado porque la transmisión de la señal de resultado comprende:

15 transmitir una señal de admisión de acceso correspondiente a la primera señal de resultado; y

 transmitir una señal de ocupado correspondiente a la segunda señal de resultado y la tercera señal de resultado,

20 en el que la señal de ocupado reconoce la señal de ocupado como la tercera señal de resultado hasta que el tiempo de admisión no transcurre basándose en un tiempo de admisión predeterminado y reconoce la señal de ocupado como la segunda señal de resultado después de transcurrido el tiempo de admisión;

25 en el que el tiempo de admisión comprende un primer tiempo de admisión establecido en la memoria de doble puerto (110) y un segundo tiempo de admisión establecido en el primer procesador (120), en el que la memoria de doble puerto (110) transmite una señal de ocupado que representa una de la segunda señal de resultado y la tercera señal de resultado basándose en el primer tiempo de admisión; y

30 en el que el primer procesador (120) reconoce una señal de ocupado transmitida desde la memoria de doble puerto (110) como una de la segunda señal de resultado y la tercera señal de resultado basándose en el segundo tiempo de admisión.

- 35 2. El procedimiento de acuerdo con la reivindicación 1, en el que transmitir la señal de resultado comprende:

 verificar un estado de acceso de un segundo procesador; cuando el segundo procesador (130) no está en acceso, transmitir la primera señal de resultado al primer procesador (120);

40 cuando el segundo procesador (130) está en acceso, verificar si transcurre un tiempo de admisión predeterminado;

 si transcurre el tiempo de admisión predeterminado, transmitir la segunda señal de resultado al primer procesador (120); y

45 si el tiempo de admisión predeterminado no transcurre, transmitir la tercera señal de resultado al primer procesador (120).

- 50 3. El procedimiento de acuerdo con la reivindicación 2, en el que cuando la tercera señal de resultado se transmite al primer procesador (120), la memoria de doble puerto (110) verifica si el acceso del segundo procesador (130) ha terminado y de acuerdo con si el acceso del segundo procesador (130) ha terminado, retransmite la señal de resultado al primer procesador (120).

- 55 4. El procedimiento de acuerdo con la reivindicación 3, en el que cuando el acceso del segundo procesador (130) ha terminado antes de que transcurra el tiempo de admisión, la memoria de doble puerto (110) retransmite la primera señal de resultado al primer procesador (120).

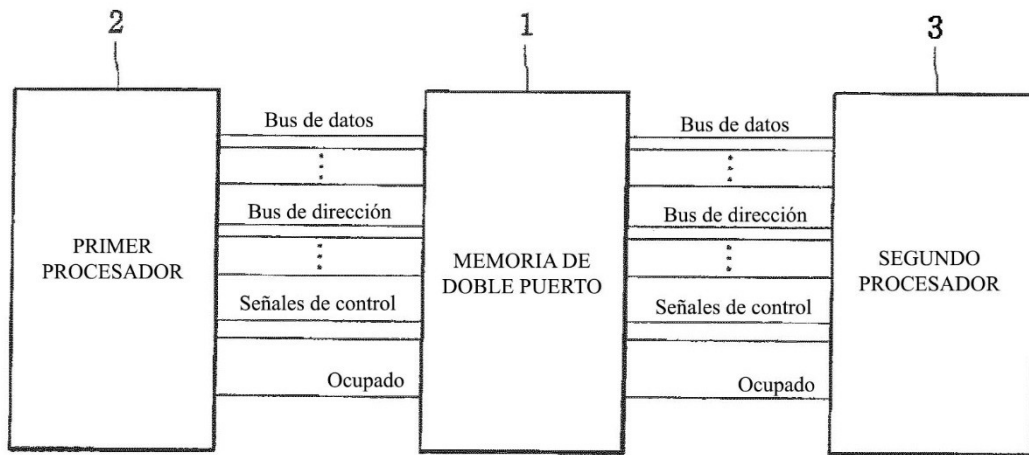
- 60 5. El procedimiento de acuerdo con cualquiera de las reivindicaciones 1 a 4, en el que cuando se recibe la tercera señal de resultado, el primer procesador (120) espera a recibir una señal de resultado retransmitida desde la memoria de doble puerto (110) antes de que transcurra un tiempo de admisión predeterminado.

- 65 6. El procedimiento de acuerdo con la reivindicación 5, en el que cuando se recibe la tercera señal de resultado y transcurre el tiempo de admisión predeterminado, el primer procesador (120) reconoce la tercera señal de resultado recibida como un fallo de acceso correspondiente a la segunda señal de resultado.

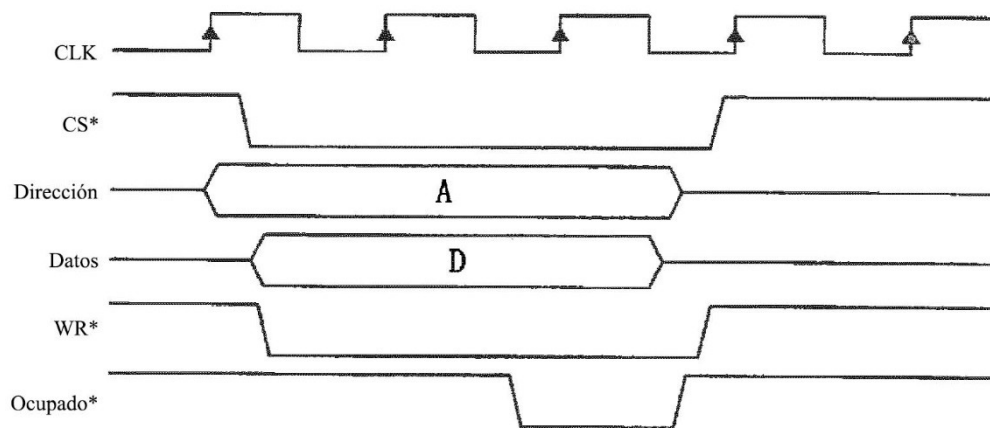
7. El procedimiento de acuerdo con cualquiera de las reivindicaciones 1 a 6, en el que las señales de resultado

primera a tercera se determinan mediante unos estados alto y bajo de una primera señal y una segunda señal transmitidas desde la memoria de doble puerto al primer procesador.

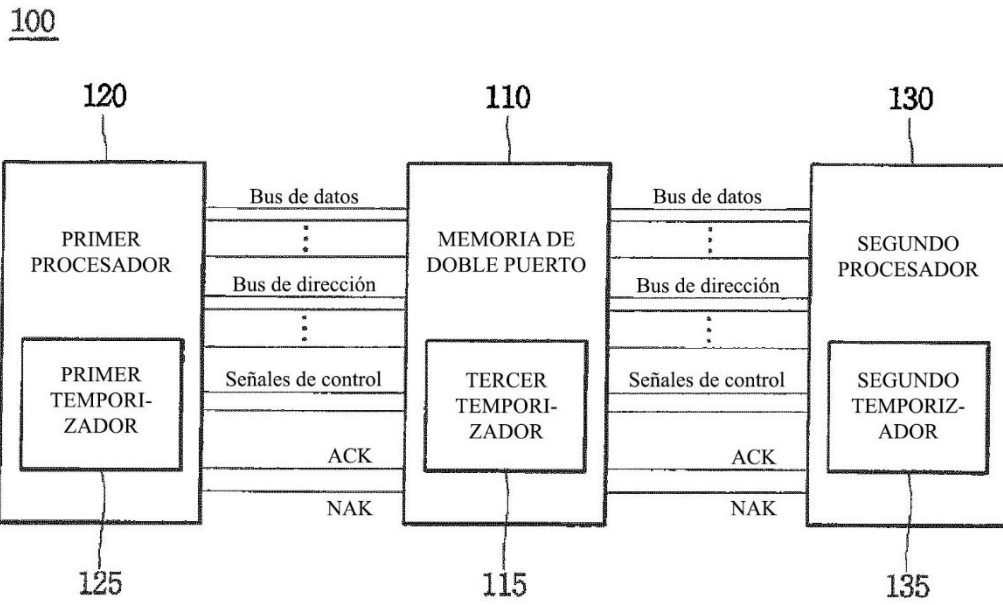
【Fig. 1】



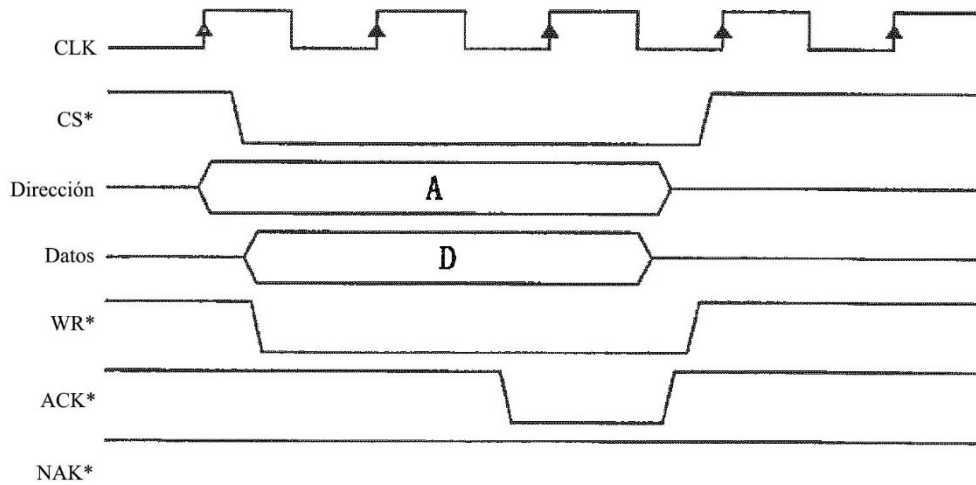
【Fig. 2】



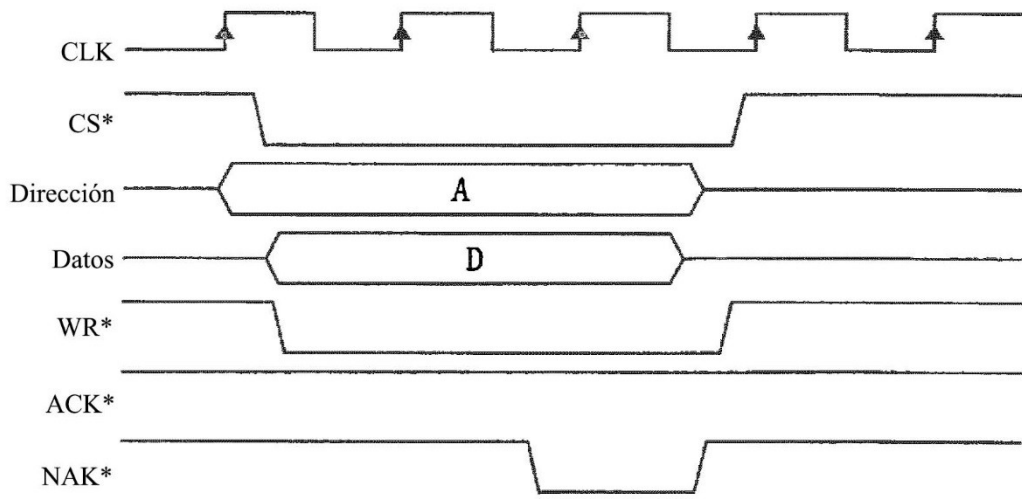
【Fig. 3】



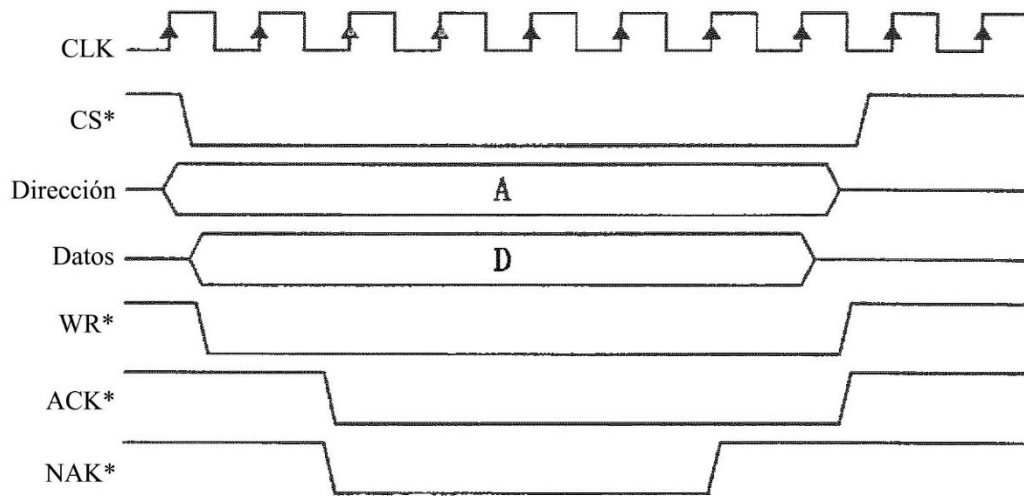
【Fig. 4】



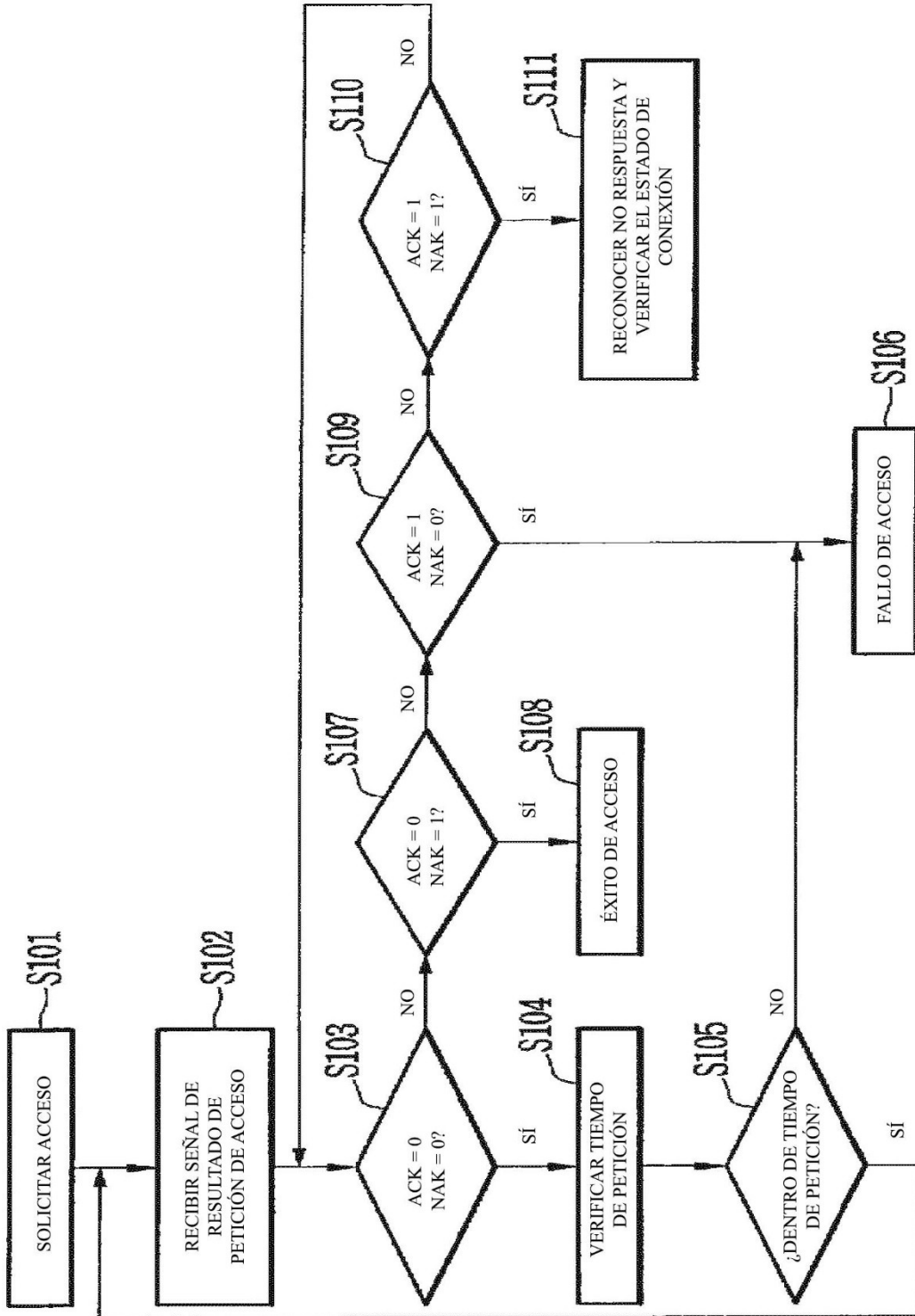
【Fig. 5】



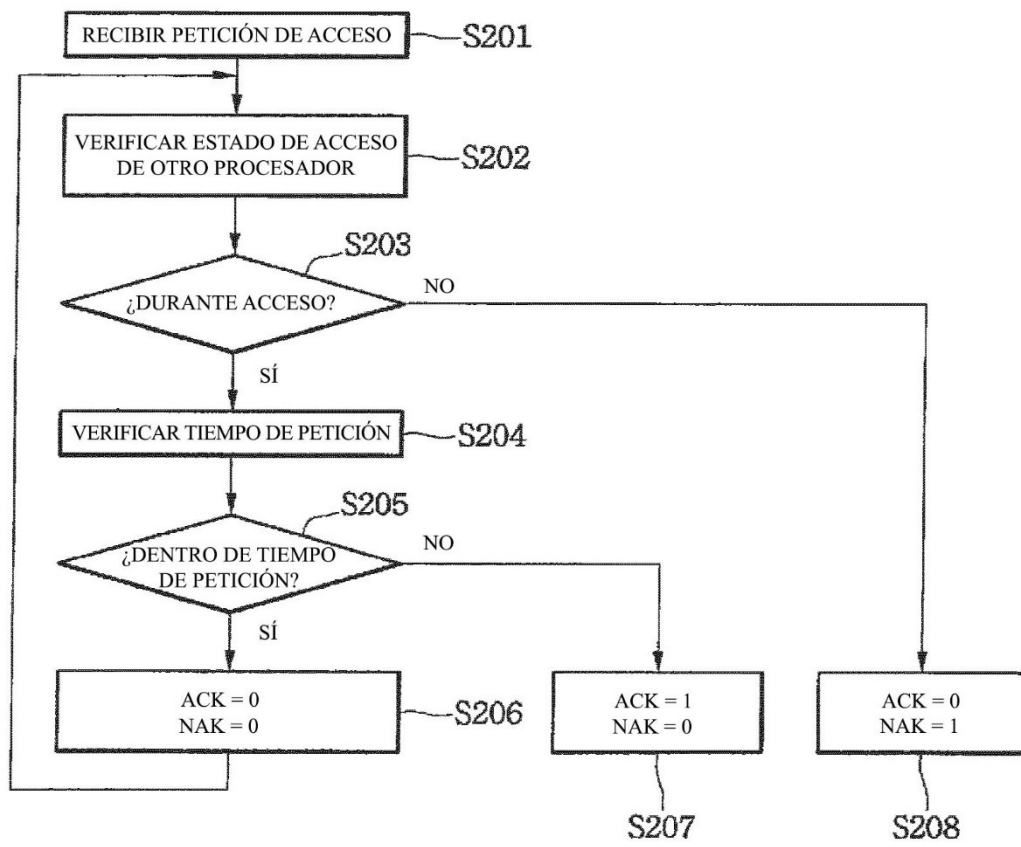
【Fig. 6】



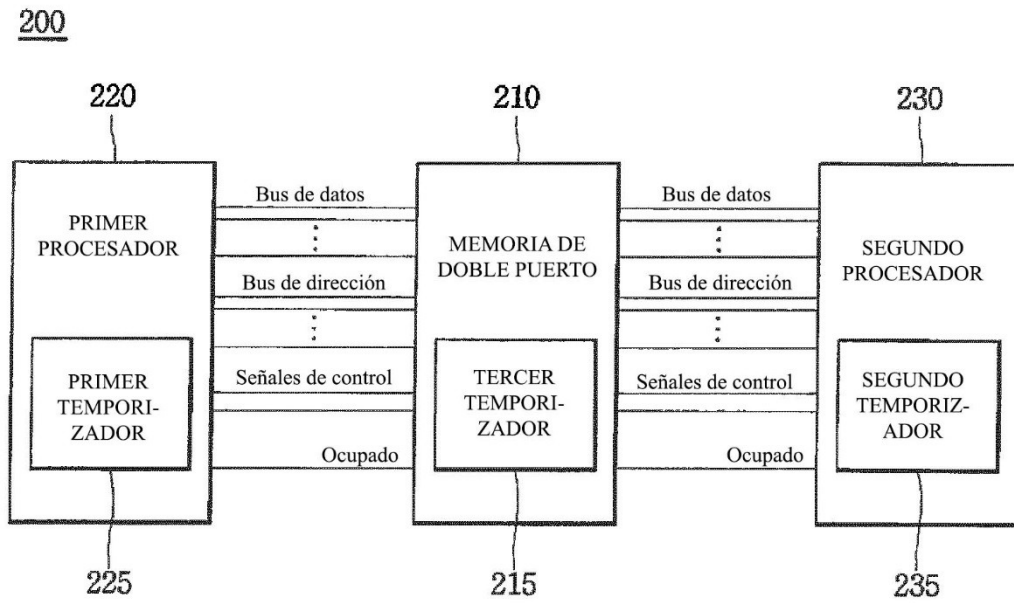
【Fig. 7】



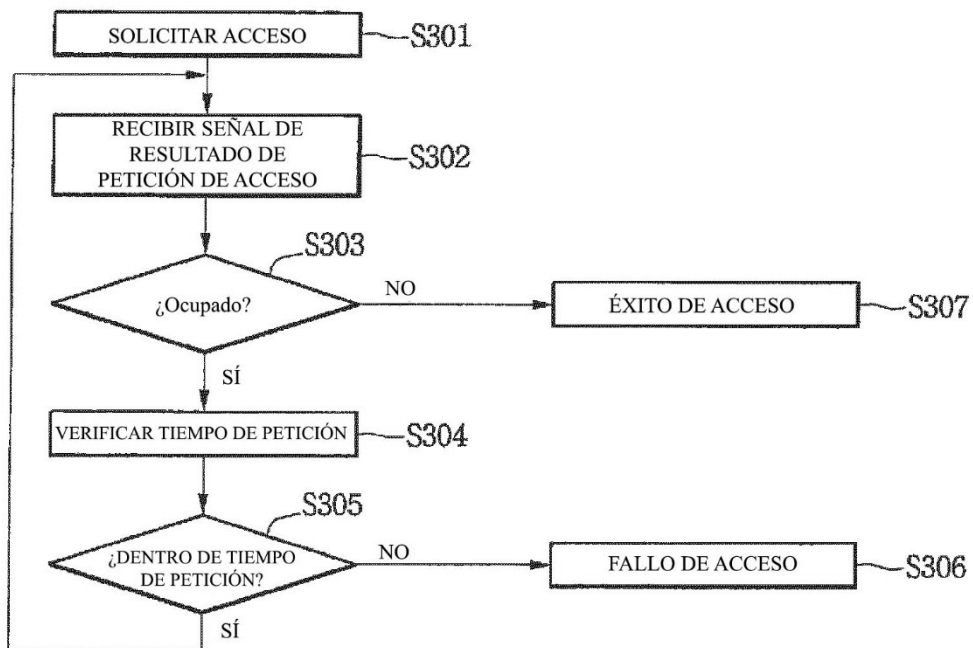
【Fig. 8】



【Fig. 9】



【Fig. 10】



【Fig. 11】

