

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 653 264**

51 Int. Cl.:

**A61N 1/36** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **16.01.2013 PCT/US2013/021703**

87 Fecha y número de publicación internacional: **25.07.2013 WO13109603**

96 Fecha de presentación y número de la solicitud europea: **16.01.2013 E 13702540 (9)**

97 Fecha y número de publicación de la concesión europea: **04.10.2017 EP 2804664**

54 Título: **Arquitecturas para un dispositivo estimulador implantable que tiene una pluralidad de circuitos integrados de controlador de electrodos con salidas de electrodos en cortocircuito**

30 Prioridad:

**16.01.2012 US 201261586930 P**  
**14.01.2013 US 201313741116**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**06.02.2018**

73 Titular/es:

**BOSTON SCIENTIFIC NEUROMODULATION CORPORATION (100.0%)**  
**25155 Rye Canyon Loop**  
**Valencia, CA 91355, US**

72 Inventor/es:

**FELDMAN, EMANUEL;**  
**PARRAMON, JORDI;**  
**GRIFFITH, PAUL, J.;**  
**SHI, JESS;**  
**TONG, ROBERT y**  
**MARNFELDT, GORAN**

74 Agente/Representante:

**CARPINTERO LÓPEZ, Mario**

**ES 2 653 264 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Arquitecturas para un dispositivo estimulador implantable que tiene una pluralidad de circuitos integrados de controlador de electrodos con salidas de electrodos en cortocircuito

### Referencia cruzada a aplicaciones relacionadas

- 5 Esta solicitud reivindica la prioridad a la solicitud de patente de Estados Unidos N.º de serie 61/586.930, presentada el 16 de enero 2012, y a la N.º de serie 13/741.116, presentada el 14 de enero de 2013.

### Campo de la invención

- 10 La presente invención se refiere en general a dispositivos médicos implantables, y más específicamente a las arquitecturas mejoradas para un neuroestimulador implantable que utiliza una pluralidad de circuitos integrados electrodo- controlador.

### Antecedentes

- 15 Los dispositivos neuroestimuladores implantables son dispositivos que generan y entregan estímulos eléctricos a los nervios y tejidos del cuerpo para la terapia de diversos trastornos biológicos, tales como los marcapasos para tratar la arritmia cardíaca, los desfibriladores para tratar la fibrilación cardíaca, los estimuladores cocleares para tratar la sordera, los estimuladores retinianos para tratar la ceguera, los estimuladores musculares para producir movimientos coordinados de las extremidades, los estimuladores de la médula espinal para tratar el dolor crónico, los estimuladores cerebrales profundos y corticales para tratar trastornos motores y psicológicos y otros estimuladores neuronales para tratar la incontinencia urinaria, la apnea del sueño, la subluxación del hombro, etc.

- 20 Como se muestra en las figuras 1A y 1B, un generador 100 de impulsos implantable (IPG) incluye una carcasa 30 de dispositivo biocompatible formada de un material conductor tal como, por ejemplo, titanio. La carcasa 30 normalmente contiene la circuitería y la batería 26 necesarias para que funcione el IPG, aunque los IPG también pueden alimentarse a través de energía de RF externa y sin batería. El IPG 100 incluye una o más guías de electrodos (se muestran cuatro de tales guías 102-105), que contienen cada una varios electrodos 106. Los electrodos 106 se llevan en un cuerpo 108 flexible, que también aloja los cables 112-115 de electrodo individuales acoplados a cada electrodo. En la realización ilustrada, hay cuatro electrodos 106 en cada una de las guías 102-105, aunque el número de guías y electrodos es específico de la aplicación y, por lo tanto, pueden variar. La carcasa 30 conductora también puede comprender un electrodo, Ec, ya que es útil en la estimulación monopolar, que se explicará en breve. Las guías 102-105 se acoplan al IPG 100 usando unos conectores 38a-d de plomo, que están fijados en un material 36 de cabezal no conductor, que puede comprender, por ejemplo, un epoxi.

- 30 Como se muestra en la figura 1B, el IPG 100 normalmente incluye un conjunto 14 de sustrato electrónico que incluye una placa 16 de circuito impreso (PCB), junto con diversos componentes 20 electrónicos, tales como circuitos integrados y condensadores montados en la PCB 16. Dos bobinas (más en general, antenas) están en general presentes en el IPG 100: una bobina 13 de telemetría usada para transmitir/recibir datos a/desde un controlador externo; y una bobina 18 de carga para cargar o recargar la batería del IPG 26 usando un cargador externo. La bobina 13 de telemetría está normalmente montada dentro del cabezal 36 del IPG 100 como se muestra, y puede enrollarse alrededor de un núcleo 13' de ferrita. Sin embargo, la bobina 13 de telemetría también puede aparecer en el interior de la carcasa 30, tal como se describe en la publicación de patente de Estados Unidos 2011/0112610. También puede encontrarse una exposición sobre cómo el IPG 100 se comunica con un controlador externo y un cargador externo en la publicación 2011/0112610. Además, una sola bobina podría usarse para ambas funciones de carga y de telemetría, como se describe en la publicación de patente de Estados Unidos 2010/0069992.

- 45 El IPG 100 ilustrado en la figura 1A es específicamente útil (pero no exclusivamente) en la estimulación cerebral profunda (DBS), que podría ser útil, por ejemplo, en el tratamiento de la enfermedad de Parkinson. En una aplicación de este tipo, la carcasa 30 se implanta normalmente en el pecho o cerca de la base del cráneo, con dos de las guías (por ejemplo, 102 y 103) colocadas en las localizaciones deseadas dentro del lado derecho del cerebro, y con las otras dos guías (por ejemplo, 104 y 105) colocadas dentro del lado izquierdo del cerebro. Estas localizaciones deseadas en cada lado pueden comprender el núcleo subtalámico (STN) y el núcleo pedunculopontino (PPN), de tal manera que dos de las guías (por ejemplo, 102 y 104) se colocan dentro del STN, mientras que las otras dos (por ejemplo, 103 y 105) se colocan dentro del PPN.

- 50 La estimulación DBS es normalmente monopolar, lo que significa que un electrodo proporcionado en una guía se elige como el cátodo o sumidero de corriente, con el electrodo de carcasa (Ec) actuando como el ánodo o fuente de corriente. Cuál de los electrodos en una guía dada se elegirá como el cátodo puede depender de la experimentación, es decir, probar varios de los electrodos en la guía en sucesión para ver cuál proporciona el mejor beneficio terapéutico. La estimulación bipolar también puede usarse para la DBS, en la que un electrodo que no es de carcasa actúa como el ánodo y otro electrodo que no es de carcasa actúa como el cátodo, pero por simplicidad el resto de esta divulgación se centrará únicamente en la estimulación monopolar.

- 55

Los estudios sugieren que diferentes regiones del cerebro responden favorablemente cuando se estimulan con impulsos de corriente de diferentes frecuencias. Por ejemplo, la estimulación del STN proporciona mejores resultados terapéuticos cuando se estimula a frecuencias más altas (por ejemplo, 130-185 Hz), mientras que la estimulación del PPN proporciona mejores resultados terapéuticos cuando se estimula a frecuencias más bajas (por ejemplo, 25 Hz). Tales impulsos pueden, en general, intercalarse en las dos guías que operan a la misma frecuencia en diferentes lados del cerebro para evitar interferencias. Por ejemplo, pueden intercalarse los impulsos de 130 Hz proporcionados por las guías 102 y 104, mientras que pueden intercalarse de manera similar los impulsos de 25 Hz proporcionados por las guías 103 y 105.

Sin embargo, tal intercalado de los impulsos no aborda la posibilidad (o la probabilidad) de que los impulsos se superpondrán a las diferentes frecuencias. Considérese, por ejemplo, la figura 2A, que muestra la estimulación monopolar del electrodo E1 (guía 102) a una frecuencia (f1) relativamente alta, y la estimulación monopolar del electrodo E7 (guía 103) a una frecuencia (f2) relativamente baja. También se muestran las respuestas anódicas del electrodo de carcasa, Ec, que como se ha observado anteriormente actúa como una fuente de corriente para los impulsos catódicos proporcionados en los electrodos E1 y E7. Se observa en el lado izquierdo de la figura 2A que los impulsos se superponen dentro de la caja con líneas de puntos.

Esta superposición en los impulsos puede presentar un problema en el IPG 100, y para comprender esto, se explica el concepto de un canal de temporización. Cada uno de los trenes de impulsos en la figura 2A están definidos en el software en el IPG 100 por canales 176 de temporización, que se muestran con más detalle en la figura 2B. Como se muestra, hay cuatro canales 176<sub>1</sub>-176<sub>4</sub> de temporización. Los canales 176 de temporización se muestran como parte de la circuitería 175 de estimulación del IPG 100, pero también podrían residir como lógica en otra parte en el IPG 100, tal como dentro de su microcontrolador 305. Cada canal 176 de temporización se programa con los parámetros básicos necesarios para construir los impulsos terapéuticos anódicos y catódicos coincidentes, tal como la frecuencia (f), la anchura (pw) de impulso, la amplitud (a), los electrodos afectados y la polaridad en cada uno de los electrodos (si un electrodo debe actuar como ánodo (fuente positiva de corriente)) o un cátodo (fuente de negativa de corriente)). Tales parámetros pueden proporcionarse y almacenarse en el canal 176 de temporización mediante el microcontrolador 305 a través de un bus 297, teniendo cada parámetro para cada canal 176 de temporización su propia dirección única.

Como se muestra, el canal 176<sub>1</sub> de sincronización (correspondiente a la guía 102) se usa para proporcionar los impulsos catódicos y anódicos, respectivamente, al electrodo E1 (por ejemplo) y Ec (el electrodo de carcasa) a una frecuencia (f1), una anchura (pw1) de impulso y una amplitud (a1) específicas. Por lo tanto, el canal 176<sub>1</sub> de sincronización pasa los impulsos de corriente terapéutica entre los electrodos Ec y E1, comprendiendo Ec la fuente de corriente, y E1 el sumidero de corriente correspondiente. El canal 176<sub>2</sub> de sincronización (correspondiente a la guía 103) también se usa para proporcionar impulsos catódicos y anódicos respectivamente en el electrodo E7 (por ejemplo) y Ec, pero con una frecuencia (f2) diferente y con una anchura (pw2) de impulso y una amplitud (a2) específicas. Asumiendo el tipo de aplicación de DBS descrito anteriormente, los canales 176<sub>1</sub> y 176<sub>2</sub> de temporización estimularán diferentes regiones en un lado (por ejemplo, el lado derecho) del cerebro.

Los otros canales 176<sub>3</sub> y 176<sub>4</sub> de temporización (correspondientes a las guías 104 y 105 respectivamente) proporcionan los impulsos de las mismas frecuencias f1 y f2 a los electrodos en el otro lado (por ejemplo, izquierdo) del cerebro. Sin embargo, como se ha citado anteriormente, los impulsos en estos canales de temporización 176<sub>3</sub> y 176<sub>4</sub> pueden intercalarse con los impulsos de las mismas frecuencias en los canales 176<sub>1</sub> y 176<sub>2</sub> de temporización, y se denominan fx (180°) para designar ese hecho. Debido a que los impulsos de intercalación de la misma frecuencia evitan superposiciones, una preocupación específica de esta divulgación, tales impulsos intercalados (es decir, los canales 176<sub>3</sub> y 176<sub>4</sub> de temporización) se ignoran ampliamente por simplicidad en la exposición posterior.

La información procedente de los canales 176 de temporización se proporciona al convertidor 82 digital a analógico en el IPG 100, que comprende una fuente 83 de corriente programable y un sumidero 84' de corriente programable. Debido a que la fuente 83 de corriente y el sumidero 84' de corriente están fabricados normalmente de dispositivos de canal P y de canal N, respectivamente, a menudo se los denomina como un PDAC y un NDAC para diferenciarlos. El PDAC 83 genera una corriente de la amplitud, la anchura de impulso y la frecuencia especificada por el canal 176 de temporización, mientras que el PDAC 84 proporciona un sumidero de corriente coincidente. A continuación, puede usarse una matriz 85 de conmutación para encaminar los impulsos anódicos desde el PDAC 82 y los impulsos catódicos desde el NDAC 84 hasta los electrodos especificados en el canal 176 de temporización que emite el impulso.

Como se ha expuesto anteriormente con respecto a la figura 2A, cuando se usan diferentes canales de temporización para definir impulsos terapéuticos de diferentes frecuencias, los impulsos pueden superponerse en el tiempo. Dicha superposición era de interés en la técnica anterior, debido a que el PDAC 83 y el NDAC 84 no podían originar y suministrar dos corrientes diferentes al mismo tiempo. Este problema sugirió dos soluciones diferentes, ninguna de las cuales es óptima.

En primer lugar, la lógica 306 de arbitraje (figura 2B) podría emplearse para evitar que se produzcan superposiciones, garantizando de este modo que el PDAC 83 y el NDAC 84 no se han llamado a producir dos impulsos diferentes al mismo tiempo. (Aunque se muestra como que aparece en la circuitería 175 de estimulación, la

lógica 306 de arbitraje también podría aparecer en el microcontrolador 305). Tal lógica 306 de arbitraje identificaría las superposiciones, e indicaría a ciertos canales 176 de temporización que se mantengan en la emisión de información de impulsos al DAC 82 para resolver el conflicto. Sin embargo, este esquema afecta de otro modo a la frecuencia deseada de los impulsos. Por ejemplo, y como se muestra en la figura 2A, la lógica 306 de arbitraje ha operado para cambiar los impulsos proporcionados por el canal 176<sub>2</sub> de temporización para aliviar la superposición con los impulsos del canal 176<sub>1</sub> de temporización. Como tal, la frecuencia de los impulsos en el canal 176<sub>2</sub> de temporización no es ya ideal, y en función de la frecuencia con que se produzcan tales superposiciones, el efecto general del arbitraje puede variar significativamente la frecuencia de los impulsos en este canal de temporización de su valor deseado de f<sub>2</sub>. Desafortunadamente, la variación de la frecuencia en este canal de sincronización puede reducir la eficacia de la terapia en la región afectada en el cerebro (es decir, en la guía 103).

Una segunda solución consiste en proporcionar al paciente dos IPG 100 independientes, como se muestra en la figura 2C, con un IPG (100<sub>1</sub>) que proporciona estimulación en la primera frecuencia (f<sub>1</sub>) a las regiones deseadas del cerebro (por ejemplo, los STN a través de las guías 102 y 104) y el otro IPG (100<sub>2</sub>) que proporciona estimulación en la segunda frecuencia a las otras regiones del cerebro (por ejemplo, los PPN a través de las guías 103 y 105). Cada IPG 100 puede programarse independientemente, y ya que cada uno tiene su propio PDAC 83 y NDAC 84, no existe preocupación acerca de las diferentes frecuencias que programan de manera simultánea tales circuitos. El inconveniente obvio de este enfoque es el requisito de implantar dos IPG 100 en el paciente para proporcionar una cobertura terapéutica completa a todas las regiones cerebrales deseadas. Dos IPG 100 duplican claramente el coste, doblan la incomodidad del paciente y, en general, complican demasiado la terapia para el paciente.

Por lo tanto, se necesita una solución mejor para los problemas mencionados anteriormente, y se proporciona en el presente documento WO-A-02/09808 que desvela la técnica anterior más relevante.

#### **Breve descripción de los dibujos**

Las figuras 1A-1B muestran un generador de impulsos implantable (IPG), y las guías de electrodos acopladas al IPG de acuerdo con la técnica anterior.

Las figuras 2A-2C ilustran aspectos de la circuitería del IPG de la técnica anterior e ilustran problemas y soluciones de la técnica anterior con respecto a los impulsos superpuestos de diferentes frecuencias.

Las figuras 3A-3D ilustran la circuitería y la arquitectura de un IPG mejorado que tiene dos CI de controlador de electrodos en los que las salidas de electrodo están en cortocircuito.

La figura 4 ilustra un paquete BGA opcional para alojar los dos CI de controlador de electrodos del IPG mejorado.

Las figuras 5A y 5B ilustran cómo funciona el IPG mejorado para proporcionar impulsos de diferentes frecuencias a pesar de las superposiciones en los impulsos.

Las figuras 6A y 6B ilustran la circuitería y un algoritmo para establecer una tensión de cumplimiento para los DAC en el IPG mejorado.

#### **Descripción detallada**

Se desvela una nueva arquitectura para un IPG que tiene unos circuitos integrados de controlador de electrodo maestro y esclavo (los CI o chips). Excepcionalmente, las salidas de electrodo en los circuitos integrados están cableadas entre sí. Cada circuito integrado puede programarse para proporcionar impulsos con diferentes frecuencias, como es útil en, por ejemplo la DBS. Los canales de temporización activos en cada uno de los circuitos integrados maestro y esclavo están programados para proporcionar los impulsos deseados, mientras que los canales de temporización en el maestro y esclavo están programados al menos con los datos de temporización de los canales de temporización activos en el otro circuito integrado de manera que cada chip sabe cuándo el otro está proporcionando un impulso. De esta forma, cada chip puede desactivar su circuito de recuperación con el fin de no frustrar esos impulsos. El arbitraje se desactiva, de manera que cada chip puede proporcionar sus impulsos a la frecuencia deseada y sin reprogramar. En el caso de superposición de impulsos en un electrodo dado, las corrientes proporcionadas por cada chip se sumarán al electrodo afectado. La generación de tensión de cumplimiento para la provisión de los impulsos se dicta por un algoritmo que busca encontrar una tensión de cumplimiento óptima para emitir los impulsos incluso durante los períodos en que se superponen los impulsos.

La arquitectura 290 mejorada para un IPG se muestra primero en la figura 3A. La arquitectura 290 comprende dos CI 300 y 300' de controlador de electrodo. Uno de los CI 300 actúa como maestro, mientras que el otro 300' actúa como un esclavo. Ambos CI 300 y 300' están conectados a un bus 297 centralizado, sobre el que se producen las comunicaciones de acuerdo con un protocolo. Las señales en el bus 297 se muestran en la figura 3D. El bus 297 comprende una dirección multiplexada en el tiempo y unas señales de datos (A/Dx); una señal de habilitación de bloqueo de dirección (ALE); una señal de habilitación de escritura activa-baja (\*W/E) y una señal de habilitación de lectura activa-baja (\*R/E). Estas señales permiten que el protocolo opere usando un esquema de dirección antes de datos en el que una dirección se sigue por los datos pertinentes para esa dirección. Para discernir entre dirección y datos, una señal de habilitación de bloqueo de dirección (ALE) se activa solo tras la emisión de una dirección, lo que permite que la dirección se bloquee en el borde descendente del reloj. Que los datos correspondientes a una dirección específica se escriban o se lean en el siguiente borde descendente del reloj depende de la afirmación de las señales de habilitación de escritura y lectura (\*W/E; \*R/E). También se incluyen en el bus 297 las señales de control para seleccionar cualquiera de los dos chips: CS<sub>m</sub>, que comprende una selección de chip para el maestro

300, y CS\_s, que comprende una selección de chip para el esclavo 300'. Es necesario usar CS\_m y CS\_s para diferenciar entre los dos CI 300 y 300', debido a que los bloques de circuito similares en los CI maestro 300 y esclavo 300' pueden compartir las mismas direcciones.

5 Haciendo referencia de nuevo a la figura 3A, un microcontrolador 305 está conectado también al bus 297, que proporciona control de las funciones en el sistema 290 no manejadas por diversos bloques de circuito en los CI 300 y 300', y de otra manera actúa, en general como el controlador maestro del sistema. Por ejemplo, las comunicaciones del bus 297 se controlan finalmente por el microcontrolador 305, que emite las señales de control de bus expuestas anteriormente (por ejemplo, ALE, W/E\*, R/E\*, CS\_m y CS\_s). El microcontrolador 305 también controla la emisión de los relojes necesarios para las comunicaciones en el bus 297 y para las operaciones internas en cada uno de los CI 300 y 300', como se explica en la solicitud de patente de Estados Unidos N.º 13/253.552, presentada el 5 de octubre, 2011. El microcontrolador 305 también puede programar cuándo el IPG debe escuchar la telemetría de, por ejemplo, un controlador externo. El microcontrolador 305 está conectado a un chip 307 de memoria (Flash EPROM) en el sistema 290, que puede contener el software operativo para el sistema, y que también puede actuar como un espacio libre para registrar datos en el sistema, por ejemplo, los datos a reportar al controlador externo para su análisis y/o su retroalimentación al paciente.

En el ejemplo mostrado, cada uno de los CI 300 y 300' están fabricados de manera idéntica, a pesar de que están destinados a actuar como, o maestro o esclavo en el sistema 290. Fabricar solo un único CI de controlador de electrodos es una gran comodidad, ya que el fabricante no tiene que fabricar, rastrear y probar de manera diferente los CI maestro y esclavo para el sistema 290. Que cualquier CI dado funcione como maestro o esclavo depende de cómo esté conectado al resto del sistema 290, es decir, tales chips pueden programarse por contacto. Como se muestra en la figura 3A, cada CI tiene una entrada, M/S, con la tensión en esta entrada que informa a cada CI si está actuando como el maestro 300 o como el esclavo 300'. Esto puede lograrse conectando la entrada M/S a un nodo específico en la PCB del IPG, tal como Vbat, la tensión de la batería 26 en el IPG, en el caso del maestro 300, o a tierra (GND) en el caso del esclavo 300'. Cuando un CI dado entiende que está operando como esclavo, desactiva algunos de sus bloques de circuito, como se explicará más adelante.

Cada CI 300 o 300' contiene, en este ejemplo, 16 salidas de electrodos, E1-E16, que, como la técnica anterior, en última instancia están acopladas a los electrodos 106 en las guías 102-105 (figura 1A), y una salida de electrodo de carcasa, Ec, que en última instancia está acoplada a la carcasa 30 conductora del IPG. Tal acoplamiento puede producirse a través de los condensadores de desacoplamiento C1-C16 y Cc (figura 3C), que mejoran la seguridad evitando la inyección de corriente continua CC en el paciente, como es bien conocido. En general, tales condensadores de desacoplamiento no afectan al rendimiento de estimulación. Un gran resistor R de 1 M-ohmios puede colocarse en paralelo con el condensador de desacoplamiento de la carcasa, Cc, como se muestra en la figura 3A, para permitir que una pequeña cantidad de fugas garanticen que la electrónica de IPG no flotará lejos del potencial del tejido del paciente.

Solo para el sistema 290, cada una de las salidas de electrodos de los CI maestro y esclavo 300 y 300' están en cortocircuito entre sí fuera del chip, por ejemplo, en la PCB 16 (figura 1B) del IPG o por contacto cableado como se expondrá posteriormente en la configuración de empaquetado alternativo de la figura 4. Como tal, en esta arquitectura 290, a pesar de que se proporcionan 32 salidas de electrodos (34 incluyendo la carcasa 30) por los CI 300 y 300', soportarán entre sí la activación de solo 16 electrodos en el IPG (17 incluyendo la carcasa 30).

La figura 3B muestra los bloques de circuito en cualquiera de los CI idénticos maestro 300 o esclavo 300'. Cada bloque de circuito incluye una circuitería de interfaz de bus 215 adherentes con el protocolo expuesto anteriormente, y cada uno está asociado con una dirección (o un intervalo de direcciones) para organizar las comunicaciones en el bus 297.

Cada uno de los bloques de circuito realiza funciones convencionales en un IPG, y se exponen adicionalmente en la solicitud N.º 13/253.552 a la que se ha hecho referencia anteriormente. El bloque 62 de telemetría se acopla a la bobina 13 de telemetría de IPG (figura 1B), e incluye una circuitería de transceptor para la comunicación con un controlador externo. El bloque 64 de carga/protección se acopla a la bobina 18 de carga de IPG (figura 1B), y contiene una circuitería para rectificar la potencia recibida desde un cargador externo, y para cargar la batería 26 de una manera controlada.

El bloque 175 de circuito de estimulación, introducido anteriormente en los Antecedentes, está acoplado a las salidas de electrodo, e incluye unos canales de temporización y una circuitería 82 de DAC para definir y emitir unos impulsos de una terapia especificada. Cómo ocurre esto se expondrá posteriormente haciendo referencia a las figuras 5A y 5B.

Un bloque 310 de circuitería de muestra y mantenimiento contiene una circuitería para muestrear y mantener diferentes tensiones analógicas proporcionadas por un bus 192 analógico, que incluye las tensiones de electrodo, la tensión de batería, y otras señales analógicas de interés, y se explican en detalle en la solicitud de patente de Estados Unidos 13/237.172, presentada el 20 de septiembre, 2011. Una vez que el bloque 310 de circuitería de muestra y mantenimiento ha operado para resolver una tensión específica, puede enviarse al bloque 74 de A/D, donde se digitaliza y disemina a través del bus 297 de comunicación a cualquier parte del sistema 290 que se

necesite para su análisis. Las señales ENTRADA1, ENTRADA2, SALIDA1 y SALIDA2 pueden usarse para encaminar diversas señales analógicas entre los dos CI 300 y 300', como se explica en la solicitud de patente de Estados Unidos N.º de serie 13/237.531, presentada el 20 de septiembre de 2011. Obsérvese que debido a que maneja ambas señales analógica y digital, el CI 300 comprende un chip de modo mixto.

- 5 Un bloque 320 generador de V+ genera una tensión de cumplimiento, V+, que se usa por las fuentes de corriente (DAC 82) en el bloque 175 de circuitería de estimulación. Lo hace mediante la tensión que amplifica la tensión de batería, Vbat, a una tensión V+ adecuada usada para alimentar las fuentes de corriente (es decir, las DAC 82) a un nivel óptimo. Este nivel óptimo para V+ puede deducirse en parte controlando las tensiones de electrodos durante la estimulación, como se expone posteriormente haciendo referencia a las figuras 6A y 6B.
- 10 El generador 330 de reloj genera las comunicaciones de los relojes usadas por el protocolo de comunicaciones en el bus 297. Mientras que el CI 300 maestro puede derivar y proporcionar un reloj al CI 300' esclavo en su entrada de reloj, RELOJENTRADA (figura 3A), como se explica en detalle en la solicitud N.º 13/253.552, también podrían usarse mecanismos de reloj más simples. Por ejemplo, podría proporcionarse un reloj de sistema a las entradas de reloj, RELOJENTRADA, de ambos CI 300 y 300'.
- 15 El controlador 350 maestro/esclavo recibe la entrada M/S cableada mencionada anteriormente, e interpreta que la entrada para informar al CI si está funcionando y un esclavo o maestro, y esto se ilustra adicionalmente en la figura 3C. En la figura 3C, el maestro y el esclavo 300 y 300' se muestran como conectados con los bloques de circuito correspondiente en el CI 300' esclavo indicado por un símbolo de prima. En el CI 300' esclavo, el controlador 350' maestro/esclavo interpreta la entrada a tierra, e informa a ciertos otros bloques de circuito que deben desactivarse a favor del uso de esos mismos bloques de circuito en el CI 300 maestro. Específicamente, el bloque 64' de carga/protección, el bloque 62' de telemetría, el bloque 74' de A/D, el bloque 310' de muestra y mantenimiento, el generador 320' de V+, y el bloque 167 de interfaz serie están todos deshabilitados en el CI 300' esclavo, y se muestran en líneas de puntos para ilustrar este hecho. La desactivación de cada uno de estos bloques de circuito puede producirse de acuerdo con las máquinas de estado que operan en cada bloque al recibir la información del controlador 350 maestro/esclavo, y tal desactivación puede verse afectada desactivando los controladores de bus y los receptores de bus que operan en la circuitería 215 de interfaz en los bloques afectados (figura 3B). Todavía operativos en el CI 300' esclavo están el bloque 175' de circuitería de estimulación acoplado a los electrodos, y el propio controlador 350' maestro/esclavo, y otros bloques de menor importancia.
- 20 Haciendo referencia nuevamente a la figura 3B, el bloque 173 de controlador de interrupciones recibe diversas interrupciones desde otros bloques de circuito, que pueden enviarse a través del bus 297 al microcontrolador 305.
- 25 Los CI maestro y esclavo 300 y 300' en el sistema 290 podrían cada uno empaquetarse y conectarse a la PCB del IPG 16 (figura 1B) de manera individual, con conexiones apropiadas entre los mismos (tal como las salidas de electrodos conectadas) que se realizan en la propia PCB. La figura 4 muestra otra forma de acomodar ambos circuitos integrados 300 y 300' en un paquete 400 de guía de rejilla de bolas (BGA). Como se muestra, uno de los circuitos integrados (el CI 300 maestro como se muestra) puede unirse a una bobina 402 de interposición mediante un material de unión de chips 406. La superficie de la bobina 402 de interposición contiene unos contactos 404, que se conectan a través de la bobina 402 de interposición a las bolas 410 en la parte inferior del sustrato. Finalmente, estas bolas 410 pueden montarse en la superficie de la PCB 16 del IPG, como es bien sabido. El otro CI (el CI 300' esclavo como se muestra) se apila a continuación verticalmente en la parte superior y se separa del CI inferior por un separador 408. El separador 408 se dimensiona de tal manera que los terminales 301 de unión del CI inferior permanecen expuestos, y, como los terminales 301' de unión en el CI superior, pueden unirse por cable 411 a los contactos 404 en la bobina 402 de interposición. Por lo tanto, los nodos comunes a ambos CI, como las salidas de electrodo, pueden acortarse dentro del paquete 400 de BGA en los contactos 404. Otras entradas o salidas en los CI que requieren conexiones únicas, como las entradas de M/S, no se cortocircuitarían, y en su lugar, los terminales 301 o 301' de unión apropiados se unirían por cable individualmente a un contacto 404 apropiado en la bobina 402 de interposición, o no se unirían por cable en absoluto si no se requiere una conexión. Una vez unido con cable, el conjunto puede encapsularse 412 usando un tapón o plástico inyectado en molde para completar la fabricación del paquete 400 de BGA.
- 30 El empaquetado de los CI maestro y esclavo 300 y 300' en un solo paquete 400 de BGA es ventajoso porque reduce el tamaño y el coste, mejora la fiabilidad, y porque puede caber dentro de paquetes de un único CI existentes. En otras palabras, el paquete 400 de BGA no aumenta la "superficie" de la circuitería de controlador de electrodo en la PCB 16 del IPG en comparación con el uso de un único CI, y por lo tanto, el paquete 400 de BGA puede usarse como un componente de "caída" en los IPG heredados que podrían haber usado solo un único CI de controlador de electrodo. Esto permite que tales IPG heredados se beneficien de la funcionalidad mejorada de la arquitectura 290, cuyas mejoras se exponen a continuación.
- 35 La figura 5A muestra la circuitería 175 y 175' de estimulación de tanto el CI maestro 300 como el esclavo 300'. Al igual que antes (figura 2B), ambos CI contienen cuatro canales 176 de temporización, cada uno para controlar una guía 102-105 específica (figura 1A) implantados en una región específica del cerebro. Como antes, los canales 176 de temporización definen impulsos anódicos y catódicos, y en cada CI estos impulsos son de una frecuencia diferente, como es deseable para la DBS. Específicamente, el canal 176<sub>1</sub> de temporización activo en el CI 300

maestro se usa para proporcionar impulsos terapéuticos a la guía 102 en el lado derecho del cerebro, por ejemplo, entre Ec y E1, a la frecuencia f1, a la anchura pw1 de impulso y a la amplitud a1 para permanecer con el mismo ejemplo expuesto en los antecedentes. Asimismo, el canal 176<sub>2</sub>' de temporización activo en el CI 300' esclavo proporciona impulsos terapéuticos a la guía 103 en el lado derecho del cerebro, por ejemplo, entre Ec y E7, a la frecuencia f2, a la anchura pw2 de impulso y a la amplitud a2.

Los impulsos producidos programando los canales de temporización de esta manera se muestran en la figura 5B, y se exponen los aspectos de esa figura en los párrafos siguientes. Obsérvese que los impulsos catódicos se emiten en los electrodos E1 y E7 a las frecuencias deseadas (f1 y f2 respectivamente) sin retrasos ni reprogramaciones. Por lo tanto, a diferencia de la técnica anterior, la terapia deseada a diferentes frecuencias establecidas se logra sin arbitraje y usando un único IPG, que es específicamente útil en la terapia con la DBS. El electrodo de carcasa Ec, común a ambos canales 176<sub>1</sub> y 176<sub>2</sub>' de temporización refleja la superposición anódica de los impulsos catódicos en E1 y E7, que se explica más adelante.

Otros canales de temporización no activos en cada uno de los CI 300 y 300' se denominan como canales de temporización sombreados, y se muestran en líneas de puntos en la figura 5A para indicar ese hecho. Estos canales de temporización sombreados están programados con la información de temporización de los canales de temporización activos en el otro CI. Por lo tanto, el canal 176<sub>2</sub> de temporización sombreado en el CI 300 maestro está programado con la misma frecuencia (f2) y anchura (pw2) de impulso que los canales 176<sub>2</sub>' de temporización activos en el CI 300' esclavo. Asimismo, el canal 176<sub>1</sub>' de temporización sombreado en el CI 300' esclavo se programa con la misma frecuencia (f1) y anchura (pw1) de impulso que el canal 176<sub>1</sub> de temporización activo en el CI 300 maestro. Como tal, cada CI sabe cuándo el otro CI está programado para emitir impulsos.

No es necesario en este ejemplo, sin embargo, que cada CI conozca la amplitud de los otros impulsos del CI, ni los electrodos que recibirán esos impulsos, aunque tal información adicional puede programarse en los canales 176 de temporización si es deseable o útil. Por lo tanto, puede verse en la figura 5A que las amplitudes en los canales 176<sub>2</sub> y 176<sub>1</sub>' de temporización sombreados se establecen a cero (o que no importan los valores), y que los electrodos estimulados en el otro CI no se informan (o de nuevo, se establecen para que no importen los valores). La programación de los canales 176 y 176' de temporización puede producirse como antes a través del bus 297, con las señales de CS<sub>m</sub> y CS<sub>s</sub> (figura 3D) permitiendo que los canales de sincronización en cada uno de los circuitos integrados 300 y 300' se aborden por separado.

También se muestran en la figura 5A los canales 176<sub>3</sub> y 176<sub>4</sub>' de temporización activos para proporcionar impulsos intercalados al otro lado del cerebro (es decir, a las guías 104 y 105 en el lado izquierdo), y sus canales 176<sub>3</sub>' y 176<sub>4</sub> de temporización sombreados respectivos. Similares a los canales 176<sub>3</sub> y 176<sub>4</sub> expuestos en los Antecedentes, los impulsos proporcionados por estos canales 176<sub>3</sub> y 176<sub>4</sub>' de temporización activos se intercalan con los impulsos de las mismas frecuencias en los canales 176<sub>1</sub> y 176<sub>2</sub>' de temporización, y se indican por fx (180°) para designar este hecho. Debido a que los impulsos de intercalación de la misma frecuencia evitan superposiciones, una preocupación específica de esta divulgación, tales impulsos intercalados (es decir, los canales 176<sub>3</sub>, 176<sub>4</sub>, 176<sub>3</sub>', 176<sub>4</sub>' de temporización) se ignoran ampliamente por simplicidad en la exposición posterior. Aunque son útiles en una aplicación de DBS real, los canales 176<sub>3</sub>, 176<sub>4</sub>, 176<sub>3</sub>', 176<sub>4</sub>' de temporización no son necesarios en todas las realizaciones útiles de una arquitectura 290 que emplea IPG.

Es importante que cada CI entienda la temporización de impulsos de la otra CI por razones prácticas, que incluyen la recuperación de carga. La recuperación de carga es bien conocida en la técnica de IPG, pero se explica brevemente. Es deseable en la tecnología de IPG que la carga no se acumule en el tejido que se está estimulando, y como tal, se desea que la corriente inyectada desde un ánodo dado se reciba completamente en un cátodo dado. Sin embargo, la recuperación de carga perfecta es difícil de lograr dado el uso de los condensadores C1-C16 de desacoplamiento y Cc, y otras capacitancias que pueden ser inherentes al tejido que se estimula.

Por lo tanto, después de cada impulso, el IPG realiza preferentemente una recuperación de carga durante un tiempo antes de la emisión del siguiente impulso. Estos periodos de recuperación de carga se muestran en la figura 5B como "r1" para el canal 176<sub>1</sub> de temporización activo en el CI 300 maestro (que estimula E1), y como "r2" para el canal 176<sub>2</sub>' de temporización activo en el CI 300' esclavo (que estimula E7). Durante estos periodos de recuperación de carga, las capacitancias entre los electrodos están en cortocircuito entre sí para drenar cualquier carga que queda, lo que se logra mediante los conmutadores 86 y 86' de recuperación de carga mostrados en la figura 5A. (Estos conmutadores 86 y 86' de recuperación se muestran entremezclados con la matriz 85 y 85' de conmutación usada para encaminar las corrientes proporcionadas por el PDAC 83 y el NDAC 84 a cualquier electrodo deseado). Como se muestra, los conmutadores 86 y 86' de recuperación cortan cada uno de los electrodos la tensión de la batería 26, Vbat, que cortocircuita efectivamente los electrodos entre sí, y por lo tanto cortocircuita las capacitancias entre los mismos para recuperar cualquier carga restante. Cortocircuitando Vbat se desea evitar que cualquier electrodo vaya por encima de la tensión de cumplimiento (V+) o por debajo de tierra (GND). Sin embargo, los conmutadores de recuperación podrían cortocircuitar los electrodos a cualquier potencial deseado en el IPG.

Los canales de temporización sombreados en cada uno de los CI ayudan a garantizar que la recuperación de carga en uno de los CI 300 o 300' no afecte adversamente a la emisión de impulsos en el otro de los CI. Específicamente, debido a que los canales de temporización sombreados informan a cada CI cuando el otro CI está emitiendo

impulsos, cada CI puede suspender la recuperación de carga mediante la apertura de sus conmutadores de recuperación. La suspensión de la recuperación de carga de esta manera puede verse en los artefactos X y X' en la figura 5B. Los artefactos X en el electrodo E1 (estimulado por el CI 300 maestro) se producen cuando E7 (estimulado por el CI 300' esclavo) está emitiendo un impulso (por el canal 176<sub>2</sub>' de temporización). Por lo tanto, el CI 300 maestro ha abierto sus conmutares 86 de recuperación durante X para evitar que se cortocircuiten para Vbat los impulsos emitidos en los electrodos E7/CE por el CI 300' esclavo. Del mismo modo, los artefactos X' en el electrodo E7 (estimulado por el CI 300' esclavo) se producen cuando E1 (estimulado por el CI 300 maestro) está emitiendo un impulso (por el canal 176<sub>1</sub> de temporización). Por lo tanto, el CI 300 esclavo ha abierto sus conmutares 86' de recuperación durante X' para evitar que se cortocircuiten para Vbat los impulsos emitidos en los electrodos E1/CE por el CI 300' maestro. Si no hay ningún período de recuperación actualmente en marcha en un CI mientras que el otro está emitiendo impulsos, los conmutares de recuperación en el CI se abrirían de todos modos, y por lo tanto el riesgo de un cortocircuito en los impulsos del otro CI es discutible.

También se ha observado anteriormente que el electrodo de carcasa Ec en la figura 5B refleja la superposición anódica de los impulsos catódicos en E1 y E7. Por lo tanto, donde se superponen los impulsos anódicos de Ec en los dos canales de temporización activos en el CI (176<sub>1</sub>) maestro y el CI (176<sub>2</sub>') esclavo, se añaden sus corrientes (a1 + a2). Dos de tales incidentes de superposición se muestran en la figura 5B, con el más a la izquierda que muestra una superposición completa, y el más a la derecha que muestra una superposición parcial. Esto resulta en un impulso ocasional que de otro modo no se pide terapéuticamente; ningún canal de temporización se pide, por ejemplo, para suministrar un impulso de amplitud a1 + a2. Sin embargo, no se cree que esta superposición ocasional de corrientes afectará negativamente a la terapia. Por otra parte, se cree que tal desviación de la terapia especificada se ve ensombrecida por el beneficio más importante de impulsos duales de frecuencia constante en un único IPG.

Una consideración restante a entender en la arquitectura 290 mejorada se refiere al establecimiento de la tensión de cumplimiento, V+, que se expone haciendo referencia a las figuras 6A y 6B. La tensión V+ de cumplimiento comprende la tensión de fuente de alimentación usada por la circuitería DAC que emite los impulsos. Como se ha observado anteriormente, la tensión de cumplimiento se genera por el generador 320 de V+ en el CI 300 maestro, y se envía a la circuitería 82 DAC en el CI 300 maestro, y a la circuitería 82' DAC en el CI 300' esclavo a través de una interconexión entre los dos CI (véase la figura 3C). V+ se genera aumentando la tensión de la batería, Vbat, y se desea que V+ se establezca en un nivel óptimo: si es demasiado baja, los electrodos no serán capaces de emitir impulsos a las amplitudes deseadas; si es demasiado alta, la energía de la batería se desperdicia innecesariamente. Véase el documento USP 7.444.181, que expone este tema con más detalle.

En el sistema mejorado, V+ se establece usando un algoritmo 500, que se programa en el microcontrolador 305. A modo de introducción, el objetivo de algoritmo 500 de V+ es establecer V+ a un nivel suficiente para manejar el peor de los casos durante el momento en que los impulsos emitidos necesitarán la mayor potencia. En el ejemplo divulgado, tal peor de los casos se produce cuando los impulsos se superponen en el tiempo, tal como se produce en las cajas con líneas de puntos de la figura 5B. Durante tales periodos de superposición, tanto los PDAC 83 y 83' como los DAC 84 y 84' en los CI 300 y 300' maestro y esclavo estarán funcionando. Si V+ se establece para manejar este escenario del peor de los casos, debería ser lo suficientemente alta (de hecho, desde el punto de vista de eficacia, demasiado alta) para manejar menos periodos intensivos de energía cuando los impulsos no se superponen en los dos CI.

La figura 6A muestra la circuitería que está implicada en ambos CI 300 y 300' en la evaluación y el establecimiento de V+ de acuerdo con el algoritmo 500. No se ha expuesto ya en detalle, pero se muestra en la figura 6A, una circuitería 310 de muestra y mantenimiento y un bloque 74 de convertidor de A/D. Tal circuitería está inactiva en el CI 300 esclavo, como se ha observado anteriormente. Las tensiones de electrodo, y ciertos potenciales de referencia, se reciben por el bloque 310 de muestra y mantenimiento, donde pueden estabilizarse y restarse. Los detalles de la circuitería 310 de muestra y mantenimiento pueden encontrarse en la solicitud de patente de Estados Unidos 13/237.172, presentada el 20 de septiembre de 2011.

Como importante en este caso, el bloque 310 de muestra y mantenimiento mide Vp, la caída de tensión en los PDAC 83 y 83', y Vn, la caída de tensión en los NDAC 82 y 82'. (Las caídas de tensión en las matrices 85 y 85' de conmutación también están incluidas en estas mediciones, pero son relativamente pequeñas). Durante la operación del algoritmo 500 de V+, estos parámetros Vp y Vn se miden en los electrodos afectados durante la emisión de impulsos desde o el CI 300 maestro o el CI 300' esclavo. Los canales de temporización sombreados en el CI 300 maestro (figura 5A; 176<sub>2</sub> y 176<sub>4</sub>) son una vez más útiles en este sentido, debido a que informan a la circuitería 310 de muestra y mantenimiento en el CI 300 maestro de la temporización de los impulsos en el CI 300' esclavo, que de otro modo sería desconocida para el maestro. En resumen, los canales 176 de temporización informan a la circuitería 310 de muestra y mantenimiento cuándo se emiten impulsos, y por lo tanto cuándo deberían realizarse las mediciones de Vp y Vn. La circuitería 310 de muestra y mantenimiento comprende además un multiplexor (MUX) para elegir las tensiones de los electrodos y de referencia apropiadas, como se desvela en la solicitud 13/237.172 mencionada anteriormente.

Por ejemplo, cuando un impulso catódico se emite en E1, E1 y tierra (GND) se seleccionan por el mux en la circuitería 310 de muestra y mantenimiento y se restan para determinar Vn. Por el contrario, el ánodo

correspondiente Ec y V+ se seleccionan y se restan para determinar Vp. Los electrodos que están estimulándose, y por lo tanto se eligen por la circuitería 310 de muestra y mantenimiento, pueden determinarse a través del bus 297, y leerse desde cualquiera de los canales 176 de temporización (si está programado para el esclavo) o directamente desde el microcontrolador 305. Una vez medidas, las tensiones Vp y Vn se digitalizan por el bloque 74 de A/D, y se envían a través del bus 297 al microcontrolador 305, donde pueden considerarse por el algoritmo 500 de V+.

Obsérvese que la implementación específica de la circuitería 310 de muestra y mantenimiento incorporada en el presente documento no puede medir Vp y Vn al mismo tiempo. Por lo tanto, la circuitería 310 de muestra y mantenimiento podría medir secuencialmente Vp para Ec (pero no Vn para E1); a continuación Vn para E7 (pero no Vp para Ec); a continuación Vn para E1 (pero no Vp para Ec); etc. En resumen, no es importante para el algoritmo 500 de V+ medir cada único impulso, o medir los impulsos anódico y catódico simultáneamente, aunque esto es posible en diferentes implementaciones.

Lo que es importante es asegurarse de que el escenario del peor de los casos, normalmente superpuesto, se mide adecuadamente. Como tal, tanto Vp como Vn deben al menos ocasionalmente medirse durante los períodos de superposición para evaluar si la tensión V+ de cumplimiento es inadecuada y debe elevarse, o suficiente, pero capaz de bajarse para ahorrar energía.

La figura 6B describe un algoritmo 500 para establecer V+ a un nivel óptimo en el sistema 290 mejorado. El algoritmo puede iniciarse (501) en cualquier momento, el IPG está funcionando y proporciona impulsos, pero en un ejemplo se inicia cuando se ha ajustado el establecimiento de terapia de alguna manera. Esto puede producirse, por ejemplo, cuando el paciente o el médico ha usado un controlador externo para cambiar las frecuencias, duraciones, o amplitudes de los impulsos, o ha elegido nuevos electrodos para la estimulación.

Una vez que la terapia se ha ajustado y se inicia el algoritmo, V+ puede establecerse para una tensión máxima por el generador 320 de V+ (502). Este puede ser un valor o alrededor de 18 V. Como se verá, el objetivo en las etapas posteriores será, en general, bajar V+ desde esta tensión máxima a una tensión que esté más cerca de un umbral donde V+ es demasiado baja para proporcionar la energía adecuada.

Con V+ ajustada a su valor máximo, la terapia procede según lo programado, y Vp y Vn se miden en los electrodos activos como se ha expuesto anteriormente, y durante un período de tiempo que garantiza que estas mediciones medirán al menos varias superposiciones (504). Este período de tiempo puede determinarse por el algoritmo 500 de V+ revisando las frecuencias (f1, f2) y las anchuras (PW1; PW2) de impulsos programadas en los canales 176 de temporización. A partir de estos parámetros, no es difícil para el algoritmo 500 calcular un período de tiempo establecido razonable para su uso en la etapa 504. Por ejemplo, si f1 es igual a 100 Hz, y f2 es igual a 40 Hz, y suponiendo las anchuras de impulso de 2 ms, los impulsos (si se inician simultáneamente) se solaparían en intervalos de 50 ms, o 20 veces por segundo. Esto significa, en el mejor caso, que Vp y Vn (que no pueden medirse de manera simultánea) podrían medirse cada una durante los períodos de superposición de 10 veces por segundo. Supóngase, cuando el algoritmo 500 pudiese permitir un error, la posibilidad de solo superposiciones parciales, o simplemente para proteger el proceso, que solo una de estas 10 mediciones por segundo se capturará en realidad, es decir, que una medición Vp y Vn por segundo capturará una superposición. Esto significaría que, durante un período de 30 segundos que 30 mediciones Vp y Vn capturarán una superposición. Esto sería un número suficiente de mediciones Vp y Vn bajo estos hechos, y por lo tanto 30 segundos podría comprender el período de tiempo establecido en la etapa 504. De hecho, muchas más mediciones de Vp y Vn (incluidas las que no se toman durante los períodos de superposición) se capturarían y registrarían en el microcontrolador 305 para el algoritmo 500 revisado durante este período este momento. Si es necesario, y para reducir los armónicos entre las frecuencias, el algoritmo 500 puede escalar el comienzo de los impulsos en diferentes momentos durante este período de tiempo establecido para hacer aleatorias las mediciones y mejorar probablemente la captura de superposición.

Una vez que se han tomado las mediciones de Vp y Vn a lo largo del período de tiempo establecido, el algoritmo 500 puede revisar todas las mediciones Vp y Vn durante ese período de tiempo (que incluiría ambas mediciones de superposición y de no superposición) y evaluar si siempre superan un umbral específico, es decir, Vpt y Vnt (506). Estos umbrales Vpt y Vnt pueden elegirse basándose en la circuitería usada en los PDAC 83 y 83' y en los NDAC 84 y 84'. Por ejemplo, si los DAC comprenden espejos de corriente como es típico, véase el documento USP 7.444.181, se conocería que los transistores de salida de canal P en los PDAC y los transistores de canal N en los NDAC estarían en saturación, y proporcionarían de este modo una cantidad adecuada de corriente si Vp y Vn superan 1,5 V y 1,2 V respectivamente. En otras palabras, Vpt = 1,5 V, Vnt = 1,2 V, y la evaluación en la etapa 506 puede proceder sobre esa base. Obsérvese que la determinación en la etapa 506 es probable que se rija por las mediciones de Vp y Vn tomadas durante los períodos de superposición, cuando tales parámetros estuviesen probablemente en sus valores más bajos debido a la carga adicional de V+ que proporciona la superposición.

Suponiendo que todas las mediciones de Vp superan los 1,5 V, y todas las mediciones de Vn superan los 1,2 V, el algoritmo 500 de V+ puede concluir que V+, posiblemente, pueda bajarse. Esto ocurre en la etapa 508, donde V+ podría reducirse desde su máximo por alguna cantidad establecida, por ejemplo, 1 V, a 17 V.

Por lo tanto, el proceso de medición de Vp y Vn en la etapa 504 puede comenzar de nuevo en esta nueva tensión de cumplimiento reducido, y una vez más para el período de tiempo establecido determinado anteriormente. Una vez

más, pueden evaluarse  $V_p$  y  $V_n$  a lo largo de este nuevo período de tiempo (506), y tales mediciones en general, serían menores que las producidas en el período de tiempo anterior cuando  $V_+$  era mayor.

Finalmente, como  $V_+$  continúa cayendo, los valores de  $V_p$  o  $V_n$  medidos comenzarán a caer por debajo de sus umbrales de  $V_{pt}$  o  $V_{nt}$ , y de nuevo los primeros valores que caerían serían probablemente los que se producen durante las superposiciones. Esto indica que la tensión  $V_+$  de cumplimiento es ahora demasiado baja para proporcionar las corrientes requeridas, o al menos (dependiendo de la franja de seguridad incorporada en los umbrales) que  $V_+$  está acercándose a este punto. El proceso prosigue en la etapa 510, donde  $V_+$  aumenta en una cierta cantidad, por ejemplo, un 10 % (510), y se establece (512). Se desea el aumento de  $V_+$  en esta etapa 510 para garantizar que  $V_+$  es suficientemente alta, y para mitigar las preocupaciones de que las condiciones puedan cambiar (por ejemplo, el movimiento de guía de electrodos, cambios de tejido, etc.) de tal manera que podrían necesitarse valores de  $V_+$  superiores en el futuro para los ajustes de terapia específicos. Si los ajustes de terapia se cambian una vez más (501), puede repetirse el algoritmo 500 para establecer un nuevo valor para  $V_+$ .

Si bien es importante para establecer la tensión de cumplimiento evaluar tanto los períodos de superposición como de no superposición, el escenario del peor de los casos no siempre se produce durante los períodos de superposición. Esto sería especialmente cierto si durante una superposición de un electrodo específico se llama a actuar tanto como un ánodo como un cátodo. Por ejemplo, si el  $E_c$  está programado como el cátodo y el  $E_1$  como el ánodo en el CI maestro, pero el  $E_c$  está programado como el ánodo y el  $E_7$  como el cátodo en el CI esclavo, la superposición de impulsos provocaría que  $E_c$  fuera tanto fuente como sumidero de corriente, y por lo tanto la amplitud de la corriente en ese nodo se restaría (es decir, la adición de una corriente positiva y negativa). Esto podría significar que los requisitos de energía durante la superposición serían menores que cuando cualquier CI emite impulsos sin superposición, y de este modo el peor de los casos que exigen la máxima  $V_+$  se produciría durante los períodos de superposición. En cualquier caso, ya que el algoritmo 500 de  $V_+$  monitoriza tanto los casos superpuestos como no superpuestos, el escenario del peor de los casos se evaluará y se establecerá  $V_+$  en consecuencia.

Aunque ignorados en gran medida por razones de simplicidad para este punto, los canales de temporización usados para definir los impulsos intercalados en el otro lado del cerebro ( $176_3$ ,  $176_4$ ,  $176_3'$ ,  $176_4'$  en la figura 5A) también requieren la debida consideración en una implementación real a la luz de los conceptos expuestos en el presente documento. Por lo tanto, los conmutadores 86 de recuperación en el CI 300 maestro deberían abrirse cuando cualquiera de los canales  $176_2'$  o  $176_4'$  de temporización activos están emitiendo impulsos en el CI 300' esclavo con el fin de no cortocircuitar esos impulsos para  $V_{bat}$ . Del mismo modo, los conmutadores 86' de recuperación en el CI 300' esclavo deberían abrirse cuando cualquiera de los canales  $176_1$  o  $176_3$  de temporización activos están emitiendo impulsos en el CI 300 maestro. Del mismo modo, durante la operación del algoritmo 500 de  $V_+$ , las mediciones de  $V_p$  y  $V_n$  deberían tomarse durante la superposición y no superposición de los impulsos emitidos por los canales  $176_3$  y  $176_4'$  de temporización activos.

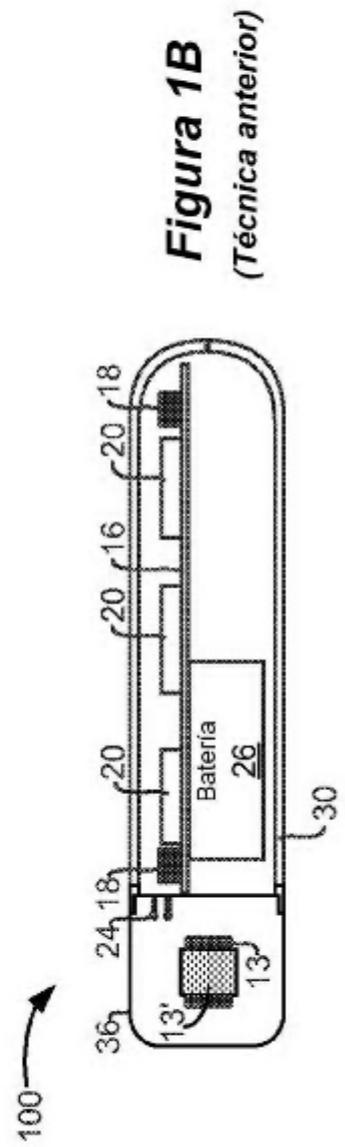
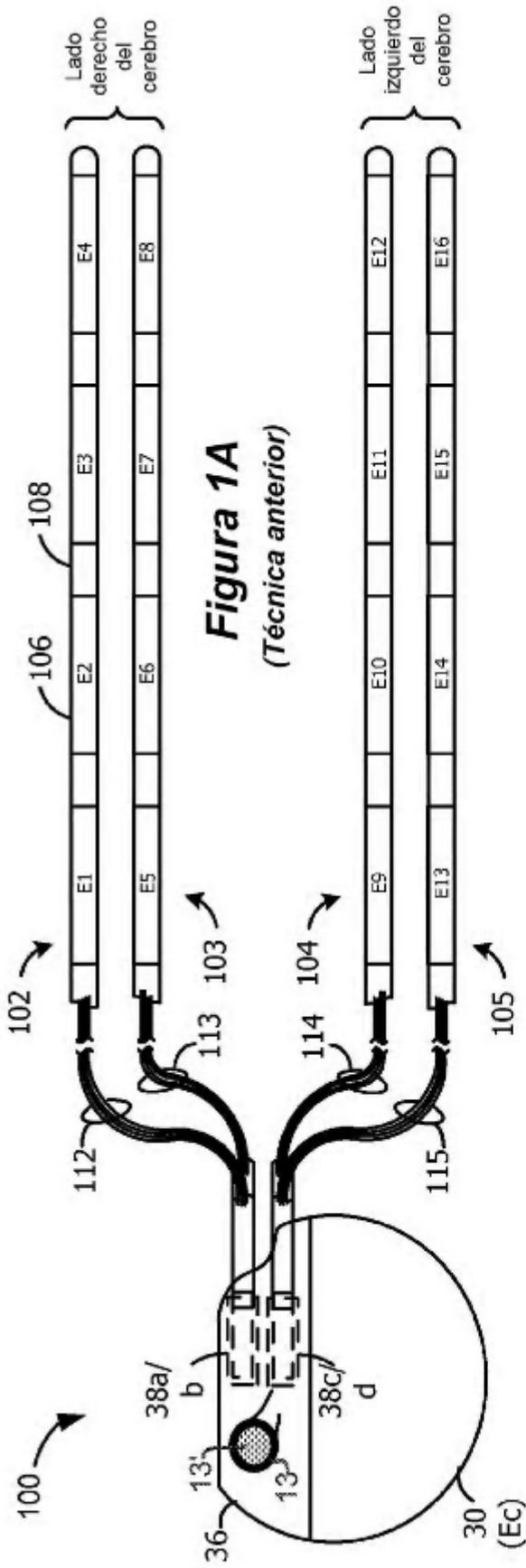
Aunque esta divulgación se ha centrado en una implementación específica de un IPG dirigido a proporcionar la terapia DBS en dos frecuencias diferentes, no debería entenderse como limitada a la misma. Son posibles muchas variaciones. Por ejemplo, la circuitería desvelada puede soportar la emisión de impulsos catódicos y anódicos en cualquiera de los electrodos, y el electrodo de carcasa no tiene por qué actuar como ánodo o, en los casos de simulación bipolar, no necesita incluso usarse. Por otra parte, la circuitería desvelada puede soportar la emisión de impulsos bifásicos, en la que un impulso anódico en un electrodo específico se sigue por un impulso catódico y viceversa. Por otra parte, mientras que el sistema de CI de controlador de doble electrodo desvelado es específicamente útil en la emisión de impulsos de una primera frecuencia de uno de los CI y los impulsos de otra frecuencia de otro CI, no necesita ser tan limitado. Ambos CI pueden emitir impulsos de la misma frecuencia, o incluso pueden emitir impulsos no periódicos o aleatorios en función de cómo se programen. Los canales de temporización no necesitan dedicarse a guías específicas, electrodos específicos, o regiones del tejido que están estimulándose. Además, el enfoque desvelado puede ampliarse para acompañar incluso números adicionales de CI de controlador de electrodo. Por ejemplo, podrían usarse tres o más CI, con sus salidas de electrodos cortocircuitadas entre sí, proporcionando de este modo la capacidad de proporcionar impulsos de superposición de tres o más frecuencias diferentes. Finalmente, la arquitectura desvelada no tiene por qué limitarse a la terapia DBS, y puede aplicarse a la estimulación para una amplia variedad de terapias, tales como las mencionadas anteriormente.

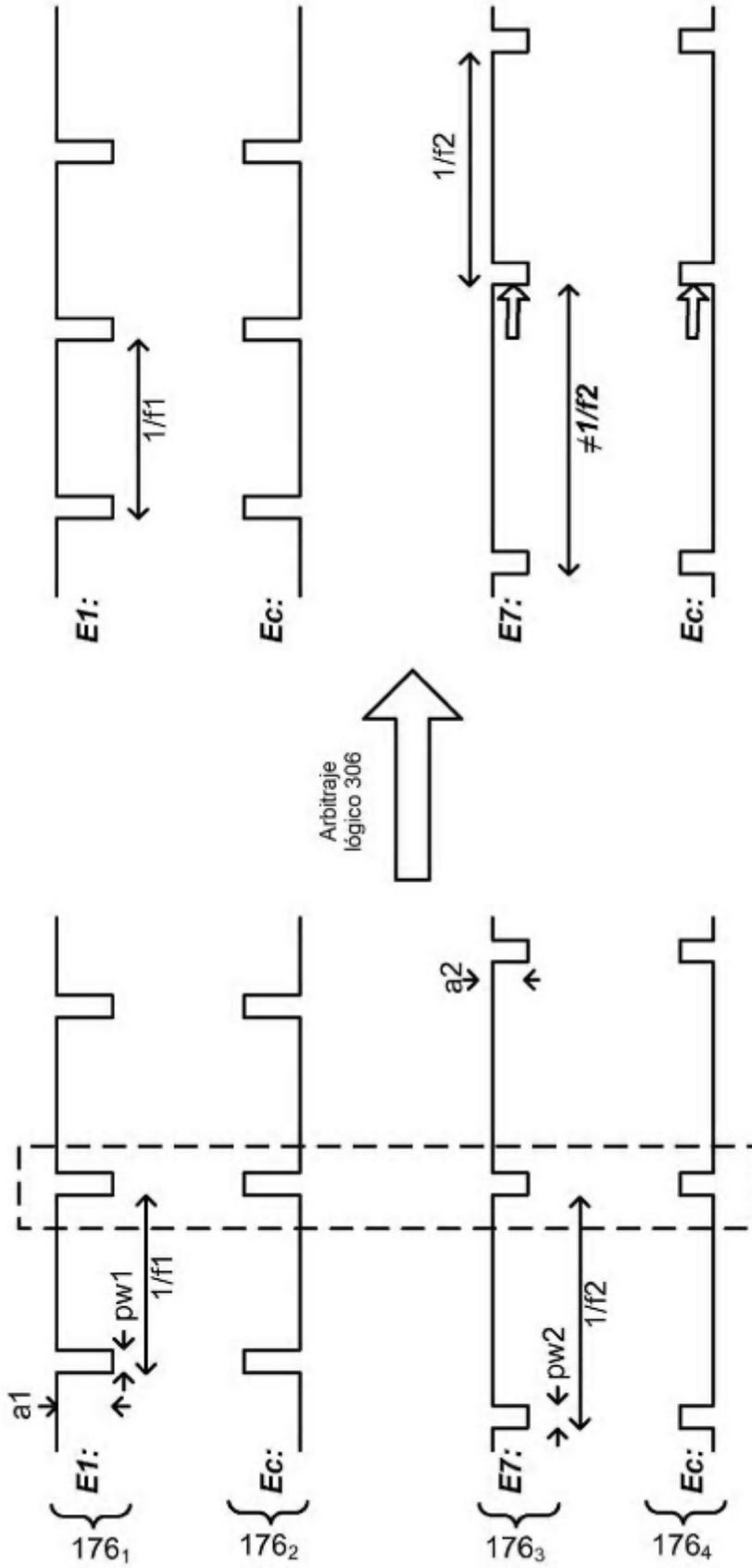
Aunque se desvela cómo se implementa en circuitos integrados separados, la circuitería y los procedimientos desvelados pueden emplearse en un único circuito integrado que comprende ambos circuitos 175 y 175' de estimulación, o puede emplearse con circuitos discretos.

Aunque se han mostrado y descrito las realizaciones específicas de la presente invención, debería entenderse que la exposición anterior no pretende limitar la presente invención a estas realizaciones. Será obvio para los expertos en la materia que pueden realizarse diversos cambios y modificaciones sin alejarse del espíritu y el ámbito de la presente invención. Por lo tanto, la presente invención se destina a cubrir las alternativas, las modificaciones y las equivalencias que puedan caer dentro del ámbito de la presente invención como se define por las reivindicaciones.

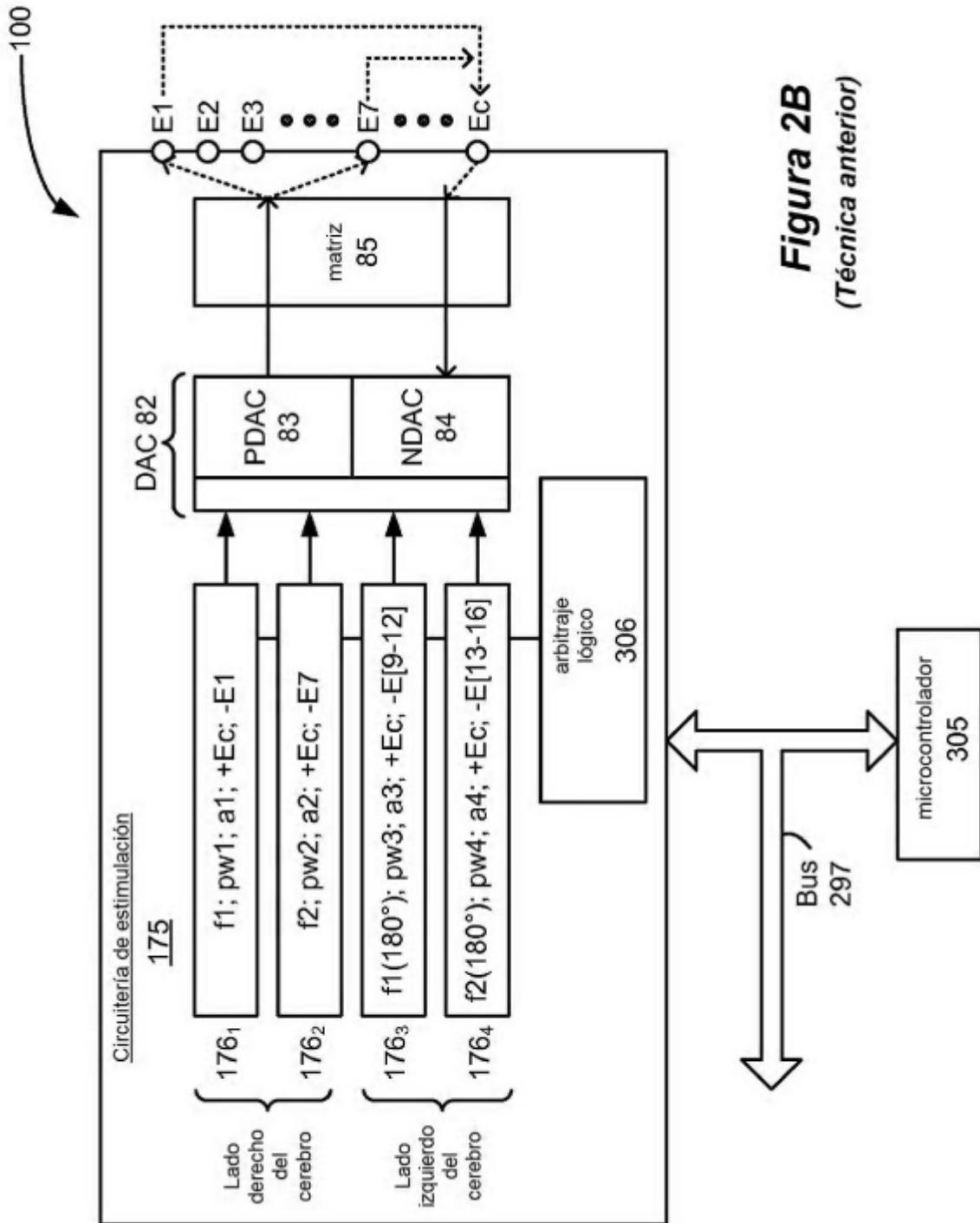
**REIVINDICACIONES**

1. Un dispositivo estimulador implantable con una pluralidad de electrodos, que comprende:
  - una pluralidad de circuitos (300, 300') integrados comprendiendo cada uno una pluralidad de salidas de electrodos,
  - comprendiendo además cada circuito integrado una circuitería de estimulación configurada para proporcionar una corriente en las salidas de electrodos,
  - en el que las salidas de electrodos correspondientes con cada uno de la pluralidad de circuitos integrados están en cortocircuito entre sí, y en el que cada una de las salidas de electrodos en cortocircuito correspondiente está acoplada a uno diferente de la pluralidad de electrodos a través de un condensador de desacoplamiento.
2. El dispositivo de la reivindicación 1, en el que la pluralidad de circuitos integrados están alojados en un único paquete, y en el que la pluralidad de salidas de electrodos correspondientes están en cortocircuito dentro del paquete.
3. El dispositivo de la reivindicación 2, en el que la pluralidad de circuitos integrados están apilados verticalmente en el único paquete.
4. El dispositivo de la reivindicación 1, en el que uno primero de la pluralidad de circuitos integrados comprende un circuito integrado maestro, y un segundo de la pluralidad de circuitos integrados comprende un circuito integrado esclavo en el circuito integrado maestro.
5. El dispositivo de la reivindicación 4, en el que los circuitos integrados maestro y esclavo son programables por contacto.
6. El dispositivo de la reivindicación 4, que comprende además un microcontrolador, y en el que el microcontrolador, el circuito integrado maestro, y el circuito integrado esclavo se comunican por un bus de acuerdo con un protocolo de bus.
7. El dispositivo de la reivindicación 1, en el que la circuitería de estimulación de cada uno de la pluralidad de circuitos integrados está programada con la información de temporización relativa a cuándo se configura para proporcionar corriente en las salidas de electrodos.
8. El dispositivo de la reivindicación 7, en el que la circuitería de estimulación de cada uno de la pluralidad de circuitos integrados está programada además con la información de temporización procedente de todos los otros circuitos integrados.
9. El dispositivo de la reivindicación 8, en el que la información de temporización comprende una frecuencia de impulso y una anchura de impulso de corriente.
10. El dispositivo de la reivindicación 1, en el que la circuitería de estimulación está configurada para proporcionar la corriente en las salidas de electrodos a diferentes frecuencias en cada uno de la pluralidad de circuitos integrados.
11. El dispositivo de la reivindicación 1, en el que los electrodos están configurados para entregar la corriente proporcionada por cada circuitería de estimulación al tejido de un paciente.
12. El dispositivo de la reivindicación 1, en el que la pluralidad de circuitos integrados son idénticos.





**Figura 2A**  
(Técnica anterior)



**Figura 2B**  
(Técnica anterior)



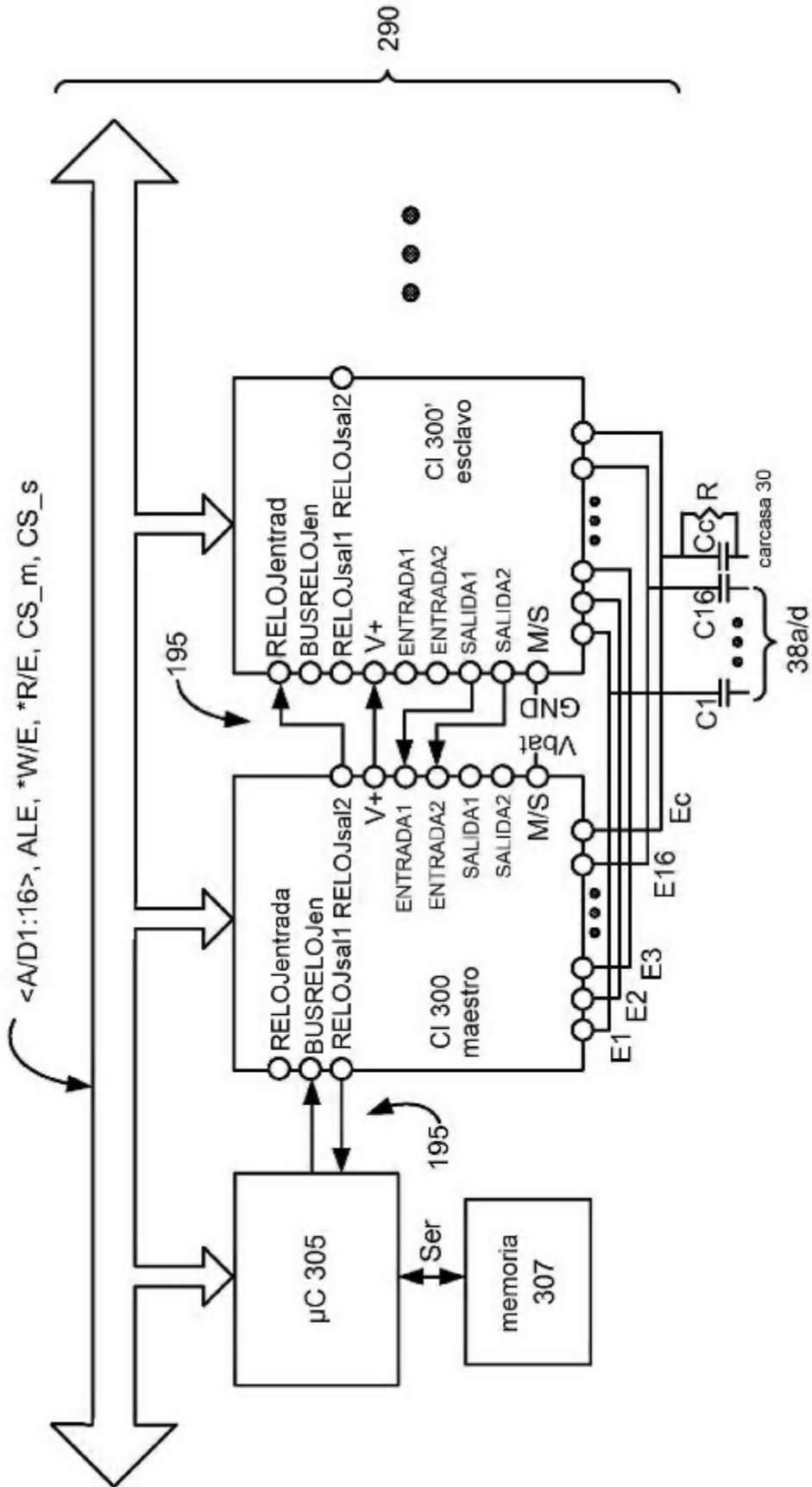


Figura 3A

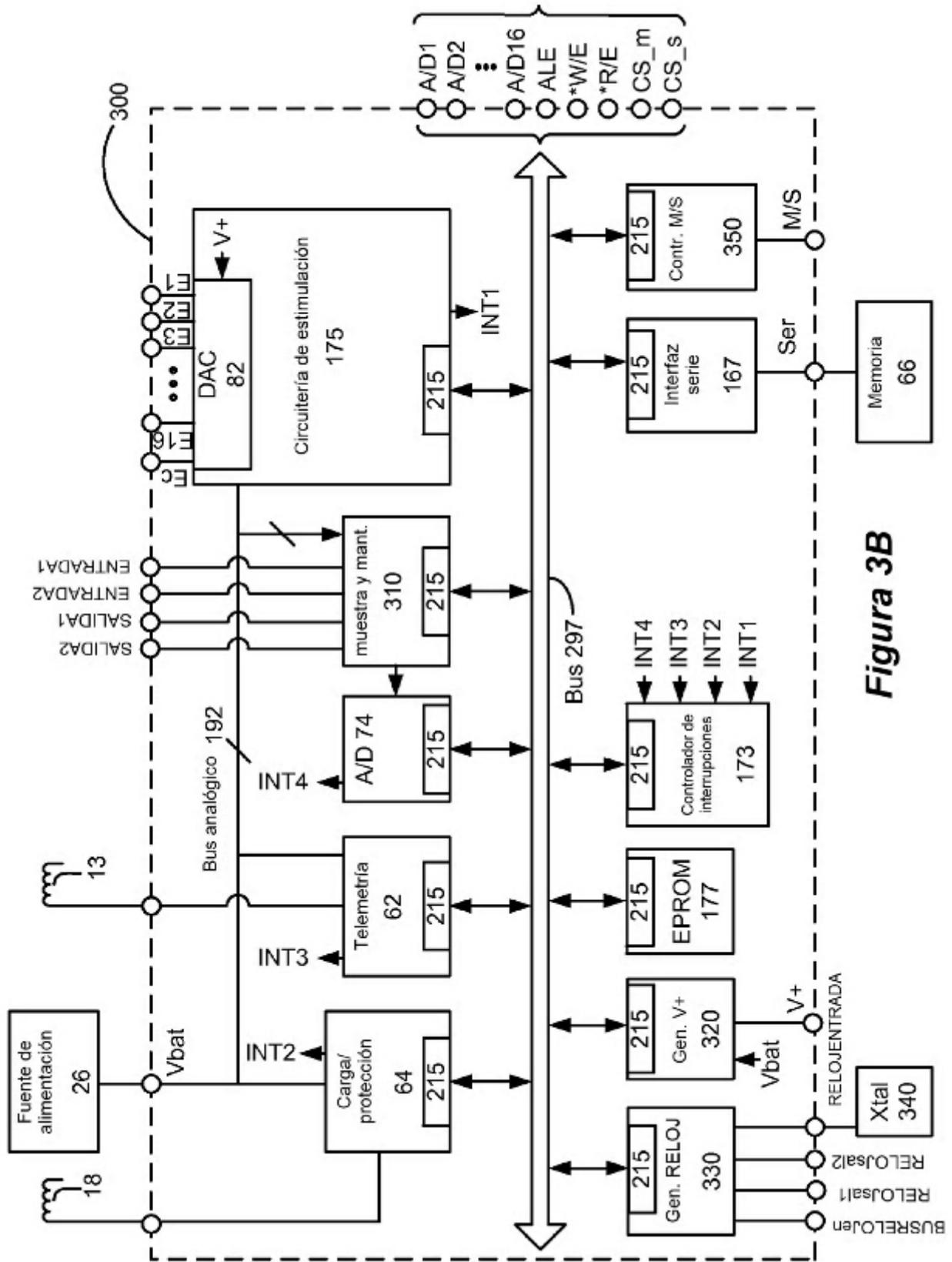


Figura 3B

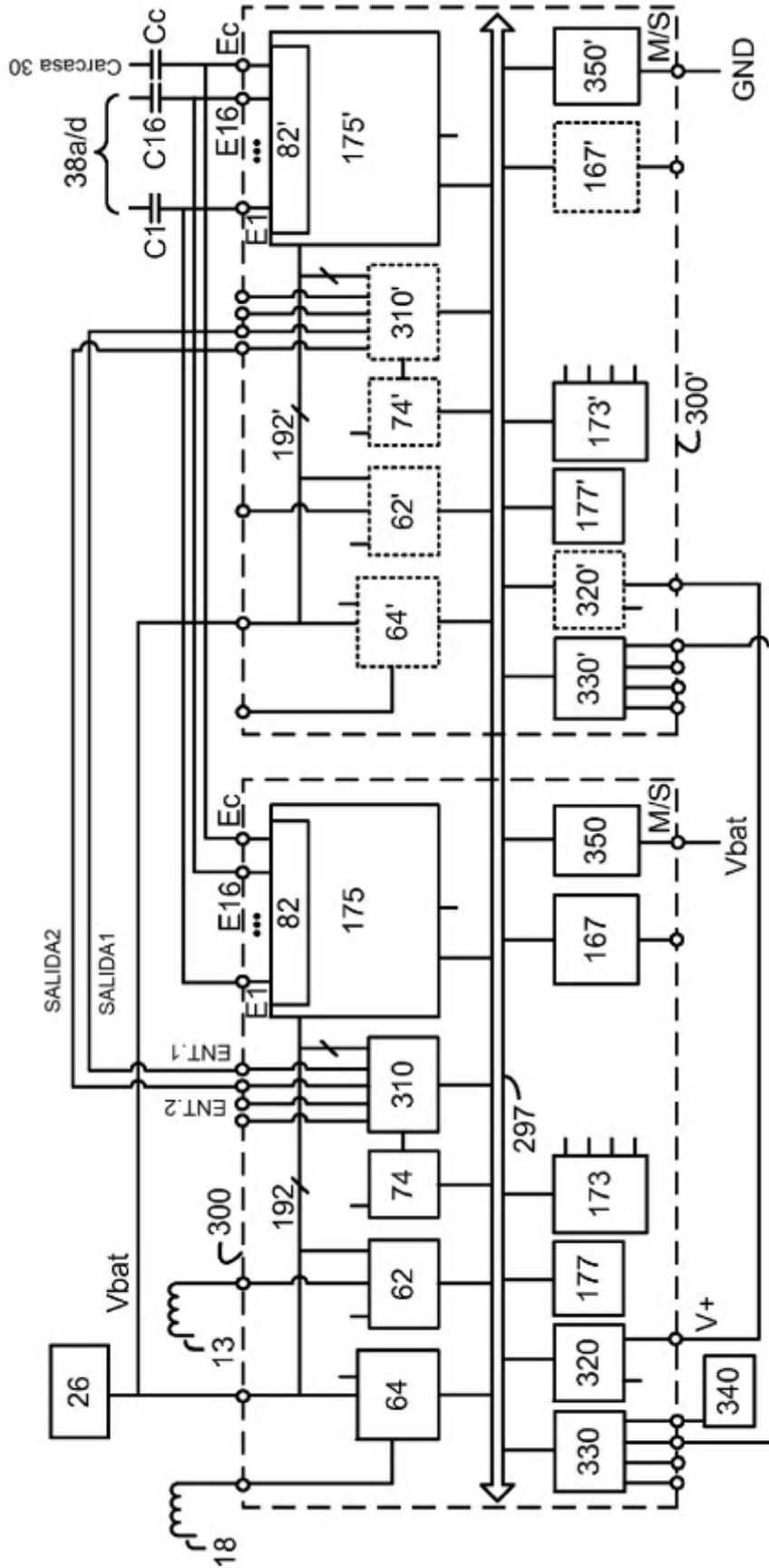


Figura 3C

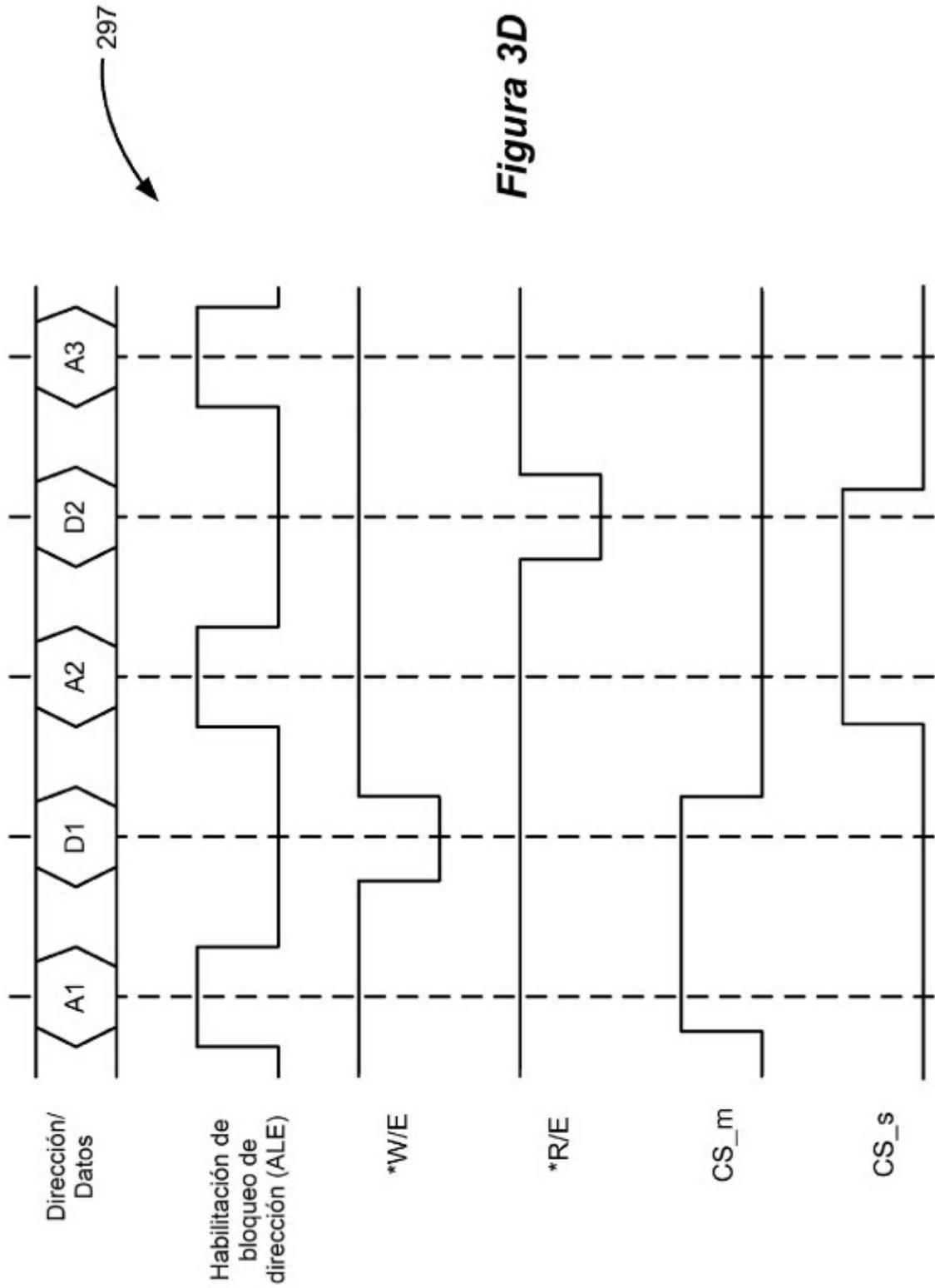


Figura 3D



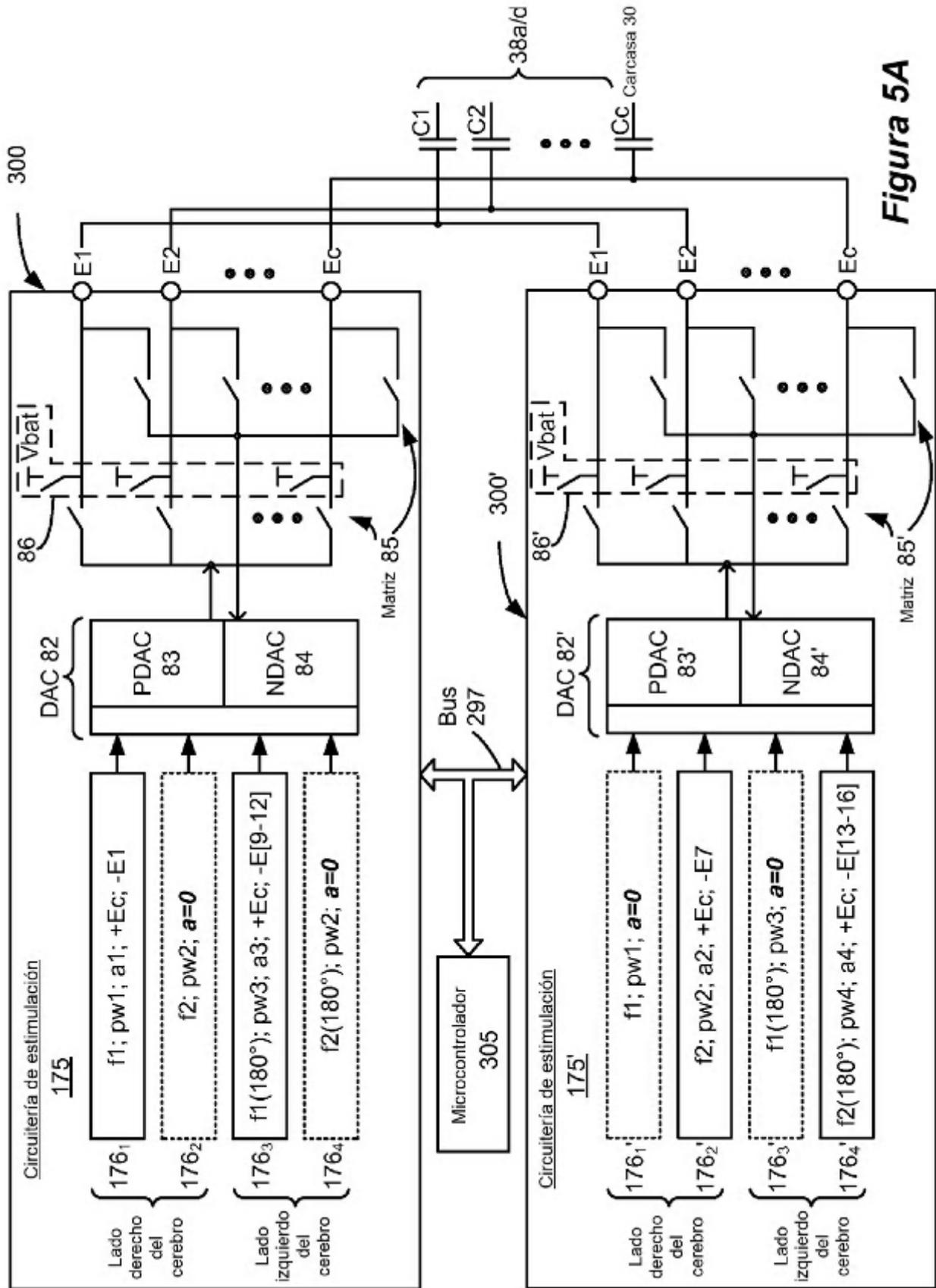


Figura 5A

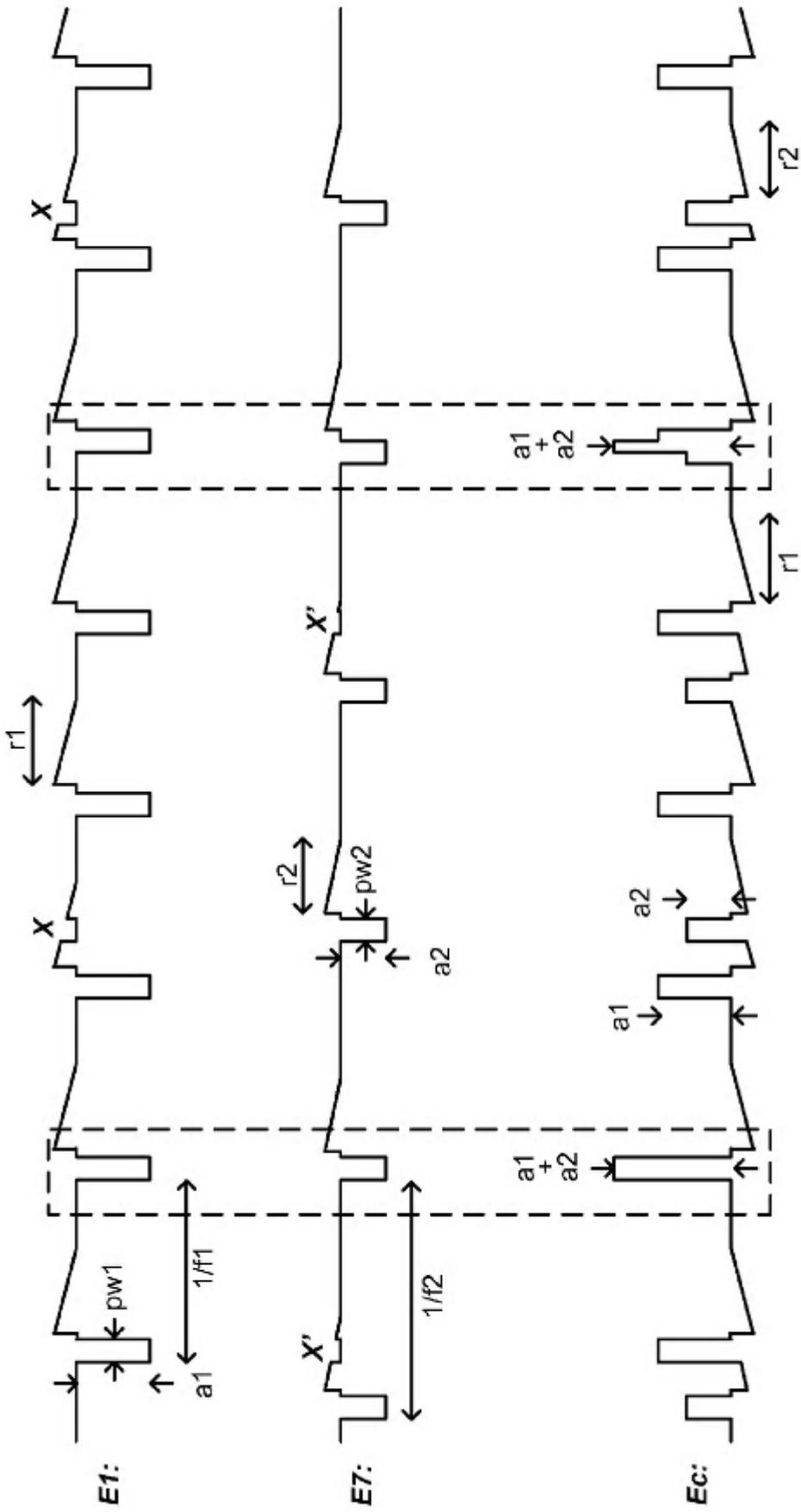


Figure 5B

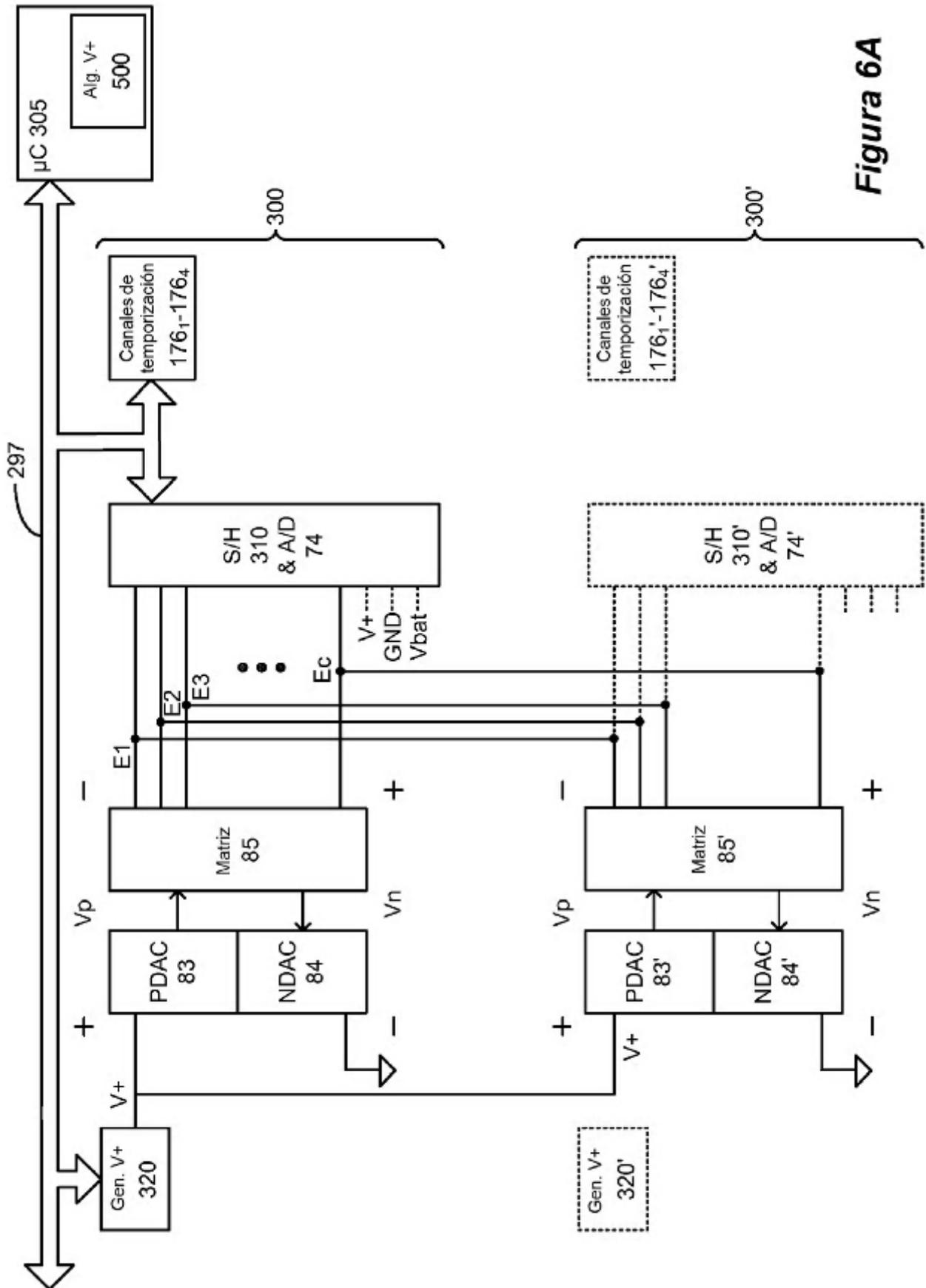


Figura 6A

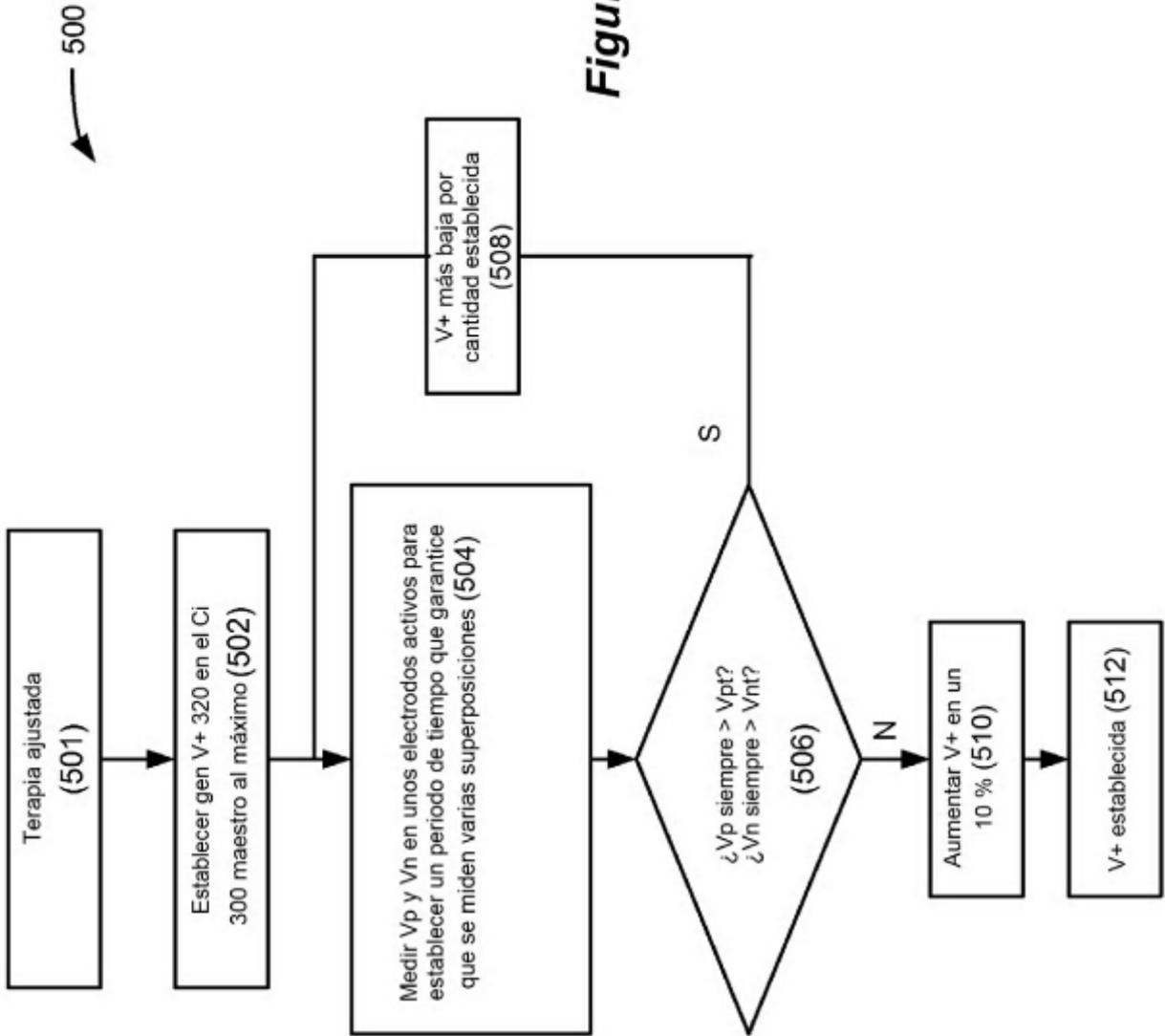


Figura 6B