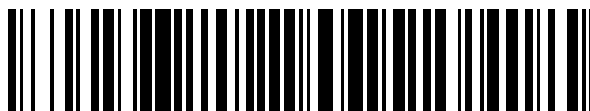


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 653 800**

51 Int. Cl.:

G06F 17/50 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **26.06.2015** **E 15306016 (5)**

97 Fecha y número de publicación de la concesión europea: **08.11.2017** **EP 3109779**

54 Título: **Método para la generación de un circuito electrónico para modelización de los efectos de acoplamiento del sustrato en un circuito integrado**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
08.02.2018

73 Titular/es:

UNIVERSITÉ PIERRE ET MARIE CURIE (50.0%)
4, Place Jussieu
75005 Paris, FR y
CNRS CENTRE NATIONAL DE LA RECHERCHE
SCIENTIFIQUE (50.0%)

72 Inventor/es:

ISKANDER, RAMY;
ZOU, HAO y
MOURSY, YASSER

74 Agente/Representante:

STEPHANN, Valérie

ES 2 653 800 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método para la generación de un circuito electrónico para modelización de los efectos de acoplamiento del sustrato en un circuito integrado

5 Campo de la invención

La presente invención se refiere al diseño y fabricación de circuitos integrados y más particularmente al modelizado eléctrico de circuitos integrados que combinan dispositivos de potencia de alta tensión con bloques lógicos de control de baja tensión, e incluso más particularmente, al modelizado de los efectos de acoplamiento del sustrato en estos circuitos.

10

Antecedentes

15 Las aplicaciones de automoción requieren cada vez más integración de dispositivos de potencia de alta tensión (AT) junto con bloques lógicos de control de baja tensión (BT). Esta integración sobre un único sustrato conduce al desarrollo de una nueva categoría de circuitos integrados (CI), frecuentemente denominados CI de Potencia Inteligentes (Smart Power ICs).

20 En un CI de Potencia Inteligente, el interruptor de potencia, la lógica de control y los circuitos detectores operan a diferentes niveles de tensión y diferentes temperaturas. En dichos dispositivos, el ruido de acoplamiento inducido en el sustrato se convierte en un problema crítico debido a la conmutación de la etapa de potencia. Durante la conmutación, las corrientes parásitas del sustrato que consisten en electrones y huecos conducen a un desplazamiento local del potencial del sustrato que puede alcanzar centenares de milivoltios. Esto es debido a la presencia de cargas inductivas lo que puede producir polarización directa/inversa de uniones de diodos dentro del sustrato. Como resultado, los trayectos de corriente impulsados por la propagación de electrones y huecos son recogidos por los dispositivos analógicos y digitales sensibles próximos, incluso a larga distancia.

25

Se inyectan portadores minoritarios dentro del sustrato durante la conmutación de las etapas de potencia de alta tensión, y se propagan dentro del sustrato. La corriente recogida puede producir defectos de los dispositivos de baja tensión próximos sensibles y a veces puede ser destructiva debido a la presencia de enclavamientos activados. Esta es la causa principal de fallos y del costoso rediseño de circuitos, dado que las simulaciones no pueden predecirlos.

30

Por ejemplo, el NPN lateral parasitario entre un NDMos de 50 V y un transistor NMOS de baja tensión es difícil de caracterizar, debido a que sus características eléctricas dependen de la distancia entre los dos dispositivos que depende de la disposición. Esta distancia corresponde a la base del sustrato del BJT parasitario.

35

Debido al acoplamiento del ruido en el sustrato, el número de fallos es actualmente creciente. La industria informa de que durante 10 a 15 años de vida de los productos de chips, tienen globalmente más de 10 versiones de los chips durante el desarrollo y fabricación.

40

Actualmente, las herramientas de extracción parasitaria estándar consideran solo el efecto parasitario dentro del dispositivo.

45 Sin embargo, la conmutación entre dispositivos (por ejemplo, corriente parasitaria inyectada desde un transistor de alta tensión y recogida en un transistor de baja tensión) debido a la propagación de portadores minoritarios se desprecia frecuentemente y es difícil de modelizar dado que la bipolaridad lateral parasitaria entre dispositivos no puede extraerse de herramientas industriales. Se han realizado numerosos intentos para evaluar el ruido de acoplamiento del sustrato desde dispositivos de alta tensión mediante soluciones numéricas que se basan en el comportamiento físico del semiconductor. Sin embargo, la metodología de extracción experimental basada en la predicción de un circuito simple equivalente a partir de la disposición del circuito no es conveniente para un diseño de disposición compleja y carece de precisión.

50

Solo software de Tecnología de Diseño Asistido por Ordenador (TCAD) son hoy las únicas herramientas disponibles para evaluar el impacto de la propagación de portadores minoritarios. Sin embargo, las simulaciones en TCAD solo pueden aplicarse a unos pocos dispositivos discretos, dado que aplican un procedimiento de elementos finitos para resolver numéricamente ecuaciones físicas en estructuras en 2D y 3D. Esto normalmente requiere mucho tiempo, del orden de horas, dependiendo de la complejidad de la estructura de la disposición. Por ello, aún no hay una solución adecuada para modelizar el ruido de acoplamiento del sustrato para aplicaciones de automoción.

55

En 2010, se ha propuesto un novedoso modelo metodológico para tener en cuenta la propagación de portadores minoritarios dentro de simuladores de circuitos. Consiste en la representación del sustrato con una red parasitaria equivalente de diodos y resistencias. Esto permite seguir el ruido de acoplamiento del sustrato para una disposición general del circuito.

60

65

En Hao Zou et ál. "Substrate noise modeling with dedicated CAD framework for smart power ICs", 2015 IEEE International Symposium on Circuits and Systems (ISCAS), 1 de mayo de 2015, páginas 1554-1557 y en Hao Zou et ál. "A novel CAD framework for substrate modelling", The Institute of Electrical and Electronics Engineers, Inc. Conference Proceedings, 1 de junio de 2014, página 1, los presentes inventores han divulgado un método para extraer un circuito equivalente basándose en el mallado en 3D de la disposición de diseño. Sin embargo, hay aún un problema en la generación de la red equivalente que modelice con precisión el comportamiento del sustrato, siendo la red tan simple como sea posible para reducir la carga de cálculo de la simulación eléctrica.

Sumario

Por lo tanto, la intención del método propuesto es obtener automáticamente una red eléctrica que modelice con precisión los efectos parasitarios en el sustrato del circuito integrado estudiado.

En una primera realización, se divulga un método para la generación de un circuito eléctrico que comprende al menos una red de diodos, resistencias y/o homouniones de acuerdo con la reivindicación 1.

Ventajosamente, el método permite obtener automáticamente un circuito electrónico que modeliza los efectos parasitarios en el sustrato del circuito integrado estudiado. Adicionalmente, el uso de dos técnicas diferentes de partición para regiones internas y regiones externas permite minimizar el número de componentes parasitarios en el circuito electrónico final. En consecuencia, las simulaciones que siguen son mucho más eficientes.

La presente realización puede comprender otras características, solas o en combinación, tales como:

- las disposiciones de capas de máscaras usadas para generar la disposición en 3D simplificada comprende al menos las capas de sustrato dopadas y las capas de contacto dopadas;
- se aplica un conjunto de coordenadas xyz sobre la disposición 3D simplificada, en la que las coordenadas x e y definen planos horizontales y la coordenada z define la profundidad del circuito integrado;
- la matriz en 3D de la región interna se calcula mediante:
 - escaneado de las capas de máscara para hallar y recolectar puntos de esquina de cambio en el tipo de dopado o la concentración del dopado;
 - aplanado de los puntos de esquina a coordenadas xy de modo que se construye un teselado rectangular horizontal en el que cada punto de esquina es una esquina de al menos un rectángulo;
 - la construcción de capas de cuboides rectangulares mediante la proyección del teselado rectangular sobre el eje z, correspondiendo la profundidad de cada capa a la profundidad de al menos un punto de esquina;
- las regiones internas se definen mediante:
 - escanear y detectar el área más externa de cada una de las regiones internas;
 - recoger los puntos de esquina inferior izquierda y superior derecha de cada una de las regiones internas;
 - definir un cuboide rectangular con dichos puntos de esquina inferior izquierda y superior derecha como la región interna;
- para la región externa, la malla de cuboides rectangulares se calcula mediante:
 - aplanar los puntos de esquina inferior izquierda y superior derecha de cada región interna sobre un plano xy;
 - construir un teselado rectangular en el que cada punto de esquina es una esquina de al menos una celda rectangular;
 - si una celda rectangular está contenida dentro de una cualquiera de las áreas de la región interna, señalarla como "en región" y no hacer nada;
 - si no, verificar si dicha celda rectangular puede mezclarse con una celda rectangular adyacente para la formación de una celda rectangular mezclada.

En una segunda realización, un medio de almacenamiento de datos digital codifica un programa de instrucciones ejecutables por máquina para realizar el método divulgado en el presente documento anteriormente.

En una tercera realización, se divulga un sistema para la generación de un circuito eléctrico que comprende al menos una red de diodos, resistencias y/o homouniones de acuerdo con la reivindicación 6.

Breve descripción de las figuras

Algunas realizaciones de aparatos y/o métodos de acuerdo con realizaciones de la presente invención se describirán ahora, solo a modo de ejemplo, y con referencia a los dibujos adjuntos, en los que:

- La Figura 1 ilustra esquemáticamente disposiciones de capas de máscara de un diodo simple;
- La Figura 2 ilustra el mismo diodo en una vista en 3D;

- La Figura 3 es un diagrama de flujo de una realización del método para la generación de un circuito eléctrico;
- Las Figuras 4A a 4F ilustran diferentes etapas de una realización detallada para la creación de una malla de cuboides rectangulares del diodo de las Figuras 1 y 2;
- La Figura 5 es un diagrama de flujo de una realización del método para la generación de una matriz en 3D de una región interna;
- Las Figuras 6A a 6G ilustran diferentes etapas de una realización detallada para la creación de una malla de una región externa;

En una segunda realización, un medio de almacenamiento de datos digital codifica un programa de instrucciones ejecutables por máquina para realizar el método divulgado en el presente documento anteriormente.

En una tercera realización, un sistema para la generación de un circuito eléctrico que comprende al menos una red de diodos, resistencias y/o homouniones, modelizando dicho circuito eléctrico los efectos parasitarios en un sustrato de un circuito integrado que comprende dispositivos electrónicos, siendo definido dicho circuito integrado por una serie de disposiciones de capas de máscara y archivos de reglas tecnológicas, comprende:

- un generador de una disposición en 3D simplificada de dicho circuito integrado a partir del conjunto de disposiciones de capas de máscara y del archivo de reglas tecnológicas solamente mediante el uso de capas de máscaras asociadas a las capas tecnológicas implicadas en los efectos parasitarios;
- medios para definir en la disposición en 3D simplificada una pluralidad de regiones internas, correspondiendo cada región interna a un dispositivo electrónico del circuito integrado y una región externa que corresponde a la parte de la disposición en 3D simplificada no incluida en ninguna región interna;
- un ordenador para calcular en paralelo e independientemente:
 - para cada región interna, una matriz en 3D de cuboides rectangulares adyacentes, de modo que hay un límite entre al menos dos cuboides rectangulares adyacentes en donde hay un cambio de tipo de dopado o donde hay un cambio de la concentración del dopado en la disposición simplificada;
 - para la región externa, una malla de cuboides rectangulares adyacentes sin solapes y sin espacios;
- un extractor del componente parasitario con dos terminales entre cada par de cuboides adyacentes, estando posicionado cada terminal en el centro de uno de los dos cuboides adyacentes, de modo que:
 - si los dos cuboides adyacentes tienen dos tipos de dopado diferente, definir el componente parasitario como un diodo; o
 - si los dos cuboides adyacentes tienen el mismo tipo de dopado con la misma concentración de dopado, definir el componente parasitario como una resistencia; o
 - si los dos cuboides adyacentes tienen el mismo tipo de dopado y diferentes concentraciones, definir el componente parasitario como una homounión; y
 - definir las características eléctricas de cada componente parasitario basándose en la geometría de los cuboides adyacentes y de los parámetros tecnológicos; y
- un generador de la red de todos los componentes parasitarios extraídos en un circuito eléctrico mediante la consideración de cada centro de cuboide rectangular como un nodo de la red de componentes parasitarios.

Breve descripción de las figuras

Algunas realizaciones de aparatos y/o métodos de acuerdo con realizaciones de la presente invención se describirán ahora, solo a modo de ejemplo, y con referencia a los dibujos adjuntos, en los que:

- La Figura 1 ilustra esquemáticamente disposiciones de capas de máscara de un diodo simple;
- La Figura 2 ilustra el mismo diodo en una vista en 3D;
- La Figura 3 es un diagrama de flujo de una realización del método para la generación de un circuito eléctrico;
- Las Figuras 4A a 4F ilustran diferentes etapas de una realización detallada para la creación de una malla de cuboides rectangulares del diodo de las Figuras 1 y 2;
- La Figura 5 es un diagrama de flujo de una realización del método para la generación de una matriz en 3D de una región interna;
- Las Figuras 6A a 6G ilustran diferentes etapas de una realización detallada para la creación de una malla de una región externa;
- La Figura 7 es un diagrama de flujo de una realización del método para la generación de una malla de una región externa;
- Las Figuras 8A y 8B ilustran el mecanismo de esta acción de componentes de la matriz en 3D construida en las Figuras 4A a 4D; y
- La Figura 9 ilustra esquemáticamente las características de cuboides adyacentes para la definición del parámetro eléctrico del componente parasitario asociado.

Descripción de realizaciones

5 Durante la fase de diseño, un circuito integrado se define mediante una serie de disposiciones de capas de máscara y un archivo de reglas tecnológicas. Cada disposición de capa de máscara es un dibujo en 3D que define la geometría de una máscara litográfica de un proceso de fabricación microelectrónico definido. Por ejemplo, hay una máscara para una capa de polisilicio, otra máscara para una capa de contactos, etc. Durante el dibujo de estas capas de máscara, se imponen reglas geométricas específicas asociadas con una tecnología dada para obtener un apilado coherente de las capas.

10 El archivo de reglas tecnológicas contiene las reglas geométricas, reglas de proceso tales como el grosor de una capa dada y también reglas eléctricas tales como la resistividad por cuadrado de una capa dada.

15 La Figura 1 representa un extracto del conjunto de disposiciones de capas de máscara que representan un diodo simple. El área 1 es el área de contacto de un pozo N 3 que se encierra por un sustrato P 5 que tiene un área de contacto 7.

La Figura 2 representa el mismo diodo en una vista en pseudo 3D para mostrar el grosor relativo de cada capa.

20 Dado que la intención de la realización divulgada es modelizar los efectos parasitarios en un sustrato de un circuito integrado, Figura 3, solo se consideran las capas de máscara asociadas a las capas tecnológicas implicadas en los efectos parasitarios, etapa 11. Por ejemplo, se consideran las capas de contacto y las capas de dopado pero no las capas metálicas usadas para conectar los diferentes componentes electrónicos. En el ejemplo del diodo, las capas consideradas son la capa del pozo N y las capas P+ y N+ del área de contacto. Estas capas se denominan capas de contribución.

25 A partir del conjunto considerado de disposiciones de capas de máscara y del archivo de reglas tecnológicas, se genera una disposición en 3D simplificada similar a la Figura 2, etapa 13.

30 En la etapa 15, en la disposición simplificada en 3D, se define una pluralidad de regiones internas. Cada región interna corresponde a un dispositivo electrónico del circuito integrado. Y también se define una región externa que corresponde a la parte de la disposición en 3D simplificada no incluida en cualquier región interna. La región externa es por ello la región complementaria de todas las regiones internas en la disposición en 3D.

35 A continuación, en paralelo e independientemente,

- para cada región interna, se calcula una matriz en 3D de cuboides rectangulares adyacentes, etapa 17, de modo que hay un límite entre al menos dos cuboides rectangulares adyacentes en el que hay un cambio de tipo de dopado o donde hay un cambio de la concentración de dopado en la disposición simplificada;
- para la región externa, se calcula una malla de cuboides rectangulares adyacentes sin solapes y sin espacios, etapa 19.

Para ambos tipos de regiones, hay unas reglas comunes para la construcción de la matriz en 3D o la malla:

- El bloque de construcción básico es un cuboide rectangular, es decir un cuboide que tiene 6 caras y todos los ángulos son ángulos rectos y las caras opuestas de un cuboide son iguales;
- Un cuboide rectangular contiene solo un tipo de capa, es decir el mismo tipo de dopado y la misma concentración del dopado;
- Una consecuencia de la regla anterior es que la interfaz entre dos tipos de dopados, por ejemplo, corresponde a caras de cuboides.
- Los cuboides definen una partición de cada región en el sentido matemático de una partición de un conjunto: cada elemento de una región está en exactamente uno de estos cuboides; y
- Dos cuboides se dicen adyacentes cuando tienen una cara en común.

55 Realizaciones detalladas de las etapas 17 y 19 se divulgan después de la descripción general de la presente realización.

En la etapa 21, se extrae un componente parasitario con dos terminales para cada par de cuboides adyacentes, estando posicionado cada terminal en el centro de uno de los dos cuboides adyacentes, de modo que:

- si los dos cuboides adyacentes tienen dos tipos de dopado diferentes, el componente parasitario es un diodo; o
- si los dos cuboides adyacentes tienen el mismo tipo de dopado con la misma concentración de dopado, el componente parasitario es una resistencia; o
- si los dos cuboides adyacentes tienen el mismo tipo de dopado y diferentes concentraciones, el componente parasitario es una homounión.

65

Quando el componente parasitario es un diodo, la orientación del diodo se define por el tipo de dopado de cada cuboide.

5 Una homounión se define en este caso solamente como una interfaz de semiconductores que tiene lugar entre capas de un material semiconductor similar que tienen el mismo tipo de dopado, o bien de tipo N o bien de tipo P, pero con diferente nivel de dopado.

10 En la etapa 23, se calculan las características eléctricas de cada componente parasitario basándose en la geometría de los cuboides adyacentes y los parámetros tecnológicos.

Por ejemplo, el valor de una resistencia será el producto de la distancia entre los centros de los dos cuboides por la resistividad de la capa considerada.

15 En la etapa 25, todos los componentes parasitarios extraídos se conectan en un circuito eléctrico mediante la consideración de cada centro de cuboide rectangular como un nodo de la red de componentes parasitarios.

El circuito eléctrico está entonces listo para ser introducido en un simulador eléctrico tal como SPICE para analizar su comportamiento eléctrico y particularmente el impacto de los efectos parasitarios del sustrato.

20 En las realizaciones siguientes, se define un sistema de coordenadas xyz en el que xy definen un plano paralelo a la superficie del circuito integrado y z define su profundidad.

Se divulga ahora una estrategia de mallado interno detallado correspondiente a la etapa 17, Figuras 4A a 4F y Figura 5.

25 El mecanismo de mallado interno se basa en la recogida de puntos de esquina de contribución. Las etapas principales son:

- 30 • Recolección de los puntos de contribución: mediante el escaneado de las capas de contribución, el motor de extracción halla y recolecta, etapa 31, automáticamente los puntos de esquina de formas geométricas tal como se representa en la Figura 4A. Por ejemplo, el punto derecho superior UR_R1 y el punto izquierdo inferior LL_R1 del rectángulo 1.
- 35 • Aplanado de los puntos de esquina a la matriz de coordenadas de la malla xy: la Figura 4B muestra que estas coordenadas se proyectan, etapa 33, sobre un plano xy en 2D, es decir la coordenada z se fija temporalmente a 0, correspondiente a la superficie superior. A continuación, Figura 4C, se añade la capa de contacto, etapa 35. Las coordenadas de malla de la capa de contacto se calculan de modo que la línea de contacto esté sobre una mediana del rectángulo asociado.
- 40 • Cada coordenada x extraída se combina, etapa 37, con cada coordenada y extraída para representar un punto de la malla. En el ejemplo, significa la generación de 36 puntos de malla, Figura 4D.
- 45 • Cada 4 puntos de malla adyacentes construyen, etapa 39, una celda de malla rectangular y dos diagonales de ellas representan el tamaño geométrico de la celda de malla. Por ejemplo, Figura 4E, el rectángulo izquierdo superior se representa por las coordenadas (x0, y4) y (x1, y5).
- A continuación cada rectángulo se numera consecutivamente, etapa 41, desde el rectángulo superior izquierdo al rectángulo inferior derecho, fila por fila, Figura 4F.
- A continuación se tienen en cuenta las coordenadas z para generar la matriz en 3D, etapa 43. El número de capas de cuboide y el grosor de cada capa de cuboides se define por las diferentes coordenadas z de los puntos de esquina.

En pseudo código, el algoritmo de mallado para la región interna puede escribirse como:

```

50 Function construcción (puntos de malla: mp)
    Crear una nueva matriz A de tabla de celdas vacías
    Establecer el número de fila r= número de mallaYunica-1
    Establecer número de columna c= número de mallaXunica-1
55 For cada entero desde 1 a r
    Crear una nueva matriz de celdas vacías a
    For cada entero desde 1 a c
        Obtener los nuevos puntos LL y UR a partir de mp
        Crear una nueva celda i con los puntos (LL, UR)
60         Establecer el número de índice de la celda
        Añadir a a la matriz A
    End For
    Añadir a a la matriz A
    End For
65 Devolver la matriz A de la tabla
End Function

```

ES 2 653 800 T3

Se divulga ahora una estrategia de mallado externo detallado correspondiente a la etapa 19, Figuras 6A a 6G y Figura 7.

5 Los puntos de esquina inferior izquierda LL y superior derecho UR de cada región interna se han detectado previamente como se muestra la Figura 4A, etapa 51.

De modo similar a la estrategia de mallado interno divulgada en el presente documento anteriormente, los puntos de esquina LL y UR de las regiones internas se proyectan sobre una plano de coordenadas de malla xy, que constituye una matriz de coordenadas de malla xy, etapa 53.

10 A partir de esta matriz, y en un proceso similar al proceso de generación de las Figuras 4D y 4E, se generan todos los puntos de malla, etapa 55, y las celdas de malla, etapa 57.

15 A continuación, se escanean todas las celdas de malla para verificar si la celda de malla está contenida dentro de una cualquiera de las áreas de región interna, etapa 59. Si es así, la celda de malla se marca como "En región" y no se construirá. En caso contrario, cada celda de malla se analiza para determinar si puede mezclarse con celdas adyacentes, etapa 61.

20 Si es posible mezclar dos celdas adyacentes, se crea una nueva celda, etapa 63 mediante la mezcla de dos celdas adyacentes y la nueva celda se marca como "está mezclada" y contiene la información sintetizada de ambas celdas.

Las Figuras 6D a 6F ilustran el mecanismo de mezcla y la Figura 6G ilustra las técnicas de numeración y marcado.

25 En pseudo código, el algoritmo de mallado de la región externa puede escribirse como:

```
Function construcción (puntos de malla: mp)
  Crear una nueva matriz A de tabla de celdas vacías
  Establecer el número de fila r= número de regionYunica-1
  Establecer número de columna c= número de regionXunica-1
30  For cada entero desde 1 a r
      Crear una nueva matriz de celdas vacías a
      For cada entero desde 1 a c
          Obtener nuevos puntos LL y UR a partir de mp
          Crear una nueva celda i por los puntos (LL, UR)
35          Verificar si la celda está dentro de regiones internas
          If si la celda hasta dentro de una región interna
              Establecer el estado de la celda a está en Región
          End If
          Verificar que se valida el lado izquierdo de la celda
          Verificar que se valida el lado derecho de la celda
40          Verificar que se valida el lado superior de la celda
          Verificar que se valida el lado inferior de la celda
          If si no se validan los 4 lados
              Establecer el estado de la celda a esta mezclada
45          End If
          Establecer el número de índice de la celda
          Añadiendo i a la matriz a
      End For
      Añadir a a la matriz A
50  End For
  Devolver la matriz A de la tabla
End Function
```

55 Las Figuras 8A y 8B ilustran el mecanismo de extracción de componentes sobre la matriz en 3D construida en las Figuras 4A a 4D.

En la matriz en 3D, para cada cuboide, se consideran cuboides adyacentes laterales y cuboides adyacentes verticales para definir las contribuciones horizontales y verticales del cuboide, siendo el cuboide un nodo de la red eléctrica construida.

60 Por ejemplo, en la Figura 8A, el cuboide 1 tiene dos cuboides adyacentes numerados 2 (a la derecha) y 6 (en la parte inferior).

65 En la contribución vertical, mediante la construcción de la matriz en 3D, cada cuboide tiene solo un cuboide adyacente como se muestra en la Figura 8B.

En una vista en 3D, Figura 9, un cuboide tiene longitud, ancho y profundidad. Por lo tanto, cada cuboide representa un espacio específico del sustrato y contiene tres tipos de información: tecnológica (tipo de dopado), geométrica (ancho, longitud y profundidad) y algorítmica (posición dentro de la red de la malla en 3D).

- 5 Las siguientes líneas ilustran el algoritmo de extracción de componentes del sustrato de las regiones interna y externa.

```

Function extraer_interna (matriz en tabla de celdas: A)
  For cada entero desde 1 a r
10     Obtener la matriz de celdas a en esta fila desde A
        For cada entero desde 1 a c
            Obtener la celda i en esta columna
            If la celda i tiene una celda contigua derecha
15                Obtener la celda contigua j en c+1
                    If i y j son del mismo material
                        Crear resistencia parasitaria
                    Else if si una de ellas está dentro del TRENCH
                        Crear un condensador
20                Else if ambas están dentro del TRENCH
                    Crear una resistencia dentro del TRENCH
                Else if no son la misma
                    Crear un diodo parasitario
                End If
            End If
25        If la celda i tiene una celda contigua inferior
            Obtener la celda contigua k en r+1
            ... (Similar a la celda contigua derecha)
        End If
    End For
30 End For
End Function

Function extraer_externa (matriz en tabla de celdas: A)
35 For cada entero desde 1 a r
    Obtener la matriz de celdas a en esta fila desde A
    For cada entero desde 1 a c
        Obtener la celda i en esta columna
        If la celda i tiene una celda contigua derecha
40            Obtener la celda contigua j
                If ni i ni j están en la región interna
                    Crear un componente del sustrato
                Else if una de las celdas contiguas no está dentro de
                    regiones internas
45                    Obtener puntos recolectados en este límite
                        Cálculo geométrico de estos puntos
                        For número de puntos-1
                            Crear un componente de límite de región
                        End For
                    Else if ambas celdas contiguas están dentro de regiones
50                    internas
                        No se crea ninguno de los componentes
                    End If
                End If
            If la celda i tiene una celda contigua inferior
55                ... (Similar a la celda contigua derecha)
            End If
        End For
    End For
60 End Function

```

65 Un experto en la materia fácilmente reconocerá que las etapas de los diversos métodos anteriormente descritos pueden realizarse mediante ordenadores programados. En el presente documento, algunas realizaciones también se pretende que cubran dispositivos de almacenamiento de programas, por ejemplo, medios de almacenamiento de datos digitales, que son legibles por máquina u ordenador y que codifican programas de instrucciones ejecutables por máquina o ejecutables por ordenador, en los que dichas instrucciones realizan algunas o todas las etapas de dichos métodos anteriormente descritos. Los dispositivos de almacenamiento de programas pueden ser, por ejemplo, memorias digitales, medios de almacenamiento magnético tales como discos magnéticos y cintas

magnéticas, discos duros, o medios de almacenamiento de datos digitales ópticamente legibles. Las realizaciones también se pretende que cubran ordenadores programados para realizar dichas etapas de los métodos anteriormente descritos.

5 Las funciones de los diversos elementos mostrados en las figuras, incluyendo cualesquiera bloques funcionales etiquetados como "procesadores", pueden proporcionarse por medio del uso de hardware dedicado así como por hardware capaz de ejecutar software en asociación con el software apropiado. Cuando se proporciona mediante un procesador, las funciones pueden proporcionarse mediante un procesador dedicado único, mediante un procesador compartido único, o mediante una pluralidad de procesadores individuales, algunos de los cuales pueden
 10 compartirse. Más aún, el uso explícito del término "procesador" o "controlador" no debería interpretarse que se refiere exclusivamente a hardware capaz de ejecutar software, y puede incluir implícitamente, sin limitación, hardware de procesadores de señal digital (DSP), procesadores en red, circuitos integrados de aplicación específica (ASIC), matrices de puertas programables en campo (FPGA), memoria solo de lectura (ROM) para almacenamiento de software, memoria de acceso aleatorio (RAM), y almacenamiento no volátil. Puede incluirse también otro
 15 hardware, convencional y/o personalizado. De modo similar, cualesquiera enrutadores mostrados en las figuras son solamente conceptuales. Su función puede llevarse a cabo a través de la operación de lógica de programa, a través de lógica dedicada, a través de la interacción de control de programa y lógica dedicada, o incluso manualmente, siendo seleccionada la técnica particular por el implementador tal como se entiende más específicamente a partir del contexto.

20 Debería apreciarse por los expertos en la materia que cualesquiera diagramas de bloque representan vistas conceptuales de circuitos ilustrativos que realizan los principios de la invención. De modo similar, se apreciará que cualesquiera gráficos de flujo, diagramas de flujo, diagramas de transición de estado, pseudo código, y similares representan diversos procesos que pueden representarse sustancialmente en un medio legible por ordenador y ejecutarse de ese modo por un ordenador o procesador, tanto si se muestra como si no explícitamente dicho
 25 ordenador o procesador.

Para concebir diversas disposiciones que, aunque no se describen o muestran explícitamente en el presente documento, realizan los principios de la invención y se incluyen dentro del espíritu y alcance. Adicionalmente, todos
 30 los ejemplos enumerados en el presente documento están dirigidos principalmente de modo expreso a estar solamente por razones pedagógicas para ayudar al lector a la comprensión de los principios de la invención y de los conceptos contribuidos por el (los) inventor(es) para impulsar la técnica, y han de interpretarse como que no se limitan a dichos ejemplos y condiciones específicamente enumerados. Más aún, todas las declaraciones del presente documento que enumeran principios, aspectos y realizaciones de la invención, así como ejemplos
 35 específicos de la misma, están dirigidos a englobar los equivalentes de las mismas.

REIVINDICACIONES

1. Método para la generación de un circuito eléctrico que comprende al menos una red de diodos, resistencias y/o homouniones, modelizando los efectos parasitarios de un sustrato de un circuito integrado que comprende dispositivos electrónicos, siendo definido dicho circuito integrado por un conjunto de disposiciones de capas de máscara y un archivo de reglas tecnológicas, comprendiendo el método:

- generar (13) una disposición en 3D simplificada de dicho circuito integrado a partir del conjunto de disposiciones de capas de máscara y del archivo de reglas tecnológicas solamente mediante el uso de capas de máscaras asociadas a las capas tecnológicas implicadas en los efectos parasitarios;

- definir (15) en la disposición en 3D simplificada una pluralidad de regiones internas, correspondiendo cada región interna a un dispositivo electrónico del circuito integrado y una región externa que corresponde a la parte de la disposición en 3D simplificada no incluida en ninguna región interna;

- calcular (17, 19) en paralelo e independientemente:

- para cada región interna, una matriz en 3D de cuboides rectangulares adyacentes, de modo que hay un límite entre al menos dos cuboides rectangulares adyacentes en donde hay un cambio de tipo de dopado o donde hay un cambio de la concentración del dopado en la disposición simplificada;
- para la región externa, una malla de cuboides rectangulares adyacentes sin solapes y sin espacios;

- extraer (21) un componente parasitario con dos terminales entre cada par de cuboides adyacentes, estando posicionado cada terminal en el centro de uno de los dos cuboides adyacentes, de modo que:

- si los dos cuboides adyacentes tienen dos tipos de dopado diferente, el componente parasitario se define como un diodo; y

- si los dos cuboides adyacentes tienen el mismo tipo de dopado con la misma concentración de dopado, el componente parasitario se define como una resistencia; y

- si los dos cuboides adyacentes tienen el mismo tipo de dopado y diferentes concentraciones, el componente parasitario se define como una homounión; y

- definir (23) las características eléctricas de cada componente parasitario basándose en la geometría de los cuboides adyacentes y de los parámetros tecnológicos; y

- conectar (25) todos los componentes parasitarios extraídos en un circuito eléctrico mediante la consideración de cada centro de cuboide rectangular como un nodo de la red de componentes parasitarios.

caracterizado por que se aplica un conjunto de coordenadas xyz sobre la disposición 3D simplificada, en la que las coordenadas x e y definen planos horizontales y la coordenada z define la profundidad del circuito integrado y la matriz en 3D de la región interna se calcula mediante:

- escanear (31) las capas de máscara para hallar y recolectar puntos de esquina de cambio en el tipo de dopado o la concentración del dopado;

- aplanar (33) los puntos de esquina a coordenadas xy de modo que se construye (35, 37, 39) un teselado rectangular horizontal en el que cada punto de esquina es una esquina de al menos un rectángulo;

- construir (43) capas de cuboides rectangulares mediante la proyección del teselado rectangular sobre el eje z, correspondiendo la profundidad de cada capa a la profundidad de al menos un punto de esquina.

2. Método de acuerdo con la reivindicación 1, en el que las disposiciones de capas de máscara usadas para generar la disposición en 3D simplificada comprende al menos las capas de sustrato dopadas y las capas de contacto dopadas.

3. Método de acuerdo con la reivindicación 1, en el que las regiones internas se definen por:

- escanear y detectar el área más externa de cada una de las regiones internas;

- recoger los puntos de esquina inferior izquierda y superior derecha de cada una de las regiones internas;

- definir un cuboide rectangular con dichos puntos de esquina inferior izquierda y superior derecha como la región interna.

4. Método de acuerdo con la reivindicación 3, en el que, para la región externa, la malla de cuboides rectangulares se calcula mediante:

- aplanar (53) los puntos de esquina inferior izquierda y superior derecha de cada región interna sobre un plano xy;

- construir (55, 57) un teselado rectangular en el que cada punto de esquina es una esquina de al menos una celda rectangular;

- si una celda rectangular está contenida (59) dentro de una cualquiera de las áreas de la región interna, señalarla como "En región" y no hacer nada;
- si no, verificar (61) si dicha celda rectangular puede mezclarse con una celda rectangular adyacente para la formación de una celda rectangular mezclada.

5 5. Un medio de almacenamiento de datos digitales que codifica un programa de instrucciones ejecutables por máquina para realizar un método de acuerdo con una cualquiera de las reivindicaciones 1 a 4.

10 6. Sistema para la generación de un circuito eléctrico que comprende al menos una red de diodos, resistencias y/o homouniones, modelizando dicho circuito eléctrico los efectos parasitarios en un sustrato del circuito integrado que comprende dispositivos electrónicos, siendo definido dicho circuito integrado por un conjunto de disposiciones de capas de máscara y un archivo de reglas tecnológicas, comprendiendo el sistema:

- un generador de una disposición en 3D simplificada de dicho circuito integrado a partir del conjunto de disposiciones de capas de máscara y del archivo de reglas tecnológicas solamente mediante el uso de capas de máscaras asociadas a las capas tecnológicas implicadas en los efectos parasitarios;
- medios para definir en la disposición en 3D simplificada una pluralidad de regiones internas, correspondiendo cada región interna a un dispositivo electrónico del circuito integrado y una región externa que corresponde a la parte de la disposición en 3D simplificada no incluida en ninguna región interna;
- un ordenador para calcular en paralelo e independientemente:

- para cada región interna, una matriz en 3D de cuboides rectangulares adyacentes, de modo que hay un límite entre al menos dos cuboides rectangulares adyacentes en donde hay un cambio de tipo de dopado o donde hay un cambio de la concentración del dopado en la disposición simplificada;
- para la región externa, una malla de cuboides rectangulares adyacentes sin solapes y sin espacios;

- un extractor de un componente parasitario con dos terminales entre cada par de cuboides adyacentes, estando posicionado cada terminal en el centro de uno de los dos cuboides adyacentes, de modo que:

- si los dos cuboides adyacentes tienen dos tipos de dopado diferentes, el componente parasitario se define como un diodo; y
- si los dos cuboides adyacentes tienen el mismo tipo de dopado con la misma concentración de dopado, el componente parasitario se define como una resistencia; y
- si los dos cuboides adyacentes tienen el mismo tipo de dopado y diferentes concentraciones, el componente parasitario se define como una homounión; y
- definir las características eléctricas de cada componente parasitario basándose en la geometría de los cuboides adyacentes y de los parámetros tecnológicos; y

40 un generador de red de todos los componentes parasitarios extraídos en un circuito eléctrico mediante la consideración de cada centro de cuboide rectangular como un nodo de la red de componentes parasitarios caracterizado por que dicho ordenador está adaptado para aplicar un conjunto de coordenadas xyz sobre la disposición 3D simplificada, en la que las coordenadas x e y definen planos horizontales y la coordenada z define la profundidad del circuito integrado y para calcular la matriz en 3D de la región interna mediante:

- escanear las capas de máscara para hallar y recolectar puntos de esquina de cambio en el tipo de dopado o la concentración del dopado;
- aplanar los puntos de esquina a coordenadas xy de modo que se construye un teselado rectangular horizontal en el que cada punto de esquina es una esquina de al menos un rectángulo;
- construir capas de cuboides rectangulares mediante la proyección del teselado rectangular sobre el eje z, correspondiendo la profundidad de cada capa a la profundidad de al menos un punto de esquina.

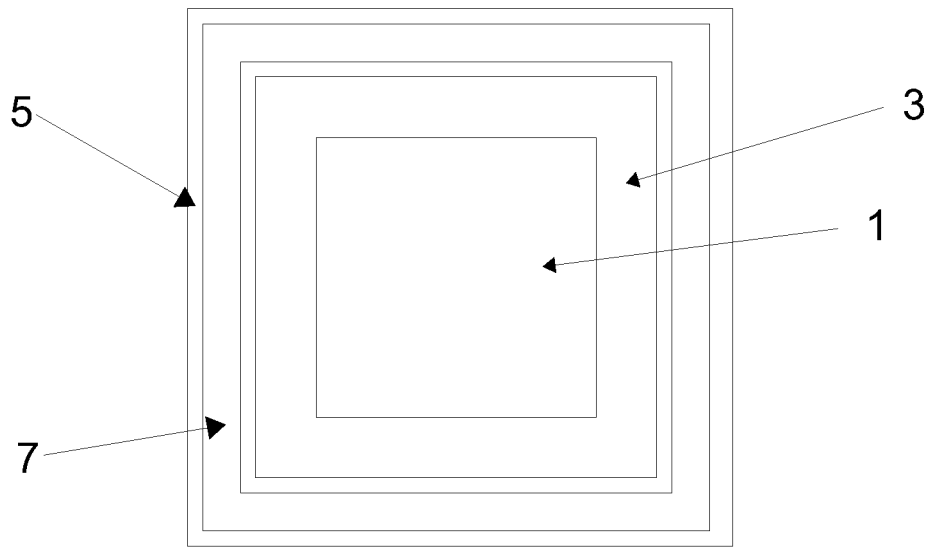


Figura 1

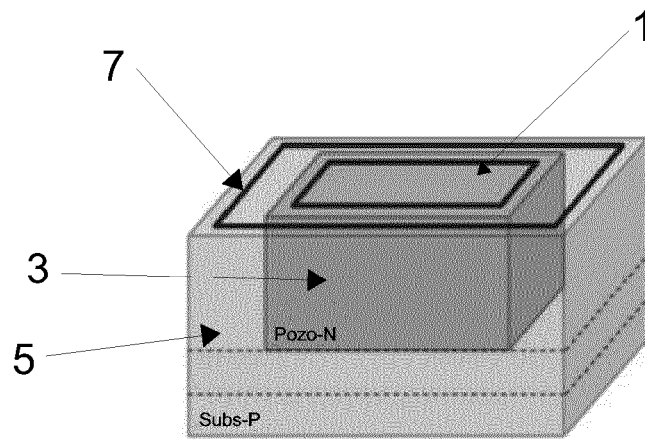


Figura 2

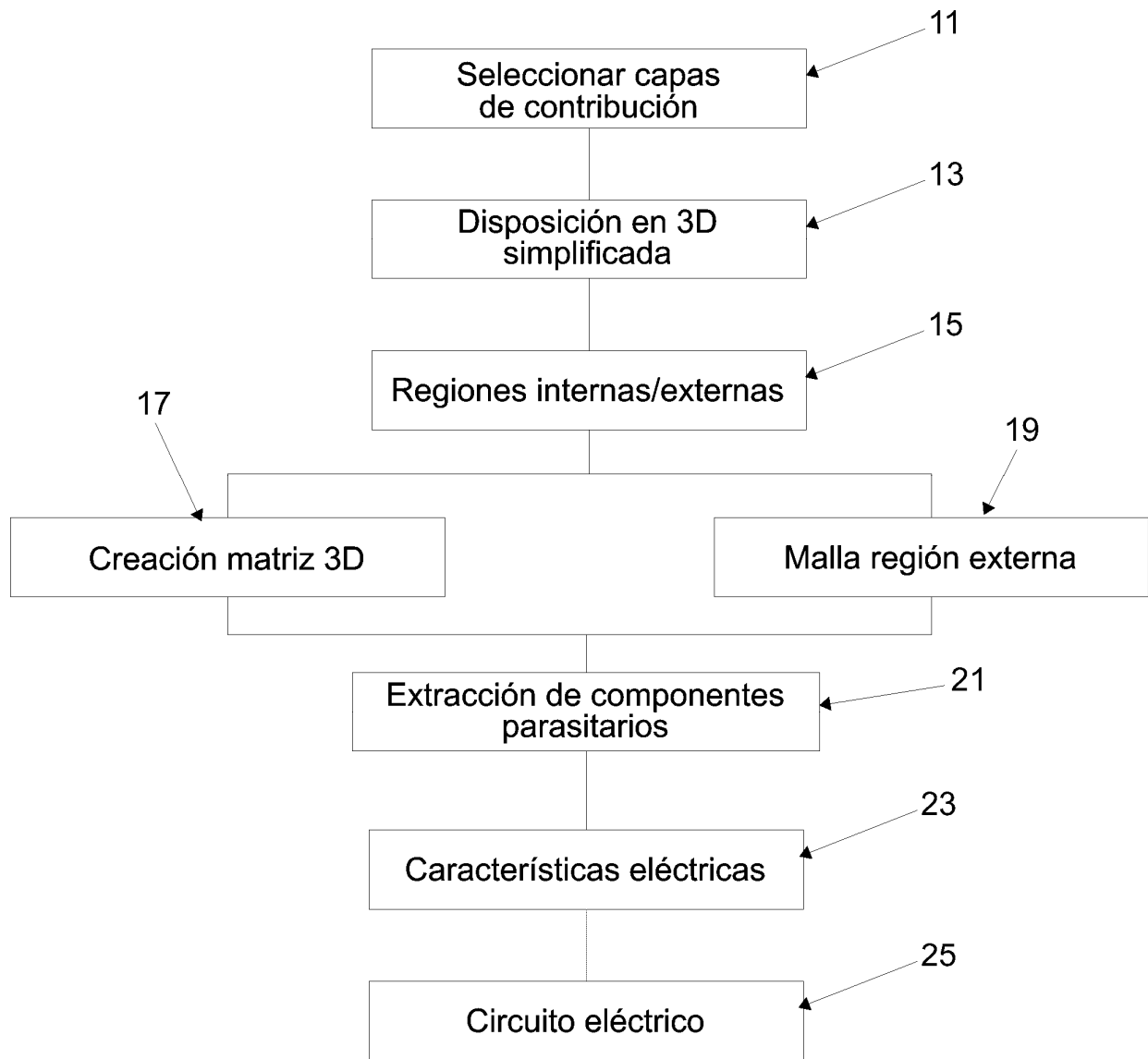


Figura 3

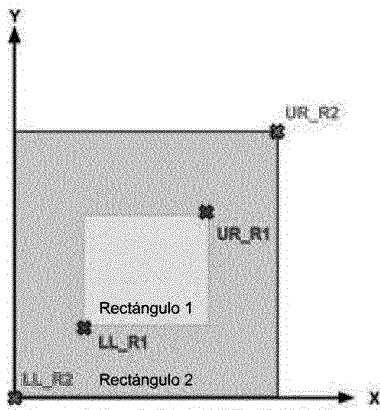


Figura 4A

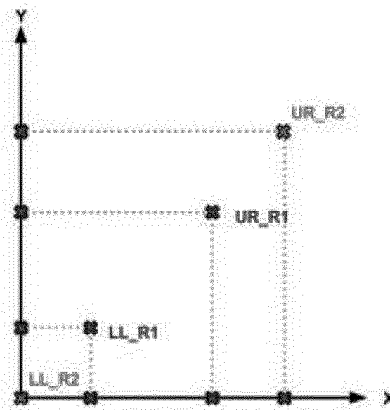


Figura 4B

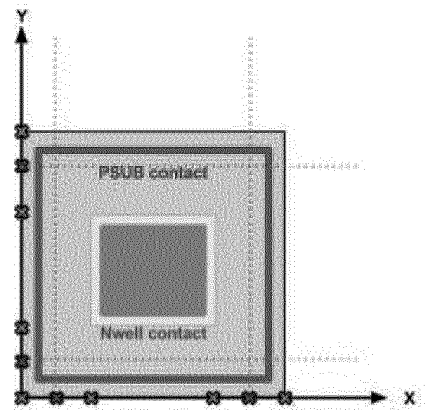


Figura 4C

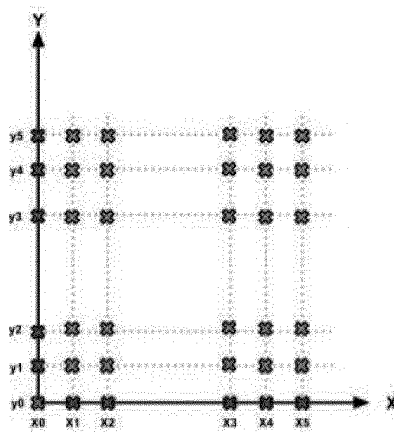


Figura 4D

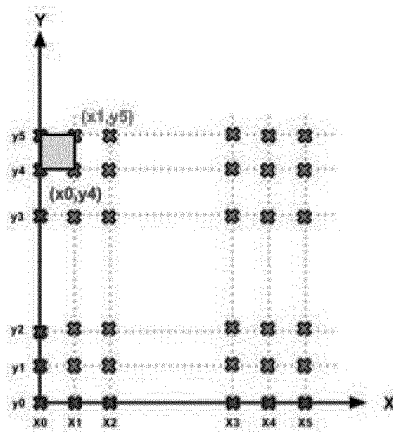


Figura 4E

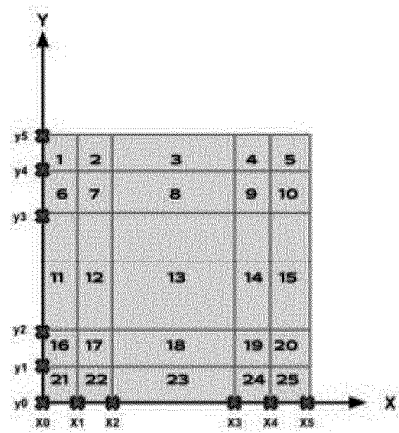


Figura 4F

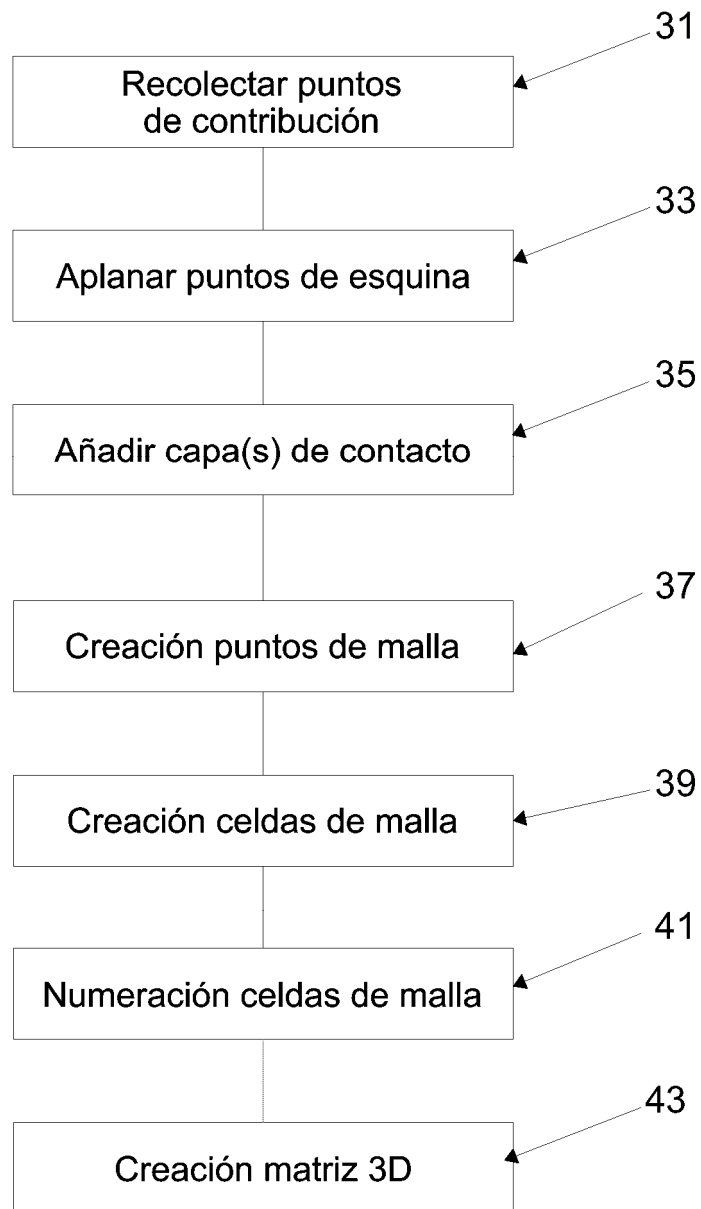


Figura 5

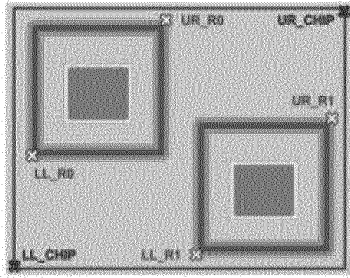


Figura 6A

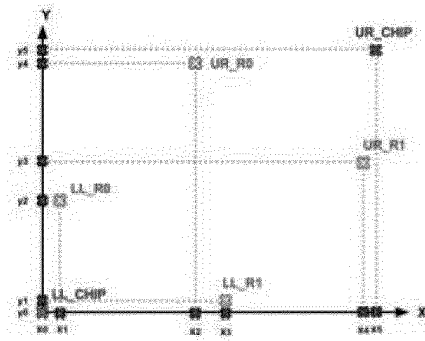


Figura 6B

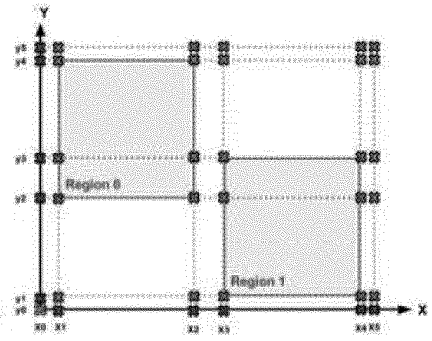


Figura 6C

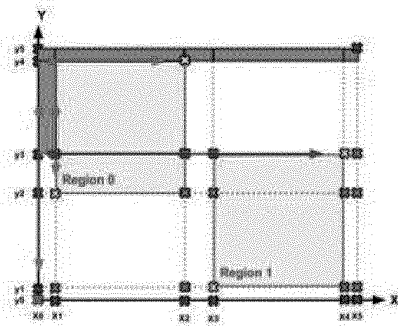


Figura 6D

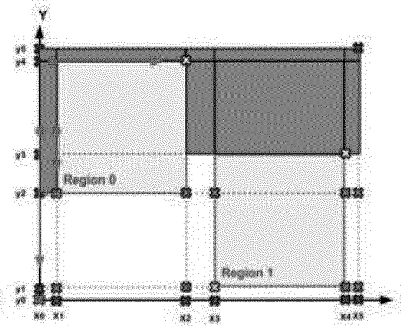


Figura 6E

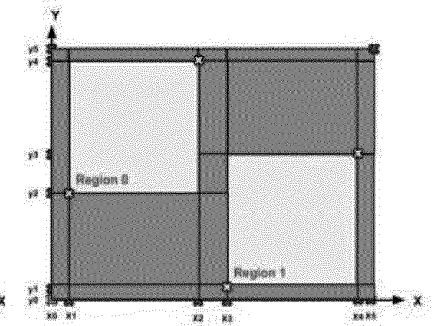


Figura 6F

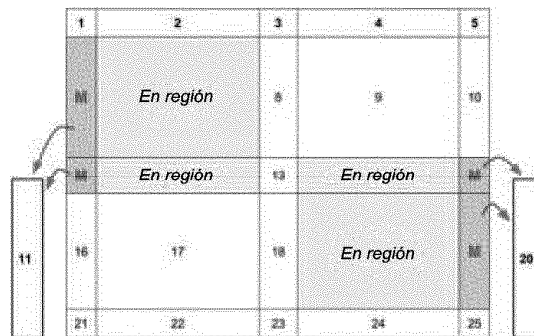


Figura 6G

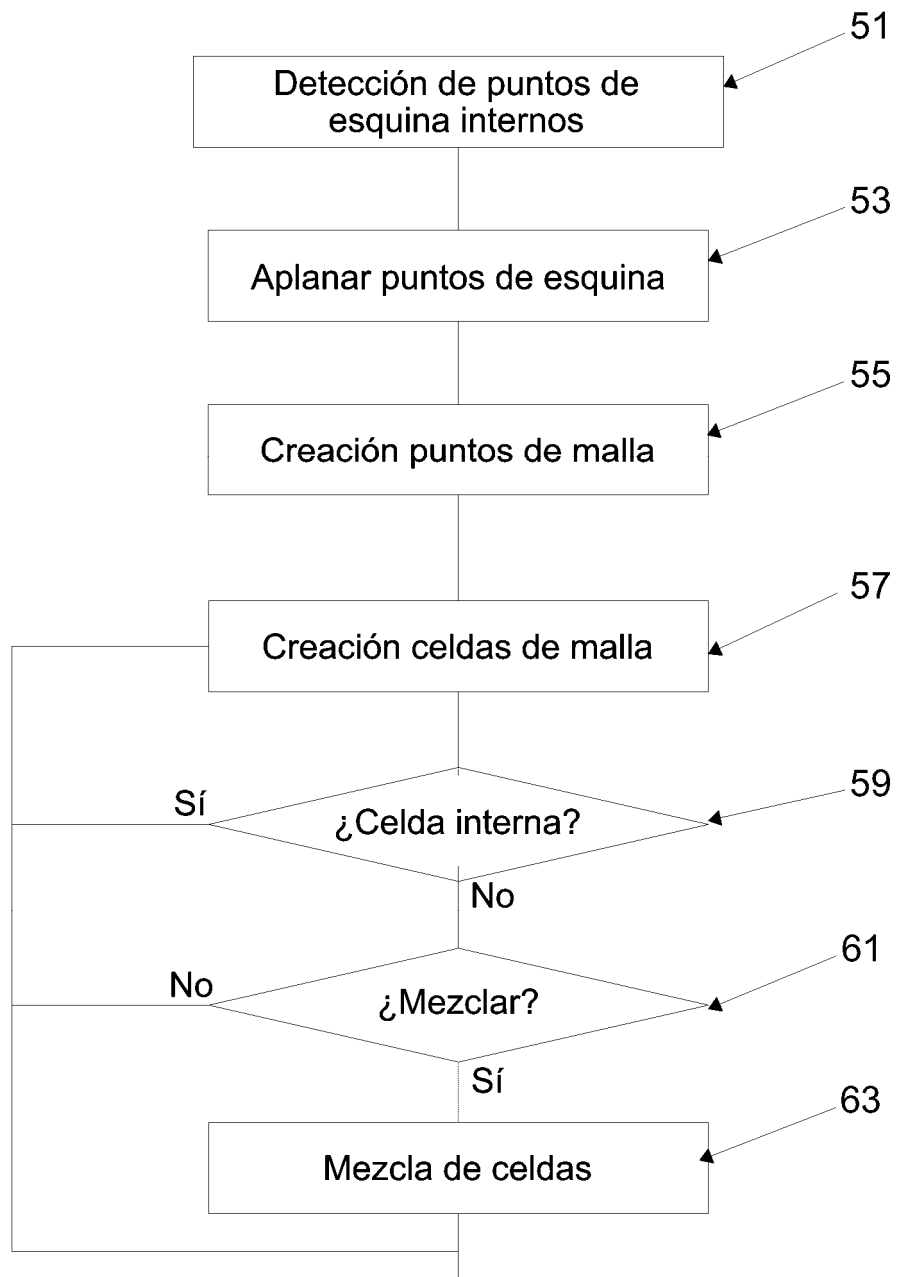


Figura 7

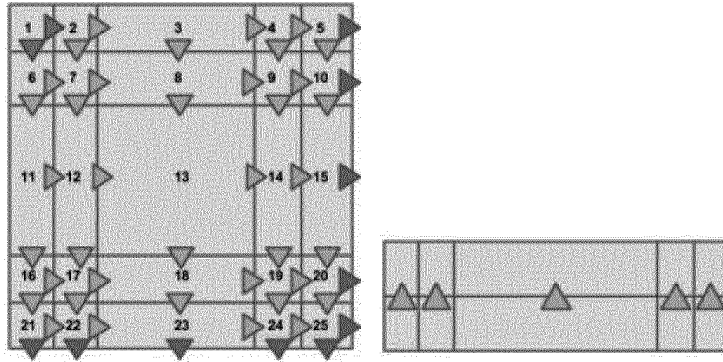


Figura 8A

Figura 8B

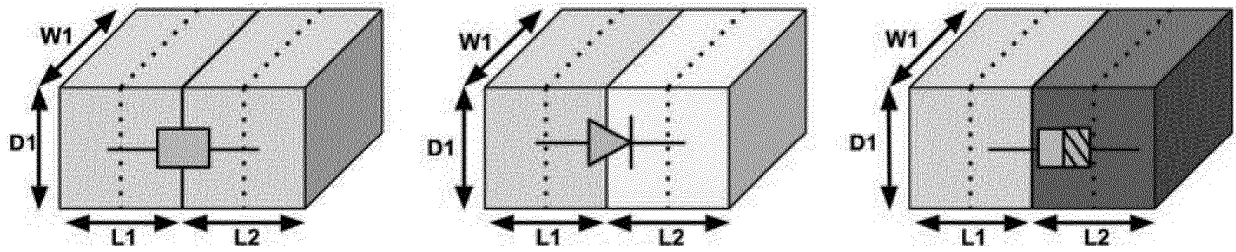


Figura 9