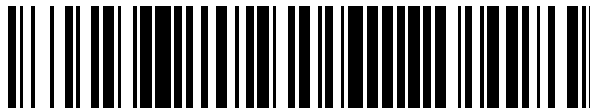


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 655 257**

51 Int. Cl.:

G02F 1/1362 (2006.01)

G09G 3/36 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **03.12.2007 PCT/US2007/086314**

87 Fecha y número de publicación internacional: **12.06.2008 WO08070637**

96 Fecha de presentación y número de la solicitud europea: **03.12.2007 E 07865135 (3)**

97 Fecha y número de publicación de la concesión europea: **11.10.2017 EP 2102848**

54 Título: **Pantalla de matriz activa de baja potencia**

30 Prioridad:

01.12.2006 US 868250 P

09.01.2007 US 884155 P

06.03.2007 US 893336 P

14.03.2007 US 894883 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

19.02.2018

73 Titular/es:

SES-IMAGOTAG (100.0%)

55 Place Nelson Mandela

92000 Nanterre, FR

72 Inventor/es:

NEUGEBAUER, CHARLES F. y

WAGNER, GARY L.

74 Agente/Representante:

CURELL AGUILÁ, Mireia

ES 2 655 257 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Pantalla de matriz activa de baja potencia.

5 **Campo**

La divulgación se refiere a pantallas de matriz activa de baja potencia de sensor.

10 **Información de antecedentes**

10

Las pantallas de baja potencia son componentes de sistema esenciales de la mayor parte de los dispositivos electrónicos móviles. Con frecuencia, el subsistema de pantalla es uno de los mayores consumidores de potencia de batería así como uno de los componentes más costosos en muchos de estos dispositivos. La industria de las pantallas ha hecho progresos continuos mejorando el rendimiento visual, el consumo de energía y el coste a través de innovaciones de arquitectura de sistema y dispositivo. Sin embargo, existe una clase de aplicaciones importantes que requieren mejoras significativas adicionales en potencia y coste para pasar a ser técnicamente factibles y económicamente viables.

15

20

La tecnología de pantalla dominante para dispositivos móviles, monitores de ordenador y televisores de panel plano actualmente es cristal líquido de transistor de película delgada de silicio amorfo hidrogenado (TFT de a-Si:H), también conocido generalmente como tecnología LCD de matriz activa. Las tecnologías de fabricación avanzada soportan un motor de producción mundial altamente eficiente con capacidad del orden de decenas de millones de metros cuadrados de pantallas de panel plano al año. Hoy en día, la arquitectura de sistema más frecuente consiste en una distribución simple de píxeles de TFT en un panel de vidrio que se accionan mediante IC de controlador montados fuera del vidrio. Cada fila y columna de la distribución de píxeles de TFT requiere una clavija de controlador en la disposición de controlador montado fuera del vidrio convencional. Se necesitan miles de clavijas de controlador de alto voltaje incluso para resoluciones de pantalla relativamente bajas. Para módulos de pantalla grandes (por ejemplo, tal como se encuentra en un TV DE LCD con diagonal de 37"), el coste de los IC de controlador como un porcentaje del coste de módulo de pantalla global es relativamente bajo (por ejemplo, el 10%). Para pantallas pequeñas, sin embargo, que requieren cada vez más píxeles de paso fino de alta resolución, el coste de IC de controlador rige el coste de módulo de TFT.

25

30

35

Durante mucho tiempo, una meta de la industria de paneles planos ha sido integrar la electrónica de controlador en el sustrato de panel plano utilizando transistores TFT nativos para sustituir algunas o todas las funciones controladas de manera convencional en los IC de controlador montados fuera del vidrio. Una barrera significativa para la integración de circuitos de controlador es el escaso rendimiento de los dispositivos de TFT de a-Si:H. En comparación con la tecnología CMOS de silicio monogranular, los TFT de a-Si presentan una movilidad eléctrica muy baja que limita la velocidad y la capacidad de acción de los transistores sobre el vidrio. Adicionalmente, los transistores TFT de a-Si pueden acumular desvíos de voltaje umbral grandes y degradaciones de pendiente de subumbral a lo largo del tiempo y sólo puede cumplir requisitos de vida útil de funcionamiento de producto imponiendo restricciones estrictas en el ciclo de trabajo de encendido-apagado y los voltajes de polarización de los transistores. "Electrical Instability of Hydrogenated Amorphous Silicon Thin-Film Transistors for Active-Matrix Liquid-Crystal Displays" y "Effect of Temperature and Illumination on the Instability of a-Si:H Thin-Film Transistors under AC Gate Bias Stress" dan una buena visión general de los desvíos de umbral inducidos por tensión de polarización de puerta y las degradaciones de pendiente de subumbral observados en TFT de a-Si:H.

40

45

50

Cualquier esquema de controlador de a-Si integrado tiene que abordar el cambio de umbral debido a tensión de polarización que se observa cuando se aplican voltajes de puerta positivo y negativo a los dispositivos de TFT. Puesto que los procedimientos de acumulación de tensión positiva y negativa se deben fundamentalmente a fenómenos físicos de dispositivo diferentes, presentan razones de acumulación y sensibilidades a formas de onda de accionamiento de puerta muy diferentes. Para un primer orden dentro del intervalo de formas de onda de accionamiento observadas en conjuntos de circuitos de actualización de panel plano típicos, la tensión positiva no es fuertemente dependiente del contenido de frecuencia de la forma de onda de puerta y acumula de manera relativamente rápida como una función del tiempo de "encendido" integrado que observa la puerta. A medida que aumenta la tensión positiva, el umbral de voltaje del dispositivo de TFT normalmente se aumenta. Los circuitos de TFT normalmente presentan una tensión positiva admisible máxima más allá de la cual los desvíos de umbral pasan a ser demasiado grandes para una función apropiada.

55

60

Por el contrario, la tensión negativa es muy dependiente de la frecuencia, acumulándose más lentamente a frecuencias más altas y se manifiesta normalmente tanto como un cambio de umbral negativo como una degradación de inclinación de subumbral. Para acumular tensión negativa significativa, la puerta de un TFT de a-Si típico necesita un tramo continuo de voltaje de puerta negativo (por ejemplo, 20 ms o más para dispositivos de TFT de a-Si:H típicos). En las pantallas de TFT de panel plano analizadas convencionalmente, el voltaje de puerta es positivo sólo durante un periodo de tiempo muy pequeño (por ejemplo, una línea de duración, aproximadamente de 15 us cada imagen de 16,600 ms; aproximadamente un ciclo de trabajo del 0,1%) y negativo para el resto del periodo de imagen (por ejemplo, 16,585 ms o aproximadamente el 99,9% del periodo

65

de imagen). Los niveles de voltaje de puerta positivo y negativo para un panel de a-Si convencional de este tipo se eligen normalmente para equilibrar los efectos de tensión positiva y negativa para alcanzar una vida útil larga (por ejemplo, >100000 horas a 70° C). Cada componente de tensión (positiva y negativa) tomado por sí mismo da como resultado normalmente una vida útil mucho más corta (por ejemplo, tan corta como de 10000 horas); sólo el equilibrio afinado preciso de tensión positiva y negativa logra la vida útil de funcionamiento deseada. Por tanto, desarrollar controladores de columna y fila integrados para tecnología de TFT de a-Si es muy problemático ya que el impacto de tensión de ciclo de trabajo, el voltaje y el contenido de frecuencia de todas las señales internas deben considerarse individualmente. Como resultado, sólo las estructuras lógicas más simples (por ejemplo, registros de desvíos) con ciclos de trabajo bajos y márgenes de cambio de umbral grandes se han implementado en a-Si.

La solicitud de patente US 2004/0145551 A1 da a conocer un aparato de pantalla de cristal líquido en el que un píxel presenta elementos de TFT de tipo N primero a tercero conectados en serie entre una línea de datos y un nodo de electrodo de píxel. Cada puerta de los elementos de TFT primero y segundo está conectada a una primera línea de puerta, mientras que la puerta del tercer elemento de TFT está conectada a una segunda línea de puerta. Las líneas de puerta primera y segunda en un estado seleccionado establecida cada una a un alto voltaje que puede encender completamente los elementos de TFT primero a tercero. La primera línea de puerta en un estado no seleccionado se establece a un bajo voltaje que puede apagar completamente los elementos de TFT primero y segundo, mientras que la segunda línea de puerta en el estado no seleccionado se establece a un voltaje intermedio entre los voltajes máximo y mínimo que se transmiten en la línea de datos. Se consigue una supresión de una corriente de fugas en estado abierto de un elemento de TFT en un periodo de no exploración y una reducción de tensión de voltaje a una película de aislamiento de puerta conectando en serie una pluralidad de elementos de TFT entre una línea de datos y un electrodo de píxel en cada píxel, que puede controlar de manera independiente el voltaje de puerta.

La solicitud de patente US 2005/0134541 A1 da a conocer un método para accionar un demultiplexador para una pantalla de cristal líquido (LCD) que incluye generar señales de control para el demultiplexador conectado entre un circuito de accionamiento de datos para generar un voltaje de datos y líneas de datos de un panel de LCD, presentando cada una de las señales de control una primera polaridad de voltaje y una segunda polaridad de voltaje; encender dispositivos de conmutación en el demultiplexador utilizando la primera polaridad de voltaje; y restaurando una tensión de los dispositivos de conmutación utilizando la segunda polaridad de voltaje.

Otra restricción de integración para TFT de a-Si:H es la falta de un dispositivo complementario (por ejemplo, un FET de tipo P) en procedimientos de a-Si convencionales que es necesario para funciones lógicas más complejas e integración más alta.

A pesar de estas limitaciones, se han fabricado controladores integrados utilizando tecnología a-Si con éxito limitado. "Reliable Integrated a-Si Select Line Driver for 2,2-in. QVGA TFT-LCD" describe una pantalla con controladores de línea (fila) de selección integrados; aunque es funcional, la vida útil notificada es sólo de 20000 h (aproximadamente, 2,3 años) con un cambio de umbral de 15 V, indicando que se requiere un margen de voltaje de diseño sustancial (es decir, 15 V) que aumenta significativamente la potencia de sistema y el intervalo de voltaje de IC de controlador. El trabajo adicional notificado en "High-Resolution Integrated a-Si Row Driver Circuits", "Reliable Integrated a-Si Select Line Driver for 2,2-in. QVGA TFT-LCD" y "Design of integrated Drivers with Amorphous Silicon TFTs for Small Displays. Basic Concepts" indica algún progreso con circuitos de exploración de fila de TFT de a-Si integrados a altos voltajes y ciclos de trabajo bajos pero hasta la fecha no se ha alcanzado una integración sustancial de controladores ni de fila ni de columna en a-Si con vida útil de dispositivo razonable. Los circuitos y técnicas de accionamiento de pantalla descritos en la presente memoria abordan esta necesidad de una integración más alta de funciones de accionamiento utilizando dispositivos de TFT montados en el vidrio mientras que se reducen sustancialmente los efectos dañinos de tensión de polarización.

Para superar las limitaciones de dispositivo de a-Si, se ha desarrollado un tratamiento de polisilicio de baja temperatura (LTPS) para dotar a transistores de movilidades más altas y una estabilidad mucho mejor en condiciones de tensión que pueden integrar con éxito funciones de IC de controlador en el sustrato de panel plano. Sin embargo, las etapas de procedimiento adicionales (por ejemplo, recocido térmico rápido por láser), el equipo costoso (por ejemplo, para litografía más fina) y un número de máscaras aumentado (aproximadamente dos veces el número de máscaras de un procedimiento de TFT de a-Si:H) eleva el coste de un sustrato de LTPS significativamente por encima del de un sustrato de TFT de a-Si:H. Por tanto, la utilización de LTPS se considera generalmente económica sólo en aplicaciones de pantalla pequeña de alta resolución en las que los ahorros de integración y los beneficios principales (por ejemplo, una luminosidad aumentada, un factor de forma reducido, espaciado de puntos más alto) superan el coste más alto.

Incluso con dispositivos mejorados tales como LTPS e integración de controlador, el consumo de energía de LCD es con frecuencia demasiado alto para una clase significativa de aplicaciones que requieren una pantalla constantemente activa. Esta clase de pantallas se utiliza principalmente en un modo reflectante para conservar potencia aunque un funcionamiento con iluminación generada mediante dispositivo (por ejemplo, retroiluminación

o luz lateral) es con frecuencia un requisito de producto. Numerosas aplicaciones, tales como una pantalla externa o secundaria de teléfono móvil, señalización pública general, numerosos dispositivos destinados a consumidores (por ejemplo, reproductores de MP3, despertadores, etc.), libros electrónicos, etiquetas de estante electrónicas de venta al por menor, etc. con frecuencia requieren pantallas que muestren información relativamente estática pero que permanezca visible durante la mayor parte del tiempo que se utiliza el dispositivo. Para dispositivos cuya utilidad principal está basada en la visualización de información (por ejemplo, correo electrónico en el móvil, libros electrónicos, mensajes de publicidad) tal utilidad se mejora mediante tecnologías de visualización que permiten periodos de tiempo de pantalla activa más largos entre recargas. Las pantallas descritas en la presente memoria también se dirigen a tales aplicaciones.

Sumario

La presente invención propone un método para hacer funcionar un circuito de pantalla, en el que el circuito de pantalla comprende una pluralidad de circuitos de píxel, comprendiendo cada circuito de píxel por lo menos dos transistores en serie que conectan una línea de columna a un píxel de una pantalla de cristal líquido (LCD), comprendiendo el método:

realizar unas operaciones de carga de imagen, actualizando cada operación de carga de imagen una imagen de pantalla de la LCD a una frecuencia de imagen; y

entre las operaciones de carga de imagen, para cada circuito de píxel, mantener una carga del correspondiente píxel de LCD, en el que para mantener una carga de un píxel de LCD de un circuito de píxel entre unas operaciones de carga de imagen, se aplica alternativamente un voltaje de polarización de puerta negativo a dichos transistores en serie del circuito de píxel, y cuando se aplica el voltaje de polarización de puerta negativo a por lo menos uno de dicho transistor, se aplica un voltaje de puerta de reducción de tensión en dicho por lo menos un otro transistor a una frecuencia más alta que la frecuencia de imagen, siendo dicho voltaje de puerta de reducción de tensión más alto que dicho voltaje de polarización de puerta negativo.

La presente invención también da a conocer un método para hacer funcionar un circuito de pantalla, comprendiendo el circuito de pantalla una pluralidad de transistores de selección de fila y columna conectados a circuitos de píxel de una pantalla de cristal líquido (LCD), comprendiendo el método:

realizar unas operaciones de carga de imagen a una frecuencia de imagen, actualizando cada operación de carga de imagen una imagen de pantalla de la LCD, y comprendiendo aplicar unos voltajes de polarización de puerta a los transistores de selección de fila y columna para programar los píxeles de la LCD; y

entre las operaciones de carga de imagen, aplicar unos voltajes de polarización de puerta negativo a los transistores de selección de fila y columna del circuito de pantalla, aplicando de ese modo una tensión negativa a dichos transistores para compensar una tensión positiva acumulada en dichos transistores durante las operaciones de carga de imagen.

Después de leer la siguiente descripción con referencia a los dibujos y las reivindicaciones adjuntas, se entenderán fácilmente objetos, aspectos y ventajas adicionales de las presentes enseñanzas.

Breve descripción de los dibujos

La figura 1 muestra una configuración de LCD de TFT reflectante representativa.

La figura 2 muestra un diagrama de bloques representativo de un sistema eléctrico de LCD de TFT.

La figura 3 muestra un diagrama de circuito representativo del sustrato de TFT.

La figura 4 muestra un circuito equivalente representativo para un único píxel de TFT.

La figura 5 muestra un diagrama representativo de formas de onda de tiempo de señales.

La figura 6 muestra un sistema de generación de pulsos representativo.

La figura 7 muestra un conjunto representativo de formas de onda asociado al sistema de generación de pulsos de la figura 6.

La figura 8 muestra un circuito equivalente representativo de un único píxel.

La figura 9 muestra un trazado de circuito representativo de un único píxel.

La figura 10 muestra un circuito equivalente de panel plano representativo.

- La figura 11 muestra un circuito de monitorización de tensión representativo.
- 5 La figura 12 muestra una variación representativa en la respuesta de frecuencia de tensiones de polarización de puerta positivas y negativas en TFT de a-Si:H.
- La figura 13 muestra una configuración de LCD de TFT reflectante representativa.
- 10 La figura 14 muestra un diagrama de bloques representativo de un sistema eléctrico de LCD de TFT.
- La figura 15 muestra un esquema eléctrico representativo de un sustrato de TFT que contiene 720x120 píxeles.
- 15 La figura 16 muestra un diagrama representativo de formas de onda de tiempo de señales para una operación de exploración de columna.
- La figura 17 muestra un circuito equivalente representativo para un único píxel de TFT y los elementos asociados de los controladores de fila y columna integrados.
- 20 La figura 18 muestra un diagrama representativo de formas de onda de tiempo de señales para una operación de carga de fila.
- La figura 19a muestra un esquema representativo de un subcircuito de demultiplexación de fila.
- 25 La figura 19b muestra un diagrama de tiempo representativo del subcircuito de demultiplexación de fila de la figura 19a.
- La figura 19c muestra un esquema representativo de un subcircuito de demultiplexación de fila de dos niveles.
- 30 La figura 20 muestra un trazado de circuito de píxel representativo.
- La figura 21 muestra una variación representativa en la reflectancia de una pantalla reflectante con voltaje de píxel RMS aplicado.
- 35 La figura 22 muestra un esquema eléctrico representativo de un sustrato de TFT que contiene 3072x768 píxeles y formas de onda de accionamiento asociadas.
- La figura 23 muestra una etiqueta de estante electrónica representativa con una pantalla.
- 40 La figura 24 muestra una manillar de carrito de compra electrónico representativo con una pantalla.
- La figura 25 muestra un teléfono móvil representativo con una pantalla.
- 45 La figura 26 muestra un reproductor de música portátil representativo con una pantalla.
- La figura 27 muestra una señalización digital, monitor o TV de panel plano representativo con una pantalla.
- 50 La figura 28 muestra un reproductor de DVD portátil u ordenador portátil representativo con una pantalla.
- La figura 29 muestra un diagrama de bloques representativo de un sistema eléctrico de TFT a color para una pantalla de 208xRGBx160.
- 55 La figura 30 muestra un esquema de circuito de píxel de TFT representativo.
- La figura 31 muestra un trazado de circuito de píxel de TFT representativo.
- La figura 32 muestra un esquema de circuito de pantalla de TFT representativo para una pantalla de 208xRGBx160.
- 60 La figura 33 muestra un diagrama de flujo durante la operación representativo para una pantalla de TFT.
- La figura 34 muestra un esquema simplificado representativo de un píxel de pantalla de TFT y su conjunto de circuitos de demultiplexación de fila y columna asociado.
- 65 La figura 35 muestra un circuito de demultiplexación de columna de pantalla de TFT y sus formas de onda

asociadas durante una operación de escritura de columna.

La figura 36 muestra formas de onda de accionamiento eléctricas de un circuito de demultiplexación de fila de TFT durante una operación de escritura de fila.

La figura 37 muestra formas de onda de accionamiento eléctrico de un circuito de demultiplexación de fila de TFT durante una operación de intercambio de fila.

Glosario de términos

Las siguientes abreviaciones se utilizan en la siguiente descripción, abreviaciones que se pretende que presenten los significados proporcionados de la siguiente manera:

- a-Si - silicio amorfo
- CA - corriente alterna
- ACF - película conductora anisotrópica
- ADC - convertidor analógico-digital
- CMOS - MOS complementario (FET tanto de tipo P como N disponibles)
- COB - chip sobre placa
- COF - chip sobre película o conductor flexible
- COG - chip sobre cristal
- CC - corriente continua
- ECB - birrefringencia controlada eléctricamente
- ESL - etiqueta de estante electrónica
- FET - transistor de efecto campo
- HTN - nemática hipergirada
- IC - circuito integrado
- LCD - pantalla de cristal líquido
- LTPS - polisilicio de baja temperatura
- MOS - semiconductor de óxido metálico
- MTN - nemática girada de modo mixto
- NMOS - MOS de canal N
- OCB - curva ópticamente compensada
- PDLC - cristal líquido disperso en polímero
- RGB - rojo, verde, azul
- RTN - nemática girada reflectante
- STN - nemática sobregirada
- TFT - transistor de película delgada
- V_{GS} - voltaje de fuente de puerta

Descripción detallada

Cada una de las características y enseñanzas adicionales dadas a conocer a continuación puede utilizarse por separado o conjuntamente con otras características y enseñanzas para proporcionar sistemas de detección inalámbricos y métodos para diseñar y utilizar los mismos. Ahora se describirán en mayor detalle ejemplos representativos, ejemplos que utilizan muchas de esas características y enseñanzas adicionales tanto por separado como en combinación, con referencia a los dibujos adjuntos. Se pretende meramente que esta descripción detallada enseñe a un experto en la materia detalles adicionales para poner en práctica aspectos preferidos de las presentes enseñanzas y no se pretende que limite el alcance de las reivindicaciones. Por tanto, pueden no ser necesarias las combinaciones de características y etapas dadas a conocer en la siguiente descripción detallada para poner en práctica los conceptos descritos en la presente memoria en el sentido más amplio, y en cambio se enseñan meramente para describir particularmente ejemplos representativos de las presentes enseñanzas.

Además, se indica expresamente que se pretende que todas las características dadas a conocer en la descripción se den a conocer por separado y de forma independiente entre sí con el fin de la divulgación original, además de con el fin de restringir el contenido independiente de las composiciones de las características en las realizaciones y/o las reivindicaciones. También se indica expresamente que todos los intervalos de valores o indicaciones de grupos de entidades dan a conocer cada posible valor intermedio o entidad intermedia con el fin de la divulgación original, además de con el fin de restringir el contenido reivindicado.

La figura 1 muestra una sección transversal simplificada de una pantalla de panel plano de LCD de TFT de polarizador único reflectante 100. El conjunto de circuitos de control 102 está fabricado sobre un sustrato 101. El conjunto de circuitos de control 102 puede implementarse preferiblemente en un procedimiento de a-Si pero alternativamente puede implementarse utilizando procesamiento LTPS o cualquier tecnología de plano posterior que puede utilizar conmutador de película delgada. El sustrato 101 puede ser vidrio, plástico, cuarzo, metal o

cualquier otro sustrato que pueda soportar la fabricación del dispositivo de conmutación. El electrodo 103 puede formarse mediante procedimientos litográficos y/o químicos y puede texturizarse para reflejar de manera difusa la luz ambiental. El material de pantalla de cristal líquido 104 está situado entre las placas superior e inferior. Filtros de color 105 y un conductor transparente de placa superior 111 están depositados sobre el sustrato superior 106.

5 Una película de retardo o placa de cuarto de onda 107 puede estar colocada encima del sustrato superior 106. Un polarizador difusor 108 completa el apilamiento de LCD 100. En el funcionamiento típico, la luz incidente 109 se polariza, se filtra y se refleja de manera difusa por el apilamiento de LCD 100 para crear una imagen reflejada 110.

10 Configuraciones de pantalla activa alternativas distintas a la mostrada en la figura 1, tales como tecnologías de pantalla reflectante de polarizador doble, transmisiva, transflectiva, retroiluminada, iluminada con luz lateral, huésped-anfitrión, birrefringente controlada eléctricamente, RTN, PDLC, electroforética y de otro cristal líquido alternativo y/u otras tecnologías de pantalla que requieren un plano posterior activo pueden beneficiarse de las presentes enseñanzas. La descripción específica en la presente memoria de una LCD reflectante que incorpora las presentes enseñanzas no limita el alcance de las presentes enseñanzas en su aplicación a materiales y tecnologías de pantalla alternativas.

La figura 2 muestra un diagrama de bloques del sistema de accionamiento eléctrico de la pantalla de panel plano 200. El sustrato de TFT 101 incorpora una distribución de píxeles de TFT 102, un controlador de columna integrado 203 y un controlador de fila integrado 202. Un IC de controlador montado fuera de sustrato 201 proporciona señales de control a la distribución de píxeles de TFT 102, el controlador de fila integrado 202 y el controlador de columna integrado 203. También puede integrarse un conjunto de circuitos 204 opcional tal como sensores de monitorización de umbral y/o circuitos de conversión de energía en la tecnología TFT sobre el sustrato 101.

25 La figura 3 muestra un diagrama eléctrico del controlador de columna integrado 203, el controlador de fila integrado 202 y la distribución de píxeles de TFT 102, 304 para una pantalla de ejemplo con 240x80 píxeles de banda RGB. Los expertos en la materia pueden aplicar las presentes enseñanzas directamente a muchas resoluciones de píxeles y anchuras de bus de control alternativas; la elección de 240x80 es únicamente por motivos de ilustración y no limita el alcance de las reivindicaciones a resoluciones o anchuras de bus de señal específicas.

En la figura 3, las clavijas P[23:0] 300 suministran los voltajes de control de LCD que se accionan en la distribución 304. Los TFT de demultiplexación de columna están controlados por las señales de selección de columna C[29:0] 301. Mediante la aplicación de las señales de selección C[29:0] 301 en secuencia, puede almacenarse una secuencia de voltajes en el tiempo en P[23:0] 300 en cada uno de los condensadores de almacenamiento de columna, C_{COL} 307. Cada columna de la distribución de píxeles de TFT 102 se compone de diez bancos de ocho píxeles cada uno 305 y un condensador de almacenamiento de columna C_{COL} 307. Cada banco 305 contiene ocho píxeles 306 y se selecciona por diez señales de selección de banco B[9:0] 302. Dentro de cada banco, puede seleccionarse una fila de píxeles dada utilizando señales de selección de fila R[7:0] 303. Cada píxel 306 contiene un conjunto de circuitos para controlar el voltaje de píxel de LCD además de contrarrestar la tensión de polarización en los TFT de píxel.

La figura 4 muestra una conducción eléctrica de un único píxel y trayectorias de control desde los puntos de conexión de entrada/salida del sustrato de TFT 101. El voltaje de fuente de píxel P[i] 400 se conecta a través de M1 408 a un condensador de mantenimiento temporal C_{COL} 412 cuando la señal de puerta de selección de columna C[j] 401 se impulsa de manera alta. La señal de selección de banco B[k] 402 acciona la puerta de M2 409 para conectar el condensador de almacenamiento de columna C_{COL} 307 al condensador de almacenamiento de banco C_{BANK} 413. La señal de habilitación de fila R_{EN} 403 y la señal de selección de fila R[m] 404 controlan los TFT M3 410 y M4 411 que conectan el condensador de banco C_{BANK} 413 al píxel del nodo de control de LCD, V_{píxel}. La LCD está modelada como un condensador C_{LC} 414 sencillo cuya placa posterior está sobre el sustrato opuesto de la LCD 106 y se mantiene en V_{COM} 407. Una capacitancia de mantenimiento C_{CELL} 415 opcional puede tener opcionalmente un voltaje de placa posterior de capacitancia accionada, V_{CELL} 405, para reducir las necesidades de oscilación del controlador de voltaje. Además o como alternativa, la capacitancia de mantenimiento C_{CELL} 415 puede tener un voltaje de placa posterior que es una de las líneas de puerta accionadas dentro de la distribución. El funcionamiento de estos TFT y condensadores se describe a continuación.

La figura 5 muestra un conjunto de cuatro diagramas de tiempo de las señales de control del panel plano en una realización preferida de las presentes enseñanzas. Cada diagrama de tiempo representa una escala de tiempo diferente; de arriba abajo, las escalas de tiempo son cada vez más largas (es decir, se alejan). El conjunto superior de formas de onda de tiempo 501, 502 muestran una operación de carga de columna 520 que almacena un conjunto de tensiones deseadas en una distribución de condensadores de almacenamiento de columna C_{COL} 307 412. Se accionan voltajes de fuente de píxel P[23:0] 300 400 con voltajes bipolares del nivel de píxeles 500 que representan (aunque no son necesariamente iguales a) el estado de voltaje final deseado de un conjunto de píxeles o un voltaje de precarga V_{CP} dependiendo de la operación requerida en la distribución de píxeles. El

grupo de señales de tiempo 501 se realiza antes de todas las secuencias de exploración de columna 502 para reiniciar el estado de los condensadores de almacenamiento de columna C_{COL} 307 412 a un voltaje de precarga V_{CP} conocido. En una realización, el voltaje de precarga de columna es igual que el voltaje V_{COM} 407. En otra realización, el voltaje V_{CP} depende del estado del método de inversión de píxel (por ejemplo imagen, línea, banco, columna, sub-bloque o inversión de punto). El voltaje de precarga V_{CP} puede elegirse para minimizar la oscilación requerida en las clavijas $P[i]$ 400 del sustrato para efectuar una variación de magnitud dada en los nodos de control de píxel de LCD individuales, V_{pixel} . Debido a la compartición de carga en operaciones posteriores (por ejemplo, la transferencia de carga desde C_{COL} 412 hasta C_{BANK} 413), la magnitud de oscilación de voltaje se modificará por la razón de las capacitancias de compartición, las condiciones de voltaje inicial, la capacitancia de puerta-drenaje, la oscilación de voltaje de puerta, la división de carga y las capacitancias parásitas adicionales en el sistema, entre otros efectos. Como resultado, los voltajes de fuente accionados $P[i]$ 300 400 500 preferentemente se distorsionan previamente para compensar las modificaciones de voltaje esperadas en el circuito de TFT de la figura 4 de modo que las tensiones de nodo de píxel V_{pixel} logren los niveles deseados.

Durante el grupo de tiempo de exploración de columna 502, las líneas $C[j]$ 401 503 se pulsan secuencialmente y muestran los voltajes en las clavijas $P[j]$ 400 500 sobre los condensadores de almacenamiento de columna C_{COL} 412 307. Al final de las operaciones de precarga de columna 501 y la exploración de columna 502, cada condensador de almacenamiento de columna C_{COL} 307 412 se ha programado a un voltaje deseado independiente.

El segundo grupo de señales de tiempo 504 mostrado en la figura 5 contiene diez operaciones de carga de columna tal como se describió anteriormente y actúa para cargar los condensadores de banco C_{BANK} 413. El número exacto de operaciones de carga de columna requerido para tal operación de carga de banco 504 viene dictado por la resolución de la pantalla y las elecciones del diseñador sobre la división de columnas, bancos, píxeles y filas; las presentes enseñanzas no se limitan a un número particular de operaciones de carga de columna ni al número exacto y/o la secuencia de pulsos de exploración en las puertas de selección de demultiplexación de columna $C[29:0]$ 401. Tras cada operación de carga de columna 501 502 una señal de selección de banco 505 hace que los condensadores de V_{COL} programados 307 412 compartan carga con los condensadores de V_{BANK} 413 y transfieran la información de píxel deseada más cerca del píxel deseado.

El tercer grupo de señales de tiempo 506 en la figura 5 muestra una operación de carga de imagen completa que proporciona una actualización de todos los voltajes de píxel V_{pixel} en la imagen. La operación de carga de imagen 506 se compone de una serie de ocho operaciones de carga de banco 504. Empezando desde la izquierda de la operación de carga de imagen 506, la primera operación es preferentemente una operación de bloqueo de tensión negativa de puerta de fila 509 en la que todas o algunas de las líneas de fila $R[m]$ 303 404 se pulsan a un voltaje positivo para impedir la acumulación de cambio umbral negativo en los TFT de selección de fila 411. Al dividir los periodos de voltaje de puerta negativo, puede reducirse y controlarse la acumulación de cambio de voltaje umbral negativo. La segunda operación 510 en el tercer grupo 506 es una operación combinada de precarga de primera fila y banco que permite que las puertas de selección de columna $C[29:0]$ 401, las puertas de selección de banco $B[9:0]$ 402, la señal de habilitación de fila R_{EN} 403 y la señal de fila de pantalla se programen a continuación $R[m]$ 404. Las clavijas de voltaje de fuente $P[23:0]$ se accionan con un voltaje de precarga de banco V_{BP} que en una realización es igual que el voltaje V_{COM} . En otra realización, el voltaje V_{BP} depende del estado del método de inversión de píxel (por ejemplo imagen, línea, banco, columna, sub-bloque o inversión de punto). Mediante la precarga del voltaje del condensador de mantenimiento de banco C_{BANK} a un valor conocido, se suprime la alimentación directa de muestra anterior y se minimiza la oscilación de voltaje requerida en $P[23:0]$ para efectuar un cambio dado en los píxeles. La distorsión previa de los voltajes de $P[23:0]$ para adaptarse a la compartición de carga, las capacitancias parásitas, el acoplamiento de puerta-drenaje, las condiciones iniciales, el equilibrio de CC, etc., puede aplicarse preferentemente por el IC de controlador 201. La tercera operación dentro de la operación de carga de imagen 506 es una operación de carga de banco 504 tal como se describió anteriormente. Puesto que la operación de carga de banco siempre va precedida por una operación de precarga de banco, se minimiza el intervalo de voltaje requerido en $P[23:0]$ 400. La cuarta operación 511 de la carga de imagen 506 se produce tras la operación de carga de banco 504 y es una operación de bloqueo de tensión negativa 511 para los TFT de fila similar a 509. La quinta operación 512 transfiere finalmente el banco de voltajes almacenados a la fila de píxeles deseada pulsando la señal de puerta de fila deseada $R[m]$ 404 y R_{EN} 403 simultáneamente, haciendo que la fila seleccionada de capacitancias de píxel 414, 415 comparta carga con las capacitancias de banco 413 correspondientes. Con la selección apropiada de C_{COL} 412, C_{BANK} 413 y C_{CELL} 415, puede equilibrarse la reducción de amplitud de compartición de carga frente al intervalo de voltaje de accionamiento de fuente para lograr una fracción de transferencia razonable desde las clavijas de voltaje de fuente $P[23:0]$ hasta el nodo de control de píxel V_{pixel} . La sexta operación 513 de la operación de carga de imagen 506 es una operación de precarga de fila y banco similar a 510 excepto porque está precargándose una fila diferente en este ejemplo ($R[1]$). Se utilizan operaciones de carga de banco 504 posteriores para cargar sucesivamente todas las filas de la matriz de píxeles de TFT, finalizando en la operación de transferencia de fila final 515.

El último grupo de tiempo mostrado en la figura 5 se compone de una secuencia de operaciones de carga de

imagen 506 seguidas por una operación de control de tensión negativa 516, una operación de monitorización de puerta de selección de columna 518 opcional y una operación de monitorización de puerta de selección de banco 519 opcional. Las operaciones de carga de imagen se repiten en cada periodo de actualización de imagen 517.

5 La tensión positiva en las puertas de selección de columna C[29:0] 301 401 es mucho más alta que la tensión positiva en las líneas de selección de banco B[9:0] 302 402 debido al ciclo de trabajo positivo más alto de las
 10 puertas de selección de columna 301 401 durante la operación de carga de columna 520. Como resultado, durante la operación de control de tensión negativa 516 es necesario que las puertas de columna 301 401 se mantengan con un voltaje negativo durante franjas de tiempo más largas en comparación con otras puertas para
 15 permitir que la tensión negativa compense la tensión positiva operativa acumulada. La operación de control de tensión negativa 516 se basa en el hecho de que la respuesta de tensión negativa no es lineal con respecto a la duración de la tensión negativa. Aplicando una señal modulada de tiempo no operativo (es decir, sin actualización de pantalla) entre las operaciones de carga de imagen, la tensión negativa puede aplicarse de manera intencionada y proactiva en cantidades medidas para contrarrestar la acumulación de tensión positiva durante la operación de carga de imagen operativa.

De manera similar, la tensión positiva en las líneas de selección de banco B[9:0] 302 402 es mucho más alta que la tensión positiva en las líneas de selección de fila R[7:0] 303 404 debido al ciclo de trabajo positivo relativamente más alto de las señales de selección de banco. Durante la operación de control de tensión negativa 516, las puertas de selección de banco 302 402 se mantienen a un voltaje negativo durante intervalos más cortos que las puertas de selección de columna 301 401 pero a intervalos más largos que las puertas de selección de fila 303 404.

Finalmente, las puertas de selección de fila y habilitación de fila (R[7:0] 303 404 y R_{EN}) comprueban el ciclo de trabajo positivo más bajo de todos los TFT. Al disminuir la frecuencia de imagen para ahorrar energía, la tensión negativa acumulada en los transistores de selección de fila 410 411 durante el tiempo entre las operaciones de carga de imagen podría ser mayor que la tensión positiva acumulada durante la carga de imagen. Para equilibrar la tensión negativa con la tensión positiva, se añaden preferentemente pulsos positivos no funcionales (es decir, que no son de exploración ni de carga) a las señales de puerta de selección de fila y de habilitación de fila para dividir el periodo de tensión negativa para reducir el cambio de umbral negativo.

Mediante la adaptación de manera apropiada de las duraciones de pulso, los periodos de tensión negativa y los voltajes positivos y negativos de puerta, puede equilibrarse la tensión positiva y negativa a través de todos los tipos de accionamiento de puerta (selecciones de columna, selecciones de banco, habilitaciones de fila y selecciones de fila) requeridos para soportar el sistema de accionamiento de columna y fila descrito por las presentes enseñanzas.

Aunque se describen utilizando una realización específica de una pantalla de RGB de 240x80, las presentes enseñanzas pueden aplicarse generalmente a cualquier sistema de pantalla basado en demultiplexador que tenga TFT o dispositivos de conmutación con mecanismos de acumulación de tensión positiva y negativa asimétricos y por lo menos un mecanismo de tensión que sea no lineal en el tiempo. Al dividir el período de imagen en dos secciones, concretamente una operación de carga de imagen y una operación de control de tensión, puede equilibrarse la tensión acumulada para todos los tipos diferentes de señales de puerta de demultiplexación utilizadas para hacer funcionar la pantalla.

Además o como alternativa, el período de imagen 517 de las formas de onda de accionamiento de pantalla puede modificarse para soportar más o menos acumulación de tensión negativa, permitiendo el ajuste adicional del equilibrio de tensión positiva/negativa.

50 Las formas de onda de control de tensión en 516 pueden determinarse previamente para compensar las formas de onda de accionamiento conocidas y una no linealidad de tensión de TFT conocida. Sin basarse en retroalimentación, un sistema de este tipo se conoce en la materia como un sistema de compensación de avance.

55 En una realización adicional o alternativa, el IC de controlador de pantalla 201 puede insertar una o más etapas de monitorización de tensión adicionales (por ejemplo 518 y 519) en uno o más periodos de imagen 517 tal como se muestra en la figura 5. En una realización de monitorización de tensión 518, se aplica una señal de CA a las señales de fuente de pixel P[23:0] 300 400. Las líneas de puerta de selección de columna C[29:0] 301 401 se mantienen a un voltaje positivo mientras que las otras puertas de selección en el sistema se mantienen en el estado de desconexión negativo. La impedancia de CA a través de la señal de V_B 406 a través de la capacitancia de V_{COL} 307 412 puede medirse por el IC de controlador de pantalla 201 utilizando un método de respuesta de frecuencia de múltiples puntos o tiempo de desaparición tal como se conoce bien en la materia. Puesto que la capacitancia de V_{COL} 307 412 es relativamente estable a lo largo de la vida útil de la pantalla, la resistencia de conexión de los transistores TFT de selección de columna 408 puede calcularse a partir de la impedancia de CA directamente. Pueden monitorizarse directamente los desvíos de voltaje umbral en los TFT de selección de columna 408 con este método y los pulsos de reducción de tensión negativa utilizando un bucle de control de

retroalimentación negativa, por ejemplo, para regular directamente el voltaje umbral de TFT. De manera similar, pueden monitorizarse también los transistores de selección de banco activando tanto las puertas de selección de columna C[29:0] 301 401 como las puertas de selección de banco B[9:0] 302 402 simultáneamente a la vez que se mide la impedancia de CA desde P[23:0] hasta V_B . La medición de la impedancia diferencial desde P[23:0] hasta V_B cuando sólo están activas las líneas de selección de columna C[29:0] 301 401 en comparación con cuando están activas tanto las líneas de selección de columna C[29:0] 301, 401 como las de banco B[9:0] 302 402 puede utilizarse para medir la resistencia de conexión de los TFT de selección de banco 409. Basándose en esta medición, un bucle de control puede modificar entonces el pulso de polarización negativo aplicado durante el periodo de control de tensión negativa 516 para corregir de manera adaptativa la tensión operativa acumulada. Además o como alternativa, pueden fabricarse uno o más dispositivos de monitorización de tensión no operativo en el panel plano, preferiblemente uno o más para cada tipo de forma de onda de accionamiento de puerta, que entonces pueden monitorizarse para determinar desvíos de voltaje umbral (utilizando, por ejemplo, impedancia de CA, una corriente de drenaje-fuente u otras técnicas de monitorización de impedancia o umbral conocidas en la materia).

Además o como alternativa, para dispositivos de conmutación alternativos distintos de TFT de a-Si:H, la tensión negativa puede dominar durante el periodo de funcionamiento lo que requiere un periodo de control de tensión positiva. Los conceptos descritos en la presente memoria no se limitan particularmente a la polaridad de la tensión operativa y la antipolaridad correspondiente de la tensión de compensación controlada.

Además o como alternativa, la técnica de modulación de tensión puede englobar una amplia variedad de técnicas incluyendo, pero sin limitarse a, modulación de amplitud, modulación de frecuencia, modulación por ancho de pulsos, o combinaciones de las mismas. Además o como alternativa, el periodo de control de tensión 516, uno o más periodos de monitorización de tensión 518 519 opcionales, y el periodo de actualización de imagen 506 pueden intercalarse temporalmente para efectuar una modulación de tensión de compensación o según lo desee el diseñador del sistema hasta el punto permitido por las características de acumulación de tensión no lineal de los dispositivos TFT.

Los diseñadores expertos en la materia disponen de muchas elecciones sobre los detalles de los métodos de monitorización de tensión y modulación de tensión; los conceptos descritos en la presente memoria no se limitan a tales decisiones de diseño. La modificación de las formas de onda de accionamiento de pantalla durante un periodo de control de tensión 516 para equilibrar la tensión operativa acumulada formando un sistema de bucle cerrado es importante y no está limitada por los detalles de la polaridad de tensión, la estructura o el método de monitorización de tensión, ni el método de modulación de tensión.

Los expertos en la materia reconocerán que pueden elegirse una amplia variedad de resoluciones de pantalla, formas de onda de exploración específicas, circuitos de demultiplexación, configuraciones de dispositivo de monitorización de tensión (ya sea simulado u operativo), procedimientos de monitorización de tensión para implementar las presentes enseñanzas.

La figura 6 muestra un generador de pulsos de puerta adiabático o de recirculación de carga gradual que puede implementarse en el IC de controlador 201. Los generadores de pulsos adiabáticos de recirculación de carga gradual se conocen bien en la materia pero han encontrado aplicaciones limitadas debido a la complejidad de la lógica de control y a limitaciones de velocidad de rotación de salida. Sin embargo, un sistema que utiliza las presentes enseñanzas, puede utilizar este tipo de generación de pulsos eficaz debido a la baja complejidad y a la autosimilitud de las formas de onda de accionamiento de puerta salida y a las necesidades de velocidad relajadas. El generador de forma de onda de puerta de la figura 6 se compone de un generador de voltaje de CC que produce dos o más salidas de voltaje de V_0 a V_{N-1} donde $N \geq 2$ que se almacenan en condensadores 601. Una serie de conmutadores 602 controlados por señales de control de conmutador de G_0 a G_{N-1} conectan los voltajes V_i de manera secuencial a un nodo de forma de onda de puerta V_{RAMP} 603. El nodo de forma de onda de puerta 603 puede conectarse a cada una de las formas de onda de puerta requeridas de los sistemas descritos en la presente memoria a través de un banco de multiplexores 604.

La figura 7 muestra una serie de formas de onda de accionamiento para cada una de las señales de control de conmutador de G_0 a G_{N-1} y la forma de onda de puerta de salida V_{RAMP} . En reposo, G_0 está activa y el nodo de V_{RAMP} 603 descansa con su voltaje más bajo. Cuando se requiere un voltaje de control de puerta en una o más clavijas de panel plano, los multiplexores apropiados se conectan a V_{RAMP} utilizando los multiplexores 604. Entonces se activan secuencialmente las señales de control de conmutador (de G_1 a G_{N-1}) para conectar sucesivamente con transiciones de ruptura previas cada una de las tensiones almacenadas de V_1 a V_{N-1} a las clavijas de control de puerta seleccionados y V_{RAMP} (por ejemplo C[29:0], B[9:0], R[7:0] y/o R_{EN}). Al cargar la salida secuencialmente utilizando voltajes inferiores al voltaje final V_{N-1} , puede mejorarse la eficacia del sistema tal como se observa desde la entrada del generador de voltaje de CC 600 con respecto a los circuitos convencionales. Para devolver el nodo de control de puerta de vuelta a su potencial más bajo, se pulsan sucesivamente los controles de conmutador de G_{N-1} a G_0 de modo que el nodo de V_{RAMP} 603 se conecta sucesivamente a cada uno de los condensadores de almacenamiento 601 recirculando gran parte de la carga. Al conectar el nodo de V_{RAMP} 603 y las señales de puerta de salida conectadas (por ejemplo C[29:0], B[9:0], R[7:0]

y/o R_{EN}) a cada una de los voltajes almacenados de V_{N-1} a V_0 , puede recircularse la carga contenida en la capacitancia parasítica observada por V_{RAMP} en los condensadores de almacenamiento 601, mejorando la eficacia. Los expertos en la materia reconocerán que hay muchas topologías de circuito que pueden sustituir al generador de pulsos adiabático particular descrito en la presente memoria; los conceptos descritos en la presente memoria no se limitan particularmente al tipo o la topología del generador de pulsos. El elemento clave de las presentes enseñanzas es que puede combinarse eficazmente un generador de pulsos adiabático eficaz con una estructura de multiplexación 604 con una arquitectura de visualizador tal como se describe en la presente memoria debido a la autosimilitud y a la naturaleza no solapada de las formas de onda de control de puerta pulsadas (por ejemplo C[29:0], B[9:0], R[7:0] y R_{EN}).

Las figuras 8 a 10 muestran una realización alternativa de las presentes enseñanzas. La figura 8 muestra un circuito equivalente de píxeles 828 que corresponde al trazado de circuito de TFT de a-Si:H en la figura 9. La figura 9 muestra un trazado de píxel de ejemplo de las presentes enseñanzas en una tecnología de LCD de TFT de a-Si de dos metales convencional que puede cubrirse horizontal y verticalmente para formar una gran distribución de píxeles. Los expertos en la materia reconocerán que los conceptos descritos en la presente memoria pueden aplicarse a otros procedimientos de TFT con diferentes normas y capas de diseño; la elección del procedimiento mostrado en la figura 9 es para fines de ilustración y no es una limitación de las presentes enseñanzas. Además, el trazado de la figura 9 presenta muchas permutaciones, transposiciones, reorientaciones, volteos, rotaciones y combinaciones del mismo que no modifican sustancialmente el comportamiento eléctrico del circuito y que se considera que están dentro del alcance de las presentes enseñanzas. Basándose en las presentes enseñanzas, configuraciones de trazado ventajosas del circuito equivalente 828 que minimizan la diafonía, mejoran la calidad de imagen, ajustan la capacitancia de almacenamiento, reducen la energía, mejoran la estabilidad, mejoran la capacidad de fabricación y modifican el rendimiento del dispositivo basándose en el procedimiento de TFT particular y en las necesidades de aplicación resultarán evidentes para los expertos en la materia y se consideran dentro del alcance de los conceptos descritos en la presente memoria.

El circuito de píxel 828 en las figuras 8 y 9 comprende cinco dispositivos de TFT, concretamente un transistor de selección de banco parcial M2 802 902 y una serie de TFT de puerta de fila: M4 804 904, M5 805 905, M6 806 906 y M7 807 907. El transistor de selección de banco M2 802 902 en este ejemplo está repetido en muchas células de píxel; cada célula de píxel contiene una parte del transistor de selector de banco total. Tales dispositivos paralelos se emplean con frecuencia en la materia para obtener un trazado más regular; tales modificaciones están completamente dentro del alcance de las presentes enseñanzas. Estos TFT de selección de banco se activan secuencialmente para transferir un valor de voltaje de píxel deseado desde una línea de columna que discurre verticalmente, la col 920, a través de otra línea de almacenamiento de banco que discurre verticalmente, el banco 921, hasta el condensador de almacenamiento de píxel C_{ST} 825 925. La transferencia desde C_{COL} 818 918 hasta C_{BANK} 819 919 se realiza pulsando la puerta de M2 802 902 accionando la línea B[k] 816 916. Una toma de tierra de condensador de mantenimiento común, HC 817 917, está unida a los tres condensadores de almacenamiento en cada píxel de ejemplo, concretamente C_{COL} 818 918, C_{BANK} 819 919 y C_{ST} 825 925. El condensador de almacenamiento de píxel, C_{ST} 825 925, se une preferiblemente a través de un contacto 911 a un electrodo reflectante 910 103 que es la placa de fondo de la capacitancia de cristal líquido, C_{LC} 826. El electrodo opuesto 111 forma la otra placa de C_{LC} 826 y se une a un voltaje de píxel común V_{COM} 827. La diferencia de RMS en el voltaje entre V_{PIXEL} 824 924 y V_{COM} 827 determina el estado óptico del cristal líquido 104. En una realización, el nodo de V_{COM} 827 se modula de manera continua para reducir el intervalo de voltaje requerido de los dispositivos TFT y/o para reducir la energía.

Los cuatro TFT de transferencia de fila, M4 804 904, M5 805 905, M6 806 906 y M7 807 907 están regulados por cuatro señales de puerta de fila independientes R0[m] 830 930, R1[m] 831 931 R2[m] 832 932 y R3[m] 833 933, respectivamente. La elección de cuatro puertas es únicamente para fines de ilustración; en la práctica el número de TFT de transferencia de fila será una elección de diseño basada en los parámetros del procedimiento de TFT, el tamaño y la resolución de la pantalla, la frecuencia de imagen, el parpadeo permisible y otros criterios de rendimiento. En la presente realización, se requieren dos o más TFT de transferencia de fila para impedir la acumulación de tensión negativa a una frecuencia de imágenes muy baja tal como se describe a continuación. Tales elecciones se consideran dentro del alcance de las presentes enseñanzas.

La figura 10 muestra una distribución de ejemplo de circuitos de píxel 828 150 dispuestos para formar una distribución de píxeles de 720 x 120, 155 (240 RGB x 120 píxeles) que comprende doce bancos 154 de píxeles que corresponden al circuito de píxel único de la figura 8 y al trazado de píxel de la figura 9.

La figura 8 y la figura 10 muestran el circuito equivalente del conjunto de circuitos periférico que se requiere para lograr un voltaje programable V_{PIXEL} 824 924 en un píxel 828 de ejemplo dado. El voltaje de fuente de píxel P[i] 800, 152 se conecta al TFT M1 801 que está regulado por una de las líneas de puerta de selección de columna C[j] 812 151. Se utiliza preferentemente una fuente de voltaje de precarga S 814 158 para establecer todas las tensiones de C_{COL} utilizando una distribución de TFT M3 803 154, una para cada línea de columna, que se regulan por una señal de habilitación de precarga común SEN 813 157. Las señales de fila R0[m] 830, R1[m] 831, R2[m] 832 y R3[m] 833 se accionan por un conjunto de transistores de paso M8 808, M9 809, M10 810 y

M11 811 respectivamente (mostrados en la figura 10 como el grupo 156) a partir de un conjunto de cuatro señales de fuente de fila RS0 820, 160, RS1 821, 161, RS2 822, 162 y RS3 823 163 y una señal de puerta común que es específica para una fila m de píxeles dada, R[m] 815 159. Los TFT periféricos M1 801, M3 803, M8 808, M9 809, M10 810 y M11 811 se colocan preferiblemente alrededor del perímetro de la pantalla; sin embargo en algunas circunstancias puede ser ventajoso colocar parte o todos estos transistores dentro de la distribución de píxeles. De manera similar, puede ser ventajoso desde la perspectiva de una topología de circuito, utilizar dispositivos paralelos o secuenciales que logren la misma función que el circuito de la figura 8 utilizando un circuito diferente pero eléctricamente similar. Tales elecciones de diseño y trazado son permutaciones de implementación comunes conocidas en la materia; los conceptos descritos en la presente memoria no están limitados particularmente por una elección específica de trazado o reorganizaciones paralelas/secuenciales triviales de los dispositivos TFT descritos en la presente memoria.

Puede describirse que el funcionamiento de esta realización de un panel plano consiste en dos fases. En la práctica, las dos fases pueden intercalarse, pero por motivos de claridad se describen en la presente memoria como fases distintas. La primera fase implica escribir una nueva imagen de información para la distribución de píxeles. Para llevar esto a cabo, se realiza una secuencia de operaciones en la distribución. El pseudocódigo para la actualización de imagen es tal como sigue:

```

para (m=0;m<NumRow;m=i+1)
  comenzar
    ClearRow(m);
    para (k=0;k<NumBank;k=k+1)
      comenzar
        para (j=0; j<NumCol; j=j+1)
          comenzar
            WriteCol(m,j);
          fin
        WriteBank(m,k);
      fin
    WriteRow(m);
  fin

```

donde NumRow es el número de filas (en este ejemplo 10), NumCol es el número de puertas de columna (en este ejemplo 30) y NumBank es el número de bancos (en este ejemplo 12). Los comandos ClearRow(m), WriteCol(m,j), WriteBank(m,k) y WriteRow(m) presentan preferentemente dos estados de polaridad que pueden alternarse basándose en el número de fila (m) o imagen para lograr un voltaje de CC equilibrado a través de los píxeles de LCD. Además o como alternativa, la presente realización puede implementar uno cualquiera de varios patrones conocidos de píxel, imagen, fila, punto u otros patrones de inversión tal como se conoce en la materia para lograr el equilibrio de CC a través del material de LCD.

La operación de ClearRow(m) activa M3 803 154 pulsando la puerta SEN 813 157 de manera alta de modo que el voltaje sobre la clavija S 814 158 se conecta a C_{COL} 818 918. También se pulsan de manera alta las líneas de puerta B[k] 816 916 153 para todos los bancos de modo que todos los condensadores de C_{BANK} 819 también se cargan al voltaje en la clavija S 814 158. Finalmente para una fila dada m, se pulsa su línea de selección de fila R[m] 815 de manera alta junto con las cuatro líneas RS 820 821 822 823 160 161 162 163 para transferir el voltaje de la clavija S 814 158 a una fila de píxeles a través del TFT de transferencia de fila M4 804 904, M5 805 905, M6 806 906 y M7 807 907 en cada píxel. Esta operación actúa para establecer previamente una fila objetivo m y todos los condensadores de banco a un voltaje que es preferentemente similar a su voltaje programado posteriormente, en el procedimiento que borra el voltaje anterior en el condensador de píxel, V_{PIXEL} 824 924. Sin tal borrado, el método de transferencia de compartición de carga podría conducir a la formación de imágenes fantasma y artefactos. Los expertos en la materia reconocerán que con la elección apropiada de condensadores de transferencia y/o en aplicaciones que son relativamente insensibles a la formación de artefactos de imagen, puede eliminarse la operación de ClearRow(m) para reducir la energía y/o la complejidad.

Una vez que se ha limpiado una fila, la siguiente operación es llenar todos los bancos con esos valores de píxel de fila. Una secuencia de llamadas de WriteCol(m,j), cada una de las cuales carga en paralelo 24 valores de píxel análogos en los condensadores C_{COL} 818 918, construye una distribución de elementos 720 de voltajes en los condensadores C_{COL} 818 918 que entonces se transfieren a un banco k dado pulsando la línea de control de puerta B[k] 816 916 153. Una vez que se han cargado todos los condensadores de banco C_{BANK} 819 919 (un total de 8640 condensadores en este ejemplo), puede accionarse de nuevo la fila objetivo m mediante la acción de la señal de selección de fila R[m] 159 815 y la fuente de fila RS0-3 (160, 161, 163, 163) igual que antes para compartir la carga almacenada en los condensadores C_{BANK} 819 919 con la carga de píxel en los condensadores de almacenamiento de píxel C_{ST} 825 925. Cada fila puede cargarse de manera similar para completar la imagen tal como se describió en el pseudocódigo anteriormente. Los expertos en la materia reconocerán que la secuencia exacta de acciones emprendidas, por ejemplo que las filas se procesen de manera secuencial, puede modificarse para lograr un fin similar. Algunos cambios ventajosos, por ejemplo escribir todas las filas pares

primero, luego todas las filas impares, pueden adaptarse al presente sistema para reducir oscilaciones de voltaje y disipación de energía minimizando las transiciones a la vez que se realiza el equilibrio de CC de inversión de fila. Tales modificaciones y permutaciones se consideran dentro del alcance de las presentes enseñanzas.

5 Una vez que se escriben todos los valores de la distribución de píxeles, la distribución puede colocarse en un estado en espera para conservar la energía hasta que los voltajes de píxel desaparecen y requieren activación para impedir artefactos de imagen (por ejemplo parpadeo). Este estado en espera entre actualizaciones de imagen comprende la segunda fase de la operación de la presente realización. Muchas aplicaciones de paneles planos pueden utilizar una frecuencia de imagen variable; los conceptos descritos en la presente memoria son muy adecuados para aplicaciones en las que la frecuencia de imagen debe discurrir rápido para determinados tipos de contenido (por ejemplo frecuencia de imagen de 30 Hz cuando el usuario está interactuando activamente con el dispositivo) pero también necesita un estado de energía baja donde la velocidad de actualización de imagen puede disminuir hasta algunos Hz. Para lograr esto, puede insertarse un estado en espera de duración variable entre las actualizaciones de imágenes activas de la primera fase descrita anteriormente.

En una realización, las líneas de puerta C[j] 812 151, SEN 813 157, B[k] 816 153 y R[m] 815 159 preferentemente están polarizadas de modo que sus TFT asociados logran una V_{GS} muy próxima a cero. Tales condiciones de tensión baja actúan para eliminar los efectos de la tensión operativa (fase 1) en los dispositivos TFT. Si se requiere tensión negativa adicional para compensar un cambio umbral positivo, el V_{GS} puede hacerse negativa de manera apropiada para generar una cantidad controlada de tensión negativa. Tal como se describió anteriormente, pueden utilizarse dispositivos de monitorización de tensión o mediciones de impedancia de CA, entre otras técnicas, para medir el cambio de umbral de los diversos dispositivos de TFT. Un aspecto clave de los conceptos descritos en la presente memoria es compensar la tensión positiva acumulada por la modulación de forma de onda de amplitud o temporal en una fase sin tensión entre actualizaciones de imagen.

Las líneas RS 820 821 822 823 y los nodos internos que establecen ellas R0[m] 830, R1[m] 831, R2[m] 832, R3[m] 833 también se ciclan durante la fase sin tensión para mantener las cargas de distribución de píxeles. Puesto que normalmente se necesita una V_{GS} fuertemente negativa para bloquear la trayectoria de fuga del condensador de almacenamiento de píxel C_{ST} 825 925, por lo menos uno de los cuatro TFT de transferencia de fila 804 805 806 807 debe apagarse fuertemente en cualquier momento. Los valores de V_{GS} fuertemente negativos tienden a acumular tensión negativa; se sabe que la tensión negativa presenta una fuerte dependencia de la anchura de pulso negativa, haciéndose más grande a medida que la anchura de pulso negativa se hace mayor. En una realización de las presentes enseñanzas, las líneas Rx[m] 830 831 832 833 se hacen bajas secuencialmente una cada vez para impedir la acumulación de tensión negativa a la vez que se conserva el almacenamiento de carga del voltaje de píxel. Al pulsar todas las señales de R[m] 815 159 periódicamente para transferir valores cíclicos de RS 820 821 822 823 a las puertas de transferencia de fila, tres de cuatro TFT de transferencia de fila 804 805 806 807 presentarán cada vez una V_{GS} preferentemente muy próximas a cero, a la vez que el TFT restante presentará su puerta a una V_{GS} suficientemente negativa como para impedir la fuga del voltaje de píxel almacenado durante el periodo en espera. Haciendo rotar la asignación de bloqueo de carga entre por lo menos dos TFT de transferencia de fila 804 805 806 807 dentro de cada píxel, pueden evitarse eficazmente los dañinos efectos de tensión negativa de las anchuras de pulso negativas. Siempre que el voltaje de píxel se conserve mediante FET de transferencia de fila M4, M5, M6 y M7, los TFT de demultiplexación (por ejemplo M1 802, M2 802, M3 803) pueden colocarse en un estado en espera de energía muy baja, tensión muy baja (por ejemplo $V_{GS} = 0$) y/o puede aplicarse tensión negativa compensación.

Tal como se describió anteriormente, la acumulación de tensión negativa puede evitarse en muchos casos manteniendo V_{GS} cerca de cero en la fase en espera; además o como alternativa, el V_{GS} de estado en espera puede controlarse exclusivamente por puerta de entrada para compensar el cambio de umbral operativo. La modulación de tiempo y amplitud puede adaptar de manera efectiva la tensión negativa acumulada para compensar la tensión positiva. En una realización preferida, las formas de onda y niveles utilizados en el estado sin tensión en espera se eligen para minimizar transiciones y disipación de energía.

La figura 11 muestra un conjunto de dispositivos de monitorización de tensión que comparten un SMS de fuente común 256 y SMD de drenaje 255. Los cinco TFT se unen a uno de cada uno de los tipos de señal de puerta del circuito de TFT, concretamente C[0] 250, B[0] 251, SEN 252, R[0] 253 y R0[0] 254. Al someter a prueba la conducción o corriente de drenaje desde SMD 255 hasta SMS 256, puede determinarse la condición de tensión y umbral (incluyendo la pendiente subumbral). Además o como alternativa al método de impedancia de CA descrito anteriormente, pueden añadirse dispositivos dedicados de monitorización de tensión a la pantalla dependiendo de las necesidades exactas de monitorización y compensación. La disposición particular de dispositivos de compensación y clavijas compartidas, si las hay, son una elección de diseño; el ejemplo particular en la figura 11 es únicamente por motivos de ilustración y no se pretende que limite el alcance de las presentes enseñanzas.

Normalmente se requiere la polarización de puerta de los dispositivos de TFT de a-Si:H de tipo N tanto para activar como para desactivar los dispositivos. La polarización de puerta positiva en tales dispositivos “enciende”

el dispositivo y normalmente induce una desviación positiva en el voltaje umbral del dispositivo a lo largo de escalas de tiempo prolongadas. La polarización de puerta negativa “apaga” el dispositivo y normalmente induce tanto un cambio umbral negativo como una reducción de pendiente de subumbral a lo largo de escalas de tiempo prolongadas.

5 Se cree que la acumulación de tensión para accionamiento de puerta bipolar en TFT de a-Si:H generalmente sigue un exponencial extendido de forma:

$$\Delta V_T(t_{ST}) = \Delta V_T^+(t_{ST}) + \Delta V_T^-(t_{ST})$$

10 donde

$$\Delta V_T^+(t_{ST}) = A_+ V_{G+}^{\alpha+} (t_{ST} * D)^{\beta+}$$

15 y

$$\Delta V_T^-(t_{ST}) = A_- V_{G-}^{\alpha-} (t_{ST} * (1 - D))^{\beta-} F_{PW}$$

20 donde ΔV_T es el cambio de umbral, V_G es la polarización de puerta menos el voltaje umbral del dispositivo, t_{ST} es el tiempo de tensión total, A es una constante empírica, D es el ciclo de trabajo de la parte positiva de la señal de accionamiento y F_{PW} es un factor entre cero y uno relacionado con la frecuencia de tensión negativa. Generalmente, el cambio de umbral inducido por tensión es aproximadamente proporcional al cuadrado de la amplitud de accionamiento de puerta ($V_{GS} - V_T$) y aproximadamente la raíz cuadrada del tiempo de tensión total que representa el ciclo de trabajo (por ejemplo $\bar{D} \sim 2$ y $\bar{D} \sim 0,5$). Debido a la dependencia de la ley aproximadamente cuadrada del voltaje, una señal de accionamiento de puerta de alta amplitud de corta duración puede generar significativamente más tensión que un voltaje de puerta menor aplicado a lo largo de un periodo de tiempo más prolongado; en una realización preferida, las amplitudes de accionamiento de puerta se minimizan y el tiempo de carga y el tamaño de TFT se maximizan para disminuir el accionamiento de puerta de V_{GS} requerido y minimizar la tensión de TFT. Las presentes enseñanzas también utilizan la respuesta asimétrica a la tensión positiva y negativa modulando opcionalmente la tensión negativa según se requiera para equilibrar la tensión positiva acumulada.

35 La figura 12 muestra una relación representativa entre la frecuencia de forma de onda de accionamiento 1101 y la acumulación de tensión positiva y negativa en relación con la acumulación de tensión de CC 1100 (= F_{PW} para la tensión negativa) típica de TFT de a-Si:H. Normalmente, la tensión positiva 1102 es independiente de la frecuencia de señal de puerta mientras que la tensión negativa 1103 es altamente dependiente de la frecuencia. En una pantalla plana de TFT explorada convencionalmente en la que cada fila se activa muy brevemente (por ejemplo 15 μs cada imagen de 16,6 ms; o aproximadamente un ciclo de trabajo del 0,1%), la tensión positiva se equilibra más o menos por la tensión negativa acumulada entre pulsos positivos. Dado que la frecuencia de imagen es relativamente alta (por ejemplo, 60 Hz) en comparación con la frecuencia de punto de corte característica en tensión negativa 103, la tensión negativa se reduce sustancialmente en relación con su valor de CC; esta reducción es necesaria de hecho puesto que la tensión negativa es un ciclo de trabajo del 99,9% en un esquema de accionamiento convencional.

45 Con el fin de reducir la energía de la pantalla de panel plano para pantallas de información estática sería útil reducir la frecuencia de imagen de la pantalla plana ya que la energía es más o menos proporcional a la frecuencia de imagen. Sin embargo con una menor frecuencia de imagen, la consiguiente menor frecuencia de tensión negativa aumenta el efecto de la tensión negativa según la figura 1 hasta el punto en el que la vida útil de la pantalla plana se acorta sustancialmente. Las presentes enseñanzas describen una técnica de circuito que mitiga tal tensión negativa a velocidades de imagen muy bajas (por ejemplo 4 Hz) para lograr una pantalla de energía en espera muy baja.

55 Uno de los objetivos clave de los circuitos de controlador de fila y columna integrados es reducir el número de clavijas requerido para accionar el sustrato de pantalla. Los controladores integrados normalmente deben presentar algunas señales que se modulen sustancialmente más rápido y/o con más frecuencia que la frecuencia de imagen para lograr tal reducción de número de clavijas. Debido a la frecuencia operativa limitada de los TFT de a-Si:H, tales modulaciones superiores requieren un ciclo de trabajo superior de por lo menos alguno de los dispositivos utilizados en los circuitos integrados de controlador. Además, debido a la necesidad de altos voltajes para conmutar dispositivos de TFT en la distribución de píxeles, tales circuitos de controlador deben diseñarse para manejar normalmente voltajes superiores a la de la distribución de píxeles. Con un ciclo de trabajo superior y voltajes superiores se consigue una tensión positiva superior y desvíos de umbral superiores; tales efectos constituyen la principal limitación en la vida útil operativa de las pantallas de TFT de a-Si:H de controlador integrado. Las presentes enseñanzas describen un método mediante el cual puede reducirse el ciclo de trabajo y

la polarización de voltaje positivo en controladores integrados a la vez que se mantiene la capacidad para accionar voltajes positivos y negativos de alta amplitud en la distribución de píxeles.

La figura 13 muestra una sección transversal simplificada de una pantalla de panel plano de LCD de TFT de polarizador único reflectante 1200. El conjunto de circuitos de control 1202 está fabricado sobre un sustrato 1201. El conjunto de circuitos de control 1202 puede implementarse preferiblemente en un procedimiento de TFT de a-Si pero alternativamente puede implementarse utilizando procesamiento LTPS o cualquier tecnología de plano posterior que puede utilizar conmutador de película delgada. El sustrato 1201 puede ser vidrio, plástico, cuarzo, metal o cualquier otro sustrato que pueda soportar la fabricación del dispositivo de conmutación. El electrodo 1203 puede formarse mediante procedimientos litográficos, de deposición y/o químicos y puede texturizarse para reflejar de manera difusa la luz incidente. El material de pantalla de cristal líquido 204 está situado entre las placas superior e inferior 1203 y 1211. Filtros de color 205 y un conductor transparente 1211 están depositados sobre el sustrato superior 1206. Una película de retardo o placa de cuarto de onda 1207 puede estar colocada encima del sustrato superior 1206. Un polarizador difusor 1208 completa el apilamiento de LCD 1200. En el funcionamiento típico, la luz incidente 1209 se polariza, se filtra y se refleja de manera difusa por el apilamiento de LCD 1200 para crear una imagen reflejada 1210.

Configuraciones de pantalla activa alternativas distintas a la mostrada en la figura 13, tales como tecnologías de pantalla reflectante de polarizador doble, transmisiva, transreflectiva, retroiluminada, iluminada con luz lateral, huésped-anfitrión, ECB, OCB, STN, HTN, TN, MTN, RTN, PDLC, electroforética, de tinta electrónica y de otro cristal líquido alternativo y/o tecnologías de pantalla que requieren un plano posterior activo pueden beneficiarse de las presentes enseñanzas. La descripción específica en la presente memoria de una LCD reflectante que incorpora las presentes enseñanzas no limita el alcance de las presentes enseñanzas en su aplicación a materiales y tecnologías de pantalla alternativas.

La figura 14 muestra un diagrama de bloques de ejemplo del sistema de accionamiento eléctrico de la pantalla de panel plano 1300. El sustrato de TFT 1306 incorpora una distribución de píxeles de TFT 1305, un controlador de columna integrado 1303 y un controlador de fila integrado 1302. Un IC de controlador montado fuera de sustrato 1301 proporciona señales de control a la distribución de píxeles de TFT 1305, el controlador de fila integrado 1302 y el controlador de columna integrado 1303. En una realización alternativa, el IC de controlador 1301 puede unirse al sustrato 1306 utilizando una amplia variedad de técnicas de ensamblaje que se conocen bien en la materia tales como unión de chip sobre vidrio (COG) utilizando película conductora anisotrópica (ACF). En una realización adicional, el IC de controlador se empaqueta utilizando tecnología de chip sobre película (COF); una película de este tipo se une posteriormente al sustrato 1306 para proporcionar señales de accionamiento eléctrico. También puede integrarse un conjunto de circuitos 1304 opcional tal como sensores de monitorización de umbral y/o circuitos de conversión de energía en tecnología TFT sobre el sustrato 1306.

La figura 14 muestra un diagrama eléctrico del controlador de columna integrado 1303, el controlador de fila integrado 1302 y la distribución de píxeles de TFT 1305 para una pantalla de ejemplo con 240x120 píxeles de banda RGB que contiene una distribución de 720x120 elementos de píxel eléctricos 1305. Los expertos en la materia pueden aplicar las presentes enseñanzas a muchas resoluciones de píxeles y anchuras de bus de control alternativas; la elección de 240x120 es únicamente por motivos de ilustración y no limita el alcance de las presentes enseñanzas a resoluciones o anchuras de bus de señal específicas. También en lo que sigue se supone que los dispositivos TFT presentan un voltaje umbral de cero por motivos de simplificación de la descripción. Los expertos en la materia reconocerán que los voltajes umbral distintos de cero se adaptan fácilmente compensando la puerta y los voltajes de control descritas en la presente memoria. Los expertos en la materia generalizan fácilmente las presentes enseñanzas para voltajes de umbral distintos de cero; tales generalizaciones se consideran dentro del alcance de las presentes enseñanzas.

En la figura 15, las clavijas CS[44:0] 400 suministran las tensiones de píxel de LCD analógicas que se accionan en la distribución de píxeles 1405. Los TFT de demultiplexación de columna, uno de los cuales se identifica como M1 1601 en la figura 14, están controlados por un solo bit de memoria dinámica almacenado en un condensador de puerta, el correspondiente para el que M1 1601 se identifica como C_{MEM0} 612 en la figura 15. La polarización de puerta almacenada en cada uno de los condensadores de control de demultiplexación de columna tales como C_{MEM0} 1612 determina si el TFT de paso de columna (por ejemplo M1 601) está en un estado "encendido" conductor o "apagado" no conductor. Las líneas de columna 720, varias de las cuales se identifican con la etiqueta V_{COL} en la figura 15 (donde $n=de 0 a 719$), presentan grandes capacitancias parásitas en la distribución de píxeles 1405 que se utilizan como almacenamiento temporal para una fila de tensiones de píxel, una de las cuales se identifica como C_{COL0} 625 en la figura 15. Se analiza una fila de tensiones de píxel sobre tales capacitancias parásitas por las cuarenta y cinco CS[44:0] líneas 400 utilizando los cuarenta y cinco 16:1 circuitos de demultiplexación mostrados en la figura 15 compuestos por transistores de paso tales como M1 1601 que se pulsan secuencialmente para muestrear tensiones desde CS[44:0] 400 sobre condensadores de columna tales como C_{COL0} 1625. Preferentemente, los tamaños de M1 1601 y los TFT de paso de columna de función equivalente se eligen para que sean lo suficientemente largos como para permitir que se produzca una conducción significativa incluso con un voltaje de polarización de puerta-fuente relativamente bajo (por ejemplo de algunos voltios).

Cada operación de demultiplexación de columna requiere tres fases tal como se muestra en el diagrama de tiempo en la figura 16 que incluye las formas de onda relevantes requeridas para accionar un voltaje en el condensador de columna más a la izquierda $C_{\text{COL}0}$ 625 de la distribución de píxeles 1405. La figura 17 también incluye un subconjunto relevante de los dispositivos requeridos para establecer el voltaje de columna $V_{\text{COL}0}$ 1613 y los dispositivos de control de fila requeridos para escribir el voltaje de columna almacenado $V_{\text{COL}0}$ 1613 en una célula de píxel. La operación de exploración de columna descrita a continuación indica una utilización preferida de los circuitos y las formas de onda mostradas en las figuras 15, 16 y 17.

Al comienzo de la operación de demultiplexación de columna, se supone que todos los condensadores de control de demultiplexación de columna tales como $C_{\text{CMEM}0}$ 1612 presentan una polarización negativa, es decir, todos los TFT de paso de columna tales como M1 1601 están en el estado “apagado”. En esta primera fase, las líneas de CS[44:0] 1400 1500 se llevan preferentemente a un voltaje de nivel medio, mostrada como V_{MID} en la figura 16, aunque es aceptable una amplia variedad de tensiones. El terminal de CG 1407 1501 se lleva a un voltaje que está suficientemente por encima del nivel de voltaje medio V_{MID} de CS[44:0] 1400 1500 para generar una polarización de puerta que coloca M1 1601 en un estado “encendido”. Preferentemente, el estado “encendido” de M1 1601 requiere sólo algunos voltios de accionamiento de voltaje V_{GS} , es decir M1 1601 está diseñado para ser suficientemente grande como para presentar una conducción aceptable con algunos voltios de accionamiento de V_{GS} . Las líneas de CA[15:0] 1401 están programadas de modo que sólo uno de los dieciséis cables presenta una V_{GS} positiva y puede pasar el voltaje de puerta de control, CG 1407, hasta el condensador de control seleccionado tal como $C_{\text{CMEM}0}$ 612. En la figura 16, CA0 1502 se acciona por encima del voltaje de CG 1501 durante la fase 1 para programar el estado de M1 1601 a “encendido” 1503. Dado que las tensiones de puerta y fuente de todos los TFT activados no dependen de datos durante esta operación, las tensiones de puerta utilizadas para establecer los condensadores de control tales como $C_{\text{CMEM}0}$ 1612 pueden mantenerse muy bajas en comparación con los circuitos de demultiplexación convencionales que normalmente deben pasar datos de alto voltaje o información de control. De este modo, el estado de los condensadores de control $C_{\text{CMEM}n}$ puede establecerse utilizando sólo señales de control de bajo voltaje que minimizan la tensión de puerta tanto en los TFT de demultiplexación de control de columna tales como M2 1602 como en los transistores de paso de columna tales como M1 1601. Al final de la primera fase, el voltaje en las columnas seleccionadas (por ejemplo $V_{\text{COL}0}$ 1613 1504) se ha establecido a V_{MID} y las líneas de CA[15:0] se llevan de nuevo a un estado de polarización negativa que puede preservar el estado de las tensiones de control de demultiplexación de columna almacenadas en condensadores tales como $C_{\text{CMEM}0}$ 1612 a lo largo del intervalo de las modulaciones de CS[44:0] 1400 1500 posteriores.

En la segunda fase de la operación de demultiplexación de columna, los niveles de voltaje de fuente CS[44:0] 1400 1500 se accionan a un valor de voltaje de píxel analógico deseado. Los transistores de paso de columna que están en el estado “encendido” siguen la variación de CS[44:0] 1400 1500 tanto para recorridos positivos como negativos desde el voltaje de nivel medio, V_{MID} . Una consecuencia importante de utilizar un voltaje de control almacenado en $C_{\text{CMEM}0}$ 1612 durante la primera fase es que el V_{GS} del transistor de paso M1 1601 es casi independiente del voltaje de fuente de píxel que se acciona a partir de CS[44:0] 1400 1500 sobre los condensadores de columna $C_{\text{COL}n}$ (por ejemplo $C_{\text{COL}0}$ 1625). Esto desacopla el intervalo de voltaje de fuente de píxel requerido (que podría ser de 10 V o más) del voltaje de control (que podría ser sólo de 2 V para impedir la acumulación de voltaje) y en consecuencia evita la tensión de polarización positiva asociada con un alto V_{GS} .

La fase tercera y final de la operación de demultiplexación de columna descarga el condensador de control de TFT “encendido” a un estado “apagado”. CG 1407 1501 se lleva a un potencial suficientemente bajo para garantizar que todos los TFT de paso de columna tales como M1 1601 estarán en el estado “apagado” independientemente de las tensiones almacenadas en los condensadores $C_{\text{COL}n}$ (por ejemplo $C_{\text{COL}0}$ 1625). Aunque el voltaje de puerta de M1 1601 depende de los datos en el momento de la descarga, la descarga del condensador $C_{\text{CMEM}0}$ 1612 a un voltaje negativo no requiere una V_{GS} dependiente de datos a través de M2 1602. El TFT de paso de columna seleccionado previamente (por ejemplo M1 1601) cambia a un estado “apagado” estableciendo la línea de CA[15:0] 1401 correspondiente (por ejemplo CA0 1502 en la figura 16) a un voltaje suficientemente por encima del nivel de CG 1407 1402 para encender M2 1602, descargando $C_{\text{CMEM}0}$ 1612. Al final de la fase tercera y final de la operación de demultiplexación de columna, las líneas de CA[15:0] 1401 vuelven a una polarización de puerta “desconectada” negativa.

Tal como se describió anteriormente, las presentes enseñanzas confieren varias ventajas importantes con respecto a los circuitos de demultiplexación y/o exploración de la técnica anterior. En primer lugar, el estado de control del demultiplexador puede establecerse utilizando sólo señales de control de bajo voltaje que no necesitan adaptarse a ninguna dependencia de datos, que tanto minimiza como regulariza la tensión positiva, es decir la tensión observada por los transistores es más o menos uniforme, independientemente de los datos de píxel. En segundo lugar, se permite que el voltaje de fuente de píxel presente un amplio recorrido sin introducir un gran voltaje de tensión positiva en el transistor de paso de demultiplexación también independiente del voltaje de fuente de píxel. En tercer lugar, el estado de control del demultiplexador puede reiniciarse sin introducir una gran tensión positiva en el TFT de demultiplexación. En cuarto lugar, las señales de control para el demultiplexador se mantienen a una bajo voltaje que puede permitir la utilización de tecnología de IC de

controlador de voltaje inferior para establecer el estado del demultiplexador (es decir, las tensiones de condensador de C_{CMEMn}).

Tal como se muestra en la figura 16, el TFT de control M2 1602 sólo se activa durante cortos periodos de tiempo 1507 y sin una gran polarización de V_{GS} . La polarización positiva limitada y el ciclo de trabajo limitados son suficientes para permitir la exploración de columna utilizando TFT de a-Si:H convencionales.

Mediante la aplicación de las señales de selección CA[15:0] 1401 en secuencia tal como se muestra en la figura 16 (1505 y 1506), puede muestrearse una secuencia de tensiones en el tiempo en CS[44:0] 1400 1500 y almacenarse temporalmente en la distribución de 1720 condensadores de columna C_{COLn} que alimentan la distribución de píxeles 1405. Al final de una operación de exploración de columna, cada uno de los condensadores C_{COLn} (1720 en este ejemplo) presenta un voltaje correspondiente a un nivel de píxel deseado para una fila dada. La siguiente operación de la distribución es escribir las tensiones de columna 1720 en una fila de píxeles elegida.

Cada una de las columna 1720 de la distribución de píxeles de TFT 1405 se compone de quince grupos de fila 404, cada uno de los cuales contiene 1120 píxeles horizontales por 8 verticales. Cada grupo de fila 1104 puede seleccionarse por la operación de los TFT de demultiplexación de fila, algunos de los cuales se identifican como M3 1103, M4 1104, M5 1105 y M6 1106 en las figuras 15 y 17.

Cada píxel 1406 contiene un conjunto de circuitos para controlar el voltaje de píxel de LCD además de contrarrestar la tensión de polarización en los TFT de píxel. La figura 17 muestra una conducción eléctrica de un único píxel (esquina superior izquierda, índice de fila = 0, índice de columna = 0) y trayectorias de control desde los puntos de conexión de entrada/salida del sustrato de TFT 201. Cada píxel 1406, 1600 requiere dos señales de control para la selección, identificadas como V_{ROW0} 1620 y V_{ROW1} 1621 en las figuras 15 y 17. Un píxel 1406, 1600 captura el voltaje V_{COLn} de su línea de columna correspondiente cuando una señal de control de alto voltaje en las líneas de control de fila (por ejemplo V_{ROW0} 620 y V_{ROW1} 621) hace que el condensador de almacenamiento de píxel C_{ST} 1624 y el condensador de columna C_{COLn} (por ejemplo C_{COL0} 1625) compartan carga a través de los transistores de paso M7 1607 y M8 1608. De este modo, el voltaje a través del píxel de LCD 1406 (por ejemplo $V_{PIXEL0,0}$ 1622 en la figura 17) puede programarse independientemente para generar un estado óptico deseado del píxel controlando el voltaje a través del cristal líquido, mostrado como el condensador C_{LC} 1623 en la figura 17. El condensador de almacenamiento de píxel C_{ST} 1624 es de manera preferible suficientemente grande como para impedir la fuga de carga de píxel durante periodos no seleccionados. C_{ST} 1624 se conecta a una línea de referencia de condensador de píxel común PC 1627. Además o como alternativa, la capacitancia de mantenimiento C_{ST} 1624 puede presentar un voltaje de placa posterior que es una de las líneas accionadas dentro de la distribución, por ejemplo V_{ROW0} 1620. La célula de cristal líquido 1204 se muestra como un condensador C_{LC} 1623 sencillo cuya placa posterior está sobre el sustrato opuesto de la LCD 1206 y accionado por V_{COM} 1626. V_{COM} 1626 puede accionarse opcionalmente con una forma de onda de CA para mejorar la retención de la célula, limitar las oscilaciones de voltaje de distribución y/o reducir la energía del sistema.

El voltaje de fuente de píxel CS0 1609 se conecta a través de un TFT de paso de columna M1 1601 a un condensador de mantenimiento C_{COL0} 1625 normalmente parásito cuando el condensador de control de puerta de transistor de paso de columna C_{CMEM0} 1612 se ha establecido alto por la acción de CG 1610, CA0 1611 y M2 1602 tal como se describió anteriormente. Además o como alternativa, puede crearse un condensador de columna intencional para aumentar la capacitancia parásita en la línea de columna según se requiera para ayudar a la transferencia de carga desde el condensador de columna C_{COL0} 1625 al condensador de almacenamiento de píxel, C_{ST} 1624. El voltaje V_{COL0} 1613 representa la información de píxel almacenada temporalmente para un píxel dado en su columna asociada, en el ejemplo de la figura 17 es el índice de columna cero.

En una realización, se accionan tensiones de fuente de píxel CS[44:0] 1400 1500 (por ejemplo, CS0 1609) con tensiones de nivel de píxel que representan (aunque no son necesariamente iguales a) el voltaje final deseado para los píxeles seleccionados. Debido a la compartición de carga en operaciones posteriores (por ejemplo, la transferencia de carga desde C_{COL0} 1625 hasta C_{ST} 1624), el voltaje en el píxel, por ejemplo, $V_{PIXEL0,0}$ 1622 será el voltaje de fuente de píxel accionado en CS[44:0] 1400 1500 (por ejemplo, CS0 1609) modificado por la razón de las capacitancias de compartición, las condiciones de voltaje inicial, la capacitancia puerta-drenaje, la oscilación de voltaje de puerta, la división de carga y las capacitancias parásitas adicionales en el sistema, entre otros efectos. Para reducir el efecto de tales no idealidades los voltajes de fuente accionados CS[44:0] 1400 1500 1609 preferentemente se distorsionan previamente para compensar las modificaciones de voltaje esperadas en el circuito de TFT de las figuras 15 y 17 de modo que entonces los voltajes de nodo de píxel, por ejemplo $V_{PIXEL0,0}$ 1622, alcanzan los niveles deseados para crear una imagen deseada en la pantalla de cristal líquido.

Las señales de habilitación de fila para el píxel de la figura 17 se generan en una operación de selección de fila de cuatro fases. La figura 18 muestra un diagrama de tiempo con formas de onda de ejemplo tanto para una

operación de fila seleccionada 1700 como para los dos casos para operaciones de fila no seleccionada 1701 1702. En la primera fase 1703 del caso de fila seleccionada 1700, la línea de fuente de fila RS0 1403 1616 1707 se establece al nivel de voltaje V_{OFF} que se elige preferiblemente para impedir una fuga de carga de píxel desde C_{ST} 1624. La línea RG común 1408, 1614, 1708 se establece a un voltaje suficiente por encima del voltaje V_{OFF} de manera que los TFT M3 1603 y M4 1604 se accionarán a un estado “encendido” si se selecciona. Las líneas RA[1:0] 1615 1618 1709 se establecen entonces a un voltaje por encima del voltaje de RG 1408 1614 1708 para permitir que M5 1605 y M6 1606 conduzcan. La conducción se indica mediante el punto negro en la figura 18 en la fase 1; obsérvese que el sobreaccionamiento de V_{GS} requerido para establecer un estado “encendido” en M3 1603 y M4 1604 se mantiene preferentemente pequeño para minimizar una tensión de voltaje positivo. Por consiguiente, los condensadores de control de fila, C_{RMEM0} 1617 y C_{RMEM1} 1619, se programan a un estado “encendido” 1710 1711 y conecta las líneas de fila seleccionadas V_{ROW0} 1620 y V_{ROW1} 1621 a la fuente de voltaje RS0 1403 1616 1707. Puesto que la fuente de fila y los voltajes de puerta se conocen todos y no pasan activamente altos voltajes en esta fase, el V_{GS} tanto para los transistores de paso de fila (por ejemplo, M3 1603 y M4 1604) como de selección (por ejemplo, M5 1605 y M6 1606) puede mantenerse relativamente bajo (por ejemplo, algunos voltios), limitando el impacto de la tensión positiva en los dispositivos. Al final de la primera fase, las líneas RA[15:0] 1402 se establecen a un bajo voltaje para congelar el estado “encendido” en los transistores de paso de fila M3 1603 y M4 1604 seleccionados.

En la segunda fase 1704 de la operación de fila seleccionada 1700, el voltaje RS0 1403 1616 1707 se eleva a un alto voltaje V_{ON} para transferir la carga desde la distribución de condensadores de columna C_{COLn} 1720 (por ejemplo, C_{COL0}) a la fila seleccionada de condensadores de almacenamiento de píxel (por ejemplo, C_{ST} 1624). Puesto que la información de control se recogió en los condensadores C_{RMEM0} 1617 y C_{RMEM1} 1619 en la primera fase 1703, el V_{GS} del transistor de paso de fila se mantiene aproximadamente constante e independiente de la amplitud de accionamiento de fila V_{ON} en la figura 18. Se obtiene una ventaja significativa con respecto a la técnica anterior demultiplexando circuitos de accionamiento de fila evitando transistores de paso que observan un alto V_{GS} debido a que pasan a tensiones de fila “apagadas”. Además, se reduce el voltaje de control más alto que va a generarse mediante el IC de controlador externo 1301. Al final de la segunda fase 1704, la línea RS0 1616 1707 se devuelve al voltaje V_{OFF} .

En la tercera fase 1705 de la operación de selección de fila, una de las líneas de RA[1:0] 1709, en este caso RA1 1618, se lleva a un voltaje más negativo que RA0 1615. Esto presenta el efecto de mantener el estado “encendido” del M4 1604. Entonces, se lleva RG 114 1708 a un voltaje más bajo que el voltaje RA0 1615, haciendo que M5 1605 conduzca y descargue el condensador C_{RMEM0} 1617. Esto presenta el efecto de poner el estado del transistor de paso M3 1603 en “apagado” tal como se muestra en el diagrama de estado de M3 1710. Al final de la tercera fase 1705, la RS0 1616 1707 se lleva a un nivel de potencial de intervalo medio V_{REST} lo que hace que V_{ROW1} 1621 siga la RS0 1616 1707 hasta V_{REST} ya que M4 1604 todavía está en el estado “encendido” tal como se muestra en 1711 1713.

En la fase cuarta y final 1706, la línea RA1 1618 se pulsa a un voltaje por encima del voltaje RG 1614 para descargar el condensador C_{RMEM1} 1619 y poner el M4 1604 en un estado “apagado” 1711. Al final de la cuarta fase 1706, los transistores de paso de fila M3 1603 y M4 1604 están en un estado “apagado” 1710 1711. Obsérvese que el accionamiento de V_{GS} “encendido”, indicado mediante los pequeños puntos negros en la figura 18 durante las fases primera 1703, tercera 1705 y cuarta 1706, se mantiene preferentemente pequeño para minimizar la acumulación de tensión positiva en la lógica de demultiplexación. Limitando el V_{GS} a la vez que se demultiplexan señales de intervalo de voltaje grande (por ejemplo, oscilaciones de fila de V_{OFF} a V_{ON}), las presentes enseñanzas facilitan la integración de funciones de controlador avanzadas en procedimientos de TFT de a-Si:H.

Las líneas RA[15:0] 1402 se pulsan secuencialmente en pares de manera similar a RA[1:0] 1615 1618 en la figura 18 para acceder secuencialmente a cada uno de los pares de filas en la distribución de píxeles. Las líneas RS[14:0] 1403 se accionan secuencialmente con señales de selección de manera similar a RS0 1707 para accionar líneas de fila en otros grupos de fila 1404.

Filas no seleccionadas que no comparten el mismo par de activación RA[n+1:n] pero comparten la misma línea RS[m] con la fila seleccionada no se ponen en el estado “encendido” tal como se muestra en la sección de temporización 1702 de la figura 18. Las filas no seleccionadas que comparten el mismo par de activación RA[n+1:n] 1402 pero no comparten la misma RS[m] con la línea de fila seleccionada se utilizan preferiblemente para intercambiar los voltajes en los pares de filas para proporcionar mitigación de tensión para la distribución de píxeles transistores M7 1607 y M8 1608 tal como se muestra en la sección de tiempo 1701 de la figura 18 y se describe a continuación.

Las formas de onda de fila no seleccionada 1701 mostradas en la figura 18 se producen cuando una línea de grupo de filas RS[n] no se acciona al estado alto V_{ON} para seleccionar una fila de píxel en ese grupo durante la segunda fase de la programación de fila. En el ejemplo de fila no seleccionada 1701 de la figura 18, la línea RS0 1616, 1707 se mantiene baja durante la fase de acceso de fila (fase dos 1704). El patrón de los estados “encendido” y “apagado” 1710 1711 de M3 1603 y M4 1604 es similar al patrón observado con la fila

seleccionada. Preferentemente, el tiempo del retorno al estado “apagado” de M3 1603 1710 y M4 1604 1711 se alterna entre activaciones sucesivas de RA[1:0], provocando por tanto los V_{ROW0} 1620 y V_{ROW1} 1621 para intercambiar preferentemente niveles de voltaje entre V_{REST} y V_{OFF} durante una operación de fila no seleccionada tal como 1701. Obsérvese que los voltajes de puerta en los transistores de paso de píxel M7 1607 y M8 1608 emplean una transición de conmutación de “contacto de cortocircuito”; entonces, esto garantiza que la carga de píxel en C_{ST} 1624 esté bien protegida contra variaciones de tiempo de establecimiento/caída y fuga de carga en transiciones de voltaje de fila.

Las líneas de control de fila para cada píxel (por ejemplo, V_{ROW0} 1620 y V_{ROW1} 1621 para la primera fila de píxeles) son responsables de mantener el aislamiento entre la carga de píxel almacenada y la línea de columna en entre activaciones de fila de píxel. Para alcanzar una fuga suficientemente baja en M7 1607 y M8 1608, se requiere un voltaje de puerta negativo. Sin embargo, debido al deseo de reducir la frecuencia de imagen muy por debajo de la frecuencia de reducción gradual de tensión negativa mostrada en la figura 12, este voltaje de puerta negativo no debe aplicarse de manera continuada. En una realización preferida de la presente invención, dos niveles de voltaje (V_{REST} y V_{OFF}) se utilizan alternativamente en las líneas de fila V_{ROW0} 1620 y V_{ROW1} 1621 para impedir tanto la fuga como la acumulación de tensión negativa. Alternando los voltajes V_{ROW0} 1620 y V_{ROW1} 1621 entre una polarización “apagada” (V_{OFF}) y un voltaje de reducción de tensión V_{REST} a una frecuencia similar a pantallas de frecuencia de imagen rápida (por ejemplo, alternancia de 60 Hz), los efectos de tensión negativa en M7 1607 y M8 1608 de la figura 17 pueden reducirse significativamente.

En una realización preferida, el nivel de voltaje V_{OFF} se elige para ser lo suficientemente negativo de manera que, entonces, la carga de píxel almacenada en C_{ST} 1624 no se fuga sustancialmente a través de M7 1607 o M8 1608 entre actualizaciones de píxel. Sólo uno de M7 1607 o M8 1608 necesita accionarse mediante V_{OFF} para alcanzar una fuga baja del píxel. El voltaje V_{REST} se elige preferentemente para proporcionar una polarización ligeramente positiva a los TFT de selección de píxel (M7 1607 y M8 1608) que actúa para retirar una acumulación de orificio dentro del canal del M7 1607 y el M8 1608 y por consiguiente interrumpir el procedimiento de acumulación de tensión negativa del canal de TFT. Los voltajes V_{REST} y V_{OFF} se muestrean en las líneas V_{ROW0} 1620 y V_{ROW1} 1621 y se mantendrán mediante la capacitancia parásita de las líneas de fila entre operaciones de accionamiento.

Además o como alternativa, puede seleccionarse una polarización ligeramente negativa o neutra para el voltaje V_{REST} . Además o como alternativa, la línea RS 1408 1616 1800 puede modularse con un pulso positivo gradual adicional entre la fase tres 1705 y la fase cuatro 1706 descritas a continuación que eleva RS0 1403 1616 1707 a un nivel más alto que todos los voltajes de píxel posibles $V_{PIXELn,m}$ en la distribución. Esto presenta el efecto de garantizar la expulsión de orificio de los canales de TFT en M7 1607 y M8 1608 que actúa para restablecer el mecanismo de acumulación de tensión negativa dominante. La línea RS0 1403 1616 1707 puede retornarse entonces a un voltaje neutro o ligeramente negativo V_{REST} al final de la tercera fase descrita anteriormente para minimizar posteriormente la tensión negativa o positiva entre ciclos de actualización.

A una velocidad de actualización de imagen de 4 Hz en el presente ejemplo de una pantalla de fila de 120, los pares RA[15:0] 1402 se activan quince veces durante la imagen lo que da como resultado un periodo de alternación de voltaje de fila de 60 Hz, similar a un perfil de exploración de actualización convencional cuando se considera acumulación de tensión negativa. Los efectos de tensión negativa normalmente asociados con velocidades de imagen muy bajas pueden suprimirse aunque al mismo tiempo la carga de píxel en C_{ST} 624 pueda conservarse sustancialmente con uno de los TFT M7 1607 o M8 1608 en un estado de apagado fuertemente negativo.

Modulando las líneas V_{ROW0} 1620 y V_{ROW1} 1621 observadas mediante cada fila en direcciones opuestas, el acoplamiento parásito de las líneas de fila al nodo de píxel $V_{PIXEL0,0}$ 1622 se equilibra para reducir artefactos fluctuantes. La potencia requerida para modular las líneas de fila entre V_{REST} y V_{OFF} es relativamente baja en comparación con la fuga en circuitos de memoria de píxel LTPS; las presentes enseñanzas proporcionan un método para alcanzar un estado de fuga bajo en una carga de píxel dinámica sin producir el alto supuesto de potencia asociado a una actualización de imagen de 60 Hz de TFT de a-Si:H o el alto coste de una memoria de píxel integrada de LTPS.

El número exacto de operaciones de exploración de columna (figura 16) y operaciones de carga de fila (figura 18) viene dictado por la resolución de pantalla y las elecciones del diseñador sobre la división de columnas, líneas de fuente de fila de píxeles y líneas de selección de fila; las presentes enseñanzas no se limitan a un número particular de operaciones de exploración de columna ni al número exacto y/o la secuencia de pulsos de exploración en las fuentes o puertas de demultiplexación de columna. De manera similar, las presentes enseñanzas no se limitan a un número particular de operaciones de carga de fila o el número exacto y/o secuencia de pulsos de exploración en las fuentes o puertas de demultiplexación de fila.

La tensión positiva en las puertas de selección de columna CA[15:0] 1401 es mucho más alta que la tensión positiva en las líneas de puerta de píxel V_{ROW0} 1620 y V_{ROW1} 1621 debido al ciclo de trabajo positivo más alto de las puertas de selección de columna durante la operación de exploración de columna mostrada en la figura 16.

En una realización de las presentes enseñanzas, los voltajes de puerta de columna en M1 1601 y M2 1602 pueden accionarse a un voltaje negativo durante la operación de carga de fila de la figura 18 para crear intencionadamente tensión negativa para compensar la tensión positiva acumulada durante la operación. Aplicando una señal modulada de amplitud o tiempo no operativo (es decir, sin actualización de pantalla) durante operaciones de carga de fila cuando las columnas, en cualquier caso, están inactivas, puede aplicarse de manera intencionada y proactiva tensión negativa en los TFT de paso de columna M1 1601 o los TFT de control de columna M2 1602 en cantidades medidas para contrarrestar la acumulación de tensión positiva durante la operación de exploración de columna operativa.

De manera similar, la tensión positiva en los TFT de selección de fila (por ejemplo M3 1603, M4 1604, M5 1605 y M6 1606) es mucho más alta que la tensión positiva en las líneas de puerta de píxel V_{ROW0} 1620 y V_{ROW1} 1621 debido al ciclo de trabajo positivo más alto de las señales de control de selección de fila RA[15:0] 1402 durante la operación de carga de fila de la figura 18. En una realización de las presentes enseñanzas, las señales de fila de control pueden accionarse a una condición de tensión negativa controlada durante la operación de exploración de columna para generar intencionadamente tensión negativa para compensar la tensión positiva acumulada durante la operación. Aplicando una señal modulada de amplitud o tiempo no operativo (es decir, sin actualización de pantalla) durante las operaciones de exploración de columna representadas en la figura 16 cuando las filas, en cualquier caso, están inactivas, puede aplicarse de manera intencionada y proactiva tensión negativa en los TFT de control de fila (por ejemplo, M3 1603, M4 104, M5 1605 y M6 1606) en cantidades medidas para contrarrestar la acumulación de tensión positiva durante la alternancia de fila u operación de carga de fila operativa representada en la figura 18.

Mediante la adaptación de las duraciones de impulso, los periodos de tensión negativa y los voltajes positivos y negativos de puerta de manera apropiada, puede equilibrarse la tensión positiva y negativa a través de todos los tipos de accionamiento de puerta (selecciones de columna, selecciones de fila, controles de columna, controles de fila y selecciones de píxel) requeridos para soportar el sistema de accionamiento de columna y fila descrito por las presentes enseñanzas.

En una realización adicional o alternativa, el sobreaccionamiento de V_{GS} aplicado para “encender” los TFT de demultiplexación puede ajustarse sobre la vida del panel para compensar desvíos de umbral inducidos por tensión en los TFT de demultiplexación monitorizando la corriente dinámica en las líneas de fuente (por ejemplo, CG 1408, RG 1408, CS[44:0] 1400 o RS[14:0] 1403) durante los diversos intervalos de carga descritos anteriormente para garantizar que los condensadores cargas (por ejemplo, C_{CMEMn} , C_{RMEMn} , C_{COLn} , C_{ROWn} respectivamente) se establecen en un voltaje final en el tiempo asignado (es decir, la corriente dinámica se aproxima a cero al final del intervalo). Las presentes enseñanzas confieren la habilidad de ajustar de manera dinámica e independiente los sobreaccionamientos de los diversos tipos de transistor de demultiplexación diferentes (por ejemplo, M1 1601, M2 1602, M3 1603 y M5 1605) en respuesta a las diversas condiciones de frecuencia de imagen y de cambio de umbral. En un aspecto importante de las presentes enseñanzas, el voltaje de sobreaccionamiento de puerta de M1 1601, M2 1602, M3 1603 y M5 1605 y TFT similares puede ajustarse significativamente a voltajes más altos sin aumentar el intervalo de voltaje general del IC de controlador 1301 a medida que el voltaje más alto generado (normalmente V_{ON} en las líneas de fila) con frecuencia es significativamente más alto que las señales de sobreaccionamiento de puerta con un panel no envejecido. Compensando por tensión de polarización inducida con sobreaccionamiento de puerta adicional que no afecta al intervalo de voltaje de IC de controlador, las presentes enseñanzas proporcionan una ventaja operativa significativa sin aumentar el coste.

Aunque se describen utilizando una realización específica de una pantalla RGB de 240x120, las presentes enseñanzas pueden aplicarse generalmente a cualquier sistema de pantalla basado en demultiplexador que presente TFT o dispositivos de conmutación con mecanismos de acumulación de tensión negativa y positiva no lineal y asimétrica.

Las formas de onda de control de tensión descritas anteriormente pueden determinarse previamente para compensar las formas de onda de accionamiento conocidas y una no linealidad de tensión de TFT conocida. Sin basarse en retroalimentación, un sistema de este tipo se conoce en la técnica como un sistema de compensación de avance.

En una realización adicional o alternativa, el IC de controlador de pantalla 1201 puede insertar una o más etapas de monitorización de tensión adicionales en uno o más periodos de imagen. En una realización de monitorización de tensión, se aplica una señal de CA a las señales de fuente de píxel CS[44:0] 1400. Las líneas de puerta de selección de columna CA[15:0] 1401 y las líneas CG 1407 se establecen a un voltaje conocido o se barren a través de una secuencia de voltajes. La impedancia de CA de las líneas CS[44:0] 1400 y/o las líneas CG 1407 puede medirse por el IC de controlador de pantalla 1201 utilizando un método de respuesta de frecuencia de múltiples puntos o tiempo de desaparición u otros métodos de medición de impedancia tal como se conocen bien en la técnica. Puesto que las capacitancias C_{COLn} (por ejemplo, C_{COL0} 1625) son relativamente estables a lo largo de la vida útil de la pantalla, la resistencia de los transistores de paso de columna (por ejemplo, M1 1601) puede calcularse a partir de la impedancia de CA directamente. Pueden monitorizarse directamente los desvíos de

voltaje umbral en los TFT de paso de columna 1601 con este método y puede aplicarse la modulación de reducción de tensión negativa descrita anteriormente utilizando un bucle de control de retroalimentación, por ejemplo, para regular el voltaje umbral de TFT directamente.

5 De manera similar, pueden monitorizarse también los transistores de selección de fila estableciendo los TFT de paso de fila (M3 1603 y M4 1604) a una o más voltajes de prueba simultáneamente a la vez que se mide la impedancia de CA a partir de RS[14:0] 1403 1616 y/o RG 1408 1614. Basándose en esta medición, un bucle de control puede modular entonces la polarización negativa aplicada a las puertas de paso de fila de M3 1603 y M4 1604 y/o puertas de selección de fila de M5 1605 y M6 1606 para corregir de manera adaptativa la tensión operativa acumulada. Además o como alternativa, pueden fabricarse uno o más de dispositivos de monitorización de tensión no operativa en el panel plano, preferiblemente uno o más para cada tipo de forma de onda de accionamiento de puerta, que entonces pueden monitorizarse directamente para desvíos de voltaje umbral (utilizando, por ejemplo, impedancia de CA, una corriente de drenaje-fuente constante u otras técnicas de monitorización de impedancia o umbral conocidas en la técnica).

15 Tal como se describió anteriormente, la acumulación de tensión negativa puede evitarse en muchos casos manteniendo V_{GS} lo más cerca posible a cero durante el funcionamiento. En una realización adicional, puede añadirse un estado en espera en el que el V_{GS} de cada tipo de puerta puede controlarse exclusivamente para compensar el cambio de umbral operativo. La modulación de tiempo y amplitud puede adaptar de manera efectiva la tensión negativa acumulada para compensar la tensión positiva durante un periodo en espera de este tipo. En una realización preferida, las formas de onda y niveles utilizados en un estado sin tensión en espera se eligen para minimizar transiciones y disipación de energía.

20 Además o como alternativa al método de impedancia de CA descrito anteriormente, pueden añadirse dispositivos de monitorización de tensión dedicados al visualizador dependiendo de los requisitos exactos de monitorización y compensación. La disposición particular de los dispositivos de compensación y las clavijas compartidas, si las hay, son una elección de diseño.

25 Además o como alternativa, dispositivos de conmutación distintos a TFT de a-Si:H pueden presentar un mecanismo de tensión negativa que domina durante el periodo operativo y puede requerir un mecanismo de control de tensión positiva funcionalmente similar al descrito anteriormente. Sin embargo, no hay limitación para la polaridad de la tensión operativa y la correspondiente antipolaridad de la tensión de compensación controlada.

30 En circuitos de demultiplexación o controlador convencionales, la oportunidad para compensación de tensión está muy limitada habitualmente debido a la dependencia de datos del tensión acumulada y/o la inaccesibilidad o falta de control de muchos de los TFT tal como se requiere para la compensación de tensión. En cambio, las presentes enseñanzas son muy adecuadas para la compensación de tensión debido a la naturaleza de datos independientes (es decir, uniformidad) de los patrones de tensión acumulada (permitiendo compensación de tensión paralela a gran escala para la totalidad del panel), la habilidad para acceder tanto a las fuentes como a las puertas de los TFT de controlador de demultiplexación, y la opción para realizar descomposición de tensión en el sistema de TFT aunque todavía esté mostrando una imagen.

35 Además o como alternativa, la técnica de modulación de tensión puede englobar una amplia variedad de técnicas, incluyendo, pero sin limitarse a, modulación de la amplitud, modulación de la frecuencia, modulación de la anchura de pulso, o combinaciones de las mismas. Además o como alternativa, el periodo de control de tensión, uno o más periodos de monitorización de tensión opcionales, y el periodo de actualización de imagen puede intercalarse temporalmente para efectuar una modulación de la tensión de compensación hasta el punto permitido por las características de acumulación de tensión no lineal de los dispositivos de TFT.

40 Muchas elecciones sobre los aspectos concretos de los métodos de modulación de tensión y monitorización de tensión están disponibles para diseñadores expertos en la materia; no hay limitaciones en tales decisiones de diseño. Modificar las formas de onda de controlador de dispositivo durante un periodo de control de tensión para equilibrar la tensión acumulado durante la operación formando un sistema de bucle cerrado tal como se describe en las presentes enseñanzas no está limitado por los aspectos concretos de la polaridad de tensión, el método o estructura de monitorización de tensión ni el método de modulación de tensión.

45 Los expertos en la materia reconocerán que una amplia variedad de resoluciones de pantalla, formas de onda de exploración específicas, circuitos de demultiplexación, configuraciones de dispositivo de monitorización de tensión (o bien simuladas o bien operativas), procedimientos de monitorización de tensión pueden elegirse para implementar las presentes enseñanzas.

50 La figura 19a muestra una realización alternativa de un demultiplexador de fila según las presentes enseñanzas que se compone de una disposición 1800 de TFT de control de fila emparejados 1802 que están regulados por RA[15:0] (por ejemplo, 1803 1804). La resolución vertical del ejemplo en la figura 8a es 128 píxeles con 2 líneas de control de fila por píxel. El voltaje de fuente de fila RS se divide en dos redes, RS_EVEN[7:0] (por ejemplo, 1806 1809) y RS_ODD[7:0] (por ejemplo, 1805 1808) en la figura 19a. Los TFT 1802 establecen el voltaje de

65

fuelle de puertas de M12 1812 y M13, almacenadas en condensadores tales como 1813. En una realizaci3n preferida, el estado de los transistores de paso de fila (por ejemplo, M12 1812 y M13) se establece estableciendo el V_{GS} de M12 y M13 a un valor positivo utilizando TFT 1802. Una vez que se establece un V_{GS} positivo en M12 1812 y M13, la l3nea de fuente RS correspondiente puede accionar la l3nea de fila asociada en la distribuci3n de p3xeles, por ejemplo V_{ROW0} 1810 puede accionarse desde RS_EVEN0 1806 cuando M12 1812 est3 programado para un estado "encendido".

La figura 19b muestra un diagrama de tiempo para una operaci3n de fila seleccionada 1820 y dos casos de una operaci3n de fila no seleccionada 1821 1822 para la primera fila de p3xeles en el esquema de la figura 19a. La operaci3n de fila seleccionada 1820 se divide en tres fases, la primera de las cuales 1823 establece las l3neas RS_EVEN[7:0] y RS_ODD[7:0] a un bajo voltaje conocido V_{OFF} que es lo suficientemente negativo para impedir la fuga de carga de p3xel en los dos p3xeles de transistor 1600 de la figura 17. La l3nea RG 1807 se establece a un voltaje por encima de V_{OFF} y las l3neas RA0 1803 se establecen a un voltaje por encima del voltaje RG 1807 tal como se muestra en formas de onda 1826, 1827 y 1828 en la figura 19b. Como consecuencia, los TFT 1802 conducen y M12 1812 y M13 se programan a un estado "encendido" tal como se muestra en las formas de onda de estado 1829 y 1830.

En la segunda fase 1824 de la operaci3n de selecci3n de fila en la figura 19b, las l3neas RS_EVEN0 1806 y RS_ODD0 1805 se llevan ambas a una alto voltaje V_{ON} que se hace pasar a trav3s de puertas de paso de fila M12 1812 y M13 hasta V_{ROW0} 1810 y V_{ROW1} 1811 tal como se muestra en la forma de onda de salida 1831. Al final de la segunda fase 1824 las l3neas RS_EVEN0 1806 y RS_ODD0 1805 se llevan de vuelta a un bajo voltaje V_{OFF} .

En la tercera fase y final 1825 mostrada en la figura 19b, la l3nea RG 1807 se lleva a un voltaje lo suficientemente bajo para permitir que los TFT de control 1802 conduzcan y descarguen los condensadores de estado de fila (por ejemplo, 1813). Esto retorna los estados de M 12 1829 y M13 1830 a la condici3n "apagado".

Para unas filas no seleccionadas que no comparten una l3nea RA[15:0] pero comparten una l3nea activa RS_EVEN[7:0] y RS_ODD[7:0] con la fila seleccionada (grupo de tiempo 1822), ni las filas de salida ni los estados de conmutaci3n se activan. Para filas no seleccionadas que no comparten una l3nea RA[15:0] pero no un par activo de RS_EVEN[7:0] y RS_ODD[7:0], la operaci3n se muestra en grupo forma de onda 1821 en la figura 19b. Las formas de onda de voltaje RG 807 1827 y RA0 803 1828 observadas mediante los transistores de fila no seleccionada son las mismas que la fila seleccionada; presentan el mismo efecto para poner los estados M12 1829 y M13 1830 en una condici3n "encendido". Una vez en la condici3n "encendido", en primer lugar, la l3nea RS_ODD0 1805 se impulsa a una V_{REST} potencial de nivel medio y despu3s se hace retornar a V_{OFF} . En una realizaci3n preferida de las presentes ensefanzas, todas las l3neas RS_ODD[7:0] que no se seleccionan para accionar la distribuci3n de p3xeles con V_{ON} se impulsan de la misma manera. El voltaje V_{REST} se elige para ser lo suficientemente positivo para restablecer la acumulaci3n de mecanismo de tensi3n negativa en los TFT de p3xel M7 1607 y M8 1608 de la figura 18. Entonces, la l3nea RS_EVEN0 1806 se impulsa de manera similar a V_{REST} y retorna a V_{OFF} . En una realizaci3n preferida de las presentes ensefanzas, todas las l3neas RS_EVEN[7:0] que no se seleccionan para accionar la distribuci3n con V_{ON} se impulsan de la misma manera. Como resultado de los pulsos positivos observados mediante los p3xeles mostrados en el lado de mano derecha de forma de onda 1831, las filas de p3xel no seleccionadas en grupo de tiempo 1821 experimentan un restablecimiento de acumulaci3n de tensi3n de polarizaci3n negativo a una frecuencia m3s alta que la frecuencia de imagen (en este ejemplo 8x m3s r3pido) que permite velocidades de imagen m3s bajas sin la acumulaci3n de tensi3n negativa significativa.

Los expertos en la materia reconocer3n los niveles de voltaje, las formas de onda de tiempo y la secuencia de operaciones de manera que al invertir el orden de la fila RS_EVEN0 1806 y RS_ODD0 1805 los pulsos sin tensi3n pueden modificarse para cumplir requisitos de diseo especificos, por ejemplo una frecuencia de imagen, resoluci3n de pantalla, n3mero de clavijas, intervalo de voltaje, etc. Las presentes ensefanzas describen un m3todo mediante el cual la operaci3n de demultiplexaci3n se divide en m3ltiples fases (por ejemplo, seleccionar y "encender", pasar seales de alto voltaje, "apagar") que pueden aplicarse generalmente a muchas necesidades de sistema de demultiplexaci3n de alto voltaje. La presente ensefanza proporciona una t3cnica en la que pueden accionarse seales de alto voltaje (en el ejemplo de la figuras 19a y 19b, una o m3s tensiones de fila) mediante un demultiplexador de selecci3n que se instala utilizando s3lo seales de control V_{GS} bajas para influir en un estado "encendido"/"apagado" binario en un conjunto de condensadores. Limitando la fase l3gica de decodificaci3n de la operaci3n de demultiplexaci3n a tensiones V_{GS} de datos independientes bajas, la tensi3n positiva normalmente asociado con demultiplexaci3n de puerta de paso en TFT de a-Si:H se mitiga sustancialmente sin restringir los intervalos de voltaje de las seales de entrada/salida del demultiplexador durante la segunda fase operativa del demultiplexador.

La figura 19c muestra un subcircuito de demultiplexador de dos niveles; s3lo se muestra una l3nea de salida (V_{ROW0} 1840). Dos TFT de paso M14 1843 y M15 1832 se establecen a un estado "encendido" o "apagado" mediante V_{GS} bajos para decodificar las l3neas RA0 1835 y RB0 1836 sustancialmente similares a las descritas anteriormente en la figura 19b para establecer el voltaje V_{GS} de "encendido" o "apagado" en condensadores

C_{RMEMAO} 1837 y C_{RMEMBO} 1838 utilizando niveles de voltaje suministrados por una línea RG común 1842. Si ambos M14 1843 y M15 1832 se establecen a un estado “encendido”, la línea RS0 1839 puede accionar la línea V_{ROW0} 1840 para alcanzar un nivel de voltaje de salida deseado. Para ayudar a poner M14 1843 en un estado “apagado” al final de la operación de demultiplexación, un condensador de fila intermedio opcional CIR 841 puede actuar para fijar el lado no accionado de C_{RMEMAO} 1837 cuando M19 1833 descarga la puerta de M14 1843. La capacitancia parásita en la línea V_{ROW0} 1840 proporciona una función similar para C_{RMEMBO} 1838 cuando M20 1834 descarga la puerta de M15 1832. Un condensador opcional (no mostrado) puede añadirse de manera similar a V_{ROW0} 1840 para proporcionar soporte de descarga adicional.

Se unen subcircuitos similares (no mostrados) a otras líneas de fila (no mostradas) para formar un demultiplexador de fila completo. La línea RG común 1830 va a todos los subcircuitos de accionamiento de fila. La línea RS0 1839 es una de las líneas de fuente de fila N_{RS} , la línea RA0 1835 es una de las líneas de selección de fila N_{RA} , y la línea RB0 1836 es una de las líneas de selección de fila N_{RB} . El número de líneas de fila de salida que pueden accionarse mediante una disposición de subcircuitos similares tal como en la figura 19c que comparten líneas de control N_{RA} , N_{RB} y N_{RS} (con una única combinación de RS[j], RA[j] y RB[k] por cada línea de fila de salida) es $N_{TOTAL} = N_{RA} * N_{RB} * N_{RS}$. El número total de líneas de control necesario para este demultiplexador es $N_{RA} + N_{RB} + N_{RS} + 1$. Para números grandes de líneas de fila normalmente hallados en pantallas de panel plano, las presentes enseñanzas facilitan una reducción de número de clavijas sustancial, por ejemplo una pantalla de fila de 1024 requiere clavijas de IC de controlador de 1024 si se accionan de manera convencional; con $N_{RS} = 16$, $N_{RA} = 8$ y $N_{RB} = 8$, el número total de clavijas requerido para la demultiplexación de fila es 33, una reducción del 97% en el número de clavijas de accionamiento de fila.

Los expertos en la materia reconocerán la capacidad de ampliación de las presentes enseñanzas a niveles más altos de demultiplexación, por ejemplo un multiplexor de tres niveles. Las presentes enseñanzas no están limitadas particularmente por el número de niveles de multiplexor o el número de fuentes de fila o señales de control de fila.

La figura 20 muestra un trazado de píxel de ejemplo de las presentes enseñanzas en una tecnología de LCD de TFT de a-Si de dos metales convencional que puede cubrirse horizontal y verticalmente para formar una gran distribución de píxeles. Los expertos en la materia reconocerán que las presentes enseñanzas pueden aplicarse a otros procedimientos de TFT con diferentes normas y capas de diseño; la elección del procedimiento mostrado en la figura 20 es para fines de ilustración y no es una limitación de las presentes enseñanzas. Además, el trazado de la figura 20 presenta muchas permutaciones, transposiciones, reorientaciones, volteos, encaminamientos, rotaciones y combinaciones del mismo que no modifican sustancialmente el comportamiento eléctrico del circuito y que se considera que están dentro del alcance de las presentes enseñanzas. Basándose en las presentes enseñanzas, configuraciones de trazado ventajosas del circuito equivalente que minimizan la diafonía, mejoran la calidad de imagen, ajustan la capacitancia de almacenamiento, reducen la potencia, mejoran la estabilidad, mejoran la capacidad de fabricación y modifican el rendimiento del dispositivo basándose en el procedimiento de TFT particular y en los requisitos de aplicación resultarán evidentes para los expertos en la materia y se consideran dentro del alcance de las presentes enseñanzas.

El trazado de los dos píxeles de transistor 1600 en la figura 20 comprende dos dispositivos de TFT en serie M7 607 1901 y M8 1608 1902 que permiten que la transferencia de carga se produzca entre V_{COL} 1613 1900 y V_{PIXEL} 1622 1905. Las señales de fila V_{ROWA} 1907 y V_{ROWB} 1908 discurren horizontalmente a través de la distribución de píxeles 1405 y se accionan mediante pares de señales de fila tales como V_{ROW0} 1620 y V_{ROW1} 1621 de la figura 17. El condensador de almacenamiento C_{ST} 1624, 1904 se conecta a un nodo de placa posterior PC 1627 1906. El condensador de almacenamiento de píxel, C_{ST} 1624 1904, está unido preferiblemente por medio de uno o más contactos 1903 a un electrodo reflectante 1905 1909 1203 que está en la placa inferior de la capacitancia de cristal líquido, C_{LC} 1623. El electrodo opuesto 1211 forma la otra placa de C_{LC} 1623 y está unido a un voltaje de píxel común V_{COM} 1626. La diferencia de RMS en voltaje entre V_{PIXEL} 1622 1905 y V_{COM} 1626 determina el estado óptico del cristal líquido 1204. En una realización preferida de las presentes enseñanzas, el electrodo superior reflectante 1905 está diseñado para solapar mínimamente la señal de columna V_{COL} 1900 para minimizar el acoplamiento parásito entre V_{COL} 1900 y V_{PIXEL} 1905. En una realización adicional, el electrodo superior reflectante 1905 está diseñado para solapar mínimamente las señales de fila V_{ROWA} 1907 y V_{ROWB} 1908 para minimizar la capacitancia parásita. En una realización alternativa, el electrodo superior reflectante 1905 está diseñado para maximizar la zona reflectante para reforzar la reflectancia de la pantalla. En aún otra realización, el electrodo superior reflectante 1905 está diseñado para no ocupar toda la zona del píxel para permitir la fabricación de una zona transparente por píxel (no mostrado) para crear una pantalla transreflectiva tal como se conoce comúnmente en la técnica. Tales modificaciones y realizaciones particulares pueden adaptarse a la aplicación de pantalla; las presentes enseñanzas no limitan la disposición óptica de elementos reflectantes y transmisivos.

En una realización, el nodo V_{COM} 1626 se modula de manera continuada para reducir el intervalo requerido de voltaje de los dispositivos de TFT y/o reducir la energía. La figura 21 muestra una reflectancia de LCD representativa 1150 en función del voltaje RMS aplicado 1151. Una señal de CA en el electrodo de V_{COM} 1626 induce un voltaje RMS común en la totalidad de la distribución de píxeles V_{COM_AC} 1153. La información de píxel

adicional 1154 es el voltaje RMS añadido y controla el estado óptico del panel plano. Normalmente, C_{ST} 1624 mucho más grande que C_{LC} 1623 de manera que la modulación de la señal de V_{COM} puede proporcionar energía RMS sustancial a la LCD de manera eficiente sin tanta penalización de energía como al modular el voltaje de píxel (y por tanto C_{ST} 1624) directamente.

La elección de dos puertas de selección de fila por píxel M7 1607 y M8 1608 en la figura 17 es solamente para fines de ilustración; en la práctica el número de TFT de transferencia de fila en cada píxel será una elección de diseño basada en los parámetros del procedimiento de TFT, el tamaño y la resolución de la pantalla, la frecuencia de imagen deseada, el parpadeo permisible y otros criterios de rendimiento. En las presentes enseñanzas se requieren dos o más TFT de transferencia de fila para impedir la acumulación de tensión negativa a velocidades de imagen muy bajas tal como se describe en la presente memoria. Tales elecciones se consideran dentro del alcance de las presentes enseñanzas.

La figura 22 muestra una aplicación alternativa de las presentes enseñanzas a una pantalla de TFT analizada convencionalmente. En este ejemplo, la resolución de la pantalla es de 1024 RGB horizontales por 768 píxeles verticales, o 3072 por 768 píxeles eléctricos. Una distribución de píxeles 1255 se compone de una distribución de células de píxeles 1254 que contienen un único TFT convencional por píxel (por ejemplo, M18 en la figura 22). Las líneas de columna, indicadas por de V_{COL0} a $V_{COL3071}$ se accionan desde un IC de controlador de columna convencional 1250 que puede aplicar una distribución de voltajes en los cables de columna que entonces pueden muestrearse en la distribución de píxeles 1255. La función del circuito de demultiplexación de fila es pulsar secuencialmente las líneas de fila (indicadas por de V_{ROW0} a V_{ROW767} en la figura 22) tan alto como se requiera por el procedimiento de exploración de fila convencional tal como se conoce bien en la técnica.

Una operación de selección de fila de tres fases 1259 se muestra en la figura 22. En la primera fase 1262 de la operación de selección de fila, las líneas $RS[23:0]$ 1253 se llevan al voltaje de control de fila bajo (por ejemplo, V_{OFF}) tal como anteriormente. El voltaje RG 1252 se establece a un voltaje que es lo suficientemente alto como para encender M17 de la figura 22. Entonces, una de las líneas $RA[31:0]$ 1251 se acciona entonces a un voltaje suficiente por encima del voltaje RG 1252 de manera que los condensadores de control de fila correspondientes a la línea $RA[31:0]$ seleccionada 1251 (es decir, cada 32ª fila, C_{RMEM0} , C_{RMEM32} , ...) en la figura 22 se programa a un estado "encendido" por el voltaje aplicado en la clavija RG 1252. Entonces, las líneas $RA[31:0]$ se hacen retornar a un bajo voltaje tal como se muestra en la forma de onda 1257. Al final de esta primera fase, varios TFT de paso de fila (por ejemplo, M17 en la figura 22 para la primera fila, 24 total en este ejemplo) han pasado al estado "encendido".

En la segunda fase 1263 de la operación de selección de fila 1259, la línea de fila $RS[23:0]$ deseada 1253 se pulsa de manera alta a V_{ON} para accionar una única señal de selección de fila en la distribución de píxeles 1255. En una realización preferida de las presentes enseñanzas, se da a la forma de onda $RS[23:0]$ un tiempo de caída más lento 1264 para permitir establecer el tiempo del transistor de paso de fila M17 en la figura 22. Además o como alternativa, al borde ascendente del voltaje de puerta en la $RA[31:0]$ seleccionada 1251 puede darse un tiempo de elevación más lenta para mantener el V_{GS} de los TFT de paso de fila (por ejemplo, M17 en la figura 22) lo más bajo posible durante eventos de conmutación. Los expertos en la materia reconocerán que puede aplicarse una amplia variedad de velocidades de elevación y caída a las presentes enseñanzas para diversos efectos. Las presentes enseñanzas no están limitadas particularmente por la elección de tiempos de elevación y caída de las señales de accionamiento.

En una fase tercera y final de una selección de fila 1265, la misma línea de selección de $RA[31:0]$ 1251 seleccionada anteriormente se hace lo suficientemente positiva por encima de un voltaje RG 1252 bajo para descargar un condensador C_{RMEMn} y retornar todos los estados de conmutación de fila a "apagado".

Los casos no seleccionados son similares a los descritos anteriormente; la operación de fila no seleccionada 1260 en la figura 22 recibe la activación $RA[31:0]$ 1258 pero no la activación $RS[23:0]$ 1256. En este caso, el voltaje de fila se mantiene a V_{OFF} . La operación de fila no seleccionada 1261 es para el caso en el que la fila recibe el pulso $RS[23:0]$ pero no recibe la activación $RA[31:0]$. Tal como se muestra en el grupo de tiempo 1261, el estado de conmutación se mantiene en el estado "apagado" similar al representado en la figura 19b. Por tanto, las filas no seleccionadas a un V_{OFF} constante se accionan tal como se requiere por exploración convencional.

Los expertos en la materia reconocerán que la secuencia exacta de las acciones emprendidas, por ejemplo que las filas están procesadas secuencialmente, puede modificarse para alcanzar un fin similar. Algunos cambios ventajosos, por ejemplo escribir todas las filas pares primero, luego todas las filas impares, y/o actualización de pantalla parcial pueden adaptarse al presente sistema para reducir oscilaciones de voltaje y disipación de energía minimizando las transiciones a la vez que se realiza cualquier número de técnicas de inversión, incluyendo equilibrio de CC de inversión de punto, imagen, columna y fila. Tales modificaciones y permutaciones se consideran dentro del alcance de las presentes enseñanzas.

Muchas aplicaciones de paneles planos pueden hacer uso de una frecuencia de imagen variable o zona de actualización variable; las presentes enseñanzas son particularmente muy adecuadas para aplicaciones en las

que la frecuencia de imagen debe discurrir rápido para determinados tipos de contenido (por ejemplo, frecuencia de imagen de 30 Hz cuando el usuario está interactuando activamente con el dispositivo) pero también necesita un estado de energía baja donde la velocidad de actualización de imagen puede disminuir hasta algunos Hz. Para lograr esto con las presentes enseñanzas, el sobreaccionamiento de voltaje de puerta de control de los transistores de paso de fila y columna puede aumentar temporalmente para acelerar el tiempo de establecimiento de TFT. Siempre que tales velocidades de imagen altas no se mantengan durante periodos de tiempo largos, la acumulación de tensión positiva de la operación de alta frecuencia de imagen es mínima. En una realización adicional, la modulación de tensión negativa tal como se describió anteriormente en las presentes enseñanzas puede compensar ventajosamente el exceso de tensión positiva acumulada por una operación de frecuencia de imagen temporalmente más alta.

La figura 23 muestra una etiqueta 1352 de estante electrónica que integra la pantalla de panel plano de las presentes enseñanzas 1353 en un dispositivo que puede unirse a un estante 1350 de tienda para visualizar el precio e información del producto. Puede utilizarse un botón 1351 interactivo para proporcionar información adicional a compradores y personal de tienda.

La figura 24 muestra una pantalla montada en un manillar de carro de compra que utiliza las presentes enseñanzas. Una pantalla 1451 está unida a un manillar 1450 de carro de compra. Uno o más botones o un teclado 1452 permiten introducir datos al usuario.

La figura 25 muestra un diseño de teléfono móvil con tapa que utiliza las presentes enseñanzas. Una pantalla 1551 externa reflectante de baja energía está integrada en la tapa del teléfono 1550 móvil.

La figura 26 muestra un reproductor 1650 de música digital portátil que integra una pantalla basada en las presentes enseñanzas 1651.

La figura 27 muestra un monitor de ordenador, señalización promocional o televisor 750 con una pantalla basada en las presentes enseñanzas 751.

La figura 28 muestra un ordenador portátil o reproductor 1850 de DVD portátil con una pantalla basada en las presentes enseñanzas 1851.

Las figuras 29 a 37 muestran una realización alternativa de las presentes enseñanzas de una pantalla de 208xRGBx160 descrita a continuación.

La figura 29 muestra una realización alternativa de las presentes enseñanzas de una pantalla de TFT de 208xRGBx160 que comprende un sustrato de TFT 2000, un circuito de demultiplexación de columna 2001, un circuito de demultiplexación de fila 2002, una distribución de píxeles 2003 y diversas señales (2004 - 2011) para accionar los circuitos de TFT en el sustrato 2000 descrito a continuación.

Se utilizan dieciséis líneas de CA 2004 y treinta y nueve líneas de CS 2005 para accionar el circuito de demultiplexación de columna 2001. En esta realización, puede escribirse 624 líneas de columna en una secuencia de operaciones de escritura de columna modulando las líneas CA 2004 y CS 2005.

Se utilizan cuatro líneas RS 2007, dieciséis líneas RA 2008, veinte líneas RB 2009, una línea RG 2010 y dos líneas de CC 2001 para accionar el circuito de demultiplexación de fila 2002 que a su vez genera 320 cables para accionar la distribución de píxeles 2003. Las señales de accionamiento de demultiplexación de fila (2007 - 2011) pueden accionarse preferentemente para realizar una operación de escritura de fila para almacenar la información en las líneas de columna en la distribución de píxeles 2003 así como realizar operaciones de intercambio de fila periódicas para mitigar la tensión acumulada en los TFT de la distribución de píxeles 2003.

En la figura 29, líneas COM adicionales 2006 proporcionan una referencia común a la distribución de píxeles 2003 y la placa posterior de LCD (no mostrada).

La figura 30 muestra una realización alternativa de un circuito de píxel de TFT según las presentes enseñanzas que comprende una línea de columna V_{COL} 2050, dos líneas de fila V_{ROWA} 2051 y V_{ROWB} 2052, un primer transistor de paso en serie M1 2055, un segundo transistor de paso en serie M2 2056, una célula de cristal líquido CLC 2057, un condensador de almacenamiento CST 2058, una línea común VCOM 2053 conectada al condensador de almacenamiento CST 2058 y una línea común 2054 conectada a la capacitancia de cristal líquido CLC 2057. Los dos transistores de paso M1 2055 y M2 2056 están conectados en serie para formar una trayectoria de conducción de puerta desde VCOL 2050 hasta VPIXEL 2059. Los condensadores de almacenamiento de carga CST 2058 y CLC 2057 conectan VPIXEL 2059 a VCOM 2053 2054.

El voltaje de píxel VPIXEL 2059 se escribe en la célula manteniendo las líneas de VCOM 2053, 2054 en un estado alto o bajo, almacenando un voltaje en la línea de columna VCOL 2050 que se conecta a la fuente de M1 2055. M1 se activa pulsando su puerta, VROWA 2051, a un potencial alto mientras que se pulsa

simultáneamente la puerta de M2 2056, VROWB 2052, a un potencial alto para aumentar la conducción eléctrica desde VCOL 2050 hasta VPIXEL 2059 a través de la conexión en serie de M1 2055 y M2 2056. Se almacena carga eléctrica en el nodo VPIXEL 2059 y se impide la fuga manteniendo por lo menos una de las líneas de puerta de fila VROWA 2051 o VROWB 2052 a un potencial negativo. La carga de pixel se almacena con respecto a VCOM 2052 2054 tanto en CST 2058 como CLC 2057.

La figura 31 muestra una realización alternativa del trazado del circuito de pixel mostrado en la figura 30. Una línea de columna VCOL 2100 preferiblemente compuesta por metal depositado discurre verticalmente a través del pixel y se conecta a la fuente de transistor M1 2105. La puerta de M1 2105 se conecta a VROWA 2101. El drenaje de M1 2105 se conecta a la fuente de M2 2106. La puerta de M2 se conecta a VROWB 2102. El drenaje de M2 se conecta a un condensador de almacenamiento CST 2108 y un nodo de almacenamiento de pixel VPIXEL 2109. El condensador de almacenamiento CST 2108 también se conecta al voltaje de placa posterior común VCOM 2103.

Los expertos en la materia reconocerán la amplia variedad de posibles configuraciones de trazado del pixel de las presentes enseñanzas. Las presentes enseñanzas pueden modificarse para encaminar las líneas de columna y fila a través de o alrededor de la célula de muchos modos diferente que no alteran la conectividad eléctrica o el funcionamiento del circuito de pixel. Adicionalmente, la disposición del condensador de almacenamiento (mostrándose a continuación los transistores de paso en la figura 31) puede variarse para adaptarse a cualquier número de necesidades de configuración y necesidades de fabricación. Los transistores M1 2105 y M2 2106 pueden dividirse en subunidades a la vez que se mantiene la función de los conceptos descritos en el presente documento. El condensador de almacenamiento CST 2108 también puede dividirse en múltiples secciones a la vez que se mantiene el fin eléctrico tal como se describe en las presentes enseñanzas. En la realización preferida, se adopta una configuración de banda RGB, aunque las presentes enseñanzas pueden aplicarse generalmente a cualquier disposición de pixel, incluyendo sin limitación configuraciones delta de RGB, configuraciones de RGBW y cualquier otra disposición de subpixel tal como se conocen bien en la materia. Tales modificaciones al esquema de circuito y trazado se realizan frecuentemente para cumplir con las necesidades de aplicación y se consideran dentro del alcance de las presentes enseñanzas.

La figura 32 muestra una realización del circuito de pantalla de TFT que comprende una distribución de píxeles 2150 que contiene dieciséis bancos de fila 2151 de píxeles 2152. Los píxeles se conectan mediante líneas de fila 2167 y líneas de columna 2153 que se accionan desde el borde de la distribución de píxeles 2003 2150. El circuito de demultiplexación de columna 2001 se compone de varios transistores de paso M4 2154 que están dispuestos de modo que cada combinación de una de dieciséis líneas de CA 2156 y una de treinta y nueve líneas de CS 2155 se conecten a la puerta y la fuente de un transistor M4 2154 (624 en total) que presentan sus drenajes conectados a las 624 líneas de columna 2153 accionándose a la distribución de píxeles 2150, 2003. Al modular la puerta 2156 y la fuente 2155 de M4, puede almacenarse un voltaje de columna en la capacitancia CCC0 2157 que representa la información de pixel deseada para una fila de píxeles dada 2152.

La figura 32 también muestra un circuito de demultiplexación de fila que se compone de seis transistores por fila de píxeles. La línea RG 2158 se conecta a las fuentes de M5 2160 y M8 que accionan las puertas de M6 2162 y M9 respectivamente. Un condensador de almacenamiento CRXn 2163 almacena la carga depositada por M5 2160 entre el drenaje de M6 2162 y la puerta de M6 2162. Cada línea de fila (de 320 en esta realización) tiene un condensador de almacenamiento CRXn 2163 equivalente que realiza la autocarga del voltaje de puerta de M6 2162 durante operaciones subsiguientes. La fuente de M6 2162 se acciona por la señal RB0 2161. El drenaje de M6 acciona la puerta de M7 2165 y un condensador de almacenamiento CRR0 2166 adicional entre el drenaje de M7 2165 y la línea de fila en la distribución 2167. La fuente de M7 2165 se acciona por la señal RS0 2164. Todas las combinaciones de las dieciséis RA líneas 2160 y los diez pares de líneas RB 2161 generan 160 pares de líneas de fila 2167 que pasan a la distribución de píxeles 2150. Cada línea RA 2160 selecciona un solo banco de filas 2151.

La figura 33 muestra el diagrama de flujo operativo de esta realización. Una operación de escritura de columna 2200 comprende accionar las líneas CA 2156 y CS 2155 para demultiplexar y almacenar 624 voltajes de pixel deseados para una fila dada en las capacitancias de columna CCC0 2157. Cuando se completa la operación de escritura de columna 2200 (decisión 2201) una operación de escritura de fila 2202 acciona un par seleccionado de líneas de fila 2167 en la distribución de píxeles 2150 para capturar los voltajes de columna almacenados durante la operación de escritura de columna 2200 en una fila de píxeles 2152 seleccionada. Al final de la operación de escritura de fila 2202, el par de líneas de fila seleccionado se hace flotar eléctricamente, una a un voltaje más alto y otra a un voltaje más bajo para impedir la fuga de carga de los píxeles 2152 que acaban de escribirse. Se elige el más bajo de estos voltajes de reposo para impedir la fuga de carga de la célula de pixel 2152. Se elige el más alto de estos dos voltajes de reposo para impedir la acumulación de tensión de polarización negativa en los transistores de pixel (por ejemplo M1 2055 y M2 2056 de la figura 30).

Una vez que se escribe un banco de píxeles 2151 completo (decisión 2203) se realiza una operación de intercambio de fila 2204. La operación de intercambio de fila 2204 disminuye primero el voltaje de todas las líneas de fila de reposo más altas 2167 entonces eleva todos los voltajes de las líneas de fila 2167 anteriormente

más bajas hasta el voltaje de reposo más alto. Alternando los transistores de píxel entre el voltaje de puerta de retención de carga más bajo y el voltaje de reducción de tensión más alto a una frecuencia más alta que la frecuencia de imagen del panel, puede disminuirse la frecuencia de imagen sustancialmente sin producir polarización de tensión negativa que puede reducir sustancialmente la vida útil del panel. Al disminuir la frecuencia de imagen, puede lograrse un ahorro sustancial en la disipación de energía.

Una vez que se escribe toda la imagen (decisión 2205) puede añadirse opcionalmente una operación de compensación 2206 para medir diversos parámetros de rendimiento operativos y de transistor TFT que pueden utilizarse para ajustar los voltajes de accionamiento y/o la modulación temporal de las formas de onda de accionamiento para mejorar, entre otras cosas, la uniformidad, el contraste, la disipación de energía, la reducción de tensión, la vida útil y otras cualidades deseables de la pantalla.

La figura 34 muestra un diagrama de circuito detallado que contiene los elementos operativos tal como se observa mediante un único píxel 2250. Las dos puertas de paso de transistor en serie, M1 2251 y M2 2252, pueden permitir que la corriente fluya entre la línea de columna VCOL0 2258 y el nodo de almacenamiento de píxel VPIXEL0,0 2281 cuando ambas puertas VROW0 2255 y VROW1 2256 se accionan a alto voltaje. Cuando por lo menos uno de los dos transistores de paso M1 2251 y M2 2252 presentan voltajes de puerta negativos, el voltaje de píxel VPIXEL0,0 2281 se aísla eléctricamente (excepto por una pequeña corriente de fuga) de la línea de columna VCOL0 2258. El nodo de almacenamiento de píxel VPIXEL0,0 2281 se conecta mediante dos condensadores CLC 2254 y CST 2253 a la línea de COM 2257.

El circuito de demultiplexación de columna para una sola columna comprende un transistor de paso M4 2260 que conecta una línea de CS 2261 en su fuente a una línea de columna VCOL0 2258 en su drenaje. Una capacitancia parásita CCC0 2264 a otros nodos, principalmente COM 2263, almacena carga que se regula por M4 2260 durante una operación de escritura de columna 2200. La puerta de M4 2260 se conecta a una línea CA0 2262.

El circuito de demultiplexación de fila para una sola fila comprende seis TFT. La señal de accionamiento RG 2265 se conecta a las fuentes de M5 2266 y M8 2274. Las puertas de M5 2267 y M8 2274 se accionan por una de las dieciséis señales de selección de fila de banco RA0 2267. El drenaje de M5 2266 acciona la puerta de transistor M6 2268 y el condensador de almacenamiento CRX0 2270. La fuente de M6 2268 se acciona por una de las veinte señales RB, RB0 2269. El condensador de almacenamiento de puerta CRX0 2270 se conecta entre la puerta y el drenaje de M6 2268. El drenaje de M6 2268 se conecta adicionalmente a la puerta de M7 2271 que presenta su fuente accionada por RS0 2272 y el drenaje conectado a la línea de fila VROW0 2255. El condensador de almacenamiento de puerta CRR0 2273 se conecta entre la puerta y el drenaje de M7 2271.

El drenaje de M8 2274 acciona la puerta de M9 2277 cuya fuente se conecta a la señal de accionamiento RB1 2276. El condensador de almacenamiento de puerta CRX1 2275 se conecta entre la puerta y el drenaje de M9 2277. El drenaje de M9 2277 acciona adicionalmente la puerta de M10 2279 cuya fuente se acciona por la señal de accionamiento RS1 2278. El condensador de almacenamiento de puerta CRR1 2280 se conecta entre la puerta y el drenaje de M10 2279. El drenaje de M10 2279 acciona la línea de fila VROW1 2256 en el píxel 2250.

La figura 35 muestra una forma de onda representativa y el subcircuito de las formas de onda operativas de demultiplexación de columna. La operación de escritura de columna 2200 se lleva a cabo en 3 fases. En la primera fase, la señal de fuente de columna CS0 2391 se eleva hasta un alto voltaje de precarga VPCH 2305 y se pulsa la totalidad de las dieciséis señales de puerta de columna CA0 2300 a un alto voltaje. Esto precarga el nodo VCOL0 2303 (y los 623 nodos similares) al voltaje VPCH 2305 mediante la conducción de M4 2302 desde la fuente hasta el drenaje. Durante la segunda fase de la operación de escritura de columna, la totalidad de las líneas CS, en este caso la línea CS0 2301, se llevan a un voltaje de nivel medio VPCL 2306 en la preparación para la tercera fase. Durante la tercera fase, se activa una única señal de selección de columna CA0 2300 hasta un voltaje de puerta de nivel medio. Entonces se modula la anchura de impulso (PWM) de las líneas de fuente de columna con información de píxel entre VPCL 2306 y VPD 2307 que está a un nivel de voltaje suficientemente bajo como para hacer que la conducción sea relativamente alta en M4 2302. Mediante la modulación en el tiempo del momento de "encendido" de M4, puede lograrse un voltaje deseado en VCOL0 2303 y almacenarse por el condensador de almacenamiento 2304. Se pulsan las líneas de selección de CA 1004 subsiguientes (por ejemplo CA1 2308) para escribir líneas de columna alternativas.

La figura 36 muestra las formas de onda de voltaje de una operación de escritura de fila que se describe en cuatro fases. En la primera fase 2350, se accionan la señal RG 2357 y la señal RA0 2358 de modo que M5 2266 y M8 2274 puede conducir y accionar un voltaje deseado sobre las puertas de M6 2268 y M9 2277. Al final de la primera fase 2350, se reduce la señal RA0 2358 "apagando" M5 2266 y M8 2274. Como resultado, se almacena un voltaje en las puertas de M6 2268 y M9 2277 que es suficiente para una conducción significativa, es decir han seleccionado el estado "encendido" tal como se muestra en la línea de tiempo de estado 2359. Tanto M6 2268 como M9 2277 también pasan al estado "encendido" tal como se muestra en la línea de tiempo de estado 2360.

En la segunda fase 2351 de la figura 36, las líneas RB0 y RB1 2356 se accionan a un voltaje suficientemente alto

como para activar M7 2271 y M10 2279.

En la tercera fase 2352 de la figura 36, las líneas RB0 y RB1 2356 además de las líneas RS0 2354 y RS1 2355 se accionan a un alto potencial de modo que las líneas de fila VROW0 2255 y VROW1 2256 se accionan a un alto voltaje debido al estado “encendido” de M7 2271 y M10 2279. Pulsando las puertas de fila VROW0 2255 y VROW1 2256, se acciona el voltaje de columna VCOL0 2258 sobre el nodo de almacenamiento de píxel VPIXEL0,0 2281 según se desee. Las líneas de fila 2167 que no tenían activada ni la selección de RA 2267 ni la selección de RB 2269 correspondientes, mantienen un bajo potencial puesto que no se accionan. De este modo, puede seleccionarse una única fila de píxeles.

En la cuarta fase 2353 de la figura 36, RS0 2354 y RS1 2355 se reducen a dos voltajes de reposo. RB0 y RB1 2356 también se reducen para apagar M7 2271 y M10 2279 tal como se muestra en el diagrama de temporización de estado 2361. Al final de la cuarta fase 2353, se pulsa la señal RA0 2358 por encima de un voltaje de RG disminuido 2357 de modo que M6 2268 y M9 2277 pasan a un estado “apagado”, que se almacena en condensadores de almacenamiento de puerta CRX0 2270 y CRX1 2275, respectivamente. En la última etapa, la señal RA0 2358 se reduce a un bajo voltaje para “apagar” también M5 2266 y M8 2274.

La figura 37 muestra formas de onda de voltaje representativas de una operación de intercambio de fila 2204. En la primera fase 2400, las líneas RS0 2404 y RS1 2405 se establecen a los voltajes de fila internos esperados. Las líneas RA0 2408 y RG 2407 se pulsan de un modo similar a la primera fase descrita en la figura 36, de modo que se seleccionan uno o más bancos de fila 2151. En la segunda fase, las líneas RB0 y RB1 2406 se elevan de modo que la totalidad de M6 2269, M9 2277, M7 2271 y M10 2279 conduce. La línea RS en el potencial de reposo más alto (en este ejemplo RS0 2404) se disminuye al voltaje de reposo más bajo. Entre las fases segunda 2401 y tercera 2402, se permite un tiempo de carga de modo que puede establecerse que las líneas de fila para la distribución 2167 estén ambas al potencial de reposo más bajo. En la tercera fase, la línea RS (en este ejemplo RS1 2405) que originalmente estaba en el voltaje de reposo más bajo, se eleva hasta el voltaje de reposo más alto. En la cuarta fase 2403, las líneas RB0 y RB1 2406, la línea RG 2407 y las líneas RA0 2408 se reducen de modo que los transistores en el circuito de demultiplexación de fila vuelven a un estado de “apagado” de reposo.

La operación de intercambio de fila 2204 puede operar en múltiples bancos simultáneamente. En una realización preferida, las filas se escriben con voltajes de píxel alternativamente por encima y por debajo del nivel de voltaje de COM. Como consecuencia, las filas de píxeles “por encima” y “por debajo” tendrán diferentes necesidades de voltajes de fila de reposo. Con frecuencia es ventajoso dividir la operación de intercambio de fila en fases adicionales (no mostradas) que abordan subconjuntos de las señales de fila 1167 que presentan niveles de voltaje comunes. Tales modificaciones dependen de las elecciones de diseño de la aplicación y están dentro del alcance de las presentes enseñanzas.

REIVINDICACIONES

1. Método para hacer funcionar un circuito de pantalla, en el que el circuito de pantalla comprende una pluralidad de circuitos de píxel, comprendiendo cada circuito de píxel (1600) por lo menos dos transistores en serie (M7, M8) que conectan una línea de columna a un píxel de una pantalla de cristal líquido (LCD), comprendiendo el método:
- 5 realizar unas operaciones de carga de imagen, actualizando cada operación de carga de imagen una imagen de pantalla de la LCD a una frecuencia de imagen; y
- 10 entre las operaciones de carga de imagen, para cada circuito de píxel (1600), mantener una carga del correspondiente píxel de LCD,
- 15 caracterizado por que para mantener una carga de un píxel de LCD de un circuito de píxel entre unas operaciones de carga de imagen, se aplica alternativamente un voltaje de polarización de puerta negativo (V_{off}) a dichos transistores en serie (M7, M8) del circuito de píxel (1600), y cuando se aplica el voltaje de polarización de puerta negativo a por lo menos uno de dichos transistores, se aplica un voltaje de puerta de reducción de tensión (V_{REST}) en dicho por lo menos otro transistor a una frecuencia más alta que la frecuencia de imagen, siendo dicho voltaje de puerta de reducción de tensión más alto que dicho voltaje de polarización de puerta negativo.
- 20 2. Método según la reivindicación 1, que además comprende aplicar alternativamente el voltaje de polarización de puerta negativo a uno de los transistores del circuito de píxel a una frecuencia de 60 Hz o mayor.
- 25 3. Método según la reivindicación 1, en el que realizar una operación de carga de imagen comprende, por cada circuito de píxel:
- aplicar un voltaje de polarización de puerta positivo a cada transistor en serie del circuito de píxel para formar una trayectoria de conducción a través de los transistores en serie hasta el correspondiente píxel de LCD; y
 - enviar una carga a través de la trayectoria de conducción al píxel de LCD para cargar el correspondiente píxel de LCD.
- 30 4. Método para hacer funcionar un circuito de pantalla, comprendiendo el circuito de pantalla una pluralidad de transistores de selección de fila y columna (M1, M2, M3, M4, M5, M6) conectados a unos circuitos de píxel (1406, 1600) de una pantalla de cristal líquido (LCD), comprendiendo el método:
- 35 realizar unas operaciones de carga de imagen a una frecuencia de imagen, actualizando cada operación de carga de imagen una imagen de pantalla de la LCD, y comprende aplicar unos voltajes de polarización de puerta a los transistores de selección de fila y columna (M1, M2, M3, M4, M5, M6) para programar los píxeles de la LCD; y
- 40 entre las operaciones de carga de imagen, aplicar unos voltajes de polarización de puerta negativos a los transistores de selección de fila y columna (M1, M2, M3, M4, M5, M6) del circuito de pantalla, aplicando de ese modo una tensión negativa a dichos transistores para compensar una tensión positiva acumulada en dichos transistores durante las operaciones de carga de imagen.
- 45 5. Método según la reivindicación 4, que además comprende:
- 50 medir periódicamente unos desvíos de voltaje umbral en dichos transistores; y
- ajustar la cantidad de tensión negativa aplicada a dichos transistores basándose en los desvíos de voltaje umbral medidos.
- 55 6. Método según la reivindicación 4, en el que ajustar la cantidad de tensión negativa comprende ajustar una cantidad de tiempo en que se aplica un voltaje de polarización de puerta negativo a dichos transistores.
7. Método según la reivindicación 4, en el que ajustar la cantidad de tensión negativa comprende ajustar una forma de onda de un voltaje de polarización de puerta negativo aplicado a dichos transistores.
- 60 8. Circuito de pantalla para una distribución de píxeles, que comprende:
- un controlador de fila y columna; y
- 65 una pluralidad de circuitos de píxel acoplados al controlador de fila y columna, comprendiendo cada circuito de píxel por lo menos dos transistores en serie (M7, M8) que conectan una línea de columna a un píxel de

una pantalla de cristal líquido (LCD); y

el controlador de fila y columna que comprende una pluralidad de transistores de selección de fila y columna (M1, M2, M3, M4, M5, M6) conectados a unos circuitos de píxel de la LCD;

5

en el que el controlador de fila y columna está configurado para implementar el método según cualquiera de las reivindicaciones anteriores.

10

9. Circuito de pantalla según la reivindicación 8, en el que los transistores comprenden unos transistores de película delgada de silicio amorfo hidrogenado (TFT de a-Si:H).

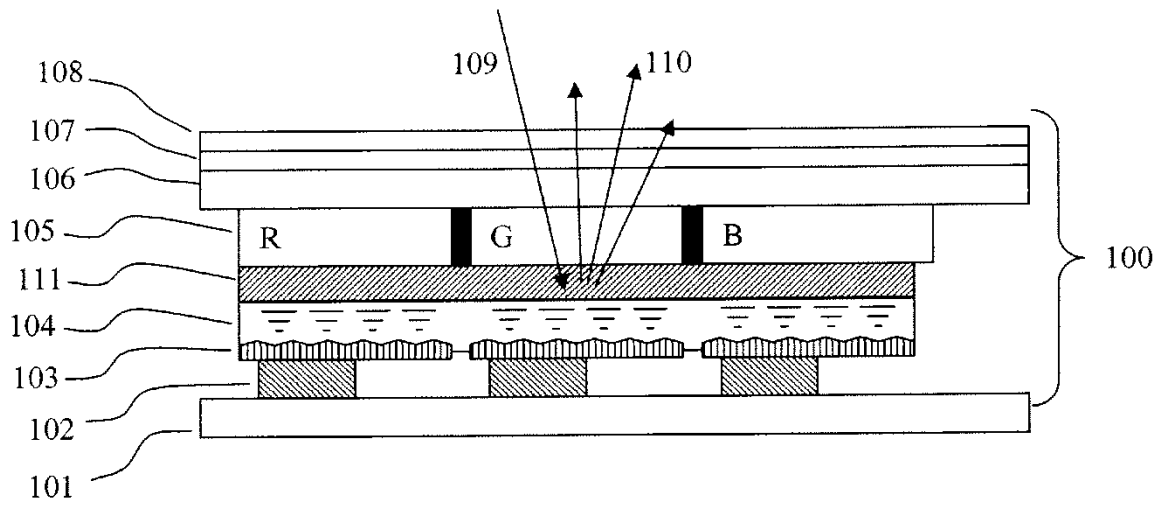


Figura 1.

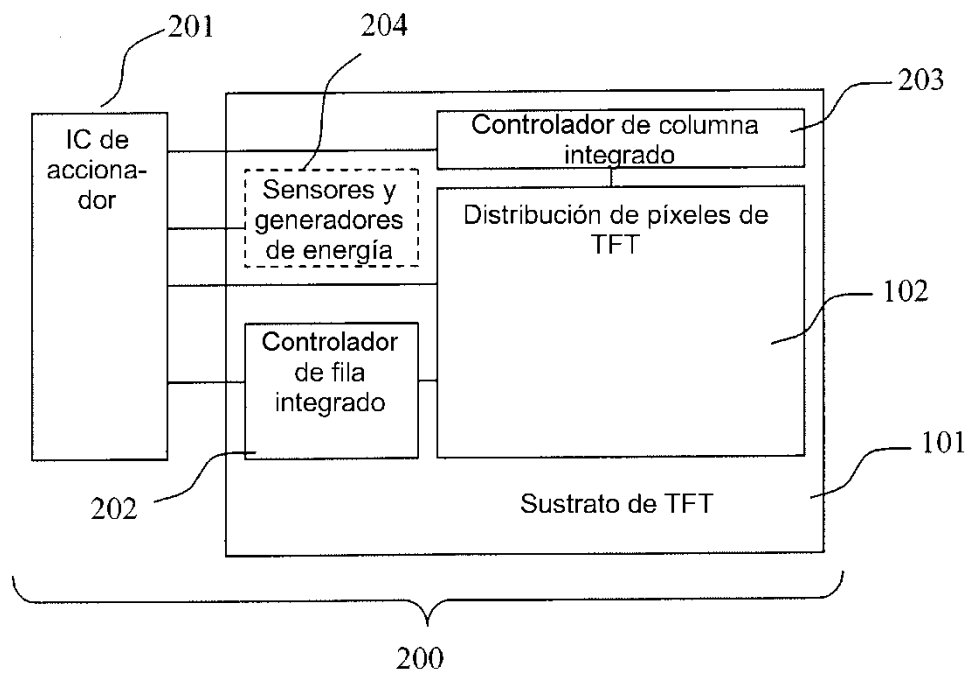


Figura 2.

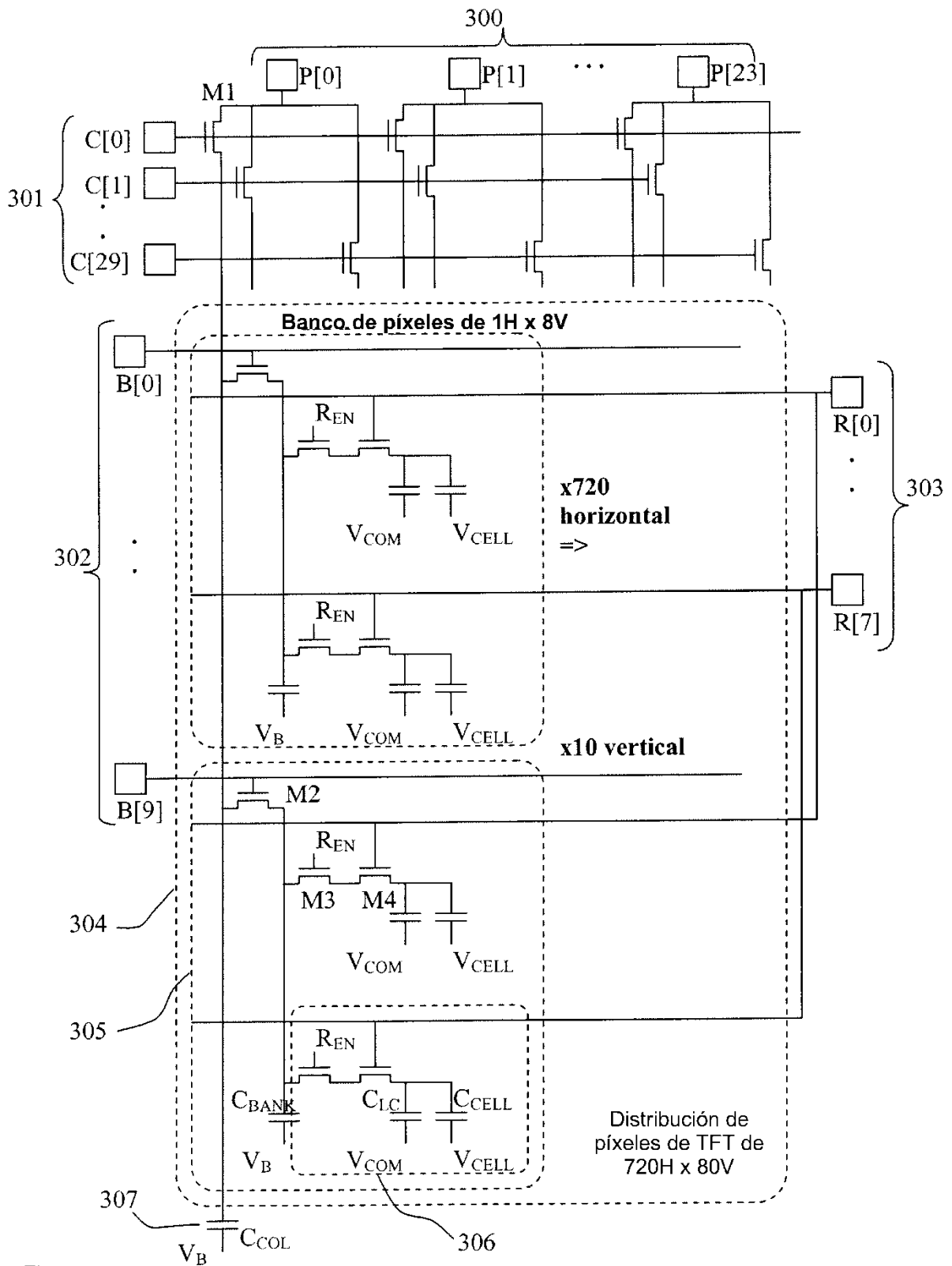


Figura 3.

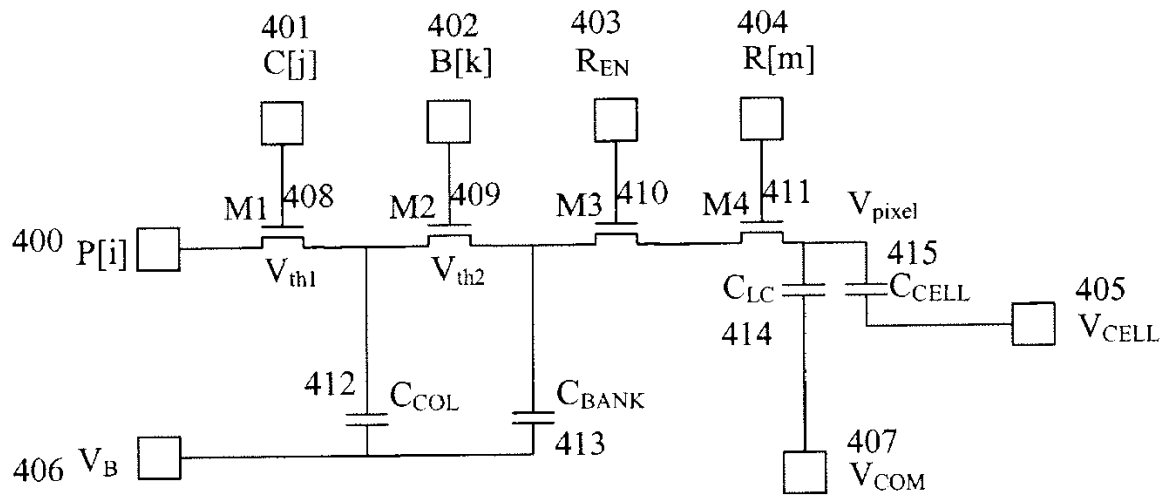


Figura 4.

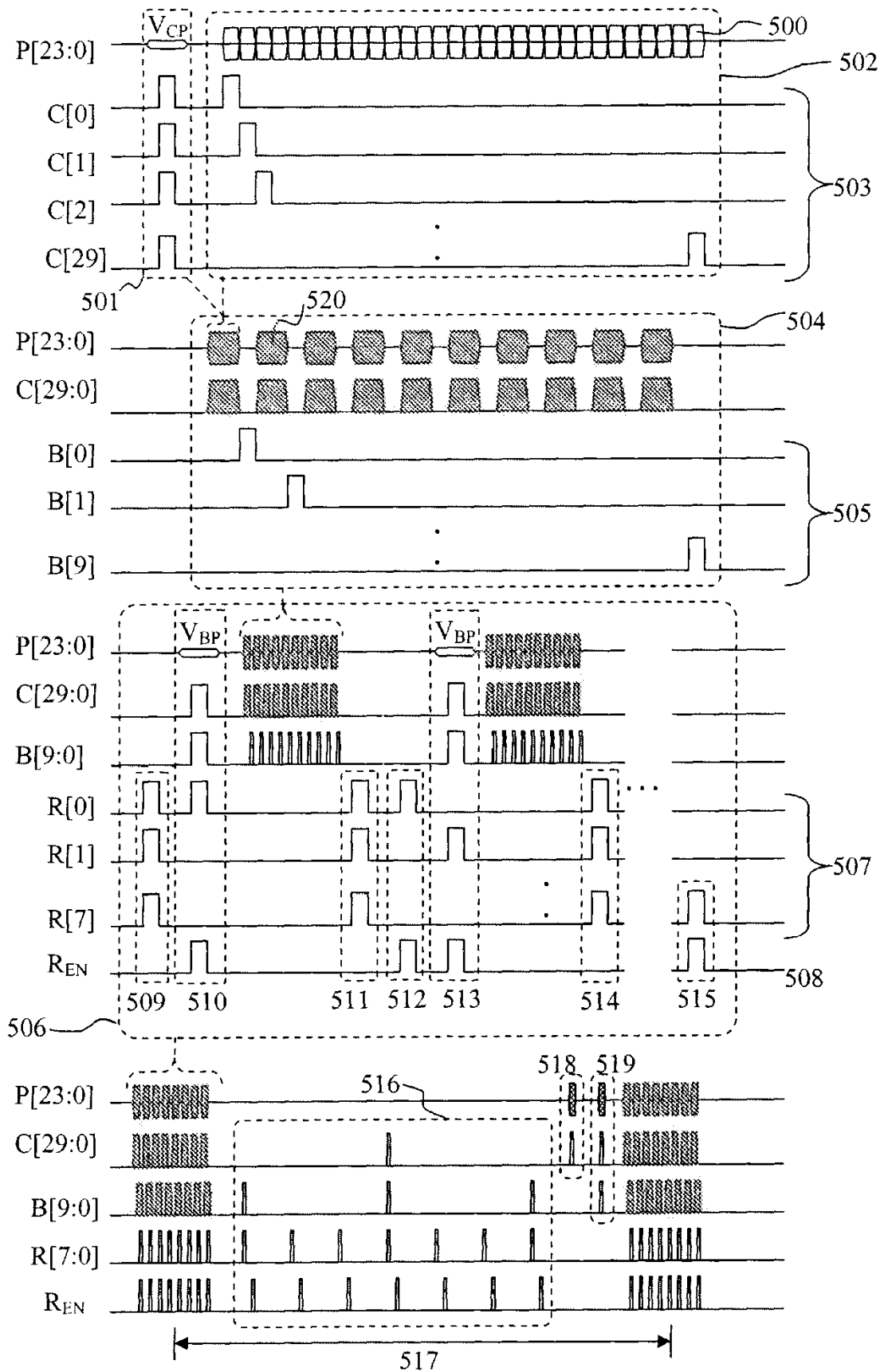


Figura 5.

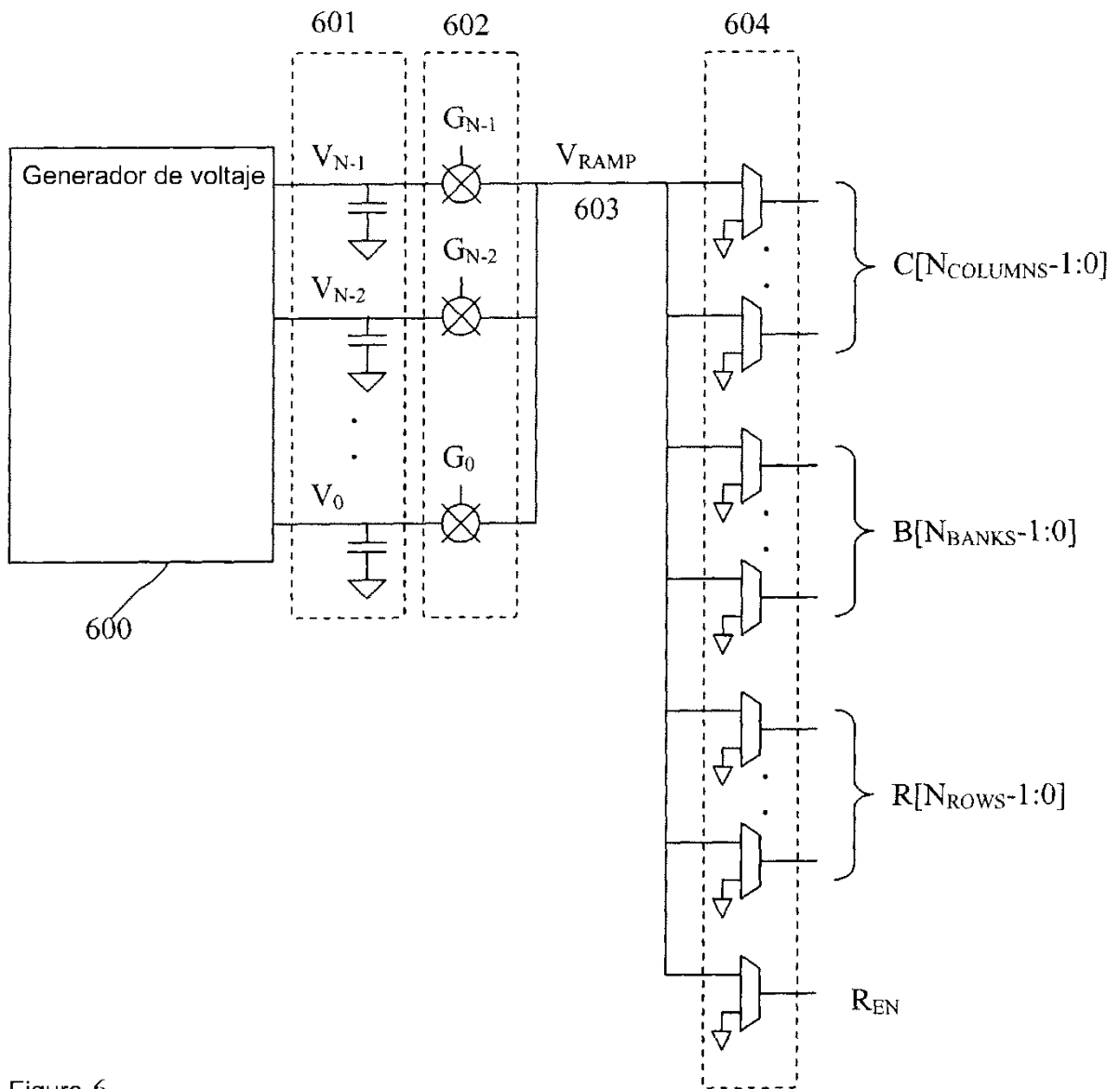


Figura 6.

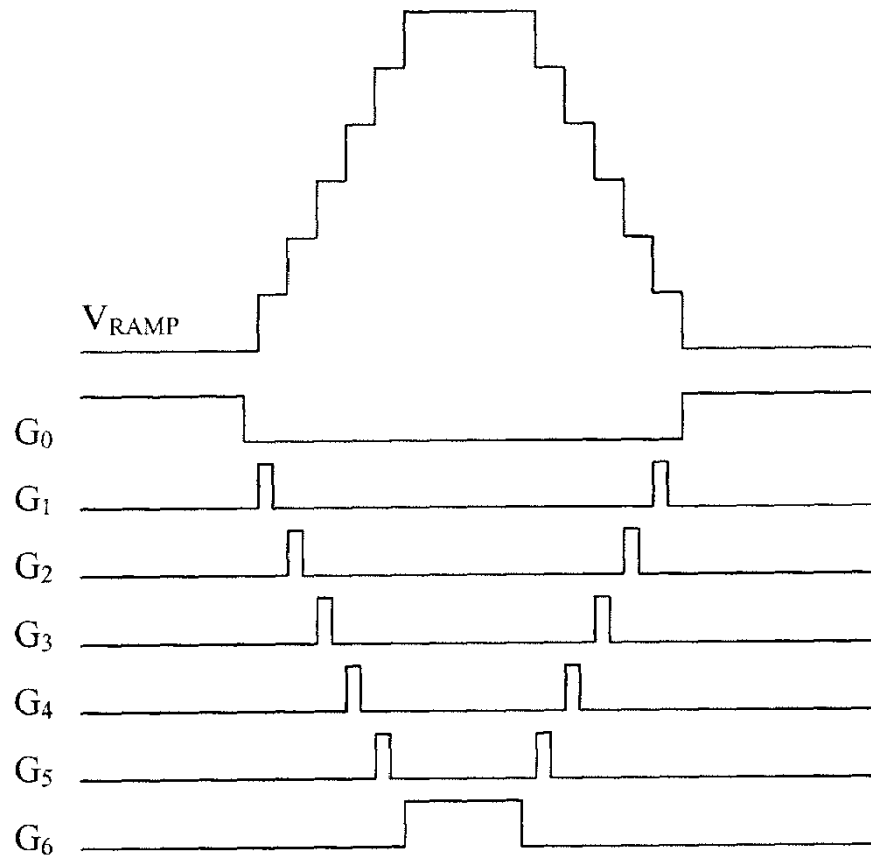


Figura 7.

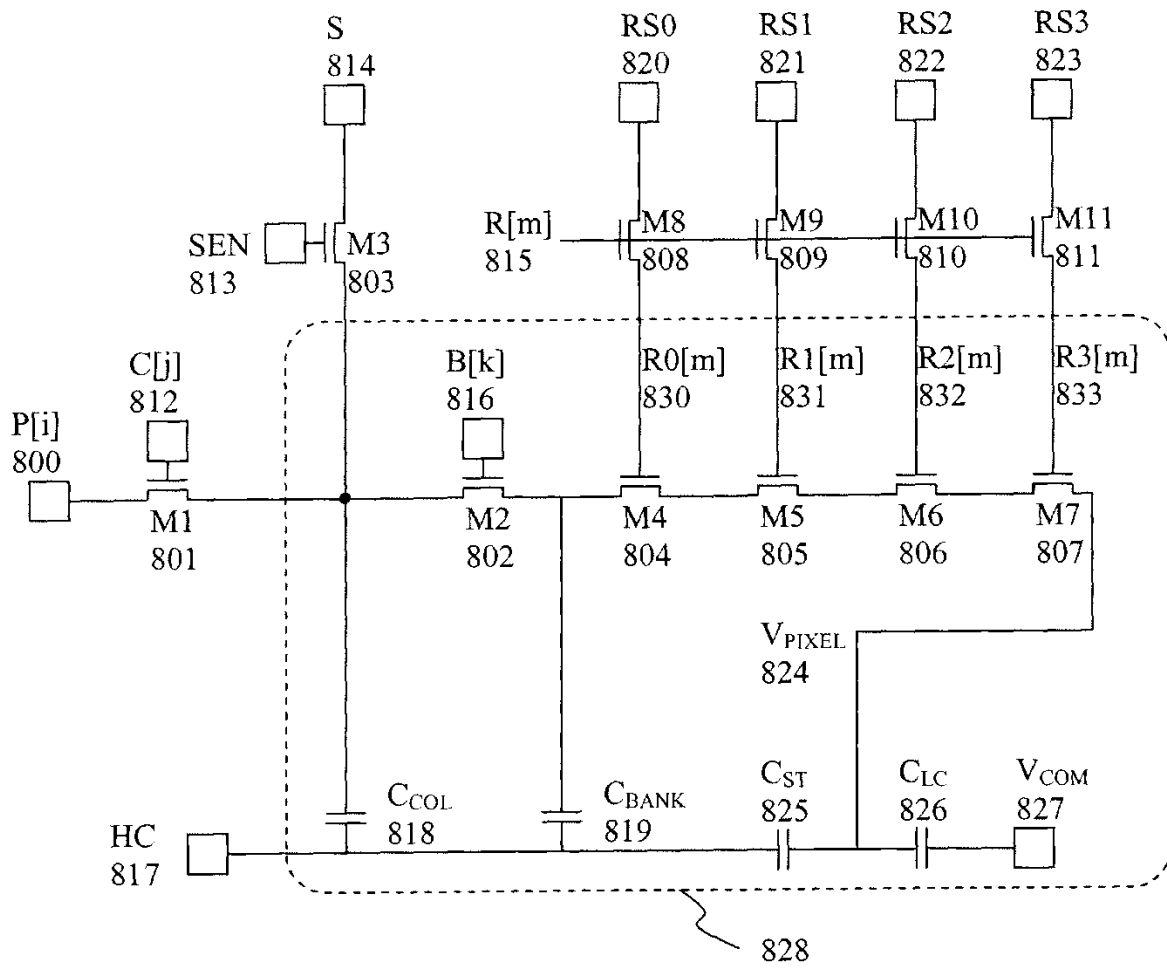


Figura 8.

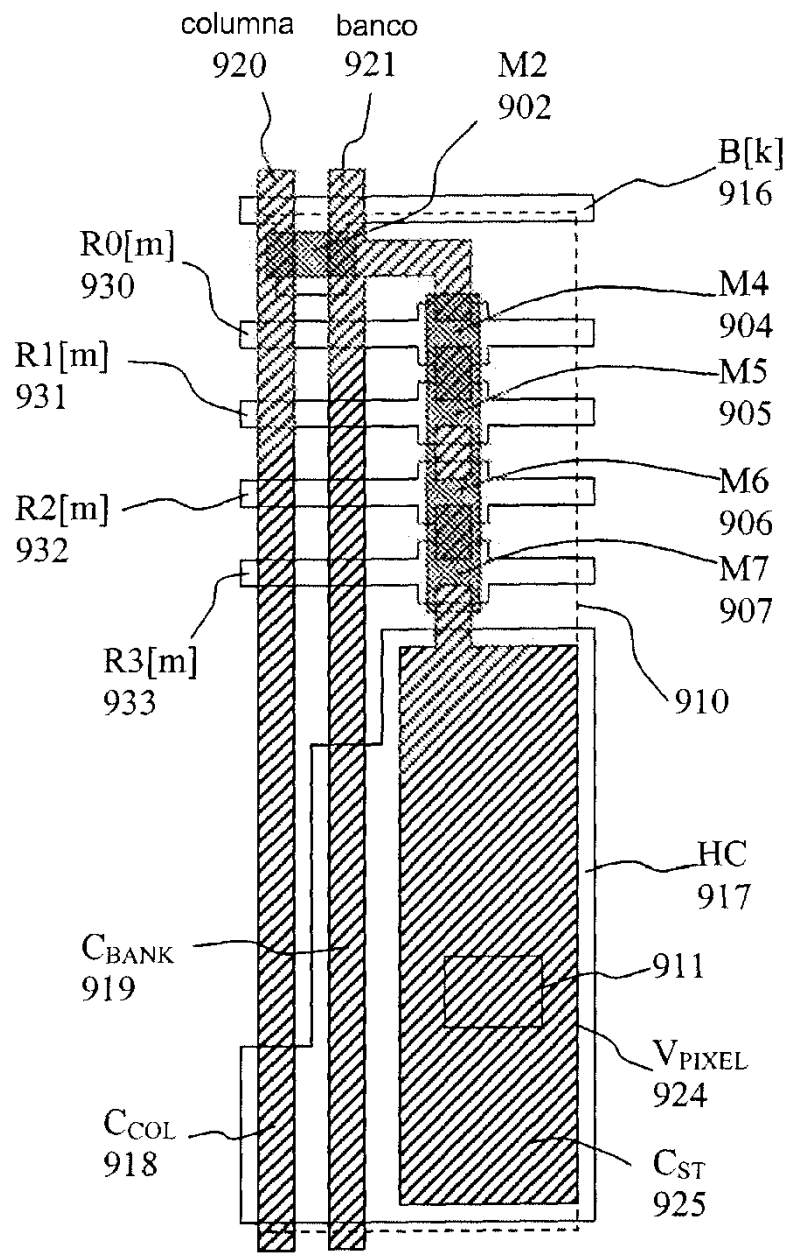


Figura 9.

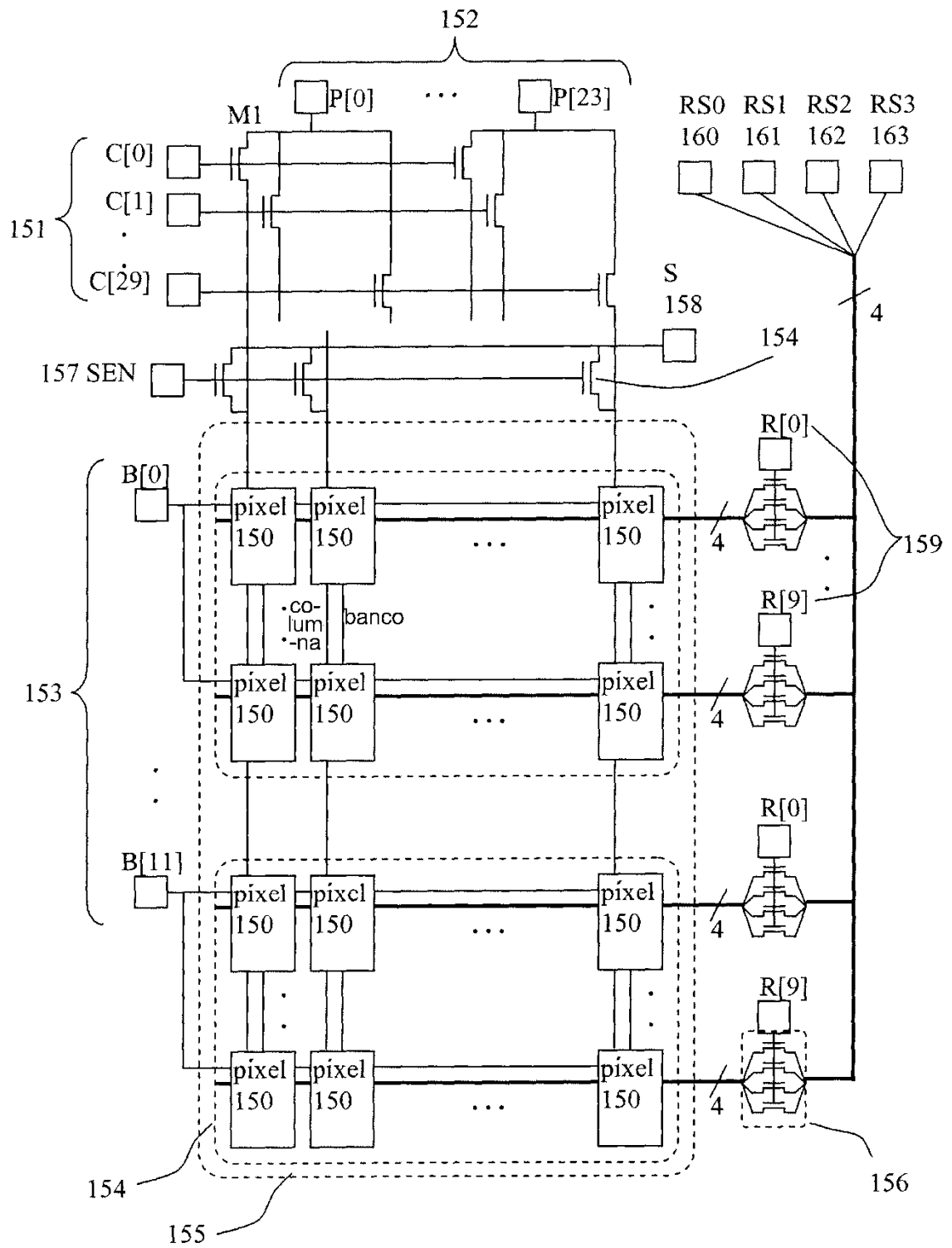


Figura 10.

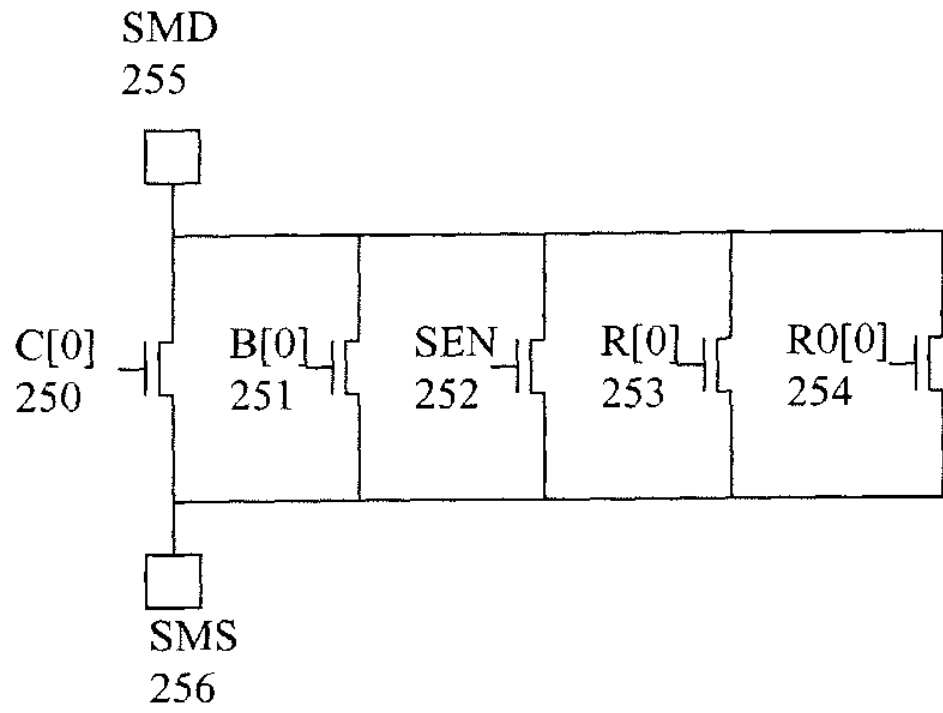


Figura 11.

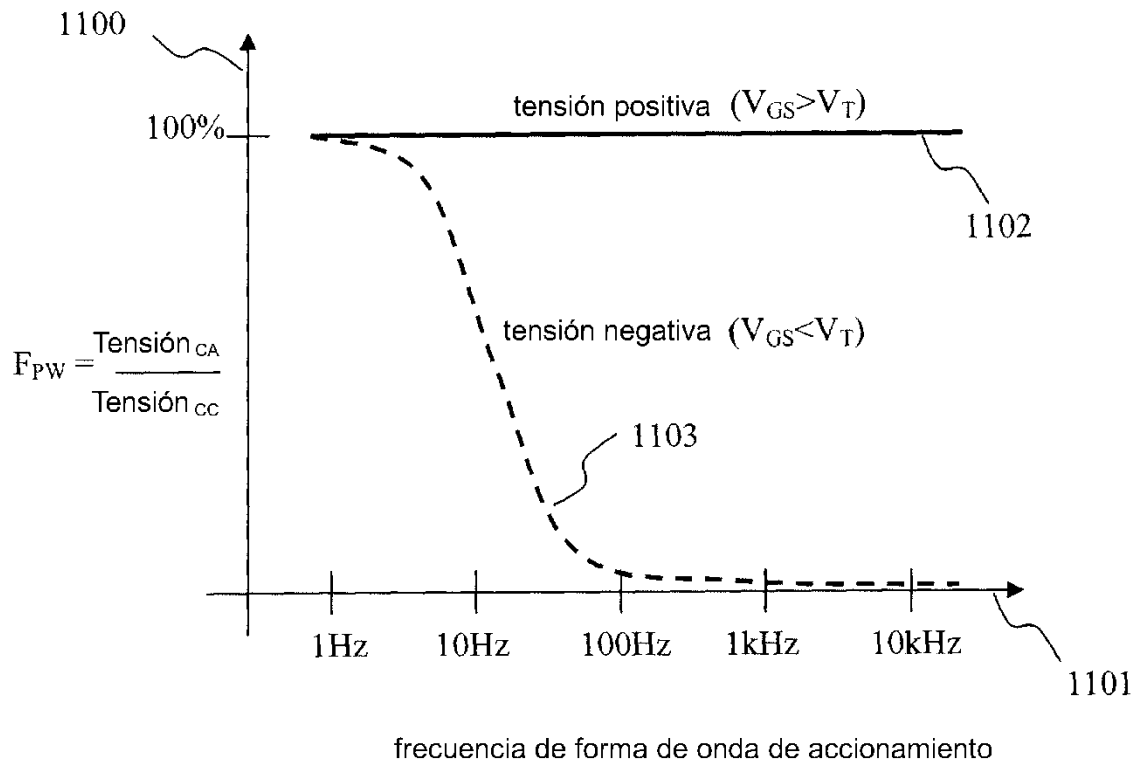


Figura 12.

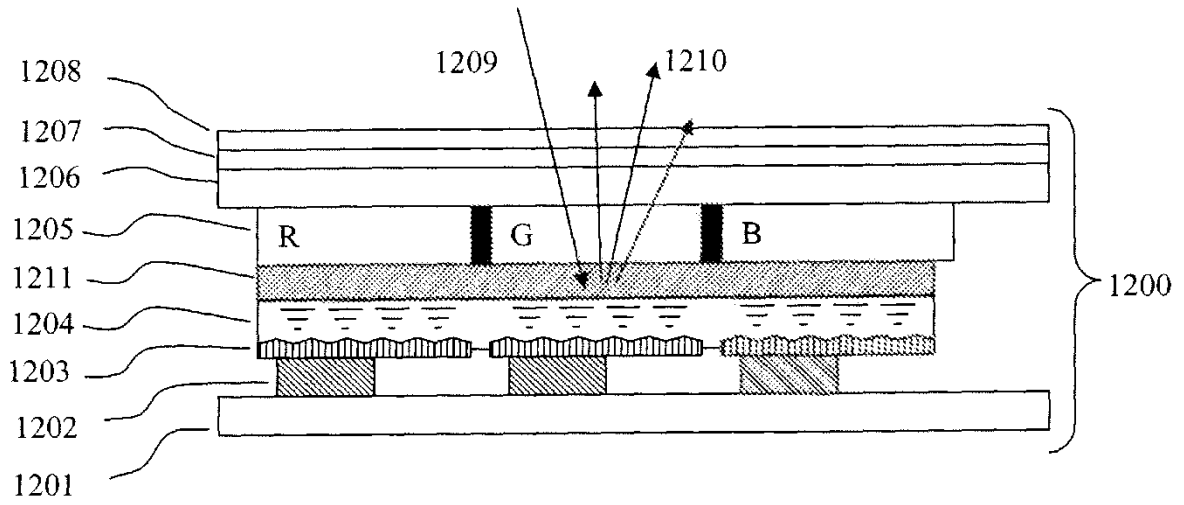


Figura 13.

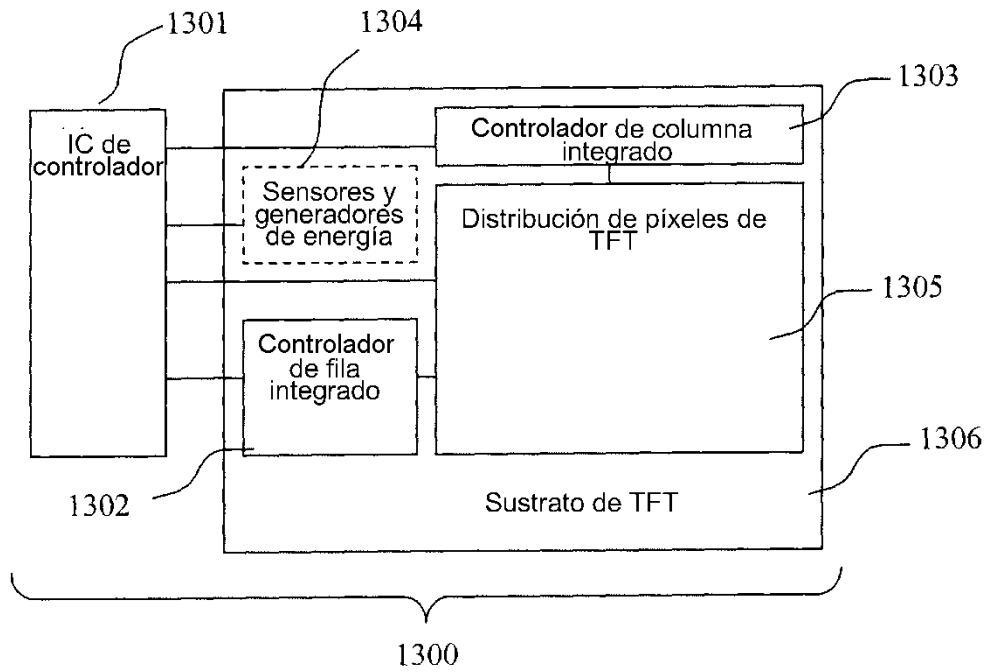


Figura 14.

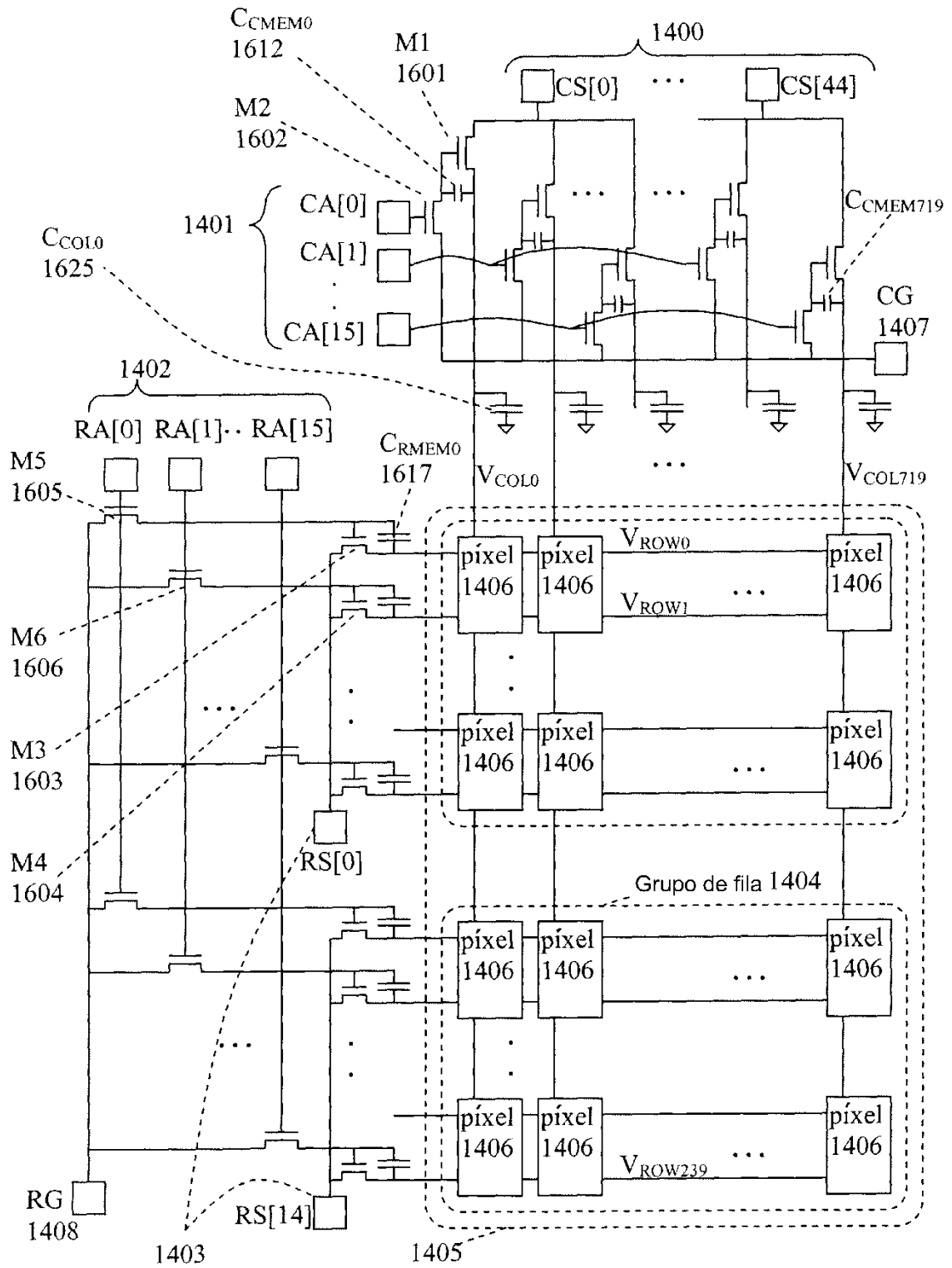


Figura 15.

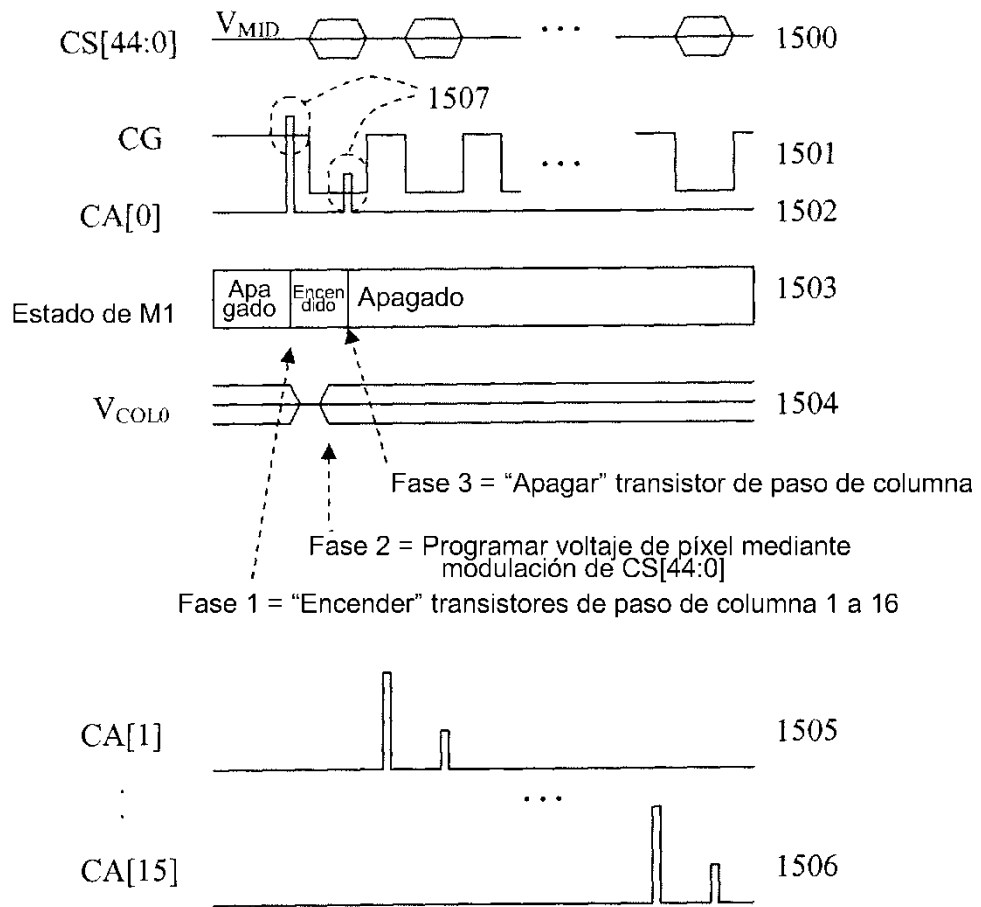


Figura 16.

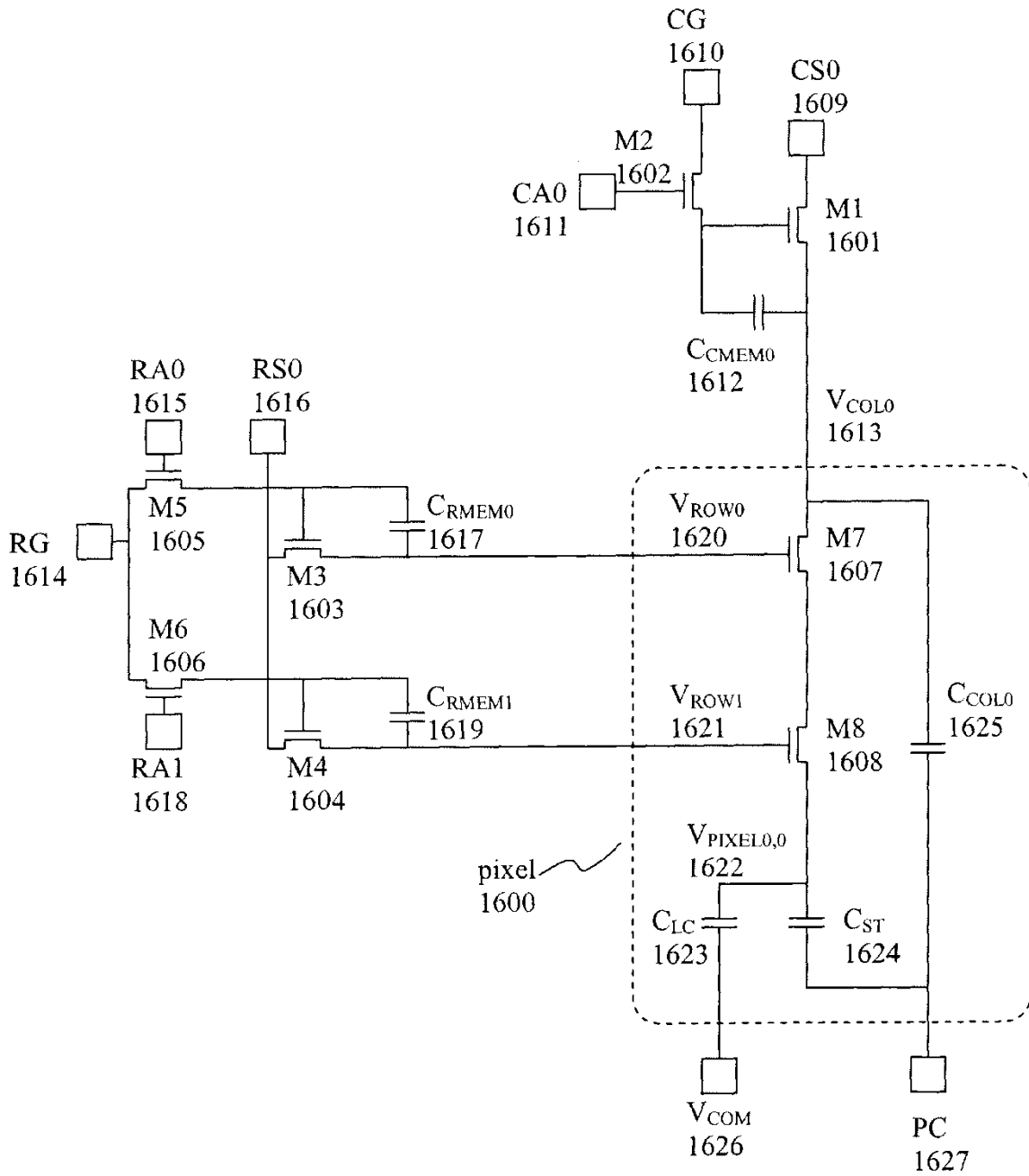


Figura 17.

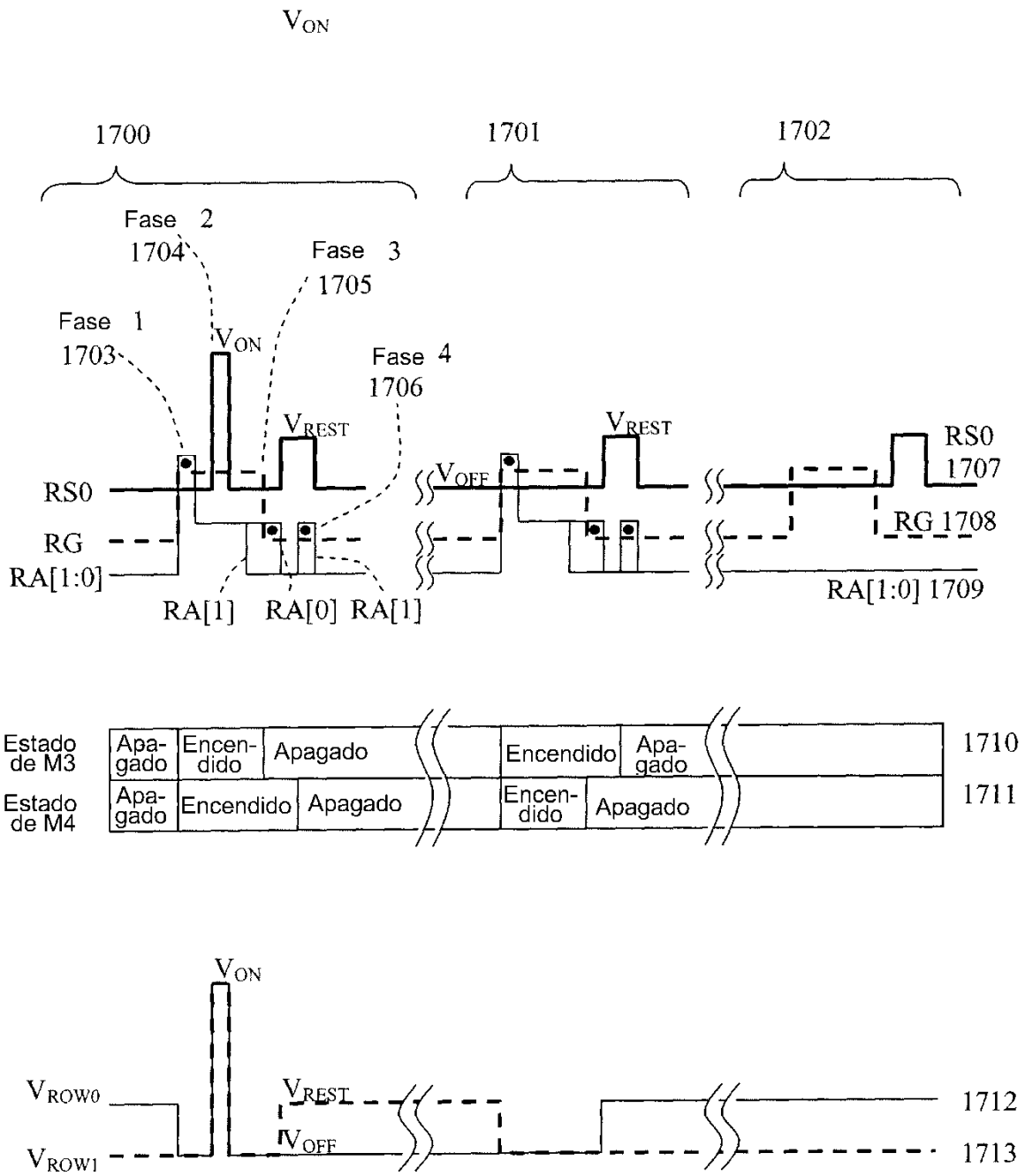


Figura 18.

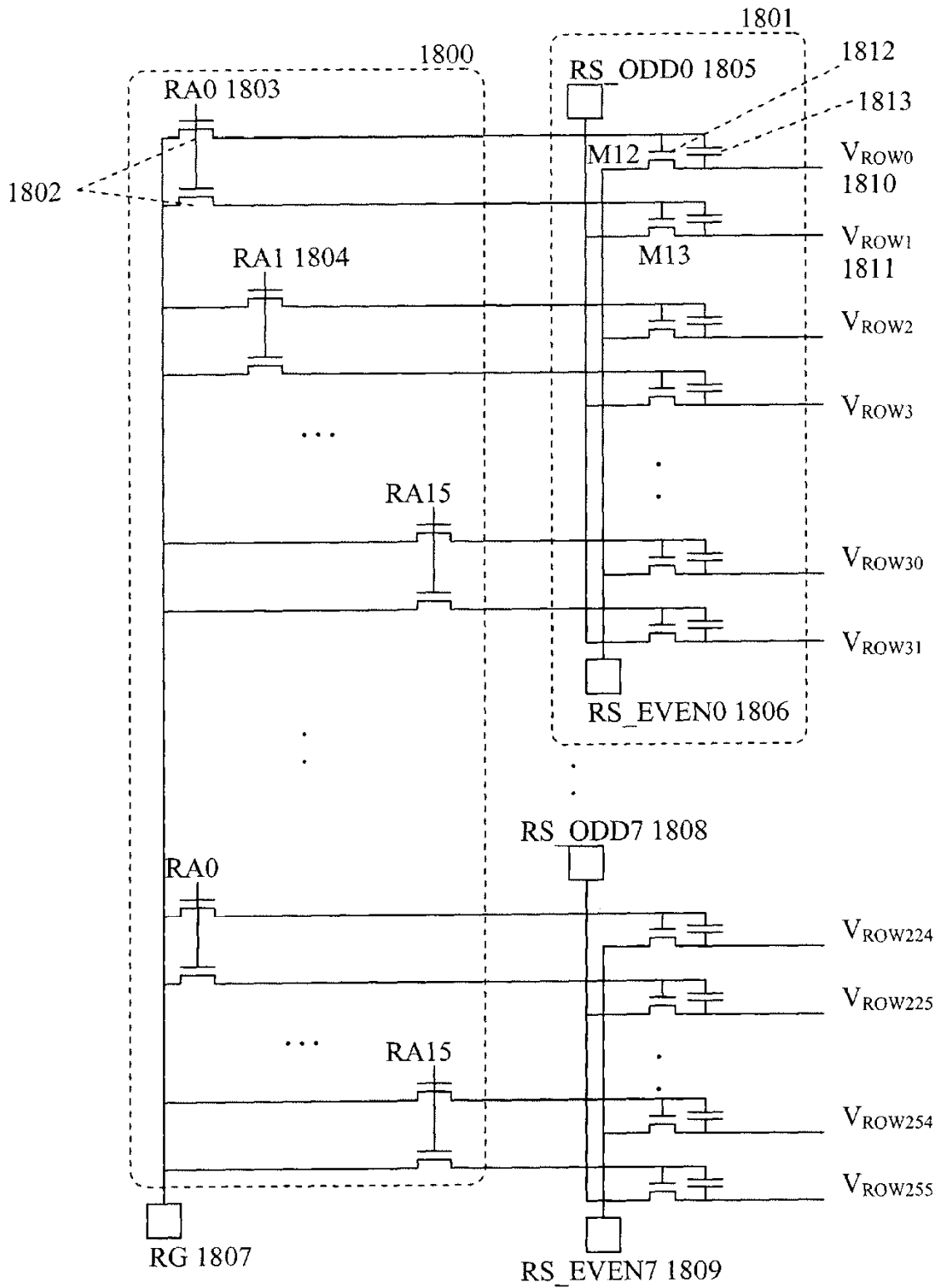
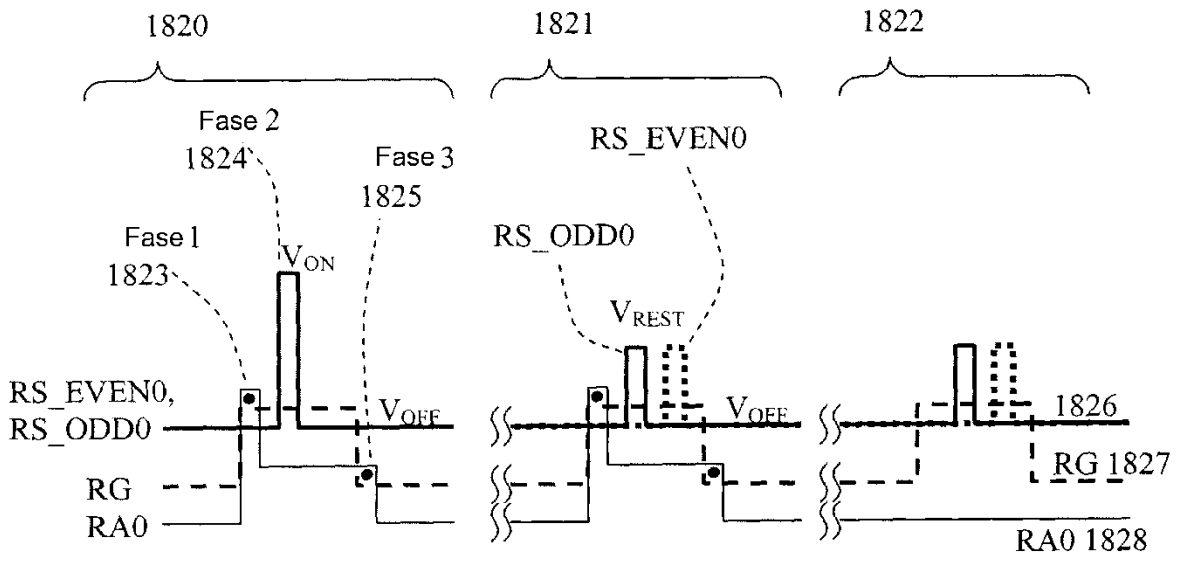


Figura 19a.



Estado de M12	Apagado	Encendido	Apagado	Encendido	Apagado	1829
Estado de M13	Apagado	Encendido	Apagado	Encendido	Apagado	1830

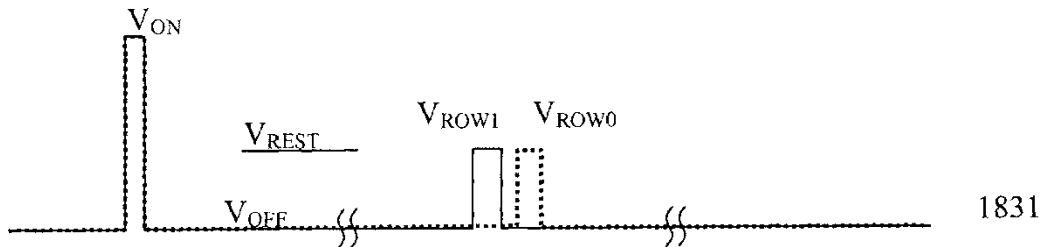


Figure 19b.

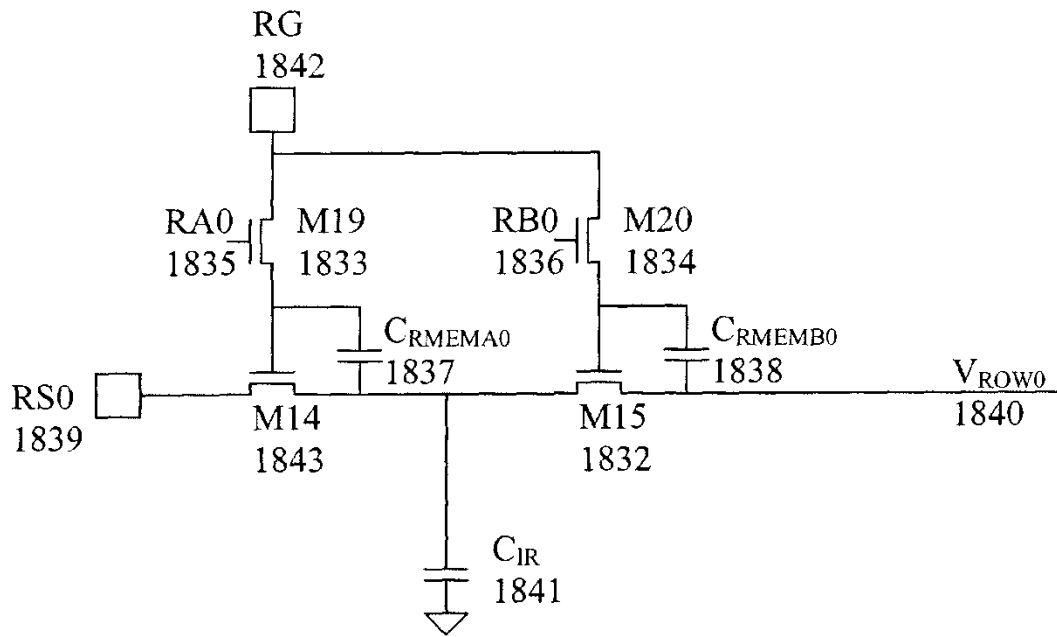


Figura 19c.

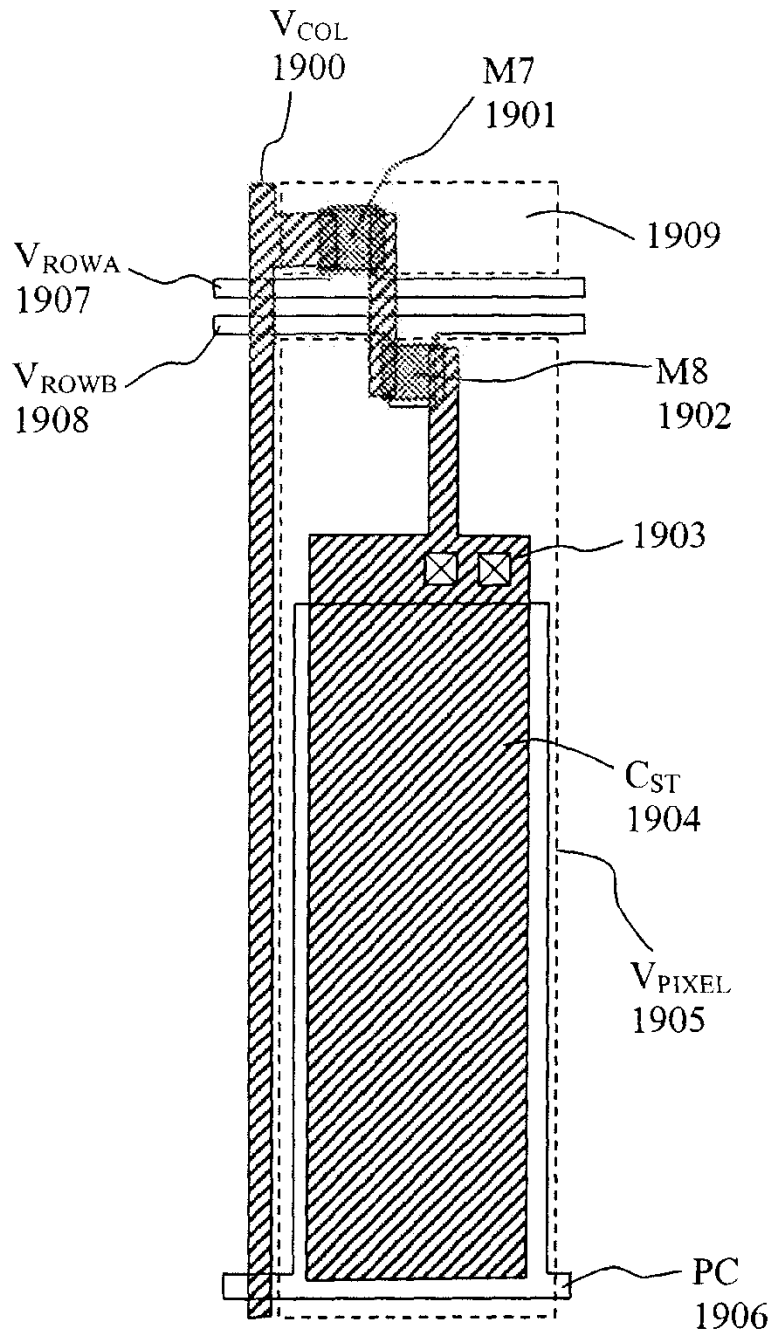


Figura 20.

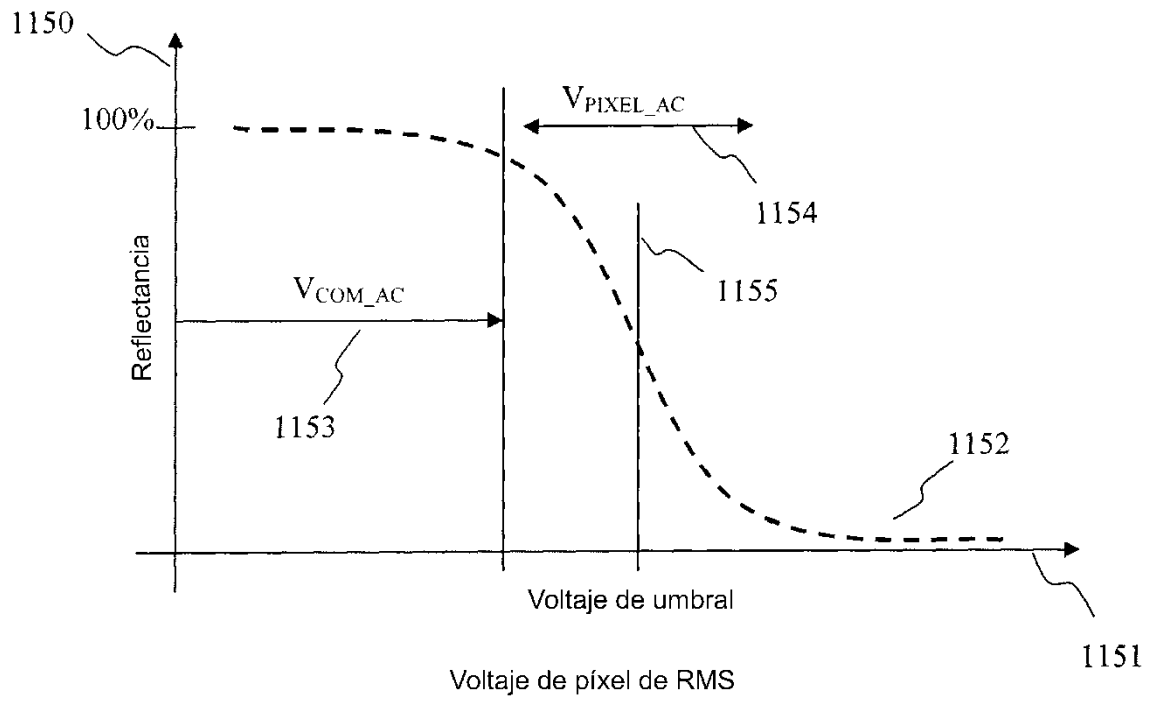


Figura 21.

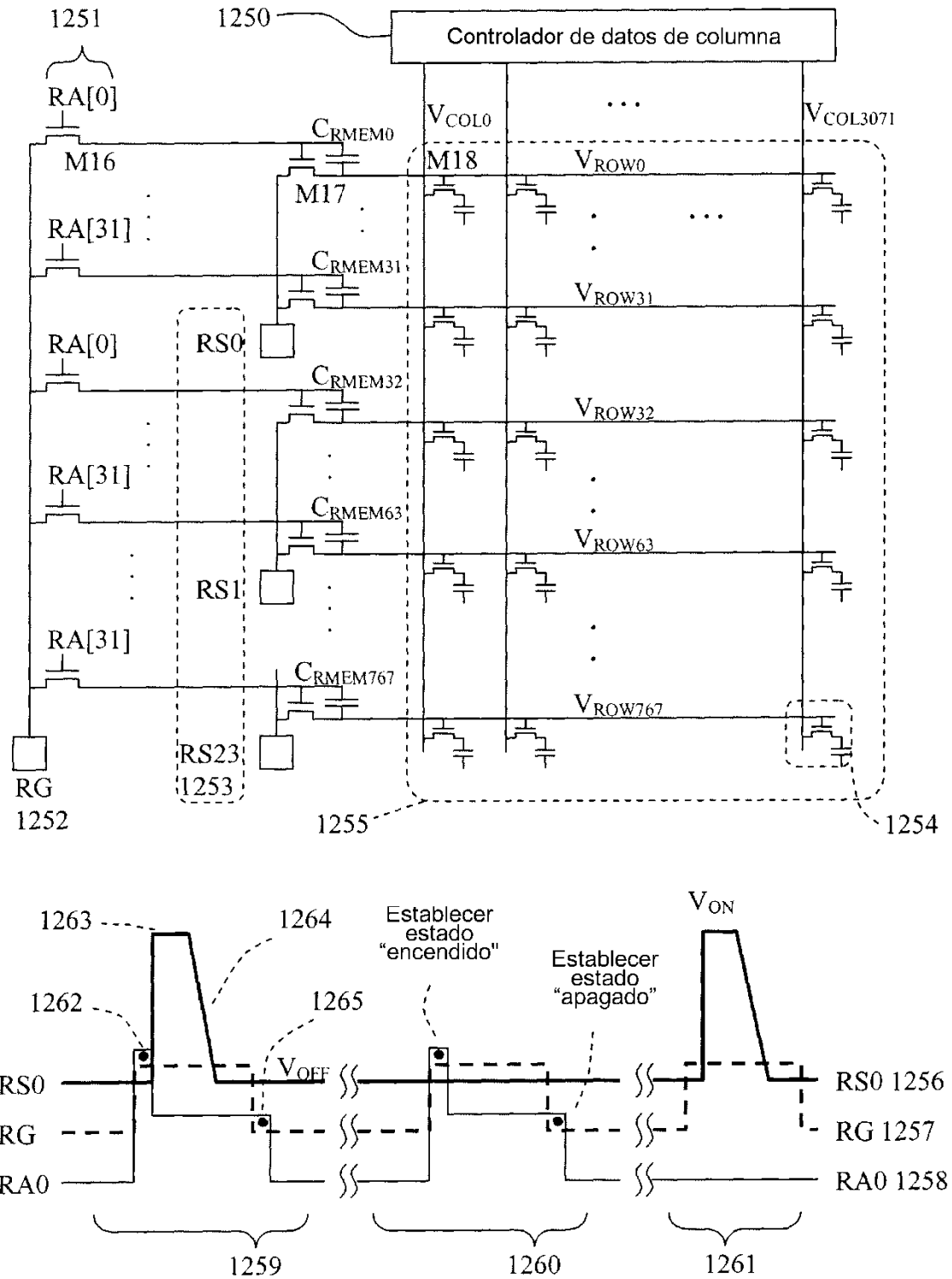


Figura 22.

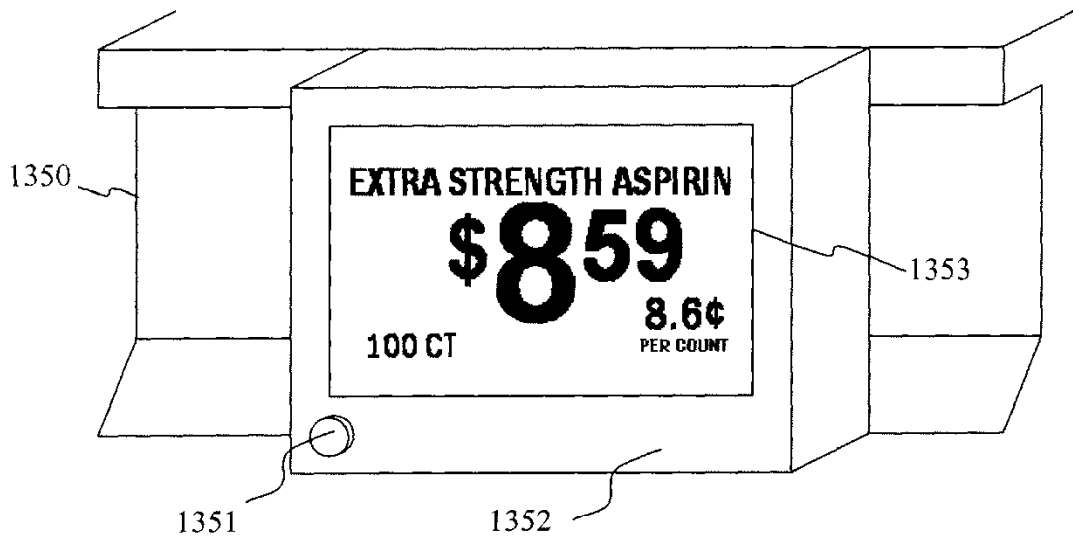


Figura 23.

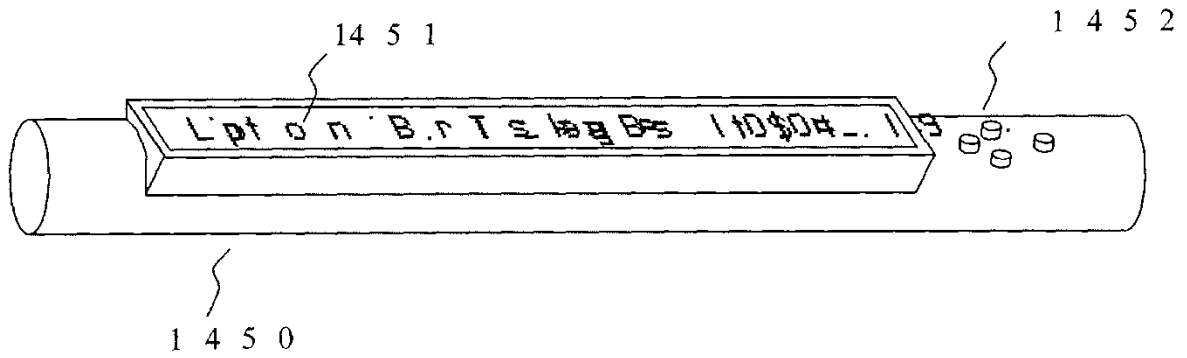


Figura 24.

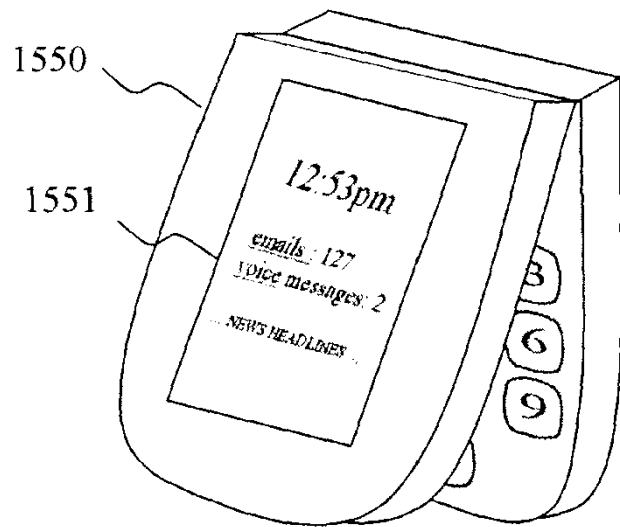


Figura 25.

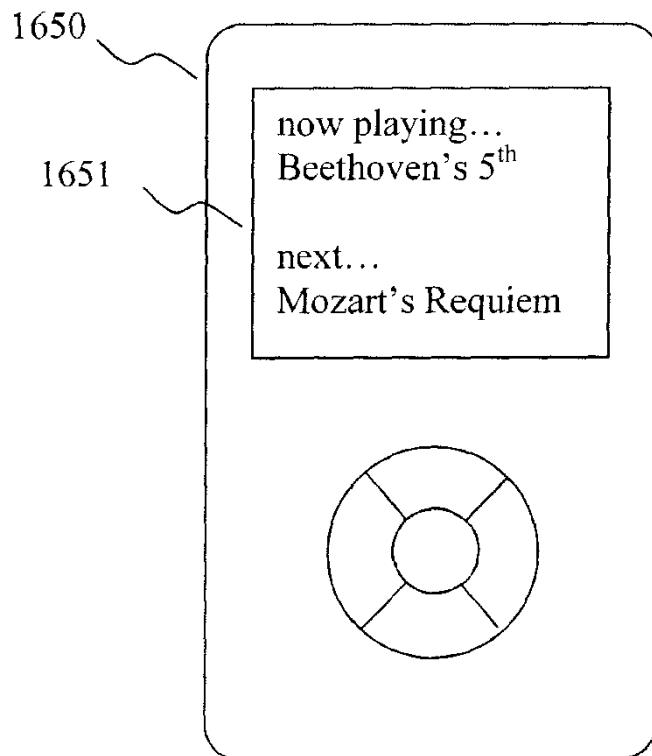


Figura 26.

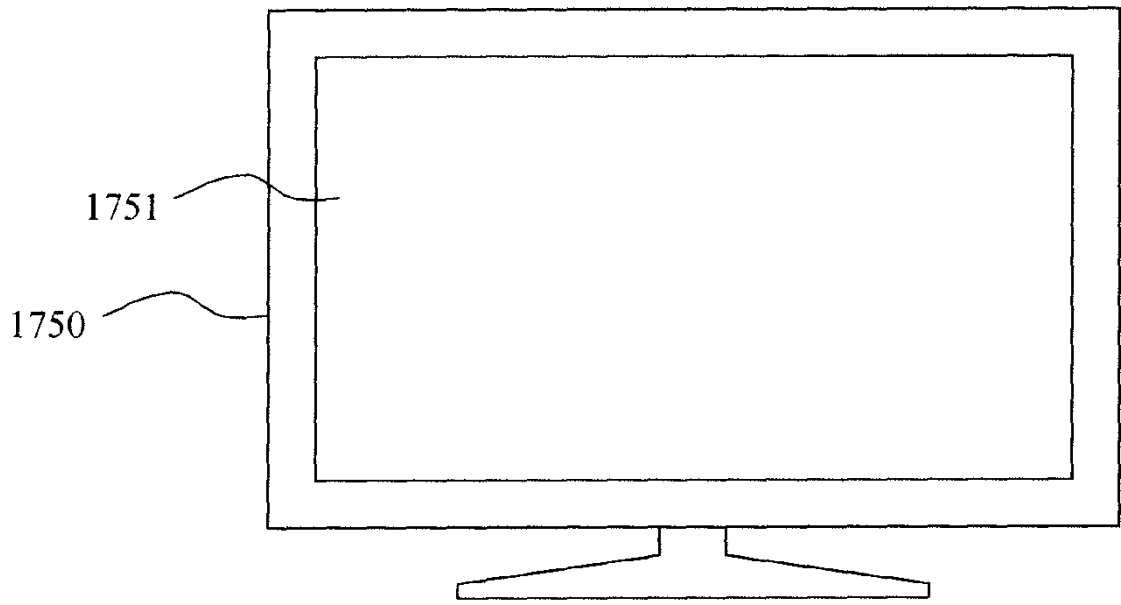


Figura 27.

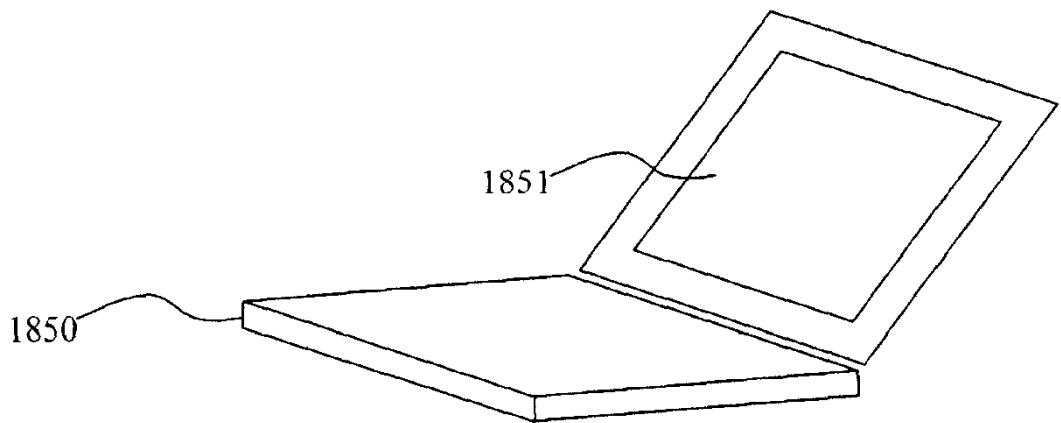


Figura 28.

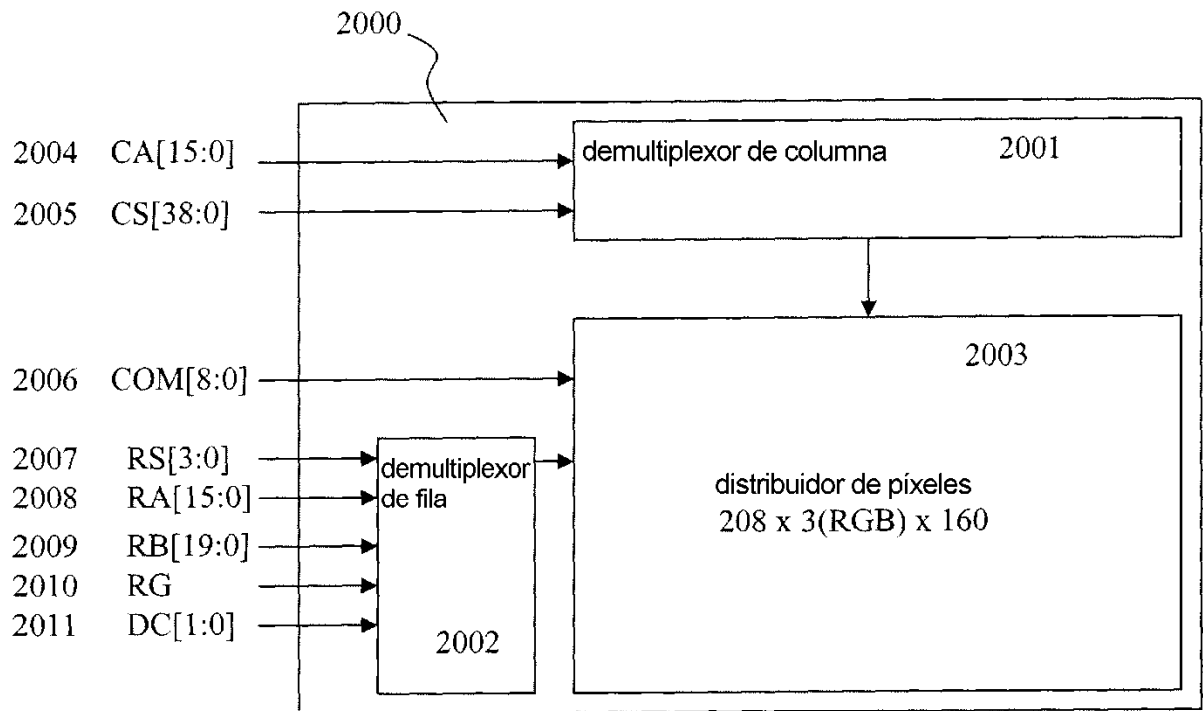


Figura 29.

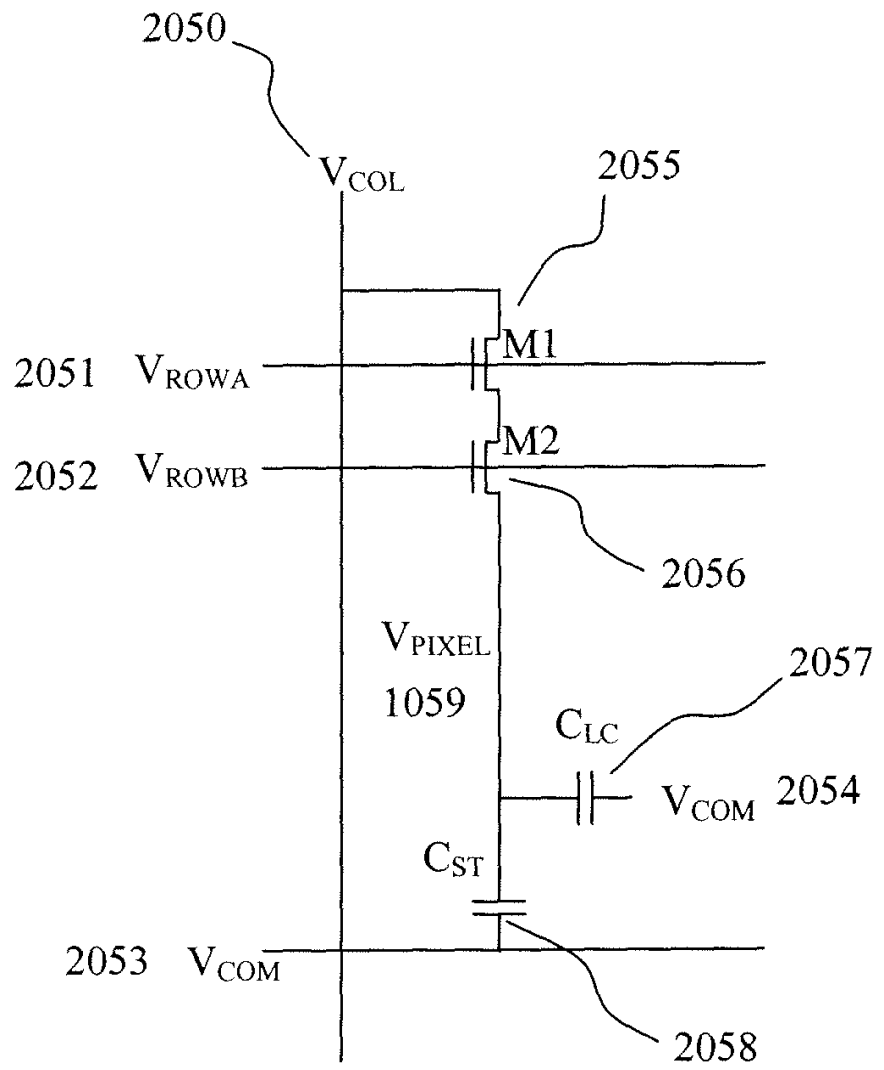


Figura 30.

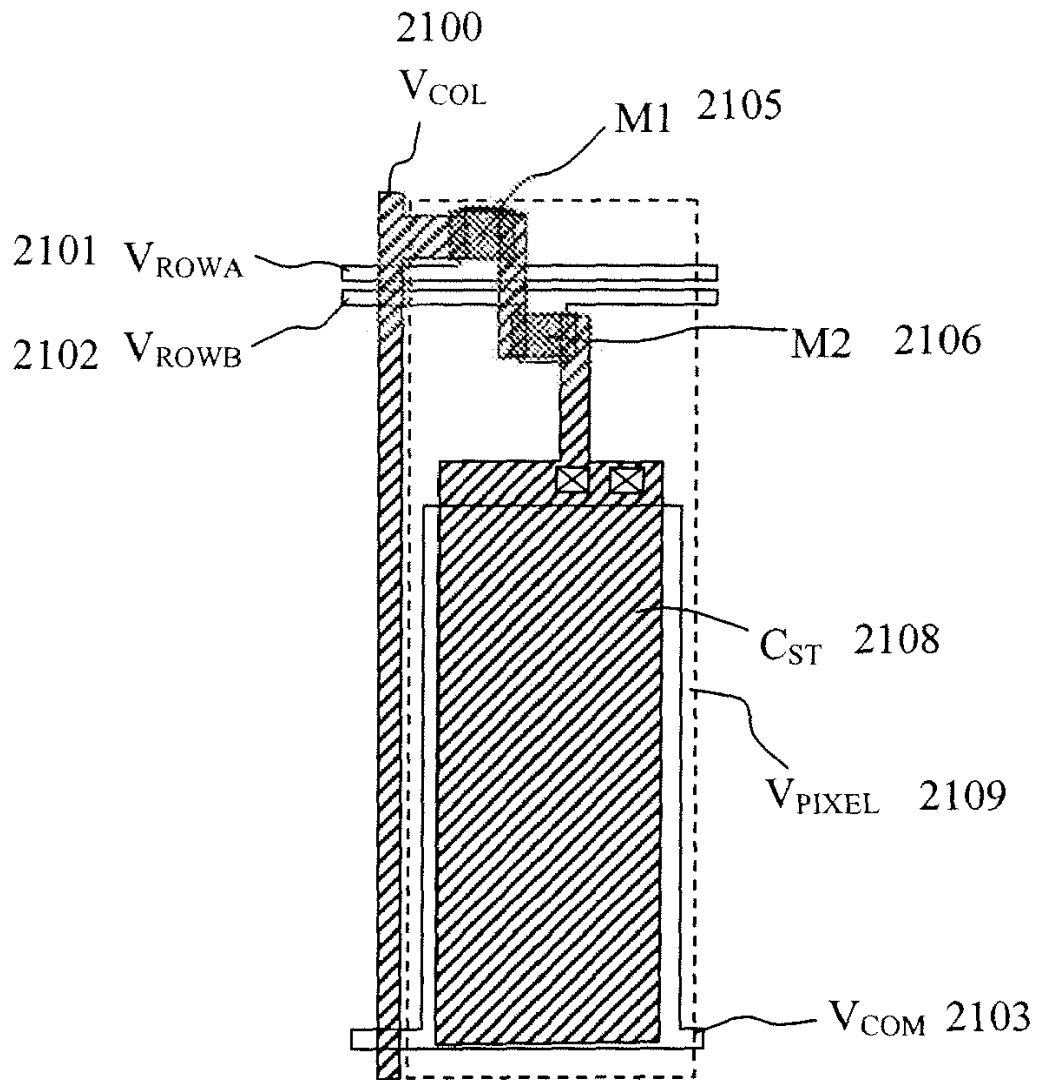


Figura 31.

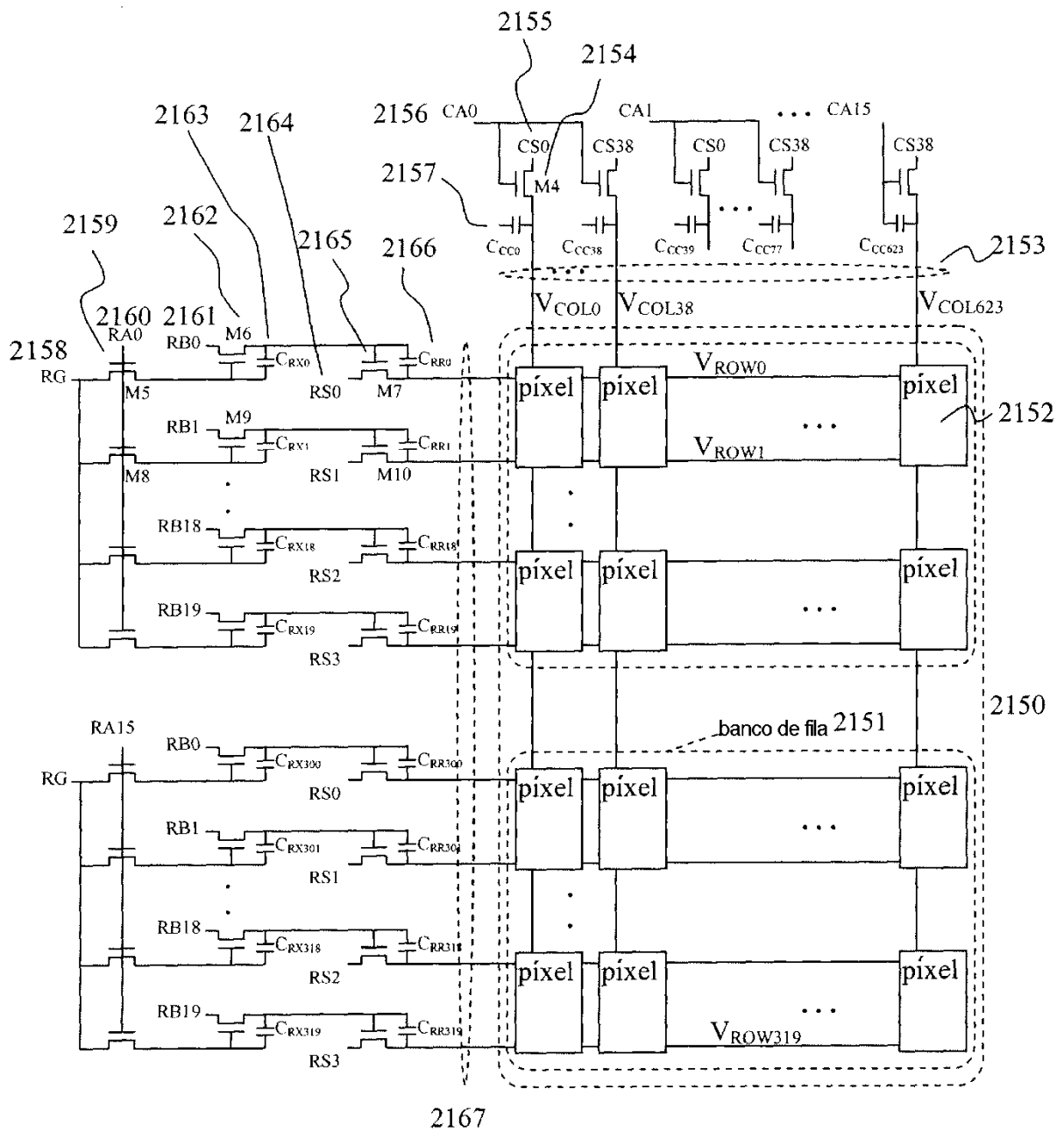


Figura 32.

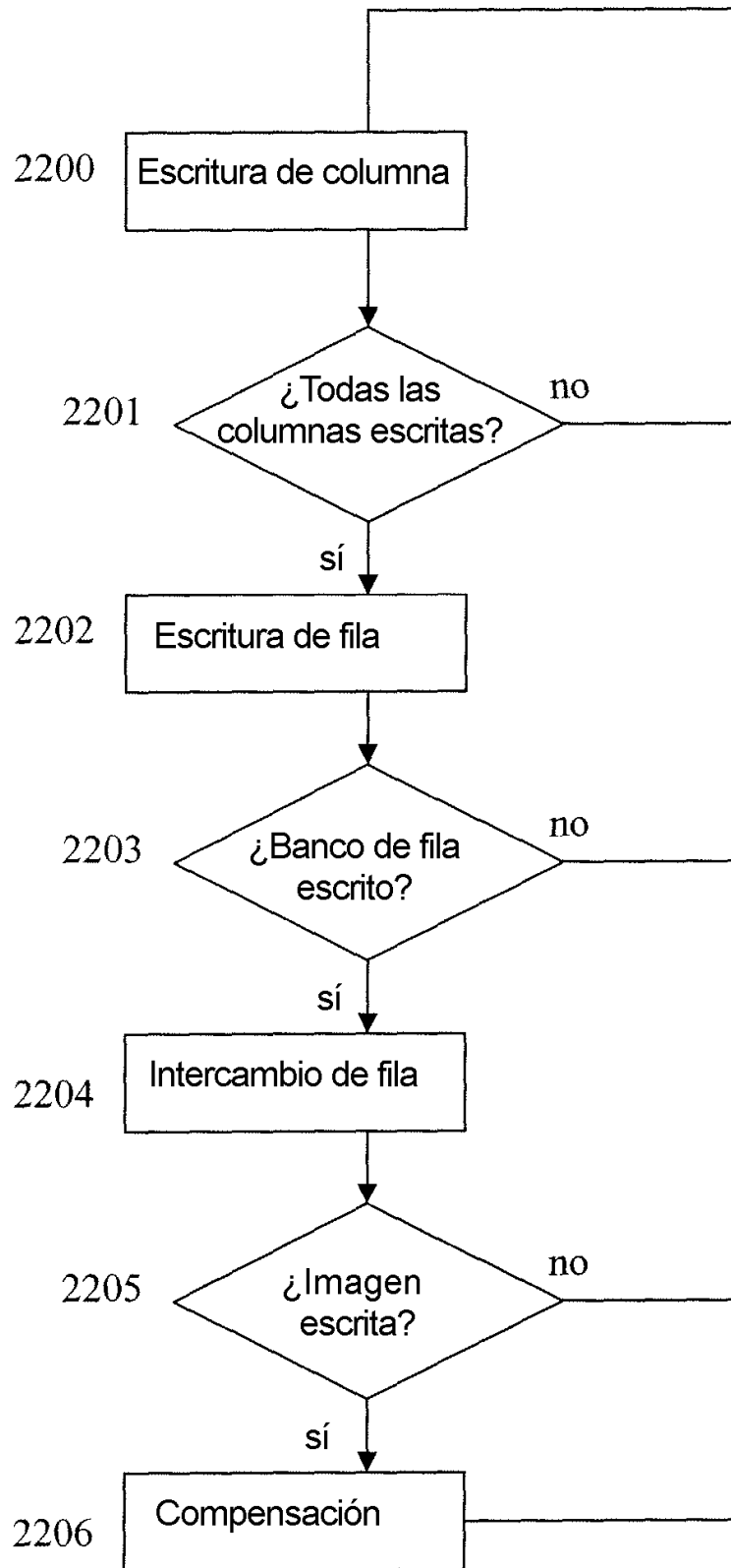


Figura 33.

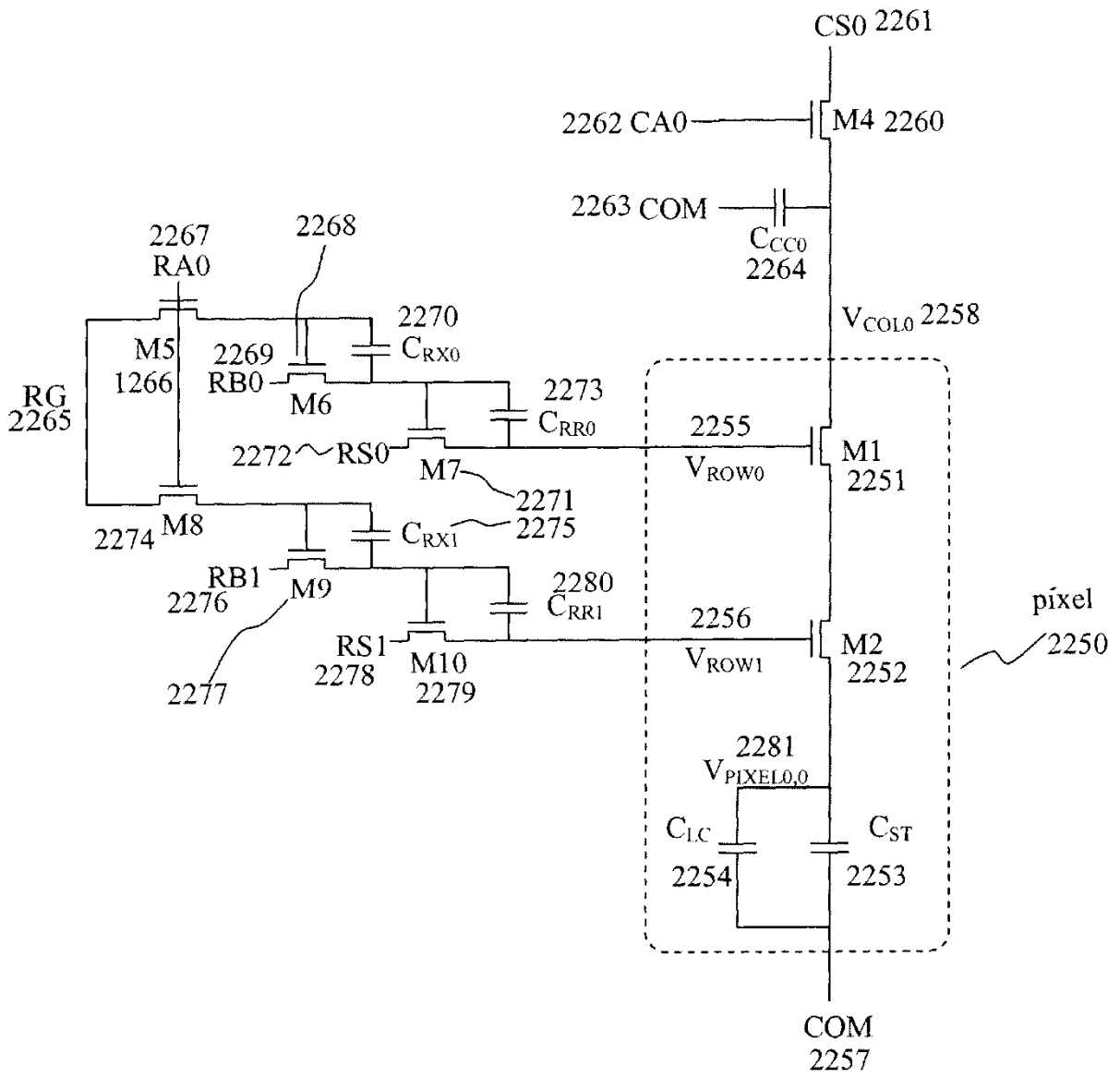


Figura 34.

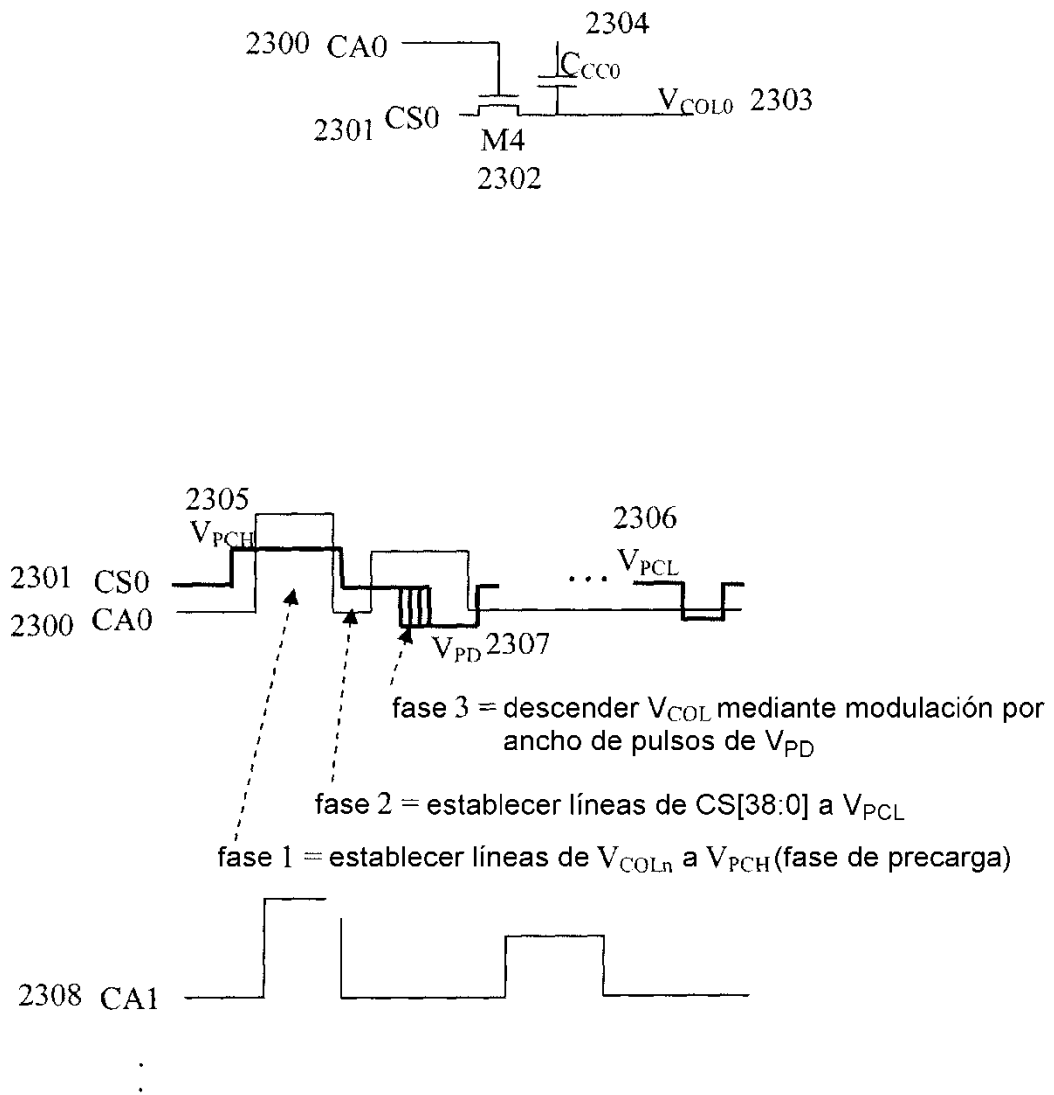
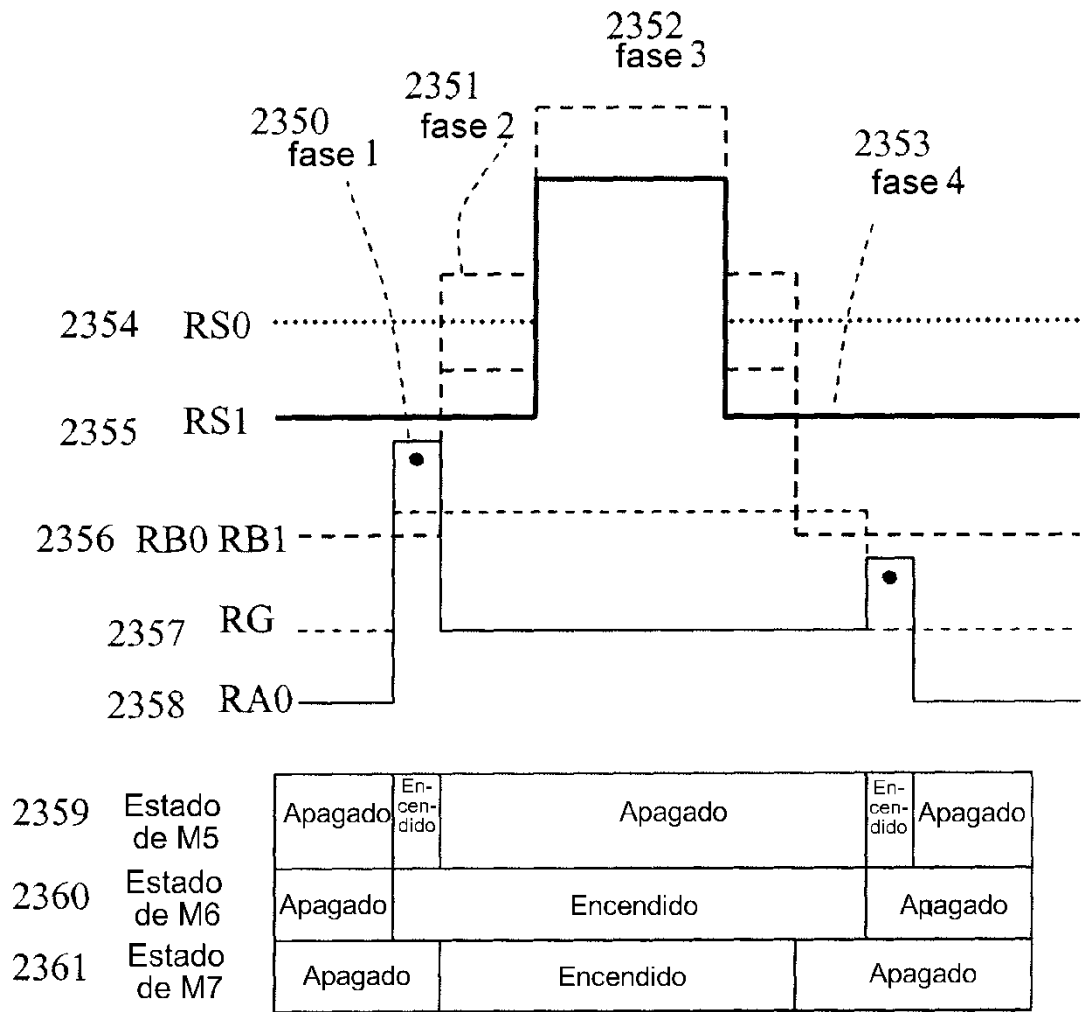
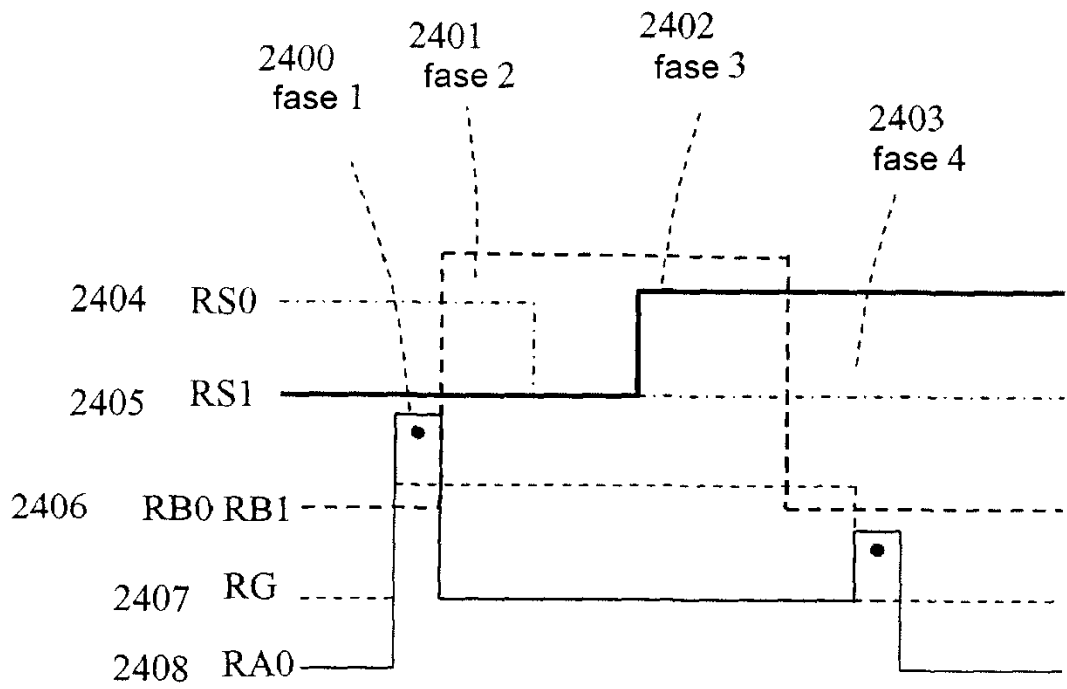


Figura 35.



• M5 "encendido"

Figura 36.



• M5 "encendido"

Figura 37.