

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 657 475**

51 Int. Cl.:

H04B 1/7083 (2011.01)

H04J 3/06 (2006.01)

H04J 11/00 (2006.01)

H04W 48/16 (2009.01)

H04W 56/00 (2009.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **04.02.2002 E 07111143 (9)**

97 Fecha y número de publicación de la concesión europea: **01.11.2017 EP 1833175**

54 Título: **Algoritmo de búsqueda de celda inicial**

30 Prioridad:

27.02.2001 US 271642 P
31.07.2001 US 918611

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
05.03.2018

73 Titular/es:

INTEL CORPORATION (100.0%)
2200 Mission College Boulevard
Santa Clara, CA 95054, US

72 Inventor/es:

DEMIR, ALPASLAN y
GRIECO, DONALD M.

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 657 475 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Algoritmo de búsqueda de celda inicial.

Antecedentes

5 La presente invención se refiere, en general, a la sincronización de un equipo de usuario (UE) con una estación base. Más particularmente, la presente invención se refiere a un sistema de búsqueda de celdas que utiliza un algoritmo mejorado de búsqueda de celda inicial.

10 Los algoritmos de búsqueda de celda inicial se usan para sincronizar el UE con una estación base. El UE lleva a cabo este procedimiento por un canal común de enlace descendente, denominado canal de sincronización físico (PSCH). Haciendo referencia a la figura 2, el PSCH tiene una estructura en donde el mismo código de sincronización principal (PSC) se transmite al principio de cada intervalo, mientras que un código de sincronización secundario (SSC) se transmite para cada intervalo, dando como resultado quince (15) SSC diferentes. Como conocen los expertos en la técnica, una trama que tiene una longitud de quince (15) intervalos puede transmitir quince (15) SSC.

15 La orden de transmisión del SSC depende del número principal de grupo de códigos de aleatorización. Como un ejemplo, en un sistema de quinientos doce (512) celdas, hay sesenta y cuatro (64) grupos. En cada grupo, son diferentes los patrones del SSC y sus desplazamientos cíclicos. Como consecuencia, hay quinientos doce (512) códigos de aleatorización principales. A cada celda, de un sistema de quinientos doce (512) celdas, se asigna un código de manera que no se usa más de un código para más de una celda en una zona de recepción dada.

20 Por lo tanto, los sistemas de sincronización de la búsqueda de celdas determinan el código de aleatorización principal de una celda que utiliza un algoritmo de búsqueda de celda inicial. Los algoritmos comunes de búsqueda de celda inicial utilizan tres (3) algoritmos principales: un algoritmo de etapa 1 detecta el PSC y determina un desplazamiento de chips; un algoritmo de etapa 2 usa la información proporcionada por la etapa 1 y detecta el desplazamiento de intervalos y el número de grupo de códigos; y un algoritmo de etapa 3 utiliza la información proporcionada por el algoritmo de etapa 2 y detecta el código de aleatorización principal. Por desgracia, cada algoritmo de etapa tiene un error intrínseco asociado. El error presente en cada una de las etapas está causado por la detección del UE del ruido asociado con el canal de enlace descendente común recibido, que puede dar como resultado un alto número de detecciones falsas.

25 Además, los algoritmos comunes de búsqueda de celda inicial no pueden gestionar un rechazo debido a las capas superiores de la red móvil terrestre pública (PLMN) incorrecta. Ya que la mayoría de los algoritmos detectan la celda más intensa en el canal de enlace descendente común, es probable que cada vez que el algoritmo localiza una celda, la misma PLMN esté asociada con la celda. Esto da como resultado un bloqueo y, por último, una indicación al UE de que no hay servicio.

30 "UMTS Terrestrial Radio Access Concept Evaluation", Informe técnico ETSI, diciembre de 1997, describe un método para la búsqueda de una celda inicial. El método comprende tres etapas, a saber, una sincronización de intervalos, una sincronización de tramas e identificación de grupos de códigos, y una identificación de códigos de aleatorización.

35 En la solicitud de patente europea EP0825737, se describe un método para transmitir señales y un método de sincronización de códigos con espectro ensanchado para un sistema de comunicación móvil. En este método, una estación móvil lleva a cabo primero una detección de correlación mediante un filtro correspondiente usando un código corto común a todas las celdas como una réplica de códigos de ensanchamiento. La estación móvil se conecta a continuación a la estación base que ha enviado la señal asociada con el pico de correlación máximo. En particular, la estación móvil lleva a cabo la detección de correlación entre la señal recibida y el código corto utilizado como la réplica de códigos de ensanchamiento para detectar la fase del código largo recibido desde la temporización del pico máximo.

40 "Universal Mobile Telecommunications Systems; UE procedures in Idle Mode and Procedures for cell Reselection in Connected Mode", Estándares ETSI TS125304, diciembre de 2000, describe que un equipo de usuario (UE) escaneará todos los canales RF en la banda UTRA, según su capacidades, para encontrar redes móviles terrestres públicas (PLMN) disponibles. En cada portadora, el UE buscará la celda más intensa y leerá su información del sistema. El UE puede optimizar la búsqueda usando la información almacenada de las frecuencias portadoras y, opcionalmente, también la información sobre los parámetros de celda a partir de los elementos de información del control de medición previamente recibidos.

45 El documento WO 00/31998 describe un método para buscar la presencia de señales de banda estrecha seleccionando primero un ancho de banda más amplio del receptor.

50 El documento WO 01/01596 describe un equipo de usuario que comprende las características del preámbulo de la reivindicación 1 de la presente solicitud.

Por consiguiente, existe la necesidad de un sistema y un método que reduzcan el número de detecciones falsas realizadas por el algoritmo de búsqueda de celda inicial y sean capaces de superar el bloqueo asociado con un rechazo debido a la PLMN incorrecta.

Compendio

5 La presente invención trata de un sistema y un método para efectuar una búsqueda de celda inicial y establecer un enlace de comunicación entre un UE y una estación base en una red de comunicación. La señal de comunicación se procesa primero para generar un valor de índice y un desplazamiento de chips asociado con un código de sincronización principal, produciendo una primera decisión. Se extrae una muestra pico de la señal de comunicación y se efectúa un segundo procesamiento en la señal de comunicación. El segundo procesamiento recupera el número de grupo de códigos, el desplazamiento de intervalos y el código de sincronización secundario a partir de la señal de comunicación, produciendo una segunda decisión. Se efectúa un tercer procesamiento en la señal de comunicación como respuesta al número de grupo de códigos y al desplazamiento de intervalos, lo que recupera el código de aleatorización principal. El código de aleatorización principal se usa a continuación para sincronizar el UE con la celda asociada con el código de aleatorización principal. Por todo el proceso, se emplea una lógica de exclusión de ventanas para mejorar el apantallamiento de bandas de frecuencia mientras se realiza la búsqueda del código inicial. Mediante un sistema de memorias intermedias y contadores, se almacenan los desplazamientos de chips rechazados y los códigos de aleatorización principales rechazados con el propósito de su verificación y comparación mediante la lógica de exclusión de ventanas, que puede a continuación volver a hacer comenzar el proceso de decisión al detectar una PLMN incorrecta, evitando por ello una condición de bloqueo.

20 Breve descripción de los dibujos

La figura 1 es una ilustración del sistema de búsqueda de celda inicial realizado de acuerdo con la realización preferida de la presente invención.

La figura 2 es una ilustración del canal de sincronización físico (PSCH).

25 La figura 3 es un diagrama de bloques del módulo de etapa 1 de acuerdo con la realización preferida de la presente invención.

La figura 4 es un diagrama de flujo del módulo de etapa 1 de acuerdo con la realización preferida de la presente invención.

La figura 5 es un diagrama de bloques del módulo de etapa 2 de acuerdo con la realización preferida de la presente invención.

30 La figura 6 es una ilustración gráfica de la estructura de la Transformada rápida de Hadamard (FHT).

La figura 7 es una ilustración de la estructura de la matriz de entrada de acuerdo con la realización preferida de la presente invención.

La figura 8 es una ilustración de la estructura de la matriz de grupos de códigos de acuerdo con la realización preferida de la presente invención.

35 La figura 9 es una ilustración de la estructura de la matriz de correlación de acuerdo con la realización preferida de la presente invención.

Las figuras 10A y 10B muestran un diagrama de flujo del algoritmo de etapa 2 de acuerdo con la realización preferida de la presente invención.

40 La figura 11 es un diagrama de bloques del módulo de etapa 3 de acuerdo con la realización preferida de la presente invención.

La figura 12 es un diagrama de bloques del correlador de etapa 3 de acuerdo con la realización preferida de la presente invención.

Las figuras 13A y 13B son un diagrama de flujo del algoritmo de etapa 3 de acuerdo con la realización preferida de la presente invención.

45 Las figuras 14A y 14B muestran un diagrama de flujo de la lógica de decisión de búsqueda de celdas del controlador de acuerdo con la realización preferida de la presente invención.

Las figuras 15A y 15B muestran un diagrama de flujo de la lógica de exclusión de ventanas del controlador de acuerdo con la realización preferida de la presente invención.

Descripción detallada de la realización preferida

50 El sistema de sincronización 10 de búsqueda de celdas de acuerdo con la realización preferida de la presente

invención se ilustra en la figura 1. El sistema 10 comprende un módulo 12 de etapa 1, un módulo 14 de etapa 2, un módulo 16 de etapa 3 y un controlador 18 para llevar a cabo la sincronización entre un equipo de usuario (UE) y una estación base. A fin de llevar a cabo esta sincronización, el UE, mediante el sistema de sincronización 10 de búsqueda de celdas, utiliza un algoritmo de búsqueda de celda inicial, que se describe en lo sucesivo.

5 El algoritmo de etapa 1 del algoritmo de búsqueda de celda inicial se lleva a cabo usando el módulo 12 de etapa 1. Haciendo referencia a la figura 3, el módulo 12 de etapa 1 comprende dos Correladores Golay jerárquicos (HGC) 21, 22, dos modificadores de valor absoluto (AVM) 23, 24, un circuito de decisión 25, un circuito normalizador 26, una tabla de consulta 27, un multiplicador 28, un divisor 19 y un comparador 29 de etapa 1. El filtro de coseno elevado a la raíz cuadrada (RRCFIR) 1 mostrado no es parte del módulo 12 de etapa 1, pero se ilustra en el mismo para proporcionar una imagen completa.

10 El propósito del módulo 12 de etapa 1 es encontrar la trayectoria más intensa sobre una trama, que sea válida para las muestras que ha detectado el UE, y determinar el desplazamiento de chips de dicha trayectoria más intensa. El RRCFIR 1 acoplado al divisor 19 es un filtro de modelado de pulsos que muestrea la señal de comunicación de enlace descendente desde la estación base, al doble de la tasa de chips, y envía la señal de muestreo al divisor 19. El divisor 19 divide la señal muestreada en sus muestras pares e impares y las hace pasar a los HGC 21, 22.

15 Los HGC 21, 22 están acoplados a los AVM 23, 24 y al selector de muestras 34 del módulo 14 de etapa 2 (ilustrado en la figura 5), que se describe en lo sucesivo. Los HGC 21, 22 están en correlación con el PSC de la señal de entrada. Como conocen los expertos en la técnica, los HGC 21, 22 suministran a la salida los valores complejos de las muestras pares e impares de la señal de entrada, respectivamente. Las salidas de los HGC 21, 22 se envían a los AVM 23, 24 y al selector de muestras 34.

20 Los AVM 23, 24, acoplados a los HGC 21, 22 y al circuito de decisión 25, determinan las magnitudes de dichos HGC 21, 22, en donde la ecuación para generar las magnitudes se determina según la siguiente ecuación:

$$\text{abs}(x) \sim \text{máx}(|x_{\text{real}}, |x_{\text{imag}}|) + 0,5 * \text{mín}(|x_{\text{real}}, |x_{\text{imag}}|) \quad \text{Ecuación 1}$$

25 El uso del valor absoluto aproximado de acuerdo con la Ecuación 1 reduce el hardware requerido en esta implementación y no causa ninguna degradación significativa del comportamiento. Una vez que los AVM 23, 24, respectivamente, han determinado los valores absolutos aproximados, las muestras pares e impares modificadas se suministran a la salida para un circuito de decisión 25.

30 El circuito de decisión 25, acoplado a los AVM 23,24 y al controlador 18, determina el desplazamiento de chips. Las muestras pares e impares modificadas que se han enviado desde los AVM 23, 24 se introducen en un MUX 8, dentro del circuito de decisión 25, y se combinan en una única corriente. Esta corriente es una representación de la intensidad de la señal transmitida en una de las muestras de cada intervalo de cada trama. Como se ilustra en la figura 2, hay dos mil quinientos sesenta (2.560) chips en cada intervalo y quince (15) intervalos en cada trama. Ya que la señal de entrada se muestrea al doble de la tasa de chips, hay 5.120 muestras en cada intervalo. Por lo tanto, el circuito de decisión 25 determina la localización del PSC en la señal, desplazamiento de chips, barriendo mediante las 5.120 muestras acumuladas en el extremo de cada intervalo.

35 La corriente generada por el MUX se envía a un acumulador (no mostrado) dentro del circuito de decisión 25. Este acumulador tiene un registro con una longitud de cinco mil ciento veinte (5.120) muestras, que almacena el valor de muestra acumulado para cada intervalo de cada trama, y trabaja sobre la tasa de intervalos. La intensidad de la señal para cada muestra en un intervalo se añade a la intensidad de la señal de cada muestra en cada intervalo posterior. Como un ejemplo, las muestras del intervalo 1 comprenden los siguientes valores {1, 5, 3, 7} de intensidad de la señal; las muestras del intervalo 2 comprenden los siguientes valores {2, 4, 8, 3} de intensidad de la señal. Inicialmente, los registros del acumulador tienen los valores {0, 0, 0, 0}. Como cada valor de muestra desde el intervalo 1 se añade a los registros del acumulador, cambian por consiguiente los valores del registro. Por ejemplo, cuando el primer valor de muestra del intervalo 1 se añade al primer valor del registro, el acumulador tiene los valores {1, 0, 0, 0}; cuando el segundo valor de muestra del intervalo 1 se añade al segundo valor del registro, el acumulador tiene los valores {1, 5, 0, 0}, y así sucesivamente. Una vez que el último valor de muestra del intervalo 1 se añade al acumulador, el primer valor de muestra del intervalo 2 se añade al primer registro del acumulador, dando como resultado que el acumulador tiene los valores {3, 5, 3, 7}; cuando el segundo valor de muestra del intervalo 2 se añade al segundo valor del registro, el acumulador tiene los valores {3, 9, 3, 7}. La realización preferida de la presente invención libera los registros del acumulador después de que se han acumulado cinco (5) tramas, que es equivalente a setenta y cinco (75) intervalos. Un contador de etapa 1 (no mostrado), dentro del circuito de decisión 25, hace recuento del número de tramas acumuladas.

40 Una decisión, determinación del desplazamiento de chips, del circuito de decisión 25, se genera al final de cada trama, quince (15) intervalos. El circuito de decisión 25 determina el registro en el acumulador que tiene el valor máximo MÁX de muestra acumulado y asigna un índice al mismo. El índice corresponde a la mitad de la localización de chips de la señal PSC para la estación base con la señal más intensa.

55 La asignación del desplazamiento de chips se determina usando el valor de desplazamiento HGC de 511. Como conocen los expertos en la técnica, la salida del HGC está retardada en 256 chips. Por lo tanto, cuando el circuito de

decisión 25 asigna un índice en la muestra pico, se debe sustraer el valor de desplazamiento HGC. Ya que el PSC tiene una longitud de 256 chips, una longitud de 512 muestras, sustraer el desplazamiento HGC del índice equivale a establecer el desplazamiento de chips al principio del intervalo. Si el índice generado por el circuito de decisión 25 es mayor que el valor de desplazamiento HGC de 511, entonces, se calcula el desplazamiento de chips de acuerdo con la Ecuación 2 que sigue:

$$\text{desplazamiento_chips} = \text{ÍNDICE} - 511 \quad \text{Ecuación 2}$$

Si el índice es menor que el valor de desplazamiento HGC, entonces, el desplazamiento de chips se calcula de acuerdo con la Ecuación 3 que sigue:

$$\text{desplazamiento_chips} = 5.120 + \text{ÍNDICE} - 511 \quad \text{Ecuación 3}$$

10 Como se ilustra en la figura 3, el circuito de decisión 25 comprende también un generador de máscaras 5, que se usa para excluir una ventana alrededor de un desplazamiento de chips rechazados a partir de la detección mediante el circuito de decisión 25. Este generador de máscaras 5, por lo tanto, prohíbe que el circuito de decisión 25 utilice un índice asociado con un desplazamiento de chips rechazados. Los detalles del generador de máscaras 5 se describirán en lo sucesivo.

15 El desplazamiento de chips calculado y el contador de etapa 1 de recuento de tramas se suministran a la salida para un controlador 18, que se describe en lo sucesivo. El circuito de decisión 25 también suministra a la salida el valor máximo MÁX de chips acumulados y el valor SALIDA de chips acumulados para todos los registros.

El valor SALIDA de chips acumulados para todos los registros se suministra a la salida para un circuito normalizador 26, donde se muestrea en un 20% la tasa de chips (uno de cada cinco), se suma y se normaliza a continuación en 1.024. El contador de etapa 1 de recuento de tramas se suministra a la salida para la tabla de consulta 27 a fin de determinar el factor de ganancia apropiado en base al número de tramas acumuladas. El multiplicador 28 multiplica a continuación la salida del circuito normalizador 26 y de la tabla de consulta 27. La salida del multiplicador 28 se considera el Umbral de ruido y se envía a un circuito comparador 29 de etapa 1, a comparar con el valor máximo MÁX de muestra acumulado. Si el valor máximo MÁX de muestra acumulado es mayor que el Umbral de ruido, el amplificador diferencial 29 suministra a la salida una señal alta firme de etapa 1 para el controlador, que indica una decisión acertada para la etapa 1, de otro modo, se suministra a la salida una señal baja.

Como se ha indicado anteriormente, el desplazamiento de chips y otras salidas se determinan al final de cada trama. Por lo tanto, la fiabilidad de la primera decisión es menor que la de la segunda, puesto que la segunda decisión se toma sobre treinta intervalos, en vez de quince intervalos. La fiabilidad aumenta a medida que aumenta el número de intervalos acumulados. La salida fiable más alta se genera en la trama M1-ésima, siendo M1 un entero mayor o igual que uno (1). El controlador 18 restablece el contador de etapa 1 de recuento de tramas y los registros del acumulador al final de cada trama M1-ésima. Los resultados del comportamiento bajo pérdida de canales diferentes muestran que una integración de cinco tramas es suficientemente buena para detectar el PSC. Sin embargo, esta integración se puede cambiar a más o menos tramas.

35 Un diagrama de flujo del módulo de etapa 1 se ilustra en la figura 4. El UE detecta la recepción de comunicaciones por el canal de enlace descendente común (etapa 401) y muestrea la señal al doble de la tasa de chips, generando muestras pares e impares (etapa 402). Estas muestras pares e impares se hacen pasar a los Correladores Golay jerárquicos (HGC) 21, 22 (etapa 403). Los HGC 21, 22 envían a continuación las salidas a los AVM 23, 24 y al selector de muestras 34 (etapa 404). Los AVM 23, 24 aproximan las magnitudes de las salidas pares e impares recibidas desde los HGC 21, 22 (etapa 405) y las envían al circuito de decisión 25 (etapa 406). Al recibir las magnitudes de salida, el circuito de decisión 25 combina las magnitudes (etapa 407), que representan la intensidad de la señal transmitida en una de las muestras de cada intervalo de cada trama. La intensidad de la señal para cada muestra se acumula para todos los intervalos dentro de cada trama (etapa 408). El circuito de decisión 25 determina a continuación la muestra en la trama que tiene el valor máximo de muestra acumulado (etapa 409) y asigna un índice a la misma (etapa 410). En base al índice, se asigna un valor de chip a dicho índice (etapa 411), conocido como el desplazamiento de chips, y se suministra a la salida para el controlador 18 (etapa 412). Un valor umbral de ruido se genera a continuación usando el valor de chip acumulado para todas las muestras y el recuento de tramas (etapa 413), y se compara a continuación con el valor máximo de muestra acumulado (etapa 414), que indica una decisión firme o provisional al controlador 18 (etapa 415).

50 Volviendo a hacer referencia a la figura 1, las salidas del módulo 12 de etapa 1, el desplazamiento de chips, la señal firme de etapa 1 y el contador de etapa 1 se envían al controlador 18. El controlador 18 envía el desplazamiento de chips al módulo 14 de etapa 2. Como se ha indicado anteriormente, el módulo 14 de etapa 2 utiliza un algoritmo de etapa 2 que toma la salida del desplazamiento de chips desde la etapa 1 y las salidas de los HGC 21, 22 y detecta el desplazamiento de intervalos y el número de grupo de códigos. El módulo 14 de etapa 2, ilustrado en la figura 5, comprende un comparador 30 de etapa 2, un retardador 32, un selector de muestras 34, un conjugador 36, un multiplicador complejo 38, una Transformada rápida de Hadamard (FHT) 33, un supresor de envolventes 31, un generador de matrices de entrada 35, un codificador RS 37 y un circuito de decisión 39 de etapa 2.

El propósito del algoritmo de etapa 2 es proveer al algoritmo de etapa 3 del número de grupo de códigos de aleatorización y del desplazamiento de intervalos. El desplazamiento de chips desde el módulo 12 de etapa 1 se envía desde el controlador 18 a un retardador 32 del módulo 14 de etapa 2. El desplazamiento de chips se retarda para una trama mediante el retardador 32, a fin de permitir que el módulo de etapa 1 tome una primera decisión. El desplazamiento de chips retardado se envía a continuación al selector de muestras 34, que está acoplado al retardador 32, a un conjugador 36 y a los HGC 21, 22 del módulo 12 de etapa 1. Usando el índice determinado por el circuito de decisión 25, el selector de muestras 34 extrae las salidas pico de los HGC 21, 22 de la señal de entrada, que se conjugan a continuación mediante el conjugador 36 y se suministran a la salida para el multiplicador complejo 38.

La misma señal de comunicación para el módulo 12 de etapa 1 se introduce en un circuito de alineación 15, que alinea la señal de entrada de manera que el módulo 14 de etapa 2 empiece su búsqueda del número de grupo de códigos de aleatorización y del desplazamiento de intervalos al principio del intervalo. Una vez que la señal está alineada, el circuito de alineación 15 la envía al módulo 14 de etapa 2. Incluso aunque hay dos mil quinientos sesenta (2.560) chips en cada intervalo, debería ser evidente a partir de la figura 2 que el PSC está localizado dentro de los primeros 256 chips de cada intervalo. Ya que el módulo de etapa 1 ha determinado el desplazamiento de chips, el módulo de etapa 2 determina el SSC usando la localización del PSC más intenso en los primeros 256 chips en cada intervalo. Como conocen los expertos en la técnica, cuando se generan códigos SSC, se aplica una secuencia de envolventes a la filas de una matriz Hadamard a fin de tener alguna ortogonalidad entre los códigos PSC y SSC. Esta envolvente se tiene que suprimir antes de proceder a la parte restante del algoritmo de etapa 2. El supresor de envolventes 31 lleva a cabo esta supresión de envolventes.

Una vez que la envolvente se ha suprimido de la señal de entrada, la señal se suministra a la salida desde el supresor de envolventes 31 hasta el módulo transformador de FHT 33 acoplado al supresor de envolventes 31 y al multiplicador 38, que reduce la complejidad de la operación de correlación de Hadamard pura. La figura 6 es una ilustración de la estructura de la FHT. La salida del módulo transformador de FHT 33 se multiplica por el conjugado de los HGC pico 21, 22 mediante el multiplicador complejo 38 acoplado al conjugador 36 y al módulo transformador de FHT 33. El uso del conjugado de la salida pico desde los HGC 21, 22 proporciona una corrección de fase a la salida de FHT y transforma, sobre el eje real, la entrada que corresponde al código SSC transmitido.

Una vez que la salida del módulo transformador de FHT 33 se ha multiplicado en el multiplicador complejo 38, la parte real de las salidas de FHT se envían al generador de matrices de entrada 35 mediante el multiplicador 38, que pone las salidas de FHT en una matriz real de 15 x 16, denominada matriz de entrada. En la matriz de entrada, hay quince (15) intervalos y, en cada intervalo, dieciséis (16) elementos para una trama. La matriz de entrada se actualiza para cada trama. La matriz de entrada se envía a continuación al circuito de decisión 39, donde se toma una determinación del desplazamiento de intervalos y del número de grupo de códigos. La estructura de la matriz de entrada se ilustra en la figura 7.

Se genera una matriz de correlación dentro del circuito de decisión 39 de etapa 2 usando la matriz de entrada 35 y una matriz de grupos de códigos conocida, lo que da como resultado una matriz de 64 x 15. La matriz de correlación se restablece cuando el contador de tramas para el módulo de etapa 2 alcanza M2, similar a lo descrito en el módulo de etapa 1. A fin de generar la matriz de correlación, el circuito de decisión 39 pasa a través de cada uno de los elementos de la matriz de grupos de códigos y los elementos de la matriz de entrada 35 de acuerdo con la Ecuación 4 que sigue:

$$\text{corrMatriz}[i][j] += \text{entradaMatriz}[k][\text{matriz_grupos_códigos}[i][k]] \quad \text{Ecuación 4}$$

donde j es un entero que aumenta en 1 de 0 a 14, lo que representa los desplazamientos cíclicos realizados en la matriz identidad con respecto a las columnas; i es un entero que aumenta en 1 de 0 a 63; y k es un entero que aumenta en 1 de 0 a 14. La estructura de la matriz de grupos de códigos y la matriz de correlación resultante se ilustran en las figuras 8 y 9, respectivamente. Una vez que se ha generado la matriz de correlación, el circuito de decisión 39 encuentra la entrada máxima. La fila correspondiente de la entrada máxima encontrada es el número de grupo de códigos y la columna es el desplazamiento de intervalos.

Similar al módulo 12 de etapa 1, si la correlación máxima MÁX 2 es mayor que el umbral, el circuito comparador 30 suministrará a la salida una señal alta firme de etapa 2 para el controlador 18 indicando una decisión firme, de otro modo, se suministra a la salida una señal baja indicando una decisión provisional. El valor umbral se calcula usando el valor de las magnitudes medias de la matriz de correlación:

$$Th = k \frac{1}{960} \left(\sum_{i=0}^{63} \sum_{j=0}^{14} \text{mag}(c_{ij}) \right) \quad \text{Ecuación 5}$$

$$k = 5, 12, P_{fa} = 10^{-4}$$

donde P_{FA} es la probabilidad de falsa alarma. El módulo 14 de etapa 2 suministra a la salida para el controlador 18 el número de grupo de códigos, el desplazamiento de intervalos, la señal firme de etapa 2 y el contador de etapa 2.

El diagrama de flujo para el algoritmo de etapa 2 se ilustra en la figura 10. El módulo de etapa 2 recibe la señal de comunicación desde la estación base por el canal de enlace descendente (etapa 1.001). Una secuencia de envolventes se suprime de la señal de comunicación (etapa 1.002a) y se suministra a la salida para un módulo transformador de FHT 33 (etapa 1.003a). Al mismo tiempo, el desplazamiento de chips desde el módulo 12 de etapa 1 se introduce en un retardador 32 en el módulo 14 de etapa 2 (etapa 1.002b) y se envía a un selector de muestras 34, que extrae la salida pico par o impar generada por los HGC 21, 22 del módulo 12 de etapa 1 en base al desplazamiento de chips (etapa 1.003b). La salida del módulo transformador de FHT 33 se multiplica a continuación por el conjugado de la salida pico de muestras pares o impares desde el selector de muestras 34 (etapa 1.004) y se transforma, sobre el eje real, una entrada de la salida de FHT que corresponde al código SSC (etapa 1.005). La parte real de las salidas de FHT para cada intervalo en una trama se envían al generador de matrices de entrada 35 (etapa 1.006). El generador de matrices de entrada 35 crea a continuación la matriz de entrada (etapa 1.007). La matriz de entrada se envía a continuación al circuito de decisión 39 para determinar el desplazamiento de intervalos y el número de grupo de códigos (etapa 1.008). Utilizando la matriz de entrada y la matriz de grupos de códigos conocida, el circuito de decisión 39 genera una matriz de correlación (etapa 1.009). Una vez que se ha generado la matriz de correlación, el circuito de decisión 39 localiza la entrada máxima en la matriz de correlación (etapa 1.010), para la que se determina que la fila correspondiente de la entrada máxima encontrada es el número de grupo de códigos y la columna es el desplazamiento de intervalos. El número de grupo de códigos y el desplazamiento de intervalos se envían a continuación al controlador 18 (etapa 1.011). Se calcula a continuación un valor umbral usando el valor de las magnitudes medias de la matriz de correlación (etapa 1.012) y se compara con la correlación máxima (etapa 1.013), enviando una indicación de una decisión firme o provisional al controlador 18 (etapa 1.014).

La salida del desplazamiento de chips desde el módulo 12 de etapa 1 y la salida del desplazamiento de intervalos y del número de grupo de códigos desde el módulo de etapa 2 se envían mediante el controlador 18 al módulo 16 de etapa 3, que utiliza un algoritmo de etapa 3 con el propósito de determinar cuál de los códigos de aleatorización principales está viniendo con la mínima probabilidad de falsa alarma (P_{FA}) cuando se proporciona el número de grupo de códigos. Hay ocho códigos de aleatorización principales en cada grupo de códigos.

El diagrama de bloques del módulo 16 de etapa 3 se ilustra en la figura 11. Similar al módulo 14 de etapa 2, la señal de comunicación se introduce en un segundo circuito de alineación 18, que alinea la señal de salida de manera que el módulo 16 de etapa 3 empieza su búsqueda del número de código de aleatorización al principio de la trama. Una vez que se ha alineado la señal de entrada, el circuito de alineación 18 envía la señal de entrada al módulo 16 de etapa 3. El módulo de etapa 3 comprende ocho (8) generadores de códigos de aleatorización $40_1 \dots 40_8$, ocho (8) circuitos correladores $41_1 \dots 41_8$, un circuito estimador de ruido 42, un circuito de decisión 44 de etapa 3, un circuito de soporte de decisiones 45, un circuito de ganancia 46 y un circuito comparador 47. El número de grupo de códigos generado por el módulo 14 de etapa 2 se introduce en los ocho (8) generadores de códigos de aleatorización $40_1 \dots 40_8$ y los códigos de aleatorización se generan a partir de los mismos. Las salidas de los generadores de códigos de aleatorización $40_1 \dots 40_8$ se envían a los correladores de códigos de aleatorización $41_1 \dots 41_8$, respectivamente.

Junto con la salida de los códigos de aleatorización desde los generadores de códigos de aleatorización $40_1 \dots 40_8$, la señal de comunicación, después de su procesamiento por un circuito de realineación 15 usando la salida del desplazamiento de chips y del desplazamiento de intervalos desde el controlador 18, se introduce en los correladores $41_1 \dots 41_8$. Los correladores $41_1 \dots 41_8$ utilizan una integración no coherente sobre un cierto número de intervalos. La integración puede ser sobre múltiples tramas. La correlación se realiza de manera coherente para cada símbolo, que corresponde a los datos de 256 chips. El valor absoluto de los resultados de correlación se acumula sobre $10 * N$ símbolos por cada trama, donde N es el número de intervalos a acumular desde el principio de una trama. En un único intervalo, hay diez partes de datos de 256 chips de longitud; por lo tanto, se realizan por cada intervalo diez correlaciones coherentes de 256 chips y diez acumulaciones. La figura 12 muestra los detalles de un correlador 41_1 .

Después de que los correladores $41_1 \dots 41_8$ generan las salidas, se tienen que encontrar la salida máxima y su índice. El circuito de decisión 44 de etapa 3 toma las salidas de los correladores de códigos aleatorizados $41_1 \dots 41_8$, determina el correlador $41_1 \dots 41_8$ con la salida máxima y genera su índice. El índice es el número de código de aleatorización. El número de código de aleatorización se envía a continuación al circuito de soporte de decisiones 45 y al controlador 18. El circuito de soporte de decisiones 45 observa las últimas $M3$ decisiones tomadas por el circuito de decisión 44. Si un código se repite a sí mismo más de k veces entre $M3$ entradas, entonces, el código que se ha repetido es el número de código de aleatorización que se suministra a la salida desde el circuito de soporte de decisiones 45 hasta el controlador 18. Sin embargo, la salida del circuito de soporte de decisiones 45 se utiliza solamente cuando no hay ninguna decisión firme sobre las $M3$ tramas consecutivas. Incluso aunque el circuito de soporte de decisiones se ilustra solamente en el módulo 16 de etapa 3, se puede utilizar un circuito de soporte de decisiones 45, como se describe en el módulo 16 de etapa 3, para los módulos 12, 14 tanto de etapa 1 como de etapa 2 descritos anteriormente en la presente memoria.

Se indica una decisión firme cuando el valor de correlación máximo determinado es mayor que el valor umbral calculado. El valor umbral se calcula usando el circuito estimador de ruido 42, que se utiliza para la medición de

ruido, y un factor de ganancia. El ruido se determina tomando la magnitud de la diferencia entre los sucesivos símbolos piloto comunes. Este método de estimación de ruido elimina cualquier desviación en la estimación de ruido debido a la interferencia de señales ortogonales. El resultado del estimador de ruido 42 se multiplica por el factor de ganancia en el multiplicador 46, que se determina para que sea el umbral. Cuando la correlación máxima determinada es mayor que el umbral calculado, el comparador 47 suministra a la salida una señal alta firme de etapa 3 que indica una decisión firme, de otro modo, se genera una señal baja que indica una decisión provisional.

El diagrama de flujo del algoritmo de etapa 3 se ilustra en la figura 13. La salida del número de grupo de códigos desde el módulo 14 de etapa 2 se introduce en los generadores de códigos de aleatorización $40_1 \dots 40_8$ del módulo 16 de etapa 3 (etapa 1.301), que generan a continuación códigos de aleatorización a partir de los mismos (etapa 1.302). La salida de los generadores de códigos de aleatorización se envía a continuación a los correladores de códigos de aleatorización $41_1 \dots 41_8$ (etapa 1.303). Junto con la salida de códigos de aleatorización desde los generadores de códigos de aleatorización $40_1 \dots 40_8$, la señal de comunicación es correlacionada en los correladores de códigos de aleatorización $41_1 \dots 41_8$ (etapa 1.304), que generan a continuación diez correlaciones coherentes de 256 chips y diez acumulaciones no coherentes por cada intervalo temporal (etapa 1.305). Los resultados acumulados se envían al circuito de decisión 44 de etapa 3 (etapa 1.306). El circuito de decisión 44 determina el correlador con la salida máxima y genera su índice, que es el número de código de aleatorización (etapa 1.307). Se calcula a continuación un valor umbral (etapa 1.308) y se compara con el valor de correlación máximo (etapa 1.309). Si el valor de correlación máximo es mayor que el umbral calculado, el módulo 16 de etapa 3 suministra a la salida una señal alta firme de etapa 3 (etapa 1.310), lo que da como resultado que el circuito de decisión 44 suministre a la salida el número de código de aleatorización para el controlador 18 (etapa 1.311). De otro modo, se suministra a la salida una señal baja para el controlador 18 (etapa 1.312) y el número de código de aleatorización se suministra a la salida para el circuito de soporte de decisiones 45 (etapa 1.313). Ya que el circuito de soporte de decisiones 45 observa las últimas M3 decisiones tomadas por el circuito de decisión 44, se suministra a la salida un número de código de aleatorización para el controlador 18 cuando un código de aleatorización se repite a sí mismo k veces entre M3 entradas (etapa 1.311).

Volviendo a hacer referencia a la figura 1, el controlador 18 comprende una memoria intermedia 9 de desplazamientos de chips rechazados, un contador 11 de desplazamientos de chips rechazados, una memoria intermedia de vectores 13 de códigos de aleatorización principales rechazados, un contador 3 de códigos de aleatorización principales rechazados, un circuito lógico de decisión 2 y un circuito lógico 6 de exclusión de ventanas. El controlador 18 se usa para tomar mejores decisiones durante todo el algoritmo de búsqueda de celdas de acuerdo con la realización preferida de la presente invención.

El diagrama de flujo de la lógica de decisión utilizada por el controlador 18 a fin de determinar el código de aleatorización principal para su sincronización con la estación base de transmisión se ilustra en la figura 14. El controlador 18 recibe el desplazamiento de chips, la señal firme de etapa 1 y la señal del contador de etapa 1 desde el módulo 12 de etapa 1 (etapa 1.401). Si la señal firme de etapa 1 es alta, el controlador 18 envía el desplazamiento de chips firme al módulo 14 de etapa 2 (etapa 1.402a), de otro modo, se envía un desplazamiento de chips provisional (etapa 1.402b). El módulo 14 de etapa 2 genera el número de grupo de códigos, el valor del desplazamiento de intervalos, la señal firme de etapa 2 y el contador de etapa 2 (etapa 1.403). Si la señal firme de etapa 2 es alta, el controlador envía el grupo de códigos firme al módulo de etapa 3 (etapa 1.404a). De otro modo, el controlador 18 envía un código de grupos provisional al módulo 16 de etapa 3 (etapa 1.404b) y si el contador de etapa 2 es menor que M2, el módulo 14 de etapa 2 sigue para generar el número de grupo de códigos (etapa 1.403). Si el contador de etapa 2 es igual a M2, entonces, se restablece el módulo 14 de etapa 2 (etapa 1.407), lo que da como resultado que el módulo de etapa 2 genere un número de código y un desplazamiento de intervalos (etapa 1.403). El módulo 16 de etapa 3 genera a continuación un número de código de aleatorización y la señal firme de etapa 3 (etapa 1.405) generada en la etapa 1403, recibiendo el desplazamiento de intervalos y el número de grupo de códigos. Si la señal firme de etapa 3 es alta, entonces, el circuito lógico de decisión 2 determina que el número de código de aleatorización es firme y finaliza el proceso lógico de decisión. Si la señal firme de etapa 3 es baja y la señal firme de etapa 1 es alta o el contador de etapa 2 es menor que M2, el módulo de etapa 2 sigue para generar un número de grupo de códigos (etapa 1.403). De otro modo, el módulo de etapa 2 recibe una señal de restablecimiento desde el controlador 18 y restablece a 0 el contador de etapa 2 (etapa 1.407). Este procedimiento sigue hasta que es firme la salida de decisión por el módulo 16 de etapa 3.

Debido a un posible error de frecuencia inicial en el VCO, puede ocurrir una pérdida en exceso de correlación de señales. Por lo tanto, el VCO está escalonado en frecuencia para controlar el posible error de frecuencia máximo entre el UE y la celda. Al inicializar el UE, el controlador 18 inicializa la frecuencia de búsqueda de celdas usando el sintetizador de frecuencias 20. Haciendo referencia a la figura 1, el sintetizador de frecuencias 20 comprende un circuito de frecuencia adaptativa (AFC) 4 y un oscilador controlado por voltaje (VCO) 7 o un oscilador controlado numéricamente (NCO). El AFC 4, acoplado al controlador 18 y al VCO 7, comprende una tabla de atribución de frecuencias (FAT) y una tabla de etapas de frecuencia (FST).

Cuando se inicializa el controlador 18, el AFC 4 ajusta la frecuencia usando la primera frecuencia en la FAT y el valor de desplazamiento desde la FST. Esta frecuencia inicial es la frecuencia utilizada por el controlador 18 para efectuar la búsqueda de celdas. La FST es una tabla de frecuencias de etapa, o frecuencias de desplazamiento, por ejemplo $\{0, 2, -2, 4, -4, 6, -6 \dots N, -N\}$, que se usan para desplazar la frecuencia utilizada por el controlador 18. La

FAT incluye una pluralidad de frecuencias predeterminadas que el controlador 18, o un controlador de nivel 1 (no mostrado), utilizan para localizar y sincronizar el UE a la estación base. Para los propósitos de esta descripción, la pluralidad de frecuencias enumeradas están definidas como $F_0, F_1, F_2 \dots F_N$ en la FAT y las frecuencias de desplazamiento en la FST están definidas como $SF_0, SF_1, -SF_1, SF_2, -SF_2 \dots SF_N, -SF_N$. Por consiguiente, cuando se inicializa el controlador, la frecuencia de desplazamiento es SFO y la frecuencia $> F_0$. La AFC 4 combina los dos valores F_0+SF_0 y envía el valor de frecuencia resultante al VCO o al NCO 7, que mantiene la frecuencia del UE en su frecuencia enviada.

El controlador 18 realiza la decisión lógica descrita anteriormente. Si después de un número X de tramas la señal firme de etapa 3 suministrada a la salida no se pone alta, el controlador señala al AFC 4 para que la etapa 2
 0. pase al siguiente desplazamiento en la FST, por ejemplo, el SF_1 . El AFC 4 combina a continuación la nueva frecuencia de desplazamiento con la frecuencia de la FAT, F_0+SF_1 , y suministra a la salida la frecuencia resultante para que el VCO o el NCO 7 mantenga el UE en esta frecuencia.

El controlador 18 sigue para pasar a través de las frecuencias de desplazamiento en la FST hasta que se detecta una señal alta desde el módulo 16 de etapa 3, que indica una detección firme, o hasta que el controlador 18 lo ha intentado con todas las frecuencias de desplazamiento. Una vez que lo ha intentado con todas las frecuencias de desplazamiento, el AFC 4 restablece la frecuencia de desplazamiento de FST a SF_0 , pasa a la siguiente frecuencia en la FAT, F_1 , y combina los dos valores, F_1+SF_0 , se suministra a la salida para el VCO o el NCO 7. El VCO o el NCO 7 regula a continuación la frecuencia del UE a esta nueva frecuencia resultante y el controlador 18 realiza a continuación la lógica de decisión hasta que se detecta una señal alta desde el módulo 16 de etapa 3. Este proceso de pasar a través de la FST y pasar a continuación a la siguiente frecuencia de FAT sigue hasta que el módulo 16 de etapa 3 suministra a la salida una señal alta. Una vez que ocurre este suceso, la detección de un código de aleatorización, el AFC 4 bloquea el valor de desplazamiento de la FST en su posición actual, que no se ha de reajustar hasta que se inicializa el controlador 18.

Como conocen los expertos en la técnica, la mayoría de los proveedores de servicios en un sistema de comunicación tienen una red móvil terrestre pública (PLMN) diferente. El UE utiliza la PLMN detectada para determinar si el proveedor de servicios proporciona servicio o no en la localización del UE. El controlador 18 utiliza una lógica de exclusión de ventanas dentro del circuito lógico 6 de exclusión de ventanas para superar un rechazo debido a la PLMN incorrecta. Ya que la detección de la salida de los HGC 21, 22 en valor pico proporciona siempre la misma PLMN, el controlador 18 utiliza la lógica de exclusión de ventanas para superar este bloqueo. El circuito lógico de exclusión de ventanas está acoplado al circuito lógico de decisión 2, a la memoria intermedia de vectores 9 de desplazamientos de chips rechazados, a un contador 11 de desplazamientos de chips rechazados, a una memoria intermedia de vectores 13 de códigos de aleatorización principales rechazados y a un contador 3 de códigos de aleatorización principales rechazados. El circuito lógico 6 de exclusión de ventanas verifica la salida de códigos de aleatorización principales desde el módulo de etapa 3 frente a los códigos de aleatorización principales rechazados que se almacenan en la memoria intermedia de vectores 13 de códigos de aleatorización principales rechazados. Si la salida de códigos de aleatorización principales desde el módulo de etapa 3 se encuentra en la memoria intermedia 13, o se detecta la PLMN incorrecta, el circuito lógico 6 de exclusión de ventanas rechaza el código e inicializa de nuevo el circuito lógico de decisión. Cada vez que se rechaza un código de aleatorización principal, el desplazamiento de chips que se generó mediante el módulo de etapa 1 se almacena en la memoria intermedia de vectores 9 de desplazamientos de chips rechazados y el generador de máscaras 5 hace uso del mismo. El generador de máscaras 5 del circuito de decisión 25 dentro del módulo 12 de etapa 1 usa los valores almacenados en la memoria intermedia de vectores 9 de desplazamientos de chips rechazados y el contador 11 de desplazamientos de chips rechazados, desde el controlador 18, para determinar los chips en cada intervalo que se excluyen en la ventana. La exclusión de los códigos de aleatorización principales detectados y los desplazamientos de chips se realizan solamente dentro de una única banda de frecuencia. Las memorias intermedias y los contadores se restablecen cuando hay una confirmación desde la estación base o el controlador de nivel 1 usa una nueva banda de frecuencia.

A fin de ajustar la banda de frecuencias utilizada por el controlador 18 durante el proceso lógico de exclusión de ventanas, el controlador de capa 1 señala al AFC 4 para que pase a la siguiente frecuencia en la FAT. Ya que la frecuencia de desplazamiento de la FST está establecida, el AFC combina la nueva frecuencia con la frecuencia de desplazamiento establecida. El VCO o el NCO 7 se ajusta a continuación para mantener esta frecuencia combinada.

Un diagrama de flujo de la lógica de exclusión de ventanas utilizada por el controlador se ilustra en la figura 15. El controlador 18 ejecuta la lógica de decisión de búsqueda de celdas y encuentra un código de aleatorización principal (etapa 1.501). El código de aleatorización principal se hace pasar a las capas superiores (etapa 1.502) que almacenan la frecuencia y el índice del código de aleatorización principal (etapa 1.503). Si la PLMN es correcta para el proveedor de servicios particulares, el UE se sincroniza con la estación base y se termina el proceso (etapa 1.504). Si la PLMN es incorrecta y se mantiene una frecuencia en la FAT del AGC 4, dicho AGC 4 pasa a la siguiente frecuencia en la FAT y el controlador 18 cambia la frecuencia, almacena el código de aleatorización principal en la memoria intermedia de vectores 13 y restablece el algoritmo de búsqueda de celdas (etapa 1.505). Se debe señalar que la condición de fallo supervisa las memorias intermedias 3, 11 del contador, o un temporizador para determinar si ocurre una condición de fallo. Una condición de fallo indica que la sincronización no ocurrirá bajo

las condiciones actuales (p. ej., la frecuencia). Si no queda ninguna frecuencia dentro de la FAT, el controlador 18 empieza el barrido de las frecuencias que tienen el código de aleatorización principal almacenado (etapa 1.506). El controlador 18 establece a continuación la primera frecuencia y hace pasar el código de aleatorización principal rechazado a la búsqueda de celda inicial con el método de exclusión de ventanas (etapa 1.507). El controlador 18 restablece la búsqueda de celda inicial con el método de exclusión de ventanas y restablece también la condición de fallo (etapa 1.508). Se fuerza a que el código de aleatorización principal rechazado entre en la memoria intermedia de vectores 13 de códigos de aleatorización principales rechazados y se aumenta el contador de códigos de aleatorización principales rechazados (etapa 1.509). Se ejecuta la lógica de decisión de búsqueda de celdas y se encuentran un código de aleatorización principal y un desplazamiento de chips (etapa 1.510). Si el código de aleatorización principal se almacena en la memoria intermedia de vectores 13 de códigos de aleatorización principales rechazados, entonces, se fuerza a que el desplazamiento de chips entre en la memoria intermedia de vectores 9 de desplazamientos de chips rechazados y se aumenta el contador 11 de desplazamientos de chips rechazados (etapa 1.511). Se ejecuta de nuevo la lógica de decisión de búsqueda de celdas, excluyendo una ventana alrededor del desplazamiento de chips rechazados (etapa 1.512). Si el código de aleatorización principal generado por esta lógica de decisión de búsqueda de celdas se almacena de nuevo en la memoria intermedia de vectores de códigos de aleatorización principales rechazados, entonces, se fuerza a que el desplazamiento de chips detectado entre en la memoria intermedia de vectores de desplazamiento de chips rechazados, se aumenta el contador de desplazamientos de chips rechazados (etapa 1.511) y se ejecuta de nuevo la lógica de decisión de búsqueda de celdas, excluyendo una ventana del valor de desplazamiento de chips rechazado (etapa 1.512). Las etapas 1.511 y 1.512 siguen hasta que el código principal detectado no está en la lista, momento en el que el código de aleatorización principal se envía a las capas superiores para esperar una confirmación desde la estación base (etapa 1.513). Si hay una condición de fallo y no queda ninguna frecuencia, el controlador 18 indica que no está disponible ningún servicio (etapa 1.517) y se termina el proceso. Si hubo un fallo y se mantuvo una frecuencia en el ancho de banda, el controlador 18 ajusta una nueva frecuencia y hace pasar el código de aleatorización principal rechazado para esa frecuencia (etapa 1.516). El controlador 18 restablece a continuación la búsqueda de celda inicial con el método de exclusión de ventanas y la supervisión de condiciones de fallo (etapa 1.508). El controlador 18 sigue a continuación la búsqueda de celda inicial con el método de exclusión de ventanas como se ha descrito anteriormente. Si no hay ninguna situación de fallo y la PLMN es correcta, el controlador 18 indica que el UE está sincronizado con la estación base al recibir la confirmación (etapa 1518), y se termina el proceso. Si la PLMN es incorrecta, se fuerza a que el código de aleatorización principal rechazado entre en la memoria intermedia de vectores 13 de códigos de aleatorización principales rechazados y se aumenta el contador 3 de códigos de aleatorización principales rechazados (etapa 1.515). Se ejecuta de nuevo la lógica de decisión de búsqueda de celdas, excluyendo una ventana alrededor del valor de desplazamiento de chips previamente rechazados (etapa 1.512). Este procedimiento sigue hasta que el controlador indica que no está disponible ningún servicio o se recibe una confirmación desde una estación base.

REIVINDICACIONES

1. Una unidad de equipo de usuario, UE, capaz de efectuar una búsqueda de celda inicial y establecer un enlace de comunicación con una estación base en una red de comunicación, comprendiendo el UE:
- 5 un primer módulo (12) configurado para procesar una señal de comunicación y asignar un valor de índice a una muestra pico de dicha señal de comunicación, usándose dicho valor de índice para calcular un desplazamiento de chips de un código de aleatorización principal; y
- un segundo módulo (14) configurado para utilizar el desplazamiento de chips calculado a fin de detectar un número de grupo de códigos de aleatorización, un desplazamiento de intervalos y un código de sincronización secundario de la señal de comunicación;
- 10 un tercer módulo (16) configurado para recibir el desplazamiento de chips calculado por el primer módulo (12), y el número de grupo de códigos de aleatorización y el desplazamiento de intervalos detectado por el segundo módulo (14), estando el tercer módulo (16) configurado para recuperar un código de aleatorización principal a partir de dicha señal de comunicación en base al desplazamiento de chips, al número de grupo de códigos de aleatorización y al desplazamiento de intervalos;
- 15 un controlador (18) acoplado a dichos primer módulo (12), segundo módulo (14) y tercer módulo (16), estando dicho UE caracterizado por que:
- dicho controlador (18) está configurado para controlar un ajuste de una frecuencia de búsqueda en dicho UE para permitir que el tercer módulo (16) recupere el código de aleatorización principal en dicha señal de comunicación; incluyendo el controlador (18):
- 20 una primera memoria intermedia (13) configurada para almacenar códigos de aleatorización principales rechazados;
- una segunda memoria intermedia (9) configurada para almacenar vectores de desplazamiento de chips rechazados; y
- un circuito lógico de decisión (2) configurado para determinar si es correcto el código de aleatorización detectado;
- 25 en donde el primer módulo (12) incluye además un generador de máscaras (5), estando el generador de máscaras (5) del primer módulo (12) configurado para determinar los chips en cada intervalo que se han de excluir de la detección mediante el circuito lógico de decisión (2), determinándose los chips excluidos en base a los desplazamientos de chips almacenados en la segunda memoria intermedia (9).
2. El UE según la reivindicación 1, que comprende además un sintetizador de frecuencias (20) sensible a dicho controlador y configurado para ajustar y mantener dicha frecuencia de búsqueda, incluyendo el sintetizador un oscilador (7) y un circuito de frecuencia adaptativa, AFC (4), configurado para generar la frecuencia de búsqueda combinando una de una pluralidad de frecuencias de desplazamiento con una de una pluralidad de frecuencias base, comprendiendo dicho AFC:
- 30 una tabla de etapas de frecuencia que incluye dicha pluralidad de frecuencias de desplazamiento; y
- una tabla de atribución de frecuencias que incluye dicha pluralidad de frecuencias base.
- 35 3. El UE según la reivindicación 2, en donde dicho oscilador (7) es un oscilador controlado por voltaje o un oscilador controlado numéricamente, siendo dicho oscilador sensible a dicho AFC para mantener dicho UE en dicha frecuencia de búsqueda.
4. El UE según la reivindicación 1, en donde dicho controlador (18) está configurado para ajustar dicha frecuencia de búsqueda extrayendo una de una pluralidad de frecuencias de desplazamiento y una de una pluralidad de frecuencias de búsqueda y combinando dichas frecuencias de desplazamiento y búsqueda.
- 40 5. El UE según la reivindicación 1, en donde dicho controlador (18) comprende además:
- un circuito de exclusión de ventanas acoplado a la primera memoria intermedia, a la segunda memoria intermedia y al circuito lógico de decisión, configurado para detectar redes terrestres móviles públicas, PMLN, y para superar un rechazo causado por una PMLN incorrecta, en donde el circuito de exclusión de ventanas es para excluir chips
- 45 determinados por la máscara (5) del primer módulo (12).

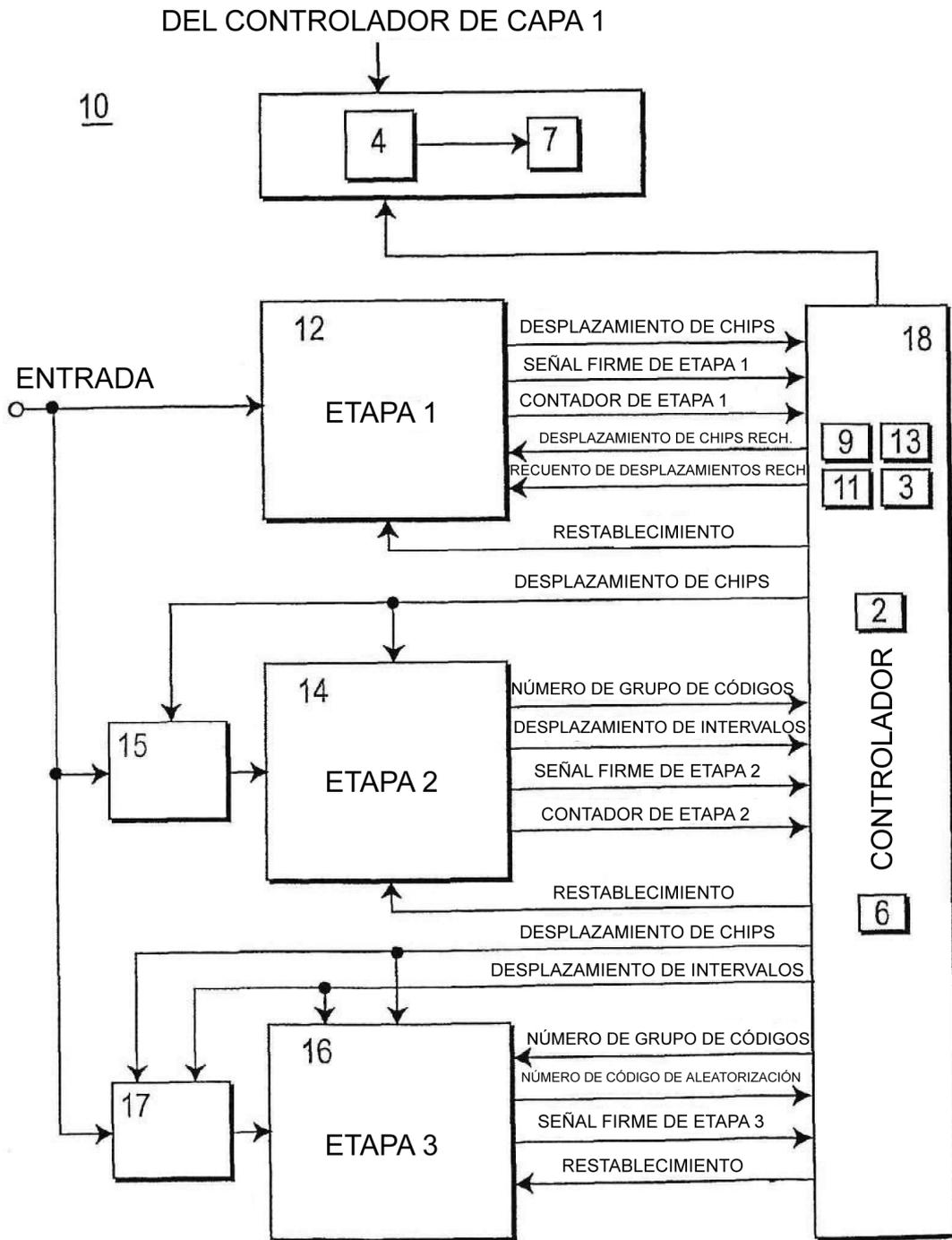


FIG. 1

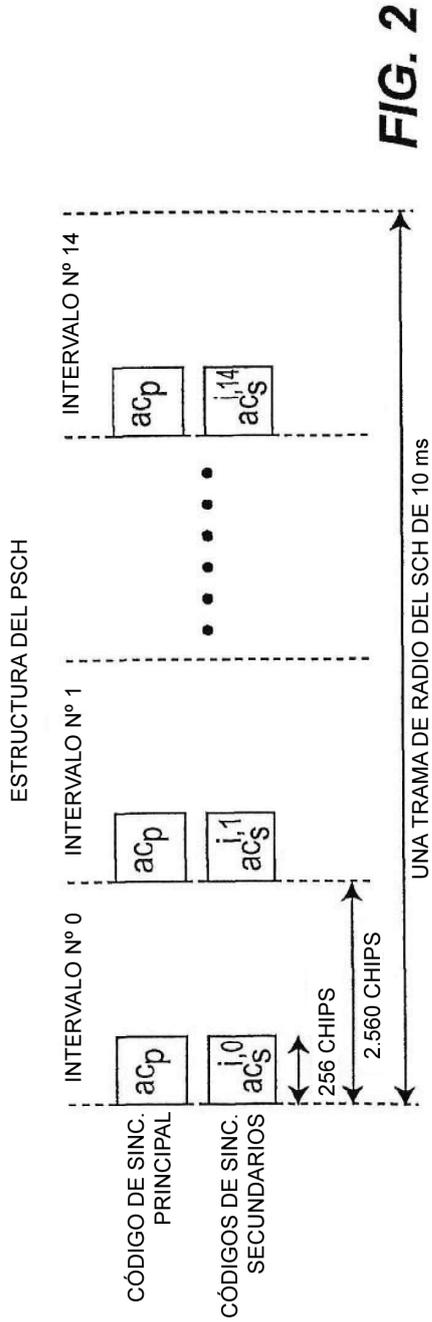


FIG. 2

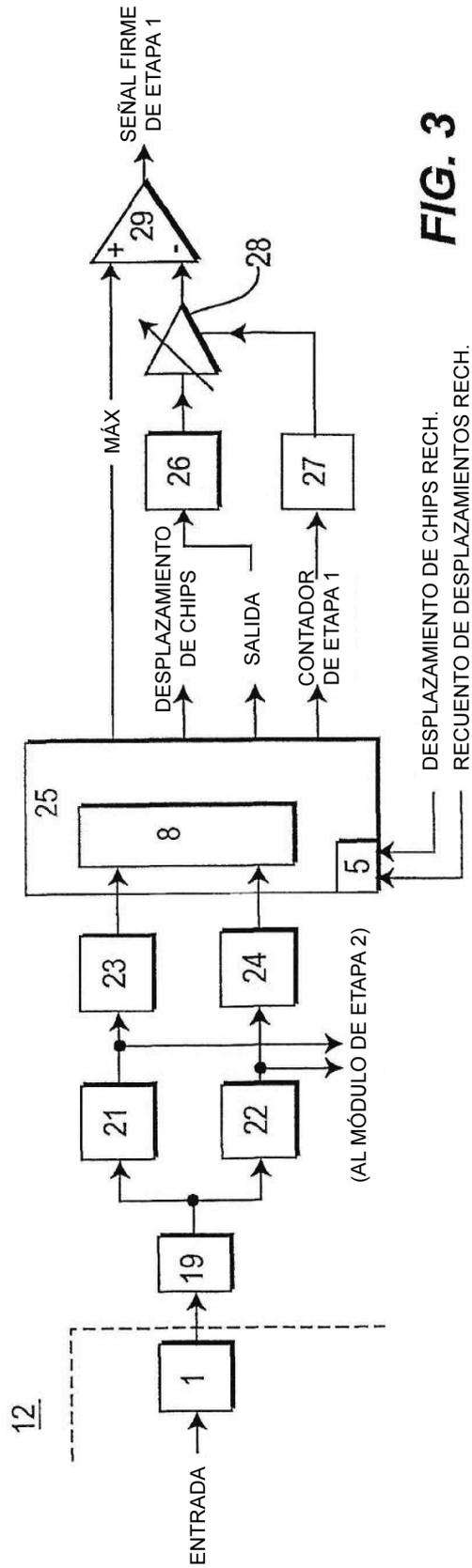


FIG. 3

12.

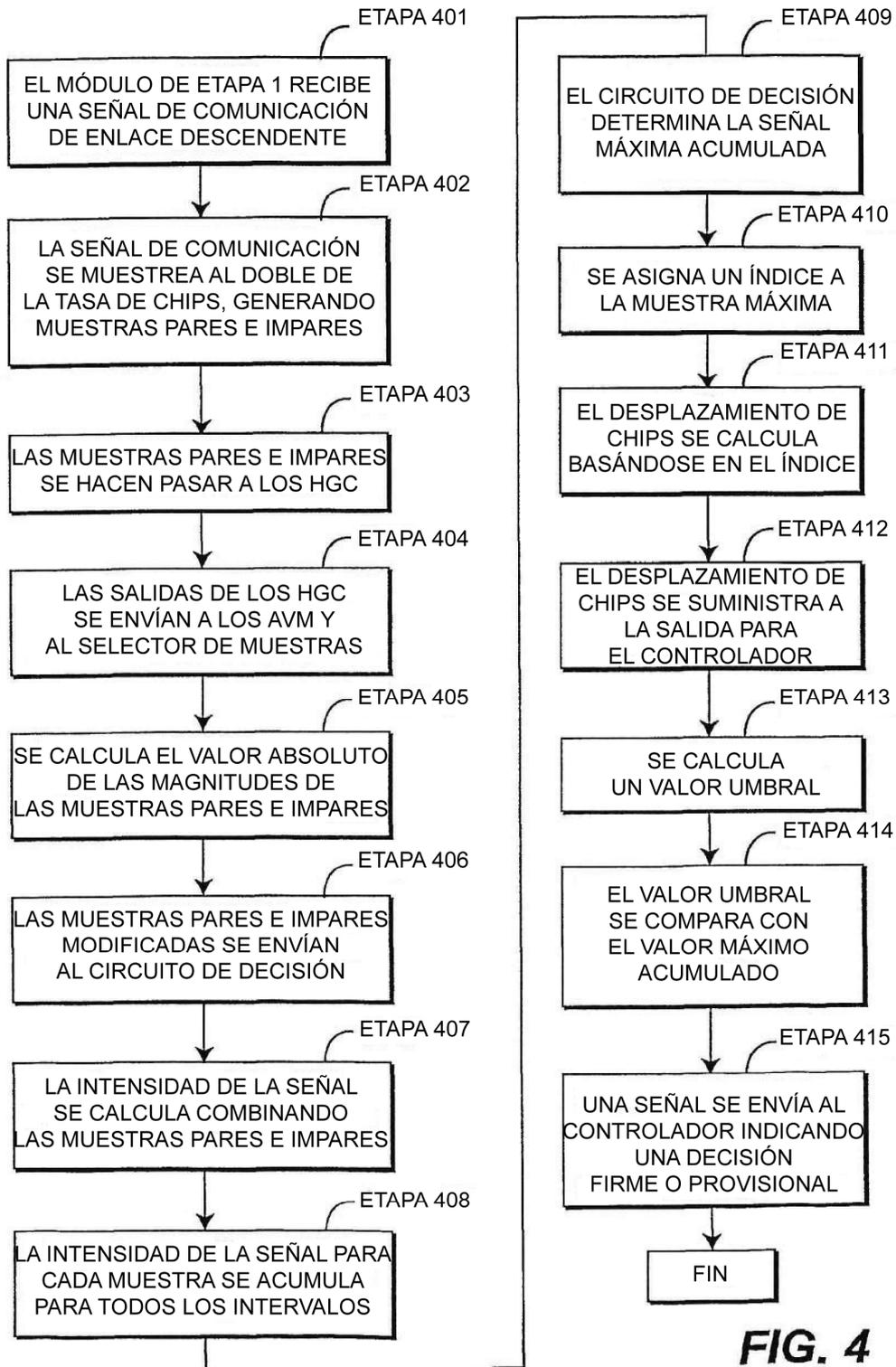


FIG. 4

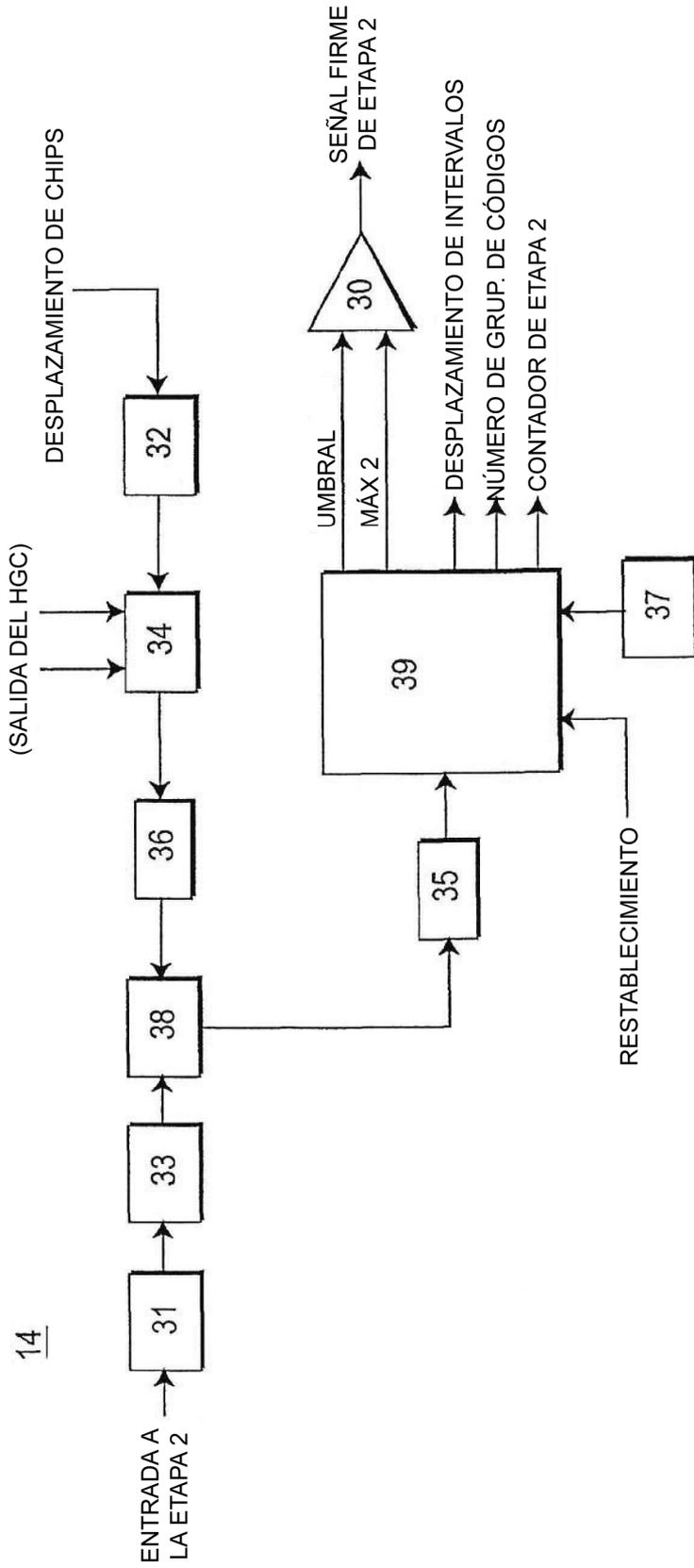
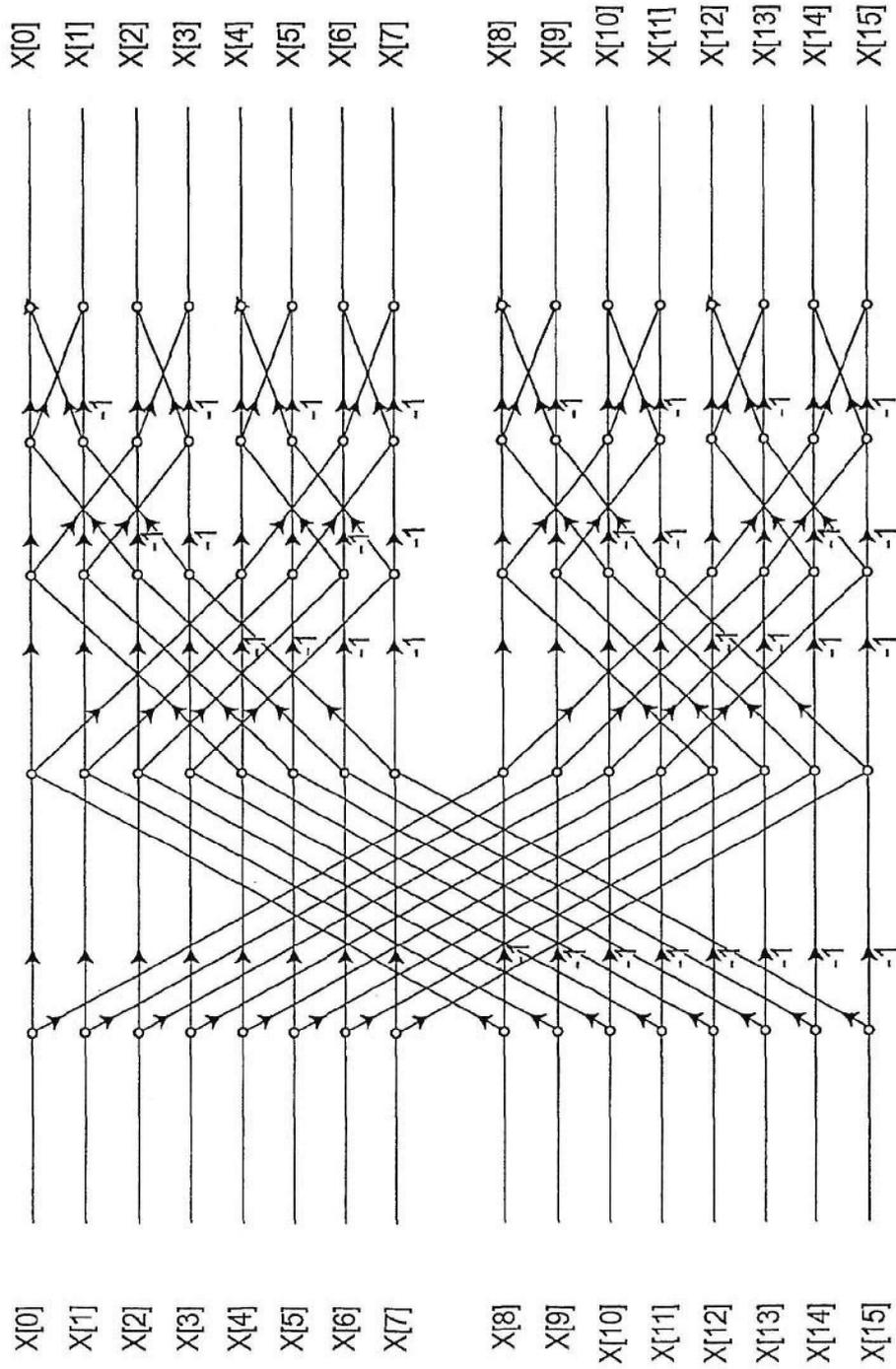


FIG. 5



ESTRUCTURA DE LA TRANSFORMADA RÁPIDA DE HADAMARD

FIG. 6

ELEMENTOS DE LA SALIDA DE FHT

$$\text{MATRIZ DE ENTRADA} = \begin{bmatrix} x_{1,1} & x_{1,2} & \cdot & \cdot & \cdot & x_{1,16} \\ x_{2,1} & x_{2,2} & \cdot & \cdot & \cdot & x_{2,16} \\ \cdot & \cdot & x_{i,j} & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ x_{15,1} & x_{15,2} & \cdot & \cdot & \cdot & x_{15,16} \end{bmatrix}_{15 \times 16}$$

$i = 1, 2, 3, \dots 15$ INTERVALOS

$j = 1, 2, 3, \dots 16$ ELEMENTOS POR INTERVALO DESDE LA SALIDA DEL HGC

FIG. 7

$$\text{MATRIZ DE GRUPOS DE CÓDIGOS (MATRIZ CONOCIDA)} = \begin{bmatrix} 1 & 1 & 2 & 8 & \cdot & \cdot & \cdot & 15 & 7 & 16 \\ 1 & 1 & 5 & 16 & \cdot & \cdot & \cdot & 14 & 12 & 10 \\ \cdot & \cdot & \cdot & \cdot & x_{i,j} & \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot \\ 9 & 12 & 10 & 15 & \cdot & \cdot & \cdot & 12 & 16 & 10 \end{bmatrix}_{64 \times 15}$$

$i = 1, 2, 3, \dots 64$ GRUPOS

$j = 1, 2, 3, \dots 15$ INTERVALOS

$x_{i,j}$ = CÓDIGOS S-SCH. UNO DE CADA 16 POR INTERVALO

FIG. 8

$$\text{MATRIZ DE CORRELACIÓN} = \begin{bmatrix} c_{0,0} & c_{0,1} & \cdot & \cdot & c_{0,14} \\ c_{1,0} & c_{1,1} & \cdot & \cdot & c_{1,14} \\ \cdot & \cdot & c_{i,j} & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot \\ c_{63,0} & c_{63,1} & \cdot & \cdot & c_{63,14} \end{bmatrix}_{64 \times 15} \text{ POR TRAMA}$$

$c_{i,j} =$ MATRIZ DE ENTRADA [k][MATRIZ DE GRUPOS DE CÓDIGOS][i][k]

$i = 0, 1, 2, \dots 63$ GRUPOS

$j = 0, 1, 2, \dots 14$ CAMBIOS CÍCLICOS RESPECTO A COLUMNAS (DESPLAZAMIENTOS DE INTERVALOS)

$k = 0, 1, 2, \dots 14$ INTERVALOS POR TRAMA

FIG. 9

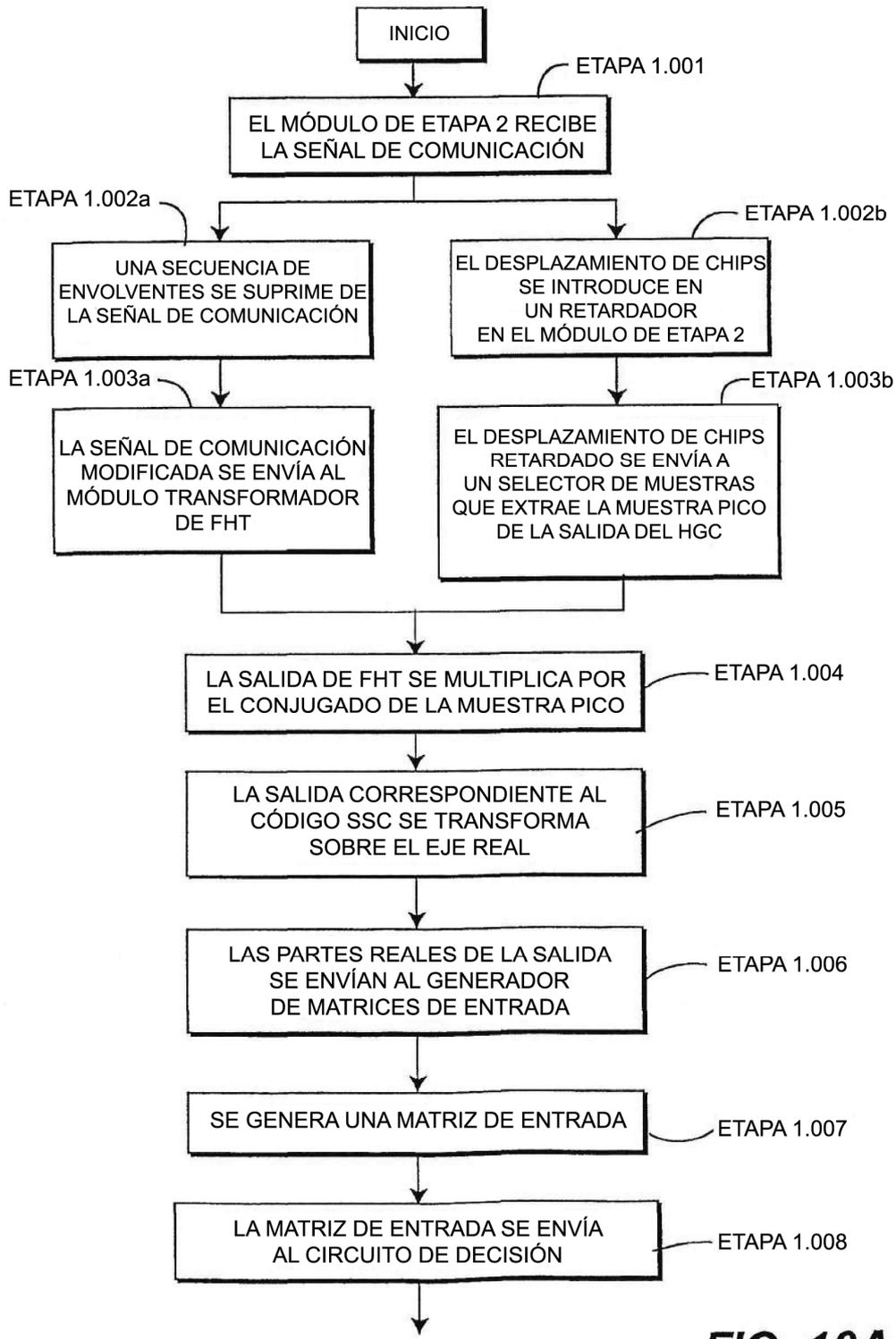


FIG. 10A

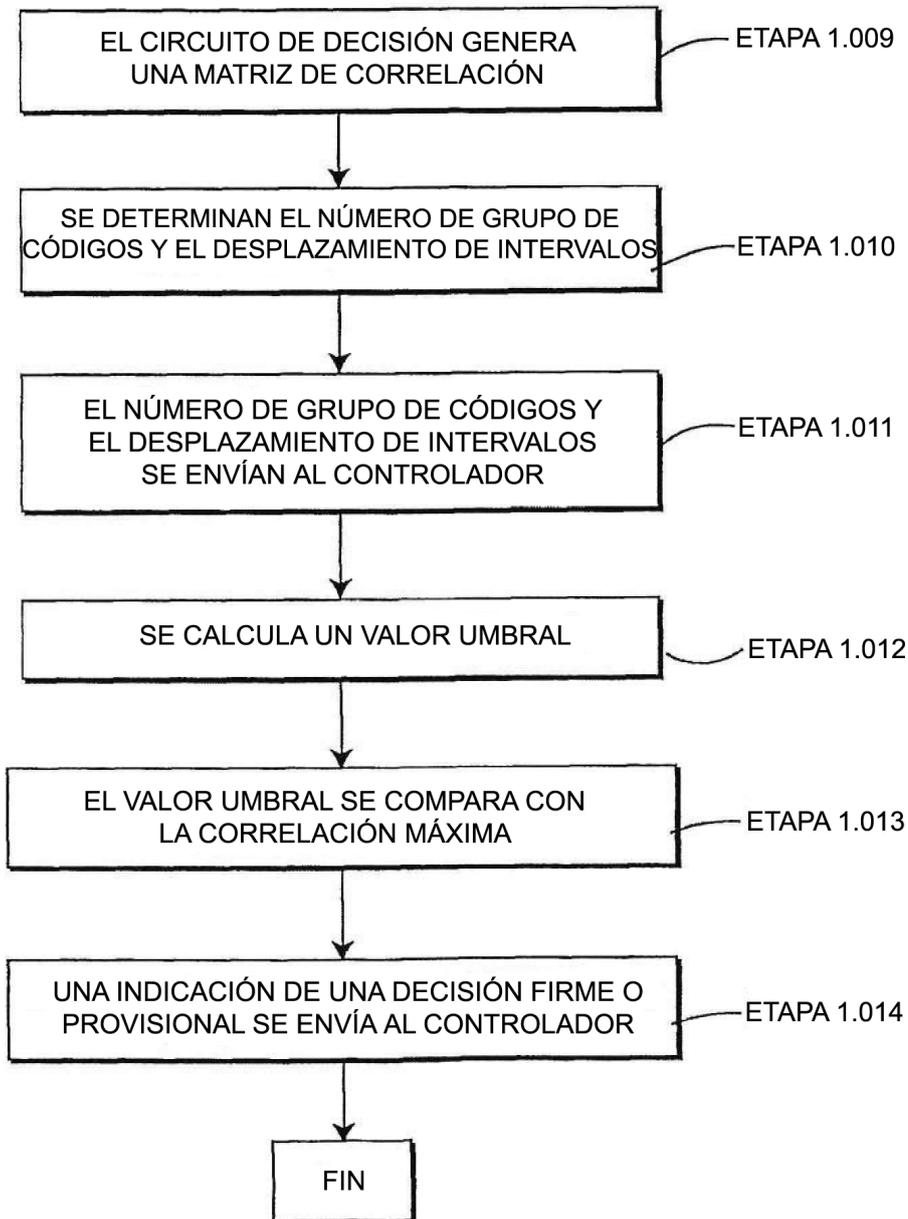


FIG. 10B

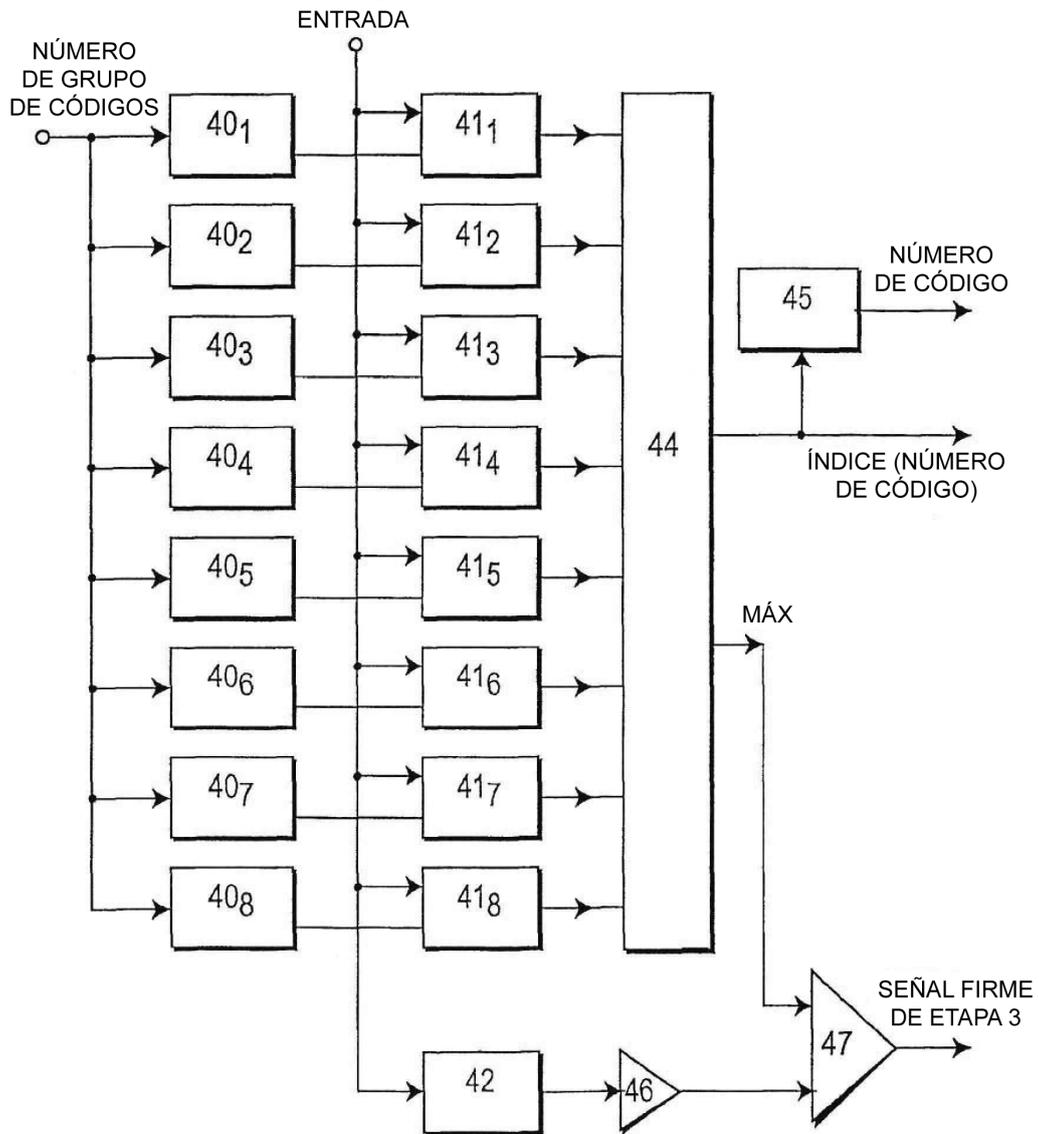


FIG. 11

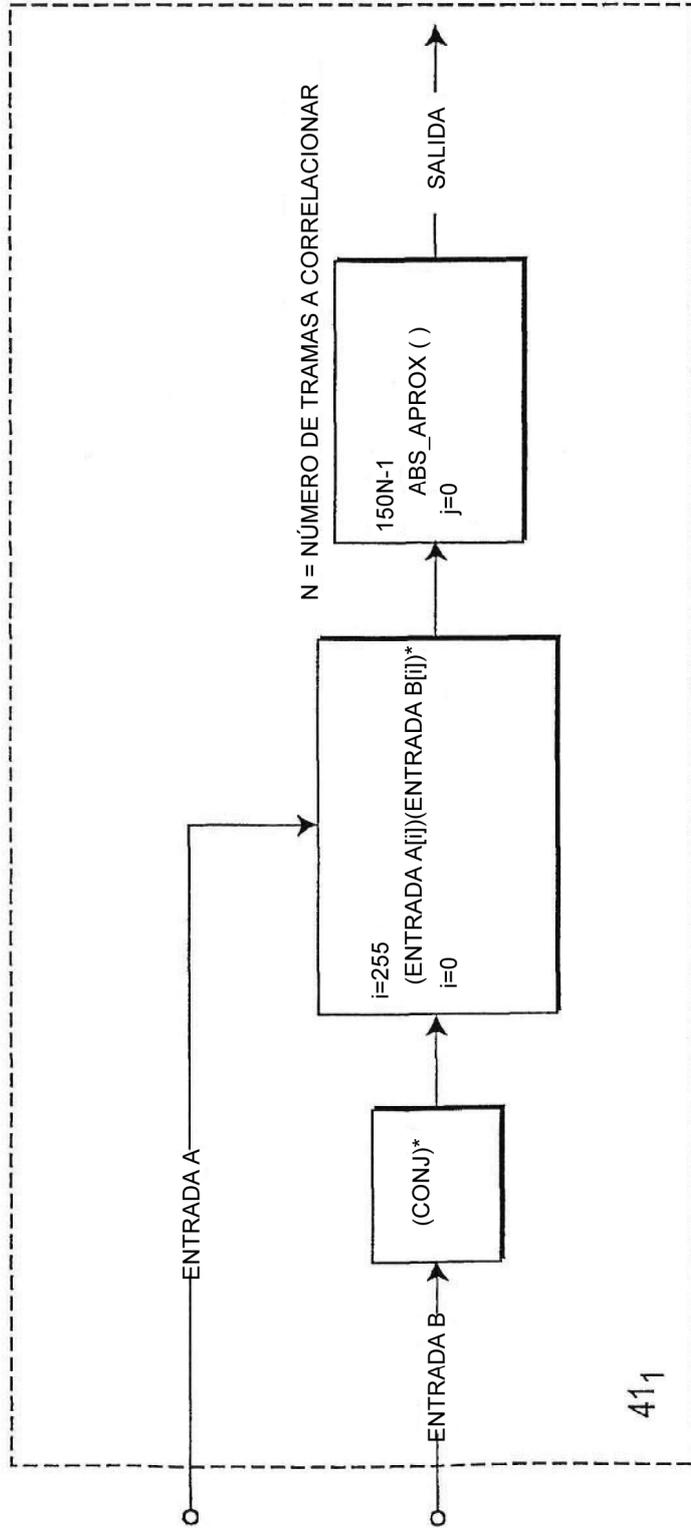


FIG. 12

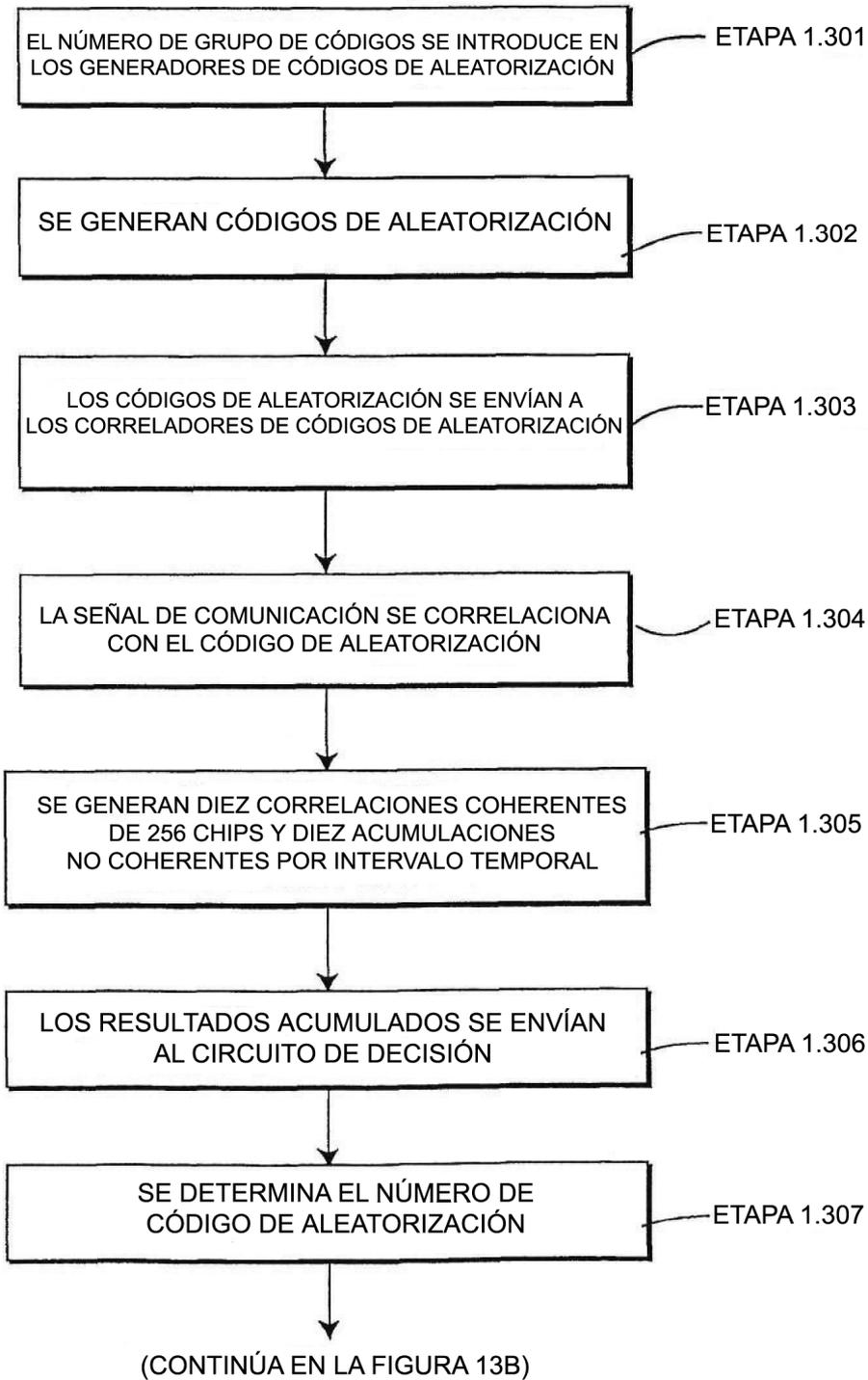


FIG. 13A

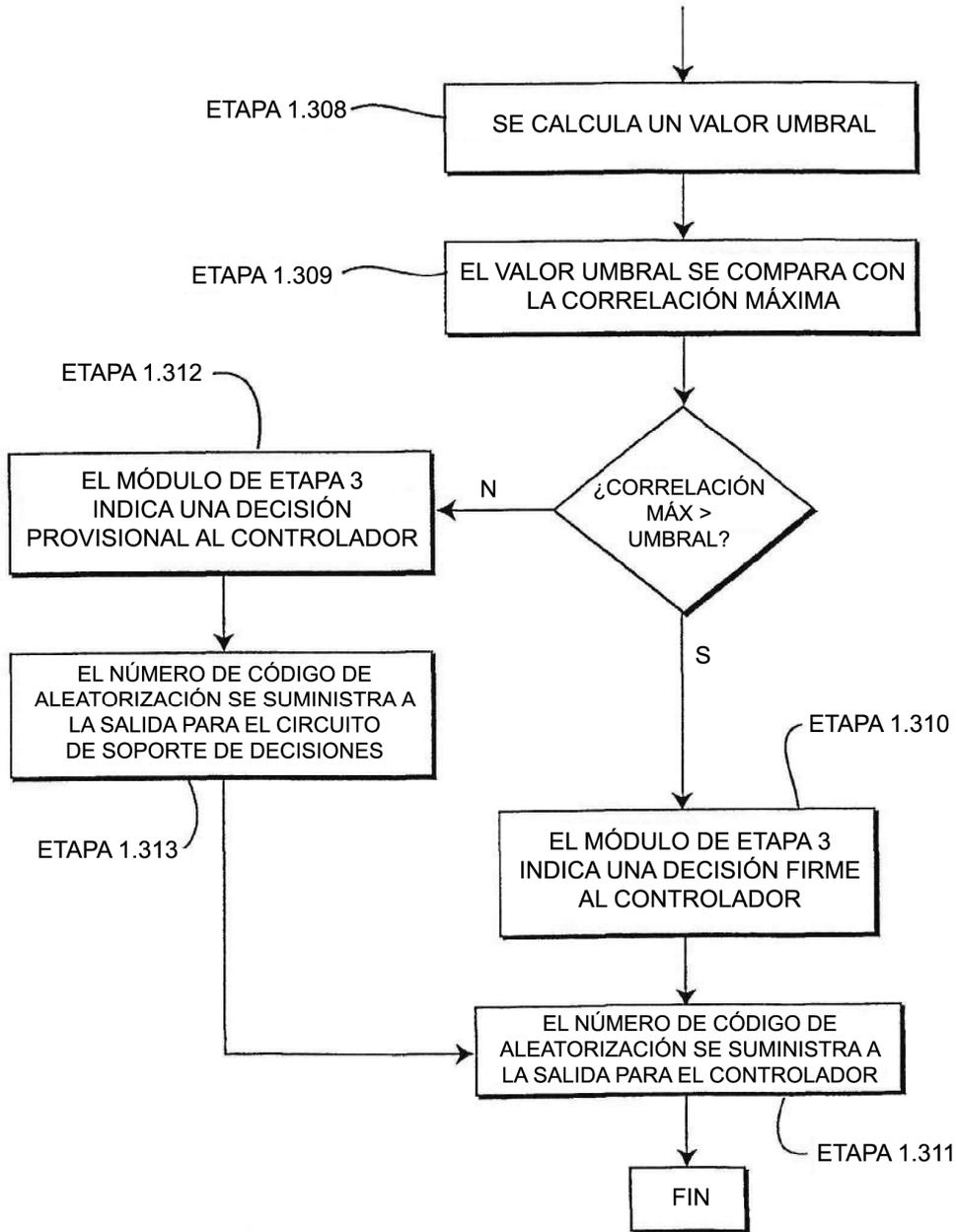


FIG. 13B

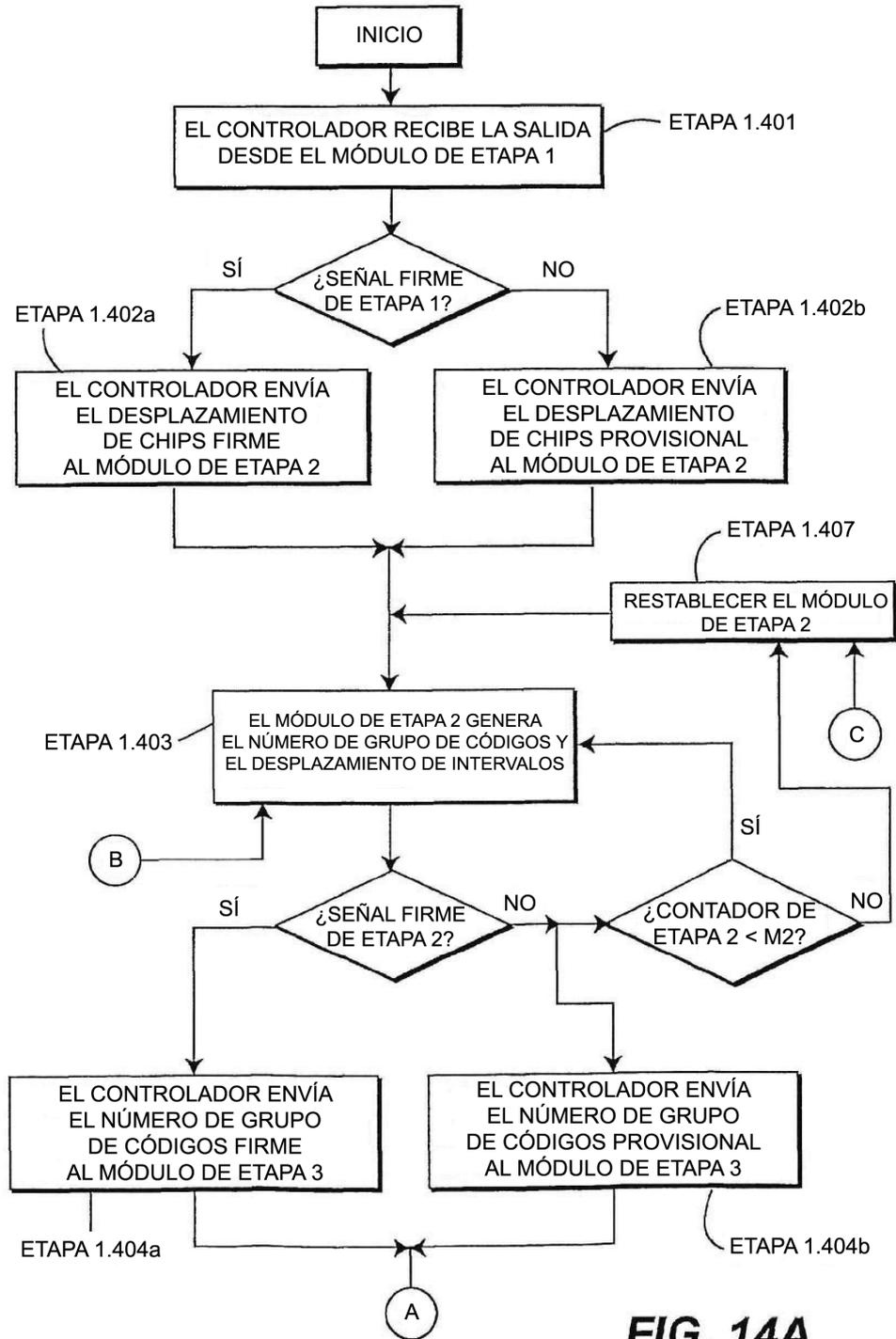


FIG. 14A

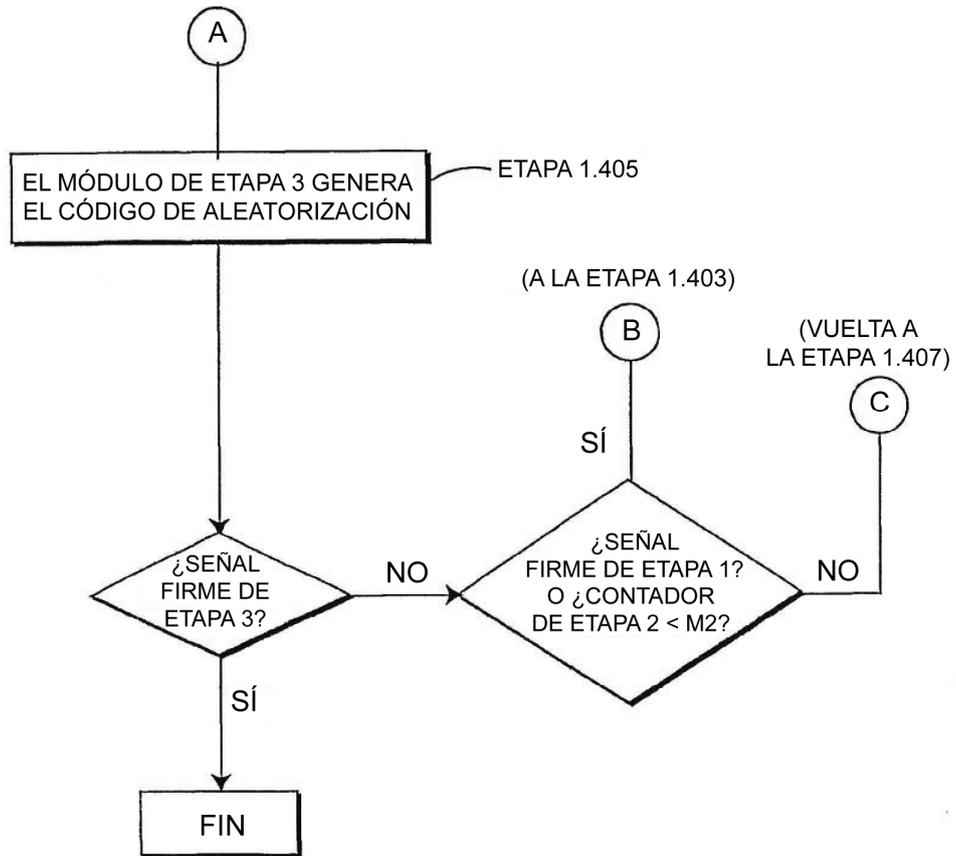


FIG. 14B

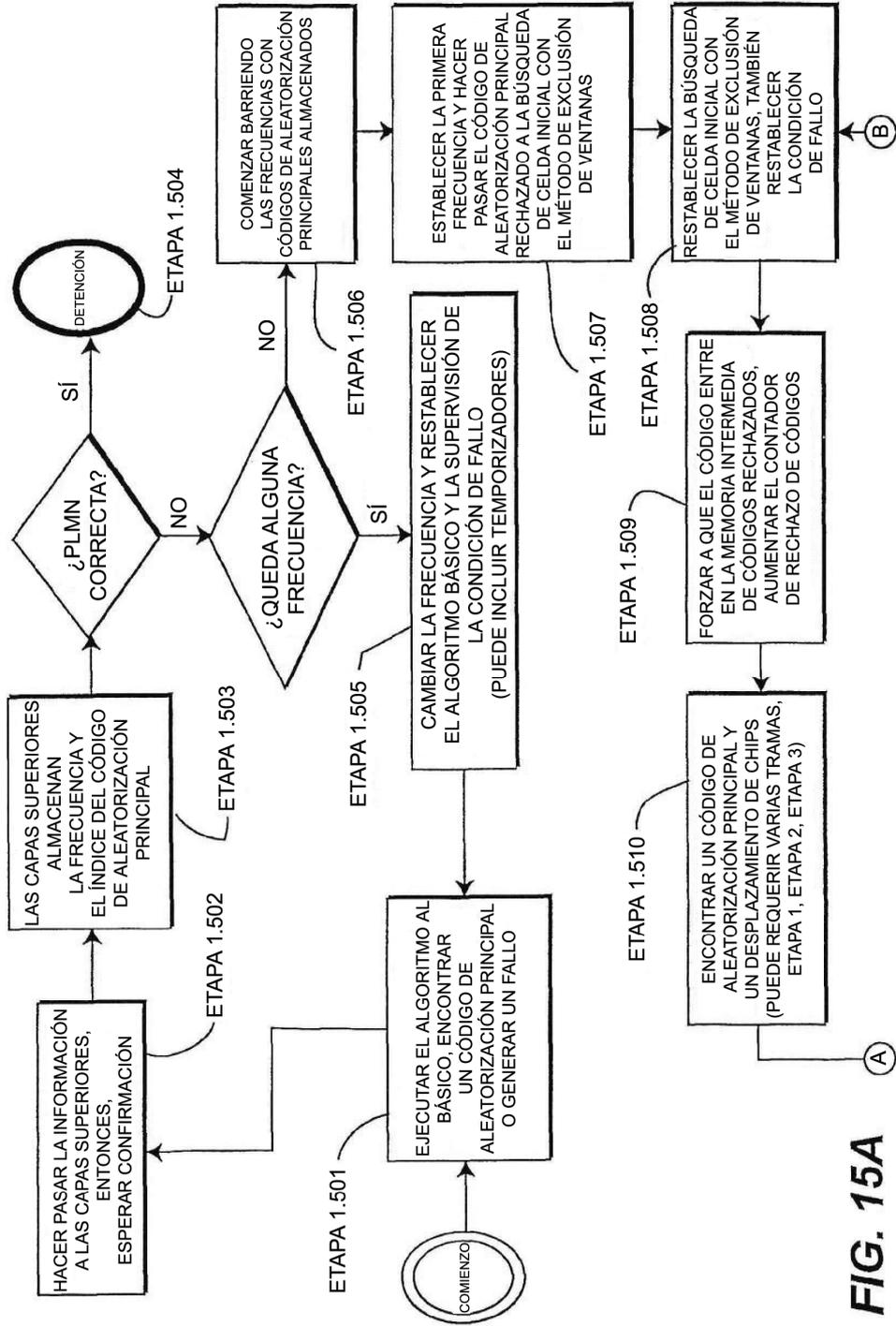


FIG. 15A

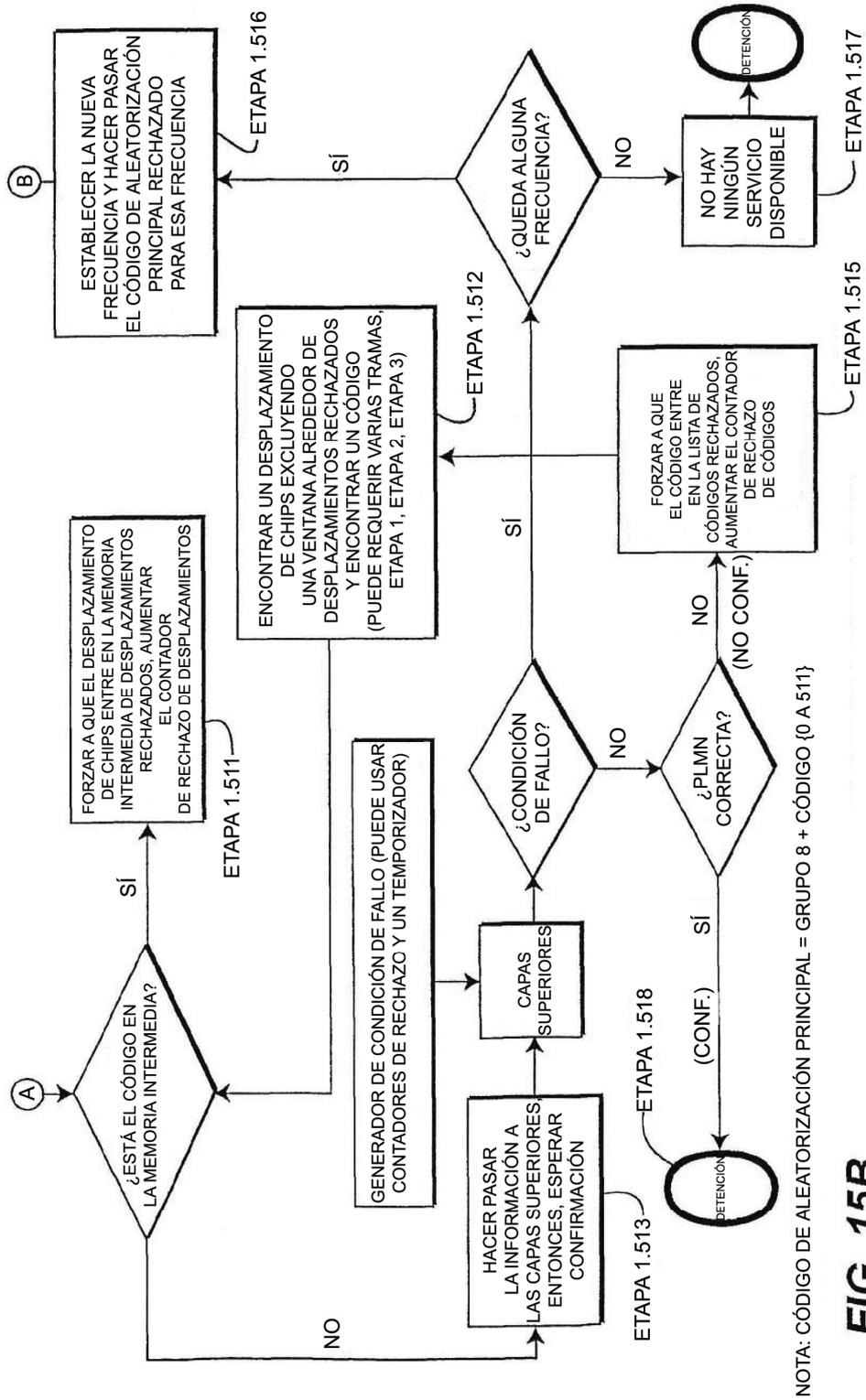


FIG. 15B

LÓGICA DE EXCLUSIÓN DE VENTANAS