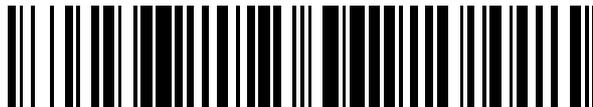


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 658 938**

51 Int. Cl.:

G06F 13/16 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **11.06.2013 E 13171403 (2)**

97 Fecha y número de publicación de la concesión europea: **03.01.2018 EP 2674870**

54 Título: **Un circuito para compartir memoria**

30 Prioridad:

12.06.2012 KR 20120062451

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

13.03.2018

73 Titular/es:

**LSIS CO., LTD. (100.0%)
1026-6, Hogye-Dong Dongan-gu, Anyang-si
Gyeonggi-do 431-080 , KR**

72 Inventor/es:

AHN, HONG SEON

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 658 938 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Un circuito para compartir memoria

5 ANTECEDENTES DE LA DIVULGACIÓN

Campo de acción

10 Las enseñanzas de acuerdo con las realizaciones de ejemplo y no limitantes de esta divulgación se refieren en general a un circuito para compartir memoria, y más particularmente a un circuito para compartir memoria configurado para compartir datos entre procesadores de un circuito electrónico y un IED (dispositivo electrónico inteligente) utilizado como controlador para protección/control de un sistema de energía eléctrica.

15 Antecedente

Esta sección proporciona información antecedente que se refiere a la presente divulgación que no es necesariamente técnica anterior.

20 Un IED (dispositivo electrónico inteligente) utilizado como un controlador para protección/control de un sistema de energía eléctrica se incorpora en gran medida con procesadores de datos numéricos dedicados, o dos o más procesadores dedicados para comunicación de alta velocidad diseñada para soportar el estándar IEC61850. Cada procesador realiza funciones de operación, control y procesador principal. El IED debe ser capaz de realizar la producción y proceso de datos masivos tal como historial de accidentes provocado por la generación y almacenamiento en forma de ondas y control o accidente del sistema de un sistema en una velocidad dentro de 1 mseg o una velocidad alta similar, y los datos se deben compartir entre cada procesador.

25 Para este fin, se puede utilizar una memoria de puerto dual suministrada por un fabricante de memoria convencional, pero el uso de la memoria de puerto dual para un sistema IED posee diversos problemas.

30 Primero, la capacidad de memoria dual de puerto suministrada por el fabricante de memorias se limita en general a varios cientos de Kbytes. Un IED utilizado para el sistema de energía eléctrica requiere capacidad de datos masivos de memoria debido a que se deben compartir con diversos procesadores para comunicación, operación y procesamiento principal de datos de información de accidente en forma de ondas, pero la mayoría de las memorias de puerto duales comercializada no se pueden utilizar debido al límite en la capacidad.

35 Otro problema es que la memoria de puerto dual comercializada convencionalmente no es una memoria de baja potencia respaldada por batería y por lo tanto no es adecuada para un IED que requiere respaldo de datos a través de una batería o un supercondensador. Todavía otro problema es que la memoria de puerto dual comercializada utiliza un IC de precio alto que es dos veces el precio de un SRAM convencional.

40 Por lo tanto, subsiste la necesidad de desarrollar un circuito de para compartir memoria que utiliza una memoria general.

45 Mientras tanto, el documento US20070150669 A1 divulga un dispositivo de memoria de semiconductor accesible de múltiples rutas que tiene un área de memoria compartida en una matriz de celdas de memoria DRAM que puede ser accedida aleatoriamente mediante una pluralidad de procesadores. El dispositivo de memoria de semiconductor accesible por múltiples rutas incluye por lo menos un área de memoria compartida asignada en una matriz de celdas de memoria, conectada funcionalmente a puertos que corresponden a una pluralidad de procesadores, cada puerto es utilizado por el procesador correspondiente para seleccionar acceso al área de memoria compartida. El dispositivo comprende adicionalmente una unidad de señalización de estado de ocupación para generar información de estado de ocupación del puerto al procesador que solicita acceso al área de memoria compartida a través del puerto utilizado para que la solicitud de acceso indique si se permite el acceso a la memoria compartida.

50 El documento US 6 212 607 B1 divulga una estructura de memoria de múltiples puertos que utiliza un único puerto RAM, es decir, un dispositivo de memoria que tiene puertos izquierdos y derechos para comunicación con dispositivos electrónicos izquierdos y derechos que incluyen bancos de memoria, lógica de semáforo y circuitos de acoplamiento de puerto.

60 RESUMEN DE LA DIVULGACIÓN

Esta sección proporciona un resumen general de la divulgación, no es una divulgación exhaustiva de su alcance completo de todas sus características.

65 Los aspectos de ejemplo de la presente divulgación son tienen que resolver sustancialmente por lo menos los problemas anteriores y/o desventajas y proporcionar por lo menos las ventajas que se mencionan adelante. De esta manera, la presente invención se dirige a proporcionar un circuito para compartir memoria (denominado en lo

sucesivo como circuito para compartir memoria) como se define en la reivindicación 1 independiente. Se definen realizaciones adicionales en las reivindicaciones dependientes.

5 El circuito para compartir memoria se configura para compartir datos de diversos Mbytes a un costo razonable al permitir compartir datos entre procesadores de un circuito electrónico y un IED (dispositivo electrónico inteligente) utilizado como un controlador para protección/control de un sistema de energía eléctrico.

10 Los problemas técnicos que se van a resolver por la presente divulgación no se restringen a las descripciones mencionadas anteriormente, y cualesquiera otros problemas técnicos no mencionados hasta ahora se apreciarán por el experto a partir de la siguiente descripción.

15 Preferiblemente, pero no necesariamente, se puede ingresar una baja señal a la terminal de señal de otorgamiento (GNT_1) del primer procesador, y se ingresa una señal alta a la terminal de señal de otorgamiento (GNT_2) del segundo procesador, en un caso la primera señal de solicitud de acceso (1_REQ) es la segunda señal de solicitud de acceso (2_REQ) alta, para hacer la solicitud de acceso de memoria permitida solamente al primer procesador dentro de la primera unidad de procesador.

20 Preferiblemente, pero no necesariamente, se puede ingresar una señal alta al terminal de señal de otorgamiento (GNT_1) del primer procesador y el terminal de señal de otorgamiento (GNT_2) del segundo procesador, en un caso todas las primeras señales de solicitud de acceso (1_REQ) y la segunda señal de solicitud de acceso (2_REQ) son bajas, para evitar que se permita la solicitud de acceso de memoria a ambos primeros y segundos procesadores dentro de las primera y segundas unidades de procesador.

25 Preferiblemente, pero no necesariamente, se puede configurar una unidad de circuito lógico de tal manera que una primera señal de solicitud de acceso (1_REQ) se guarda en el búfer mediante el primer búfer dentro de la primera unidad de procesador entre una pluralidad de unidades de procesador conectados a una primera terminal de entrada y un portal AND, una segunda señal de solicitud de acceso (2_REQ) se guarda en búfer mediante un segundo búfer dentro de una segunda unidad de procesador entre una pluralidad de unidades de procesador conectadas a una segunda terminal de entrada del portal AND a través de un inversor, hasta una terminal de señal (EN_1) habilitada del primer búfer hasta una terminal de señal de otorgamiento (GNT_1) del segundo procesador en la segunda unidad de procesador, y se conecta una salida del portal AND a una terminal de señal de otorgamiento (GNT_1) del primer procesador dentro de la primera unidad de procesador y a un terminal de señal habilitado (EN_2) del segundo búfer.

35 Preferiblemente, pero no necesariamente, se puede ingresar una alta señal a la terminal de señal de otorgamiento (GNT_1) del primer procesador, en un caso la primera señal de solicitud de acceso (1_REQ) es alta y la segunda señal de solicitud de acceso (2_REQ) es baja, y se ingresa una baja señal a la terminal de señal de otorgamiento (GNT_2) del segundo procesador para hacer una solicitud de acceso de memoria permitida solamente al primer procesador dentro de la primera unidad de procesador.

40 Preferiblemente, pero no necesariamente, se puede ingresar una señal baja al terminal de señal de otorgamiento (GNT_1) del primer procesador, en un caso la primera señal de solicitud de acceso (1_REQ) es baja y la segunda señal de solicitud de acceso (2_REQ) es alta, y se ingresa una señal alta a la terminal de señal de otorgamiento (GNT_2) del segundo procesador para hacer la solicitud de acceso de memoria permitida solamente al segundo procesador dentro de la segunda unidad de procesador.

45 Preferiblemente, pero no necesariamente, se puede ingresar una señal baja a la terminal de señal de otorgamiento (GNT_1) del primer procesador, en un caso la primera señal de solicitud de acceso (1_REQ) es alta y la segunda señal de solicitud de acceso (2_REQ) es alta, y se ingresa una señal alta al terminal de señal de otorgamiento (GNT_2) del segundo procesador para hacer la solicitud de acceso de memoria permitida solamente a un procesador proporcionado con prioridad entre el primer procesador dentro de la primera unidad de procesador y el segundo procesador de la segunda unidad de procesador.

50 Preferiblemente, pero no necesariamente, se puede ingresar una señal baja a ambas de las terminales de señal de otorgamiento (GNT_1) del primer procesador y la terminal de la señal de otorgamiento (GNT_2) del segundo procesador, en un caso ambas de las primeras señales de solicitud de acceso (1_REQ) y la segunda solicitud de acceso (2_REQ) son bajas, para hacer la solicitud de acceso de memoria permitida para ambos del primero y segundo procesador dentro de la primera y segunda unidades de procesador.

55 Preferiblemente, pero no necesariamente, se puede conectar una resistencia pull-up o una resistencia pull-down a una terminal de salida REQ del búfer que recibe la solicitud de acceso por el procesador, almacenando en la memoria intermedia la solicitud de acceso y generando la solicitud de acceso en memoria intermedia.

60 En efecto ventajoso, el circuito para compartir memoria con las realizaciones de ejemplo de la presente divulgación se configura para compartir datos a alta velocidad entre procesadores de una unidad de circuito electrónico de un IED (dispositivo electrónico inteligente) utilizado como un controlador de protección/control de un sistema de energía

65

eléctrica, por el cual la limitación para utilizar la memoria masiva tal como forma de ondas en un IED de un sistema de energía eléctrico debido a la capacidad restringida de un puerto de memoria dual convencional se puede resolver.

5 BREVE DESCRIPCIÓN DE LOS DIBUJOS

La figura 1 es un diagrama esquemático de circuitos que ilustra una configuración conectada de un circuito para compartir memoria de acuerdo con una realización de ejemplo de la presente divulgación.

10 La figura 2 es un diagrama esquemático de circuitos que ilustra una configuración conectada de un circuito para compartir memoria de acuerdo con otra realización de ejemplo de la presente divulgación.

La figura 3 es un diagrama esquemático de circuitos que ilustra una configuración conectada de un circuito para compartir memoria de acuerdo aun con otra realización de ejemplo de la presente divulgación.

15 La figura 4 es un diagrama de flujo que ilustra un procedimiento de operación de un circuito para compartir memoria de acuerdo con una realización de la presente divulgación.

20 DESCRIPCIÓN DETALLADA

En la describir de la presente divulgación, el tamaño y tamaño relativo de capas, regiones y/u otros elementos se pueden exagerar o reducir por motivos de claridad. Adicionalmente, el significado de términos o palabras específicos utilizados en esta especificación y reivindicaciones no se debe limitar al sentido literal o comúnmente empleado, sino se debe interpretar o puede ser diferente de acuerdo con la intención de un usuario o un operador y los usos habituales. Por lo tanto, la definición de las palabras o términos específicos se debe basar en los contenidos a través de la especificación.

En lo sucesivo, las realizaciones de ejemplo de la presente divulgación se describirán en detalle con referencia a los dibujos acompañantes.

30 La figura 1 es un diagrama esquemático de circuitos que ilustra una configuración conectada de un circuito para compartir memoria de acuerdo con una realización de ejemplo de la presente divulgación.

Con referencia a la figura 1, el circuito para compartir memoria de acuerdo con la presente divulgación puede incluir una memoria (10) para uso compartido y unidades (20, 30) de procesador. Aunque la figura 1 ilustra dos unidades (20, 30) de procesador, la presente divulgación no se limita a esto. Por ejemplo, las unidades de procesador pueden incluir un número N de procesadores, en el que n = 2, 3, 4,.....

40 Las unidades (20, 30) de procesador pueden incluir búferes (21, 31) configurados para conectarse a la memoria (10) a través de una dirección de búfer y un bus de datos, y procesadores (22, 32) configurados para ser accedidos por la memoria (10) a través de los búferes (21, 31) al ser contactados por los búferes (21, 31). Cada procesador (22, 32) y cada búfer (21, 31) se configuran para estar en pares, en el que estos se conectan para dirigir el bus y bus de datos, y en el que un bus particular entre estos buses se puede utilizar para recibir y transmitir una señal de solicitud de acceso (REQ) con relación a la memoria (10), como se ilustra en la figura 1.

45 Cada búfer (21, 31) se puede conectar a la memoria (10) y las direcciones de búfer y el bus de datos. Adicionalmente, se puede utilizar un bus particular para cada búfer (21, 31) para almacenar en memoria intermedia una señal de entrada para generar la señal REQ y generar la señal de entrada a una unidad (41) de circuito lógico.

50 La señal (denominada en lo sucesivo como "señal REQ de búfer") generada desde el búfer (21, 31) a la unidad (41) de circuito lógico se puede utilizar para determinar una señal de habilitación (EN) para cada búfer a través de una unidad (41) de circuito lógico y un valor lógico de una señal de otorgamiento (GNT) de cada procesador (22, 32).

55 Determinación de otorgamiento de acceso o no otorgamiento a la memoria (10) ilustrada en la figura 1 se puede configurar de acuerdo con las siguientes tablas 1 y 2.

[Tabla 1]

Procesador 1/procesador 2	Solicitud de acceso	Sin solicitud de acceso
Solicitud de acceso	Acceso no otorgado	Otorgamiento de acceso
Solicitud de no acceso	Acceso no otorgado	Acceso no otorgado

[Tabla 1: determinación si se accede a la memoria del procesador 1 (22)]

[Tabla 2]

Procesador 1/procesador 2	Solicitud de acceso	Sin solicitud de acceso
Solicitud de acceso	Otorgamiento de acceso	Sin otorgamiento de acceso
Solicitud de no acceso	Otorgamiento de acceso	Sin otorgamiento de acceso

5

[Tabla 2: determinación de si se accede a la memoria del procesador 2 (32)]

10 Con referencia a las tablas 1 y 2, aunque se determina básicamente el acceso, en un caso cada procesador (22, 32) aplica para una solicitud de acceso a la memoria (10), se otorga solicitud de acceso solamente al procesador 2 para evitar la colisión de bus para acceso de memoria (10), en un caso dos procesadores (22, 32) se solicita simultáneamente el acceso a la memoria. Es decir, se asigna la prioridad al procesador 2 (32). La configuración de la unidad (41) de circuito lógico de la figura 1 se puede determinar de acuerdo con las tablas 1 y 2. Mientras tanto, las tablas 1 y 2 son solamente realizaciones de ejemplo, será evidente que la relación lógica se puede cambiar de acuerdo con los ejemplos detallados en las realizaciones de ejemplo de la presente divulgación.

15 Ahora, una relación conectada entre los procesadores (20, 30) de la figura 1 y la unidad (41) de circuito lógico se describirá en más detalles.

20 El circuito para compartir memoria de la figura 1 se diseña básicamente para operar en un bajo activo. Adicionalmente, cada búfer (21, 31) también es bajo activo.

25 La señal REQ guardada en memoria internada mediante el primer búfer (21) se puede conectar a una primera entrada del primer portal (OR_1). Adicionalmente, la señal REQ guardada en memoria intermedia mediante el segundo búfer (31) se puede conectar a una segunda entrada del primer portal (OR_1) a través de un inversor (INV 2), y conectada a un terminal EN (EN_1) del primer búfer a través de un primer inversor (INV_1), y se puede conectar a un terminal GNT (GNT_2) del segundo procesador (32) adicionalmente.

30 Una salida del primer portal se puede conectar a un terminal GNT (GNT_1) del primer procesador (22), y se puede conectar a un terminal EN (EN_2) del segundo búfer (31) a través de un tercer inversor (INV 3).

35 Adicionalmente, una terminal de salida de la señal REQ guardada en memoria intermedia de cada búfer (21, 31) se puede conectar a una resistencia pull-up, en donde, en un caso se ingresa una señal alta a los terminales en (EN_1, EN_2) de cada búfer, y debido a que una señal generada de los búferes (21, 31) se puede hacer flotar, con el fin de evitar un cambio de estado lógico de la unidad (41) de circuito lógico, las resistencias pull-up permiten una señal generada desde los búferes (21, 31) hasta la unidad (41) de circuito lógico para mantener un alto nivel predeterminado.

40 Ahora, la operación de un circuito para compartir memoria se escribirá con referencia a la figura 1. Como se mencionó anteriormente, el circuito para compartir memoria se fija en un bajo activo, y un terminal EN de cada búfer (21, 31) se debe ingresar con bajo con el fin de guardar en memoria intermedia y generar una señal de entrada. Es decir, el terminal EN de cada búfer (21, 31) es un terminal para recibir una señal para habilitar una salida del búfer (21, 31).

45 Por simplicidad de explicación, una señal REQ para acceder a una memoria emitida desde el primer procesador (22) se denomina "1_REQ", una señal REQ para acceder a una memoria emitida desde el segundo procesador (32) se denomina "2_REQ", una señal generada del primer búfer (21) a la unidad (41) de circuito lógico se denomina "1_BREQ", y una señal generada del segundo búfer (31) a la unidad (41) de circuito lógico se denomina "2_BREQ". Mientras tanto, se asume que en la operación del circuito para compartir memoria de la figura 1, una terminal EN actual está en un estado de bajo que es ingresada, y la señal de 1_REQ y la señal de 2_REQ se pueden todas generar y regular a través de los búferes (21, 31).

50 1) 1_REQ: alto, 2_REQ: bajo

55 Debido a que el terminal EN de cada búfer (21, 31) es ingresado con bajo, la señal 1_BREQ y la señal 2_BREQ son respectivamente altas y bajas. Debido a que la señal 1_BREQ es ingresada al primer portal (OR_1), el primer terminal GNT (GNT_1) del primer procesador (22) puede ser ingresada con alto. Adicionalmente, la señal puede ser reservada a través de un tercer inversor (INV 3) para permitir al segundo terminal EN (EN_2) ser ingresado con bajo.

Adicionalmente, se puede ingresar una señal 2_BREQ al primer terminal EN (EN_1) a través del primer inversor (INV_1), es decir, alto que puede ser ingresado al primer terminal EN, y una señal 2_BREQ puede ser ingresada aun terminal GNT (GNT_2) del segundo procesador (32) (es decir, el GNT_2 se ingresa con bajo).

5 Si un estado lógico de una señal ingresada a cada uno de los terminales anteriores se puede expresar en la siguiente tabla 3.

[Tabla 3]

1_REQ	H	2_REQ	L
GNT_1	H	GNT_2	L
EN_1	H	EN_2	L

10 Para resumir, debido a que el circuito para compartir memoria es bajo activo, y en un caso 1_REQ es alto, y 2_REQ es bajo, y debido a que una señal entra al terminal GNT de cada procesador (22, 32) y la terminal EN de cada búfer (21, 31) se puede determinar cómo se proporcionar en la tabla 3, se permite un acceso a la memoria (10) del segundo procesador (32).

15 En otras palabras, debido a que solamente el segundo procesador (32) solicita una petición de acceso (1_REQ = H, 2_REQ = L) a la memoria (10), se otorga acceso a la memoria (10) o se permite (GNT_2 = L, EN_2 = L) solamente al segundo procesador (32).

20 2) 1_REQ: bajo, 2_REQ: bajo

Debido a que el terminal EN de cada búfer (21, 31) está en el estado de ser ingresado con bajo, la señal de 1_BREQ y la señal de 2_BREQ todas serán bajo. Debido a que se ingresa la señal 2_BREQ al primer portal (OR_1) a través del segundo Inversor (INV_2), la primera terminal GNT (GNT_1) del primer procesador (22) se puede ingresar con alto. Adicionalmente, la señal se puede reservar a través del tercer inversor (INV_3) para permitir al segundo en terminal (EN_2) ser ingresada con bajo.

25 Adicionalmente, la señal 2_BREQ puede ser ingresada al primer terminal EN (EN_1) a través del primer inversor (INV_1), es decir, se puede ingresar el primer terminal EN (EN_1) con alto, y la señal 2_BREQ se puede ingresar a la terminal GNT (GNT_2) del segundo procesador (32). (es decir, se ingresa el GNT_2 con bajo).

30 El estado lógico de una señal incorporada a cada terminal anterior se puede expresar en la tabla 4.

[Tabla 4]

35

1_REQ	L	2_REQ	L
GNT_1	H	GNT_2	L
EN_1	H	EN_2	L

40 Para resumir, debido a que los circuitos para compartir memoria son bajo activo, y en un caso todas las señales 1_REQ y la señal 2_REQ son bajo, y debido a que la señal ingresada al terminal GNT de cada procesador (22, 32) y el terminal EN de cada búfer (21, 31) se puede determinar cómo se proporciona en la tabla 4, se permite el acceso a la memoria (10) del segundo procesador (32). En otras palabras, incluso si la solicitud de acceso a la memoria (10) de cada procesador (22, 32) se ingresa (señal 1_REQ y señal 2_REQ todas son bajo), solo se permite acceso a la memoria (10) al segundo procesador (32).

45 3) 1_REQ: bajo, 2_REQ: alto

Debido a que el terminal EN de cada búfer (21, 31) está en un estado bajo que se ingresa, la señal de 1_BREQ se hace baja y la señal de 2_BREQ se hace alta.

50 Adicionalmente, la señal 2_BREQ se puede ingresar al primer terminal EN (EN_1) a través del primer inversor (INV_1), es decir, el primer terminal EN (EN_1) se ingresa con bajo, y la señal 2_BREQ se puede ingresar al terminal GNT (GNT_2) del segundo procesador (32) (es decir, se ingresa el GNT_2 con alto).

55 Debido a que la señal 1_BREQ se ingresa directamente al primer terminal del primer portal (OR_1), y la segunda señal 2_BREQ se ingresa al segundo terminal del primer portal (OR_1) a través del segundo Inversor (INV_2), el primer terminal GNT (GNT_1) del primer procesador (22) se puede ingresar con bajo. Adicionalmente, la señal se

puede reversar a través del tercer inversor (INV_3) para permitir al segundo terminal EN (EN_2) ser ingresado con alto.

El estado lógico de la señal ingresada en cada terminal se puede expresar según la siguiente tabla 5.

5

[Tabla 5]

1_REQ	L	2_REQ	H
GNT_1	L	GNT_2	H
EN_1	L	EN_2	H

10 Para resumir, debido a que el circuito para compartir memoria es bajo activo, y en un caso la señal 1_REQ es baja y la señal 2_REQ es alta, y debido a que la señal ingresada en el terminal GNT de cada procesador (22, 32) y el terminal EN de cada búfer (21, 31) se determina como en la tabla 5 anterior, se permite la solicitud de acceso a la memoria (10) del primer procesador (22).

15 4) 1_REQ: alto, 2_REQ: alto

Debido a que el terminal EN de cada búfer (21, 31) está en un estado de ser ingresado con bajo, la señal de 1_BREQ y la señal de 2_BREQ se hacen altas. Debido a que la señal 1_BREQ se ingresa al primer portal (OR_1), el primer terminal GNT (GNT_1) del primer procesador (22) se puede ingresar con alto. Adicionalmente, la señal puede ser reversada a través de un tercer inversor (INV_3) para permitir al segundo en terminal (EN_2) ser ingresado con bajo.

20 Adicionalmente, se puede ingresar la señal 2_BREQ a la primera terminal EN (EN_1) a través del primer inversor (INV_1), es decir, se puede ingresar el primer terminal EN (EN_1) con bajo, y la señal 2_BREQ se puede ingresar al terminal de señal GNT (GNT_2) del segundo procesador (32). (es decir, se ingresa el GNT_2 con alto)

25

El estado lógico de la señal ingresada a cada terminal se puede expresar según la siguiente tabla 6.

[Tabla 6]

1_REQ	H	2_REQ	H
GNT_1	H	GNT_2	H
EN_1	L	EN_2	L

30

Para resumir, debido a que no existe solicitud de acceso a la memoria (10) de dos procesadores (22, 32) (1_REQ = H, 2_REQ = H), no se otorga la solicitud de acceso a la memoria (10) de cada procesador (22, 32) o se permite (GNT_1 = H, GNT_2 = H).

35 La figura 2 es un diagrama esquemático de circuitos que ilustra una configuración conectada de un circuito para compartir memoria de acuerdo con otra realización de ejemplo de la presente divulgación.

40 Con referencia a la figura 2, un circuito para compartir memoria (100) ejemplifica un circuito que no otorga o permite acceso a una memoria (10) a uno cualquiera, en un caso, ambos primeros y segundos procesadores (220, 320) que solicitan acceso a la memoria (10) (1_REQ & 2_REQ = L) con el fin de evitar una colisión de buses por acceso.

Para ser más específicos, se describirá una relación conectada entre procesadores (200, 300) de la figura 1 y una unidad (410) de circuito lógico.

45 El circuito para compartir memoria de la figura 2 se diseña básicamente para funcionar en bajo activo. Adicionalmente, cada búfer (210, 310) también es bajo activo.

50 Una señal de REQ almacenada en memoria intermedia mediante el primer búfer (210) se puede conectar a una primera entrada de un portal (OR_12), y la señal REQ se puede conectar a una segunda entrada de un portal (OR_11) a través de un inversor (INV_11).

Adicionalmente, una señal REQ almacenada en memoria intermedia mediante un segundo búfer (310) se puede conectar como una segunda entrada del portal (OR_12) a través de un inversor (INV_13), y se puede conectar a una primera entrada del portal (OR_11).

55

Se puede aplicar una salida del portal (OR_11) a un terminal EN (EN_1) del primer búfer (210) a través de un inversor (INV_12), y se puede ingresar a un terminal GNT (GNT_2) del segundo procesador (320).

5 Una salida de portal (OR_12) se puede ingresar a la terminal GNT (GNT_1) del primer procesador (210), e ingresar a un terminal EN del segundo búfer (310) a través de un inversor (INV_14).

10 Adicionalmente, un terminal de salida de la señal REQ almacenada en memoria intermedia de cada búfer (210, 310) se conecta a una resistencia de pull-up, y en un caso se ingresa una señal alta a los terminales EN (EN_1, EN_2) de cada búfer (210, 310), una señal generada de los búferes (210, 310) se puede hacer flotar, con lo cual una señal generada de los búferes (210, 310) a una unidad (410) de circuito lógico se mantiene alta por defecto con el fin de evitar cambios en la unidad (410) de circuito en estado de lógico.

15 Ahora, se describirá una operación del circuito para compartir memoria ilustrado en la figura 2. Como se mencionó en lo anterior, el circuito para compartir memoria ilustrado en la figura 2 se establece en un bajo activo, de tal manera que el terminal EN se debe ingresar bajo en orden para que cada búfer (210, 310) para guardar en memoria intermedia y generar una señal de entrada. Es decir, el terminal EN de los búferes (210, 310) es un terminal para recibir una señal para habilitar una salida del búfer (210, 310).

20 Debido a que cada señal 1_REQ y 2_REQ pueden tener un valor alto o un valor bajo, se puede generar un número total de cuatro (4) casos. Sin embargo, el estado lógico de la señal 1_REQ y la señal 2_REQ, y las señales GNT_1, GNT_2, EN_1 y EN_2 en respuesta a la operación del circuito para compartir memoria ilustrada en la figura 2 son parcialmente iguales que aquel de la figura 1.

25 Para ser más específico, en el caso (1_REQ, 2_REQ) son (L, H), (H, L) y (H, H), es igual que la operación de la unidad (40) de circuito lógico de la figura 1. Por supuesto, significa que aunque el estado lógico de cada señal puede ser parcialmente igual, la operación o configuración del circuito no es la misma. Por lo tanto, la operación del circuito para compartir memoria se describirá solamente en un caso cuando (1_REQ, 2_REQ) es (L, L).

30 Debido a que la señal 2_REQ es baja, y se puede ingresar una señal 2_BREQ como una segunda entrada del portal (OR_12) a través de un inversor (INV_13) para permitir el terminal GNT (GNT_1) del primer procesador (220) a para que sea alta. Adicionalmente, la señal se puede ingresar a un terminal EN del primer búfer (310) a través de un inversor (INV_14).

35 Adicionalmente, se ingresa una señal 1_BREQ a una segunda terminal del portal (OR_11) a través del inversor (INV_11) y la señal 2_BREQ se aplica a una primera terminal del portal OR (OR_11), una salida del portal (OR_11) se aplica a un terminal GNT (GNT_2) del segundo procesador (320), y también se ingresa a un terminal EN del primer búfer (210) a través del inversor (INV_12). Es decir, se puede ingresar el GNT_2 alto y se puede ingresar el EN_1 bajo, que se pueden disponer en la siguiente tabla 7.

40 [Tabla 7]

1_REQ	L	2_REQ	L
GNT_1	H	GNT_2	H
EN_1	L	EN_2	L

45 Si lo anterior se dispone, incluso si la primera y segunda solicitudes de procesadores (220, 320) no se otorga o permite un acceso a una memoria (100) compartida (1_REQ = L, 2_REQ = L), todas las solicitudes de acceso se diseñan para no ser otorgadas o permitidas para evitar colisión del bus con el acceso a la memoria (100) compartida (GNT_1 = H, GNT_2 = H).

50 La figura 3 es un diagrama esquemático de circuitos que ilustran una configuración conectada de un circuito para compartir memoria de acuerdo con aun otra realización de ejemplo de la presente divulgación.

55 El circuito para compartir memoria ilustrado en la figura 3 ejemplifica un caso en el que el circuito es alto activo. Es decir, en un caso en el que cada procesador (2200, 3200) solicita un acceso de memoria (1000), se puede diseñar de tal manera que se aplica una señal REQ alta, y una señal GNT a un otorgamiento de acceso o habilitación se genera alta. Por supuesto, en este caso, cada búfer (2100, 3100) opera bajo activo.

60 Adicionalmente, se configura el circuito para compartir memoria ilustrado en la figura 3 de tal manera que se conecta una resistencia pull-down a una terminal de una señal generada desde cada búfer (2100, 3100) a una unidad (4100) de circuito lógico, que es para evitar una salida de cada búfer de flotación y mantener la salida baja en el estado predeterminado.

Ahora, se describirá una configuración conectada de una unidad (4000) de circuito lógico del circuito para compartir memoria ilustrada en la figura 3. Se puede conectar una señal 1_BREQ a una primera entrada de un portal (AND_21), una señal 2_BREQ se puede conectar a una segunda entrada del portal (AND_21) a través de un inversor (INV_21). Se puede ingresar una salida del portal (AND_21) a un terminal GNT (GNT_1) del primer procesador (2200), y la salida también se puede ingresar a un terminal EN (EN_2) del segundo búfer (3100).

Adicionalmente, la señal 2_BREQ se puede ingresar al terminal EN (EN_1) del primer búfer (2100), y también se puede ingresar a un terminal GNT del segundo procesador (3200).

Por lo tanto, un estado lógico del circuito para compartir memoria en respuesta a los estados lógicos de la señal 1_REQ y señal 2_REQ se pueden expresar mediante la siguiente tabla 8.

[Tabla 8]

15

1_REQ	H	2_REQ	H
GNT_1	L	GNT_2	H
EN_1	H	EN_2	L

1_REQ	H	2_REQ	L
GNT_1	H	GNT_2	L
EN_1	L	EN_2	H

1_REQ	L	2_REQ	H
GNT_1	L	GNT_2	H
EN_1	H	EN_2	L

2_REQ	L	1_REQ	L
GNT_1	L	GNT_1	L
EN_1	L	EN_1	L

En un caso 1_REQ y 2_REQ son (alto, bajo) y (bajo, alto), se puede solicitar un acceso de la memoria (1000) a solamente uno de los procesadores 2200 y 3200, y se puede solicitar acceso de memoria (1000) a un procesador (2200 o 3200) pertinente, y una señal GNT del búfer (2100 o 3100), y señales pueden ser respectivamente altas y bajas para provocar la solicitud de acceso de memorias (1000) para que sea otorgada o permitida (alto activo).

Adicionalmente, en un caso 1_REQ y 2_REQ son alto y alto, lo que significa que ambos procesadores (2200, 3200) solicitan la solicitud de acceso de memoria, y se proporciona una prioridad de caso uno de los procesadores (2200, 3200) mediante pre diseño, por ejemplo, en un caso en el que se da prioridad al segundo procesador (3200), la señal GNT del búfer (3100) se conecta al segundo procesador (3200) y la señal EN puede ser, respectivamente, alta y baja para hacer que la solicitud de acceso de la memoria (1000) al segundo procesador (3200) sea otorgado o permitido.

Mientras tanto, en un caso 1_REQ y 2_REQ son bajo y bajo, en el que todos los procesadores (2200, 3200) no solicitan acceso de memoria (1000), todos los procesadores (2200, 3200) y la señal GNT de búferes (2100, 3100) se conectan a esta y la señal EN puede respectivamente ser baja y baja para hacer que la solicitud de acceso a la memoria (1000) no sea otorga o permita.

La figura 4 es un diagrama de flujo que ilustra un procedimiento de funcionamiento de un circuito para compartir memoria de acuerdo con una realización de ejemplo de la presente divulgación.

El funcionamiento es un funcionamiento que se puede realizar por cada procesador ilustrado en las figuras 1, 2 y 3, en el que el sujeto puede ser un procesador.

La operación del circuito para compartir memoria puede incluir activar una señal REQ (S410), esperar por una señal GNT (S420), determinar si la señal GNT es activada (S430), acceder a una memoria (S440), y desactivar la señal (S450) REQ.

La etapa de S410 corresponde a una operación de activar la señal REQ (1REQ o 2_REQ) generada por cada procesador. De acuerdo con un ambiente de diseño de cada circuito para compartir memoria, es decir, de acuerdo con un bajo activo o alto activo, la señal se puede activar la señal REQ (bajo o alto).

- 5 La etapa de S420 corresponde a una etapa de esperar por una entrada de una señal GNT en respuesta a la activación de la señal REQ. La señal GNT es una señal que otorga o permite un acceso a la memoria, y se puede utilizar como unos medios para notificar permiso de acceso a la memoria u otorgamiento de acceso a la memoria a cada procesador en respuesta a la señal de activación (bajo activo o alto activo).
- 10 La etapa de S430 corresponde a una determinación de funcionamiento ya se que la señal GNT sea una señal de activación. Si la señal GNT es una señal de activación, cada procesador que ha verificado la señal GNT es un intento de señal de activación para un acceso a la memoria (S440), y si la señal GNT no es una señal de activación, el flujo puede regresar a la etapa (S420) que espera por la señal GNT.
- 15 Cada procesador, después de terminación del acceso de memoria, puede realizar la etapa S450 de desactivación de la señal REQ. Las realizaciones de ejemplo de la presente divulgación son para otorgar o permitir el acceso de una pluralidad de procesadores a una memoria sin colisión, en el que, si se completa el acceso de memoria otorgado o permitido, la señal REQ se debe desactivar para preparar para el otorgamiento o permisión a otras memorias.
- 20 El circuito para compartir memoria y funcionamiento de estas se han ejemplificado y explicado con referencia a los dibujos acompañados y descripción. Se hace una pluralidad de procesadores para compartir una memoria sin colisión mutua a través del funcionamiento y configuración de los circuitos mencionados anteriormente. Adicionalmente, se utiliza una memoria general con capacidad de datos de memoria masivos para superar la falta de espacio de almacenamiento que se utiliza para que suceda en la memoria general.

25

REIVINDICACIONES

1. Un circuito para compartir memoria para compartir una memoria (10, 100, 1000) de un controlador para un sistema de energía eléctrica, el circuito para compartir la memoria comprende:

una pluralidad de unidades (20, 30, 200, 300, 2000, 3000) de procesador,
una memoria (10, 100, 1000); y

una unidad (41, 410, 4100) de circuito lógico; en el que cada una de las unidades (20, 30, 200, 300, 2000, 3000) de procesador incluyen

un búfer (21, 31, 210, 310, 2100, 3100) configurada para ser conectada a la memoria a través de una dirección de memoria intermedia y un bus de datos; y

un procesador (22, 32, 220, 320, 2200, 3200) configurada para conectarse al búfer para acceder a la memoria a través del búfer, el circuito para compartir memoria caracterizado porque búfer y el procesador se configuran para estar emparejados a través de la conexión a un bus de dirección y un bus de datos del procesador, y en el que el bus particular entre estos buses se puede utilizar para recibir y transmitir una señal de solicitud (REQ) de acceso con relación a la memoria; en el que el procesador genera una solicitud (REQ) de acceso en el búfer por anticipado de un acceso a la memoria, y el búfer se conecta a la unidad de circuito lógico configurada para permitir solamente una de las unidades de procesador a la vez para acceder a la memoria al generar un valor lógico de una señal de otorgamiento (GNT) dentro de un procesador (22, 32, 220, 320, 2200, 3200) aplicable para permitir un acceso del procesador aplicable a la memoria y un valor lógico de una señal de habilitación (EN) en un búfer (21, 31, 210, 310, 2100, 3100) aplicable para activar una salida de la solicitud (REQ) de acceso del búfer aplicable, y

en el que la señal de habilitación (EN) de cada uno del búfer y la señal de otorgamiento (GNT) de cada procesador se determina utilizando la señal de solicitud de acceso almacenada en memoria intermedia (REQ) generada desde el búfer hasta la unidad de circuito lógico.

2. El circuito para compartir memoria de la reivindicación 1, en el que la unidad (41) de circuito lógico se configura de tal manera que

una primera señal de solicitud de acceso (1_REQ) almacenada en memoria intermedia mediante un primer búfer (21) dentro de una primera unidad (20) de procesador entre una pluralidad de unidades (20, 30) de procesador se conecta a una primera terminal de un portal OR (OR_1);

una segunda señal de solicitud de acceso (2_REQ) almacenada en memoria intermedia mediante un segundo búfer (31) dentro de una segunda unidad (30) de procesador de la pluralidad de unidades (20, 30) de procesador se conecta a una segunda terminal de entrada del portal OR a través de un primer inversor (INV_2), y a una terminal (EN_1) de señal de habilitación del primer búfer (21) a través de un segundo Inversor (INV_1) y un terminal de señal de otorgamiento (GNT_2) de un segundo procesador (32) dentro de la segunda unidad (20) de procesador, y

una salida del portal OR se conecta a una terminal de señal de habilitación (EN_2) del segundo búfer (31) a través de un tercer inversor (INV_3), y a una terminal de señal de otorgamiento (GNT_1) del primer (22) procesador dentro de la primera unidad (20) de procesador.

3. El circuito para compartir memoria de la reivindicación 2, en el que se ingresa una señal alta a la terminal de señal de otorgamiento (GNT_1) del primer (22) procesador, en un caso la primera señal de solicitud de acceso (1_REQ) es alta, y la segunda señal de solicitud de acceso (2_REQ) es baja, y en un caso la primera señal de solicitud de acceso (1_REQ) es baja y la segunda señal de solicitud de acceso (2_REQ) es baja, y se ingresa una señal baja a la terminal de señal de otorgamiento (GNT_2) de un segundo (32) procesador, para hacer una solicitud de acceso de memoria (10) para que sea permitida solamente al segundo procesador (32) dentro de la segunda unidad (30) de procesador,

De tal manera que se ingresa una señal baja a la terminal de señal de otorgamiento (GNT_1) del primer procesador (22) y se ingresa una señal alta a la terminal de señal de otorgamiento (GNT_2) de un segundo procesador (32), en un caso la primera señal de solicitud de acceso (1_REQ) es baja, y la segunda señal de solicitud de acceso (2_REQ) es alta, para hacer una solicitud de acceso de memoria (10) para que sea permitida solamente al primer procesador (22) dentro de la primera unidad (20) de procesador,

De tal manera que se ingresa una señal alta a la terminal de señal de otorgamiento (GNT_1) del primer procesador (22) y la terminal de señal de otorgamiento (GNT_2) de un segundo procesador (32) en un caso todas las primeras señales de solicitud de acceso (1_REQ) y la segunda señal de solicitud de acceso (2_REQ) son altas, para evitar que una solicitud de acceso de memoria (10) se permita para ambos de los primero y segundos procesadores (22, 32) dentro de las primeras y segunda unidades (20, 30) de procesador.

4. El circuito para compartir memoria de la reivindicación 1 en la que la unidad (410) de circuito lógico se configura de tal manera que,

5 una primera señal de solicitud de acceso (1_REQ) almacenada en memoria intermedia mediante un primer búfer (210) dentro de una primera unidad (200) de procesador entre una pluralidad de unidades (200, 300) de procesador se conecta a una primera terminal de entrada de un primer portal OR (OR_11) a través de un primer inversor (INV_11), y al primer terminal de entrada de un segunda portal OR (OR_12),

10 una segunda señal de solicitud de acceso (2_REQ) almacenada en memoria intermedia mediante un segundo búfer (310) dentro de una segunda unidad (300) de procesador entre la pluralidad de unidades (200, 300) de procesador se conecta a una segunda terminal de entrada de un segunda portal OR (OR_12) a través de un segundo inversor (INV_13) y una segunda terminal de entrada del primer portal OR (OR_11),

15 una salida del primer portal OR (OR_11) se conecta a una terminal de señal de otorgamiento (GNT_2) de un segundo procesador (320) dentro de la segunda unidad (300) de procesador, y a una terminal (EN_1) de señal permitida a través de un tercer inversor (INV_12), y

20 una salida del segundo portal OR (OR_12) se conecta a una terminal de señal habilitada (EN_2) del segundo búfer (310) a través de un cuarto inversor (INV_14) y a una terminal de señal de otorgamiento (GNT_1) de un primer procesador (220) dentro de la primera unidad (200) de procesador.

5. El circuito para compartir memoria de la reivindicación 4, en el que se ingresa una señal alta a la terminal de señal de otorgamiento (GNT_1) del primer procesador (220), en un caso la primera señal de solicitud de acceso (1_REQ) es alta y la segunda señal de solicitud de acceso (2_REQ) es baja, y en un caso la primera señal de solicitud de acceso (1_REQ) es alta y la segunda señal de solicitud de acceso (2_REQ) es alta, y se ingresa una señal baja a la terminal de señal de otorgamiento (GNT_2) del segundo procesador (320) para hacer una solicitud de acceso de memoria (100) permitida solamente al segundo procesador (320) dentro de la segunda unidad (300) de procesador,

30 De tal manera que se ingresa una señal baja a la terminal de señal de otorgamiento (GNT_1) del primer procesador (220), y se ingresa una señal alta a la terminal de señal de otorgamiento (GNT_2) del segundo procesador (320), en un caso la primera señal de solicitud de acceso (1_REQ) es baja y la segunda señal de solicitud de acceso (2_REQ) es alta, para hacer que la solicitud de acceso de memoria (100) sea permitida solamente al primer procesador (220) dentro de la primera unidad (200) de procesador,

35 De tal manera que se ingresa una señal alta a la terminal de señal de otorgamiento (GNT_1) del primer procesador (220) y la terminal de señal de otorgamiento (GNT_2) del segundo procesador (320), en un caso, todas las primeras señales de solicitud de acceso (1_REQ) y la segunda señal de solicitud de acceso (2_REQ) son bajas, para evitar que la solicitud de acceso de memoria (100) se permita tanto para el primero como segundos procesadores (220, 320) dentro de las primeras y segundas unidades (200, 300) de procesador.

40 6. El circuito para compartir memoria de la reivindicación 1, en el que la unidad (4100) de circuito lógico se configura de tal manera que,

45 una primera señal de solicitud de acceso (1_REQ) se almacena en memoria intermedia mediante un primer búfer (2100) dentro de una primera unidad de procesador (2000) dentro de una pluralidad de unidades (2000, 3000) de procesador que se conectan a una primera terminal de entrada de un portal AND (AND_21),

50 una segunda señal de solicitud de acceso (2_REQ) almacenada en memoria intermedia mediante un segundo búfer (3100) dentro de una segunda unidad (3000) de procesador entre una pluralidad de unidades de procesador (2000, 3000) que se conectan a una segunda terminal de entrada del portal AND a través de un inversor (INV_21), a una terminal de señal habilitada (EN_1) del primer búfer (2100) y para la terminal de señal de otorgamiento (GNT_1) del segundo procesador (3200) dentro de la segunda unidad (3000) de procesador, y

55 una salida del portal AND (AND_21) se conecta a una terminal de señal de otorgamiento (GNT_1) del primer procesador (2200) dentro de la primera unidad (2000) de procesador y a una terminal de señal habilitada (EN_2) del segundo bufer (3100).

60 7. El circuito para compartir memoria de la reivindicación 6, en el que la señal alta se ingresa a la terminal de señal de otorgamiento (GNT_1) del primer procesador (2200), en un caso la primera señal de solicitud de acceso (1_REQ) es alta y la segunda señal de solicitud de acceso (2_REQ) es baja y se ingresa una señal baja a la terminal de señal de otorgamiento (GNT_2) del segundo procesador (3200) para hacer una solicitud de acceso de memoria (1000) permitida solamente al primer procesador (2200) dentro de la primera unidad (2000) de procesador,

65 de tal manera que la señal baja se ingresa a la terminal de señal de otorgamiento (GNT_1) del primer procesador (2200), en un caso, la primera señal de solicitud de acceso (1_REQ) es baja y la segunda señal de solicitud de acceso (2_REQ) es alta, y una señal alta se ingresa en la terminal de señal de otorgamiento (GNT_2) del segundo

procesador (3200) para hacer la solicitud de acceso de memoria (1000) permitida solamente al segundo procesador (3200) dentro de la segunda unidad (3000) de procesador,

5 de tal manera que se ingresa una señal baja a la terminal de señal de otorgamiento (GNT_1) del primer procesador (2200), en un caso la primera señal de solicitud de acceso (1_REQ) es alta y la segunda señal de solicitud de acceso (2_REQ) es alta, y se ingresa una señal alta a la terminal de la señal de otorgamiento (GNT_2) del segundo procesador (3200) para hacer la solicitud de acceso de memoria (1000) permitida solamente a un procesador (2200 o 3200) proporcionado con prioridad entre el primer procesador (2200) dentro de la primera unidad (2000) de procesador y el segundo procesador (3200) de la segunda unidad (2000) de procesador,

10 de tal manera que se ingresa una señal baja para ambas terminales de señal de otorgamiento (GNT_1) del primer procesador (2200) y la terminal de señal de otorgamiento (GNT_2) del segundo procesador (3200), en un caso tanto ambos de la primera señal de solicitud de acceso (1_REQ) y la segunda señal de solicitud de acceso (2_REQ) son bajas, para hacer que la solicitud de acceso de memoria (1000) sea permitida para el primero y segundo procesador (2000, 3000) dentro de las primeras y segundas unidades (2200, 3200) de procesador.

15 8. El circuito para compartir memoria de una cualquiera de las reivindicaciones 1 a 7, en el que la resistencia pull-up o una resistencia pull-down se conectan a una terminal de salida de solicitud de acceso (REQ) del búfer (21, 31, 210, 310, 2100, 3100) que reciben la solicitud de acceso por el procesador (22, 32, 220, 320, 2200, 3200), que almacenan en memoria intermedia la solicitud de acceso y generan la solicitud de acceso almacenada en memoria intermedia.

20

FIG.1

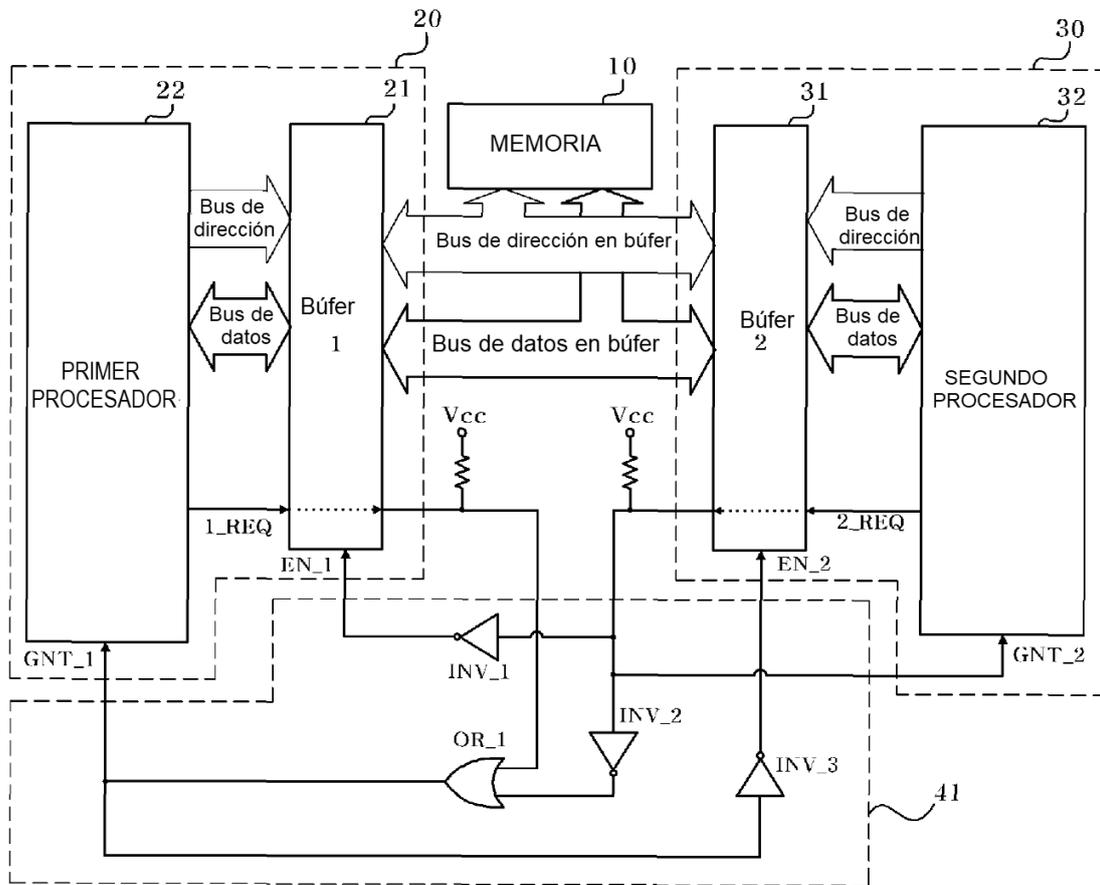


FIG.2

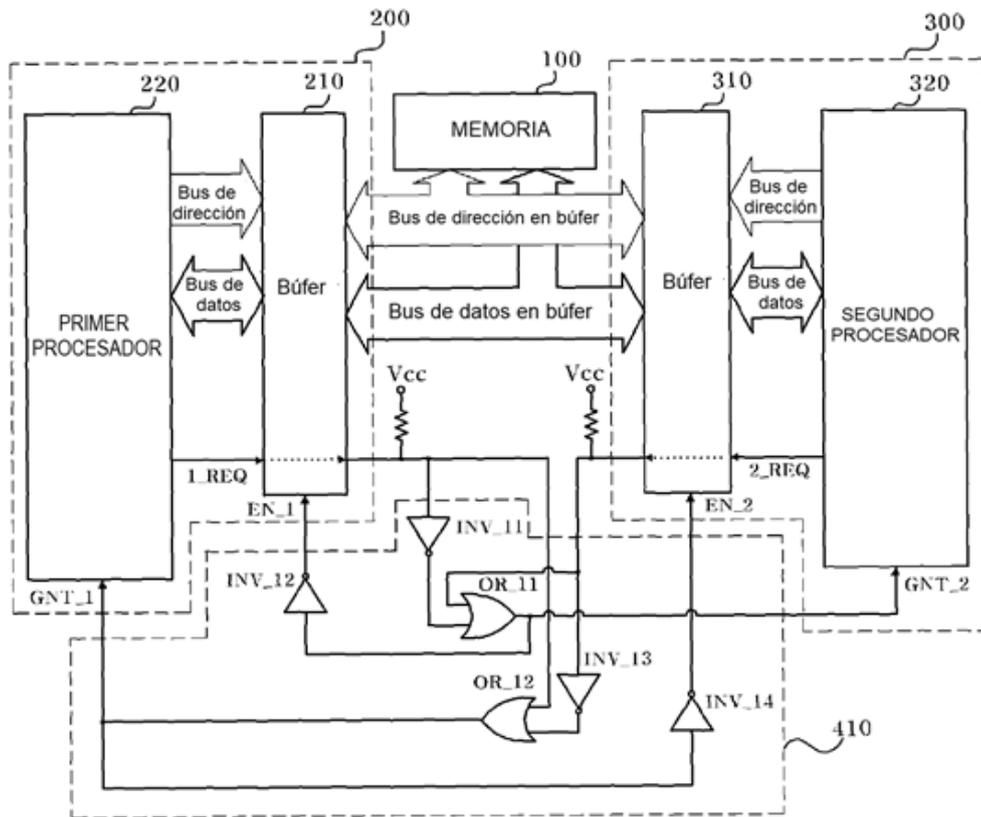


FIG.3

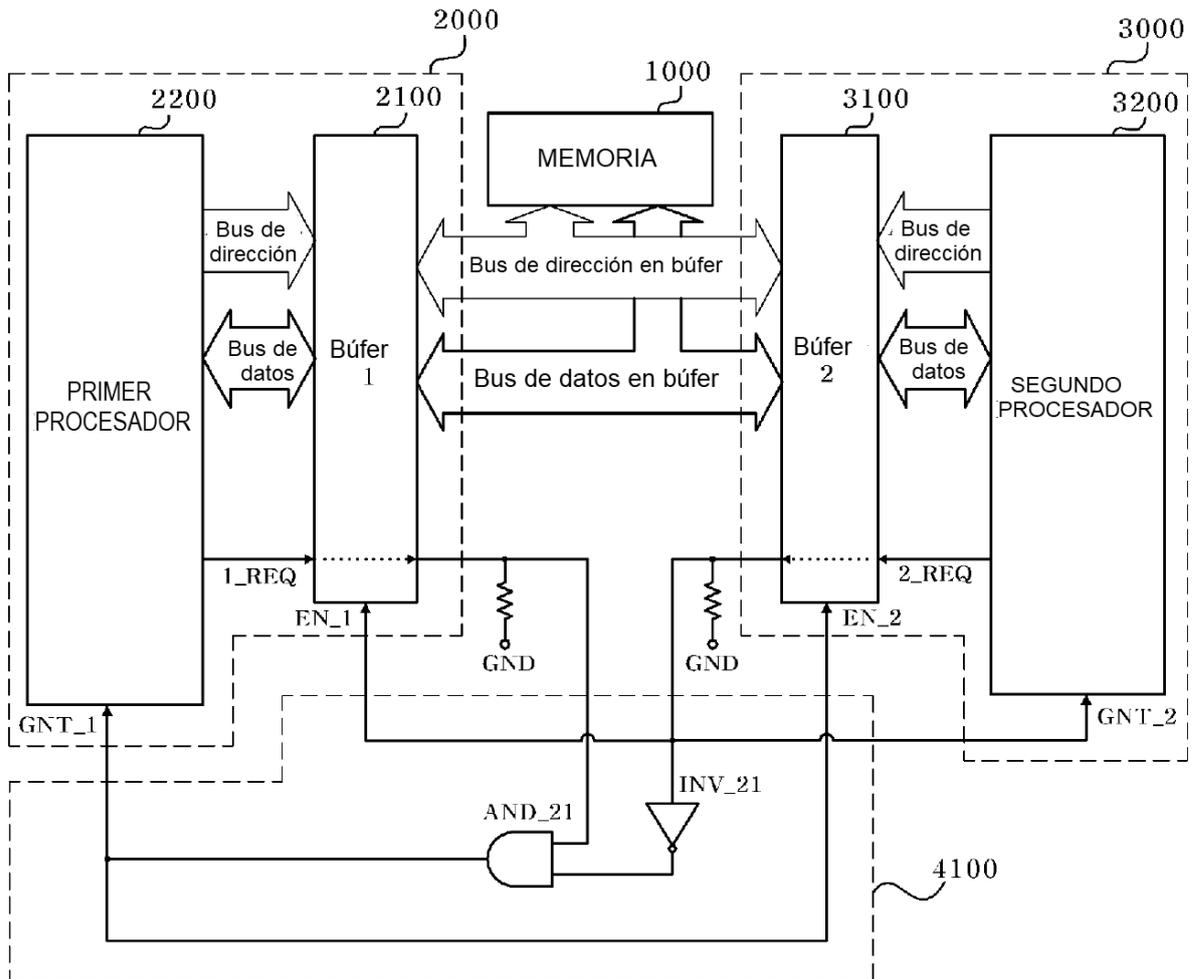


FIG.4

