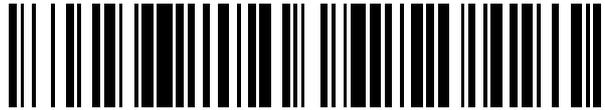


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 659 734**

51 Int. Cl.:

H05B 33/08 (2006.01)

G09G 3/34 (2006.01)

G09G 3/3233 (2006.01)

H05B 37/02 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.09.2014** **E 14184814 (3)**

97 Fecha y número de publicación de la concesión europea: **22.11.2017** **EP 2852255**

54 Título: **Método para el control de la emisión de luz de un dispositivo emisor de luz y un sistema excitador que implementa el método**

30 Prioridad:

18.09.2013 TW 102133904

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

19.03.2018

73 Titular/es:

MACROBLOCK, INC. (100.0%)
3F-5, 6 No. 18, Pu-Ting Rd.
Hsinchu 300, TW

72 Inventor/es:

HSU, SHUN-YUAN y
HSIEH, SHUN-CHING

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

ES 2 659 734 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método para el control de la emisión de luz de un dispositivo emisor de luz y un sistema excitador que implementa el método

5 La invención se refiere a un método de control y un sistema excitador, y más particularmente a un método de control y un sistema excitador adaptado para un dispositivo de emisión de luz.

10 El brillo de la luz emitida por un dispositivo LED (diodo emisor de luz) se controla por medio de un sistema excitador de LED que proporciona una corriente constante al dispositivo LED durante diferentes períodos de tiempo, en el que la corriente constante se refiere a un valor constante de corriente dentro de un período de tiempo unidad.

15 Con referencia a las figuras 1 y 3, un sistema excitador de LED convencional tiene 16 canales de control para excitar el dispositivo LED (no se muestra), y recibe 16 conjuntos de datos lógicos fuente que corresponden respectivamente a los 16 canales de excitación. Cada conjunto de datos lógicos fuente se compone de 6 bits de brillo para indicar uno de 2^6 niveles de brillo. Los bits de brillo tienen diferentes órdenes de bits definidos de 0 a 5, y se llaman en este documento 0^o a 5^o bit de brillo. El sistema de excitación de LED divide los datos lógicos fuente en 6 conjuntos de datos lógicos, cada uno de los cuales tiene 16 valores lógicos respectivamente para los 16 canales de excitación y corresponde a cada uno de los bits de brillo. El sistema excitador de LED incluye una unidad de control 10, una
20 unidad de registro de desplazamiento 11, una unidad de retención de datos 12 y una unidad de excitación 13.

La unidad de control 10 recibe los datos lógicos fuente y está configurada para generar los datos lógicos después de la división, una señal de reloj, una señal de retención y una señal de activación de salida.

25 La unidad de registro de desplazamiento 11 incluye 16 registros, recibe la señal de reloj y los datos lógicos y secuencialmente y respectivamente almacena los valores lógicos en los registros en respuesta a un flanco positivo de la señal de reloj.

30 Con referencia adicional a la figura 2, la unidad de control 10 permite a la unidad de registro de desplazamiento 11 almacenar los 6 conjuntos de datos lógicos correspondientes a los bits de brillo con los bits comprendiendo órdenes de bits de 0 a 5 (en referencia a los números que aparecen en los datos lógicos de la figura 2) en la secuencia dada. Una duración de tiempo requerida por la unidad de registro de desplazamiento 11 para almacenar cada conjunto de datos lógicos es T_1 .

35 La unidad de retención de datos 12 incluye 16 retenedores, recibe la señal de retención, y respectivamente almacena en los retenedores los valores lógicos almacenados en la unidad de registro de desplazamiento 11 en respuesta a un flanco positivo de la señal de retención.

40 La unidad de excitación 13 recibe la señal de activación de salida y los valores lógicos almacenados en la unidad de retención de datos 12, y entrega, a cada uno de los canales de excitación, una señal de corriente constante para cada uno de los seis períodos de tiempo predeterminados. Con referencia adicional a la figura 2, cada uno de los períodos de tiempo predeterminado tiene una longitud de $2^k T_2$ en función de la señal de activación de salida y los datos lógicos, donde k representa el orden de bit del bit de brillo correspondiente a los datos lógicos recibidos de esta manera, y T_2 es una duración del período de tiempo preestablecido correspondiente al bit de brillo que tiene el orden de bit 0. En un ejemplo, cuando tanto la señal de activación de salida y el valor lógico correspondiente tienen niveles lógicos altos, el canal correspondiente entrega una primera corriente constante al LED correspondiente, y cuando la señal de activación de salida tiene el nivel lógico alto y el correspondiente valor lógico tiene un nivel lógico bajo, el canal correspondiente entrega una segunda corriente constante (por ejemplo, con una magnitud de 0 A) al LED correspondiente.
45

50 En esta configuración, cuando $2^k T_2 < T_1$, hay un período de tiempo t_{off} en el que el dispositivo LED está en un estado de inactividad, limitando así una tasa de utilización y un brillo máximo del dispositivo LED. Cuando $2^k T_2 > T_1$, hay un período de tiempo D_{off} en el que la unidad de control 10 es incapaz de entregar el siguiente conjunto de datos lógicos que se corresponde con el bit de brillo que tenga el orden de bit (k+1), limitando así una tasa de refresco del dispositivo LED.
55

Por lo tanto, un objetivo de la presente invención es proporcionar un método para controlar la emisión de luz de un dispositivo de emisión de luz. El método puede ocasionar que el dispositivo emisor de luz tenga una tasa de utilización y tasa de refresco relativamente mayores.
60

65 De acuerdo con un aspecto de la presente invención, se proporciona un método para controlar la emisión de luz de un dispositivo emisor de luz, y debe ser ejecutado por un sistema de excitación que incluye una unidad de registro de datos, una unidad de retención acoplada a la unidad de registro, una unidad de multiplexación acoplada a la unidad de registro y a la unidad de retención de datos, y una unidad de excitación acoplada a la unidad de multiplexación y el dispositivo emisor de luz. El método comprende:

- (a) la recepción y el almacenamiento, por la unidad de registro, de los primeros datos lógicos, en sí misma;
- (b) la retención y almacenamiento, por la unidad de retención de datos de los primeros datos lógicos almacenados en la etapa (a), en sí misma;
- (c) después de la etapa (b), la recepción y el almacenamiento, por la unidad de registro, de los segundos datos lógicos, en sí misma;
- (d) la entrega selectiva a la unidad de excitación, por la unidad de multiplexación, de uno de los primeros datos lógicos que están almacenados en la unidad de retención de datos, y los segundos datos lógicos que están almacenados en la unidad de registro; y
- (e) la conversión, por la unidad de excitación, de dicho uno de los primeros datos lógicos y los segundos datos lógicos recibidos en una entrega de excitación que se proporciona al dispositivo de emisión de luz.

Otro objetivo de la presente invención es proporcionar un sistema de excitación para un dispositivo de emisión de luz. El sistema de excitación puede provocar que el dispositivo emisor de luz tenga una tasa de utilización y tasa de refresco relativamente mayores.

De acuerdo con otro aspecto de la presente invención, se proporciona un sistema de excitación para un dispositivo de emisión de luz, que incluye:

- una unidad de registro dispuesta para recibir y almacenar los datos lógicos en ella;
- una unidad de retención de datos acoplada a la unidad de registro para recibir los datos lógicos almacenados en la unidad de registro y operable para de forma selectiva retener y almacenar en ella los datos lógicos recibidos de la unidad de registro;
- una unidad de multiplexación acoplada a la unidad de retención de datos para la recepción de los datos lógicos almacenados en ella para servir como primeros datos lógicos, acoplada a la unidad de registro para recibir los datos lógicos en ella almacenados para servir como segundos datos lógicos, y operable para entregar como salida de forma selectiva uno de los primeros datos lógicos y segundos datos lógicos; y
- una unidad de excitación acoplada a la unidad de multiplexación para recibir de ella el uno de los primeros datos lógicos y los segundos datos lógicos, configurada para convertir el uno de los primeros datos lógicos y los segundos datos lógicos recibidos así en una entrega de excitación, y operable para proporcionar la salida de excitación al dispositivo emisor de luz.

Otras características y ventajas de la presente invención se pondrán de manifiesto en la siguiente descripción detallada de las realizaciones preferidas con referencia a los dibujos adjuntos, de los cuales:

- la figura 1 es un diagrama de bloques que ilustra un sistema de excitación convencional de LED;
- la figura 2 es un diagrama de tiempos que ilustra el sistema de excitación convencional de LED controlando la emisión de luz de un dispositivo de emisión de luz;
- la figura 3 es un diagrama esquemático que ilustra la división de datos lógicos fuente en varios conjuntos de datos lógicos;
- la figura 4 es un diagrama de bloques que ilustra una primera realización preferida de un sistema de excitación para un dispositivo de emisión de luz de acuerdo con la presente invención;
- la figura 5 es un diagrama de flujo de una realización preferida de un método de control para controlar la emisión de luz del dispositivo emisor de luz de acuerdo con la presente invención.
- la figura 6 es un diagrama de tiempos que ilustra el sistema de excitación de la presente invención controlando la emisión de luz del dispositivo emisor de luz;
- la figura 7 es un diagrama de tiempos que ilustra la temporización detallada de las señales de la primera realización preferida durante un período de tiempo t_{ex} en la figura 6;
- la figura 8 es un diagrama de bloques que ilustra una segunda realización preferida de un sistema de excitación para un dispositivo de emisión de luz de acuerdo con la presente invención;
- la figura 9 es un diagrama de tiempos que ilustra la temporización detallada de las señales de la segunda realización preferida durante el período de tiempo t_{ex} en la figura 6;
- la figura 10 es un diagrama de bloques que ilustra una tercera realización preferida de un sistema de excitación para un dispositivo de emisión de luz de acuerdo con la presente invención;
- la figura 11 es un diagrama de tiempos que ilustra la temporización detallada de las señales de la tercera realización preferida durante el período de tiempo t_{ex} en la figura 6;
- la figura 12 es un diagrama de bloques que ilustra una cuarta realización preferida de un sistema de excitación para un dispositivo de emisión de luz de acuerdo con la presente invención; y
- la figura 13 es un diagrama de tiempos que ilustra la temporización detallada de las señales de la cuarta realización preferida durante el período de tiempo t_{ex} en la figura 6.

Con referencia a las figuras 3 y 4, una primera realización preferida de un sistema de excitación para un dispositivo de emisión de luz (por ejemplo, un dispositivo con diodo emisor de luz (LED), que no se muestra) de acuerdo con la presente invención tiene un número N de canales de excitación para excitar, por ejemplo, LED del dispositivo de emisión de luz, donde N es un número entero y $N \geq 1$. El sistema de excitación incluye un bloque de control 1, una unidad de registro de desplazamiento 3, una unidad de retención de datos 5, una unidad de multiplexación 6 y una unidad de excitación 7. El bloque de control 1 incluye una unidad de control 2 y una unidad de conmutación 4. En la

práctica, la unidad de conmutación 4 puede estar integrada con la unidad de control 2, puede estar integrada con la unidad de retención de datos 5 y la unidad de multiplexación 6, o puede ser un módulo independiente, y la presente invención no debe considerarse limitada a este respecto. La unidad de control 2 recibe N conjuntos de datos lógicos fuente, cada uno de los cuales está compuesto de un número M de bits de brillo para indicar uno de los 2^M niveles de brillo, donde M es un entero y $M \geq 2$. Los bits de brillo tienen diferentes órdenes de bits definidos respectivamente como 0 a M-1. En lo sucesivo, el bit de brillo que tiene el bit de orden k se llama bit de brillo k-ésimo. La unidad de control 2 divide los datos lógicos fuente en M conjuntos de datos lógicos, cada uno de los cuales corresponde a cada uno de los bits de brillo y tiene N valores lógicos respectivamente correspondientes a los canales de excitación. La unidad de control 2, entonces entrega a la unidad de registro de desplazamiento 3 los datos lógicos después de la división. En esta realización, N = 16 y M = 6, pero la presente invención no está limitada a ellos. Además, la unidad de control 2 genera y entrega una señal de reloj, una señal de retención y una señal de activación de salida para controlar las operaciones de la unidad de registro de desplazamiento 3, la unidad de conmutación 4, la unidad de retención de datos 5, la unidad de multiplexación 6 y la unidad de excitación 7, directa o indirectamente.

Con referencia a las figuras 4 y 7, en esta realización, la unidad de registro de desplazamiento 3 incluye N registros 31 y recibe y almacena en los registros 31 los datos lógicos transmitidos por la unidad de control 2 en respuesta a un flanco positivo de la señal de reloj. Durante la operación de almacenamiento de la unidad de registro de desplazamiento 3 (es decir, durante la salida de los datos lógicos mediante la unidad de control 2), la señal de reloj transmitida por la unidad de control 2 tiene un número de ciclos de reloj típicamente de N.

En esta realización, la unidad de conmutación 4 recibe la señal de reloj y la señal de retención, y emite una señal de activación de retención que tiene un nivel lógico ajustado para ser opuesto al de la señal de retención en respuesta a un flanco positivo de la señal de reloj. La unidad de conmutación 4 es además sensible a un flanco negativo de la señal de retención para: producir la señal de selección que tiene un nivel lógico alto cuando la señal de activación de retención tiene el nivel lógico alto, e invertir el nivel lógico de la señal de selección cuando la señal de activación de retención tiene el nivel lógico bajo.

En esta realización, la unidad de retención de datos incluye N retenedores 51, está acoplada a la unidad de registro de desplazamiento 3 para la recepción de los datos lógicos almacenados en la unidad de registro 3, y responde a un flanco negativo de la señal de retención para retener y almacenar los datos lógicos recibidos desde la unidad de registro de desplazamiento 3 en los retenedores 51 cuando la señal de activación de retención tiene el nivel lógico alto.

En esta realización, la unidad de multiplexación 6 está acoplada a la unidad de retención de datos 5 para recibir los datos lógicos almacenados en ella, está acoplada a la unidad de registro de desplazamiento 3 para la recepción de los datos lógicos almacenados en ella, y está configurada para entregar los datos lógicos almacenados en la unidad de retención de datos 5 cuando la señal de selección tiene el nivel lógico alto, y entregar los datos lógicos almacenados en la unidad de registro de desplazamiento 3 cuando la señal de selección tiene el nivel lógico bajo.

En esta realización, la unidad de excitación 7 está acoplada a la unidad de multiplexación 6 para recibir los datos lógicos producidos por la unidad de multiplexación 6, convierte los datos lógicos recibidos así en una salida de excitación, y proporciona una salida de excitación constante al dispositivo emisor de luz cuando la señal de activación de salida tiene el nivel lógico bajo. En este documento, la producción de excitación constante se refiere a una corriente constante dentro de un período de tiempo unidad.

Los bits de brillo se clasifican en un primer grupo de bits y un segundo grupo de bits. El orden de bit de cada uno de los bits de brillo clasificados en el primer grupo de bits es mayor que el de cada uno de los bits de brillo clasificados en el segundo grupo de bits. En una realización, la clasificación se consigue definiendo el orden de bits más bajo j entre los órdenes de bits de los bits de brillo que están clasificados en el primer grupo de bits para ser el orden de bits más alto entre los órdenes de bits 0 a M-1 que satisface:

$$(j - 1) \leq \sum_{n=0}^{M-j} (2^n - 1)$$

Es decir, cada uno de los bits de brillo con el bit de orden superior o igual a j se clasifica en el primer grupo de bits, y cada uno de los bits de brillo con el bit de orden menor que j queda clasificado en el segundo grupo de bits. En esta realización, desde M = 6, el bit de orden 4 es el bit de más alto orden que cumple la mencionada relación $((4-1) = 3 \leq \sum_{n=0}^{6-4} (2^n - 1) = 0 + 1 + 3 = 4)$, es decir, j = 4. Por lo tanto, el 4º y 5º bits de brillo quedan clasificados en el primer grupo de bits, y el 0º al tercer bit de brillo quedan clasificados en el segundo grupo de bits.

En referencia adicional a la figura 6, la realización cumple:

$$2^{k1}T_2 \geq 2T_1 \text{ y } 2^{k2}T_2 < 2T_1$$

donde T_1 representa un periodo de tiempo (por ejemplo, N ciclos de reloj de la señal de reloj) requeridos por la unidad de registro de desplazamiento 3 para recibir y almacenar los datos lógicos entregados por la unidad de control 2, T_2 representa un periodo de tiempo durante el que se proporciona excitación al dispositivo emisor de luz cuando la salida de excitación se convierte a partir del conjunto de datos lógicos cuyo bit de brillo correspondiente
 5 tiene el orden de bit 0, k_1 representa el orden de bit de uno cualquiera de los bits de brillo clasificados en el primer grupo de bits, y k_2 representa el orden de bit de uno cualquiera de los bits de brillo clasificados en el segundo grupo de bits. En esta realización, $2^3 T_2 = 8 \times T_2 = T_1$, donde $2^3 T_2$ es un periodo de tiempo durante el que se proporciona salida de excitación al dispositivo emisor de luz cuando la salida de excitación se convierte a partir del conjunto de datos lógicos correspondiente al tercer bit de brillo, que es el orden de bit más alto entre los órdenes de bits de brillo
 10 clasificados en el segundo grupo de bits.

Con referencia a las figuras 5 y 6, con el fin de promover la tasa de utilización y la tasa de refresco del dispositivo de emisión de luz, el bloque de control 1 controla la unidad de registro de desplazamiento 3, la unidad de retención de datos 5, la unidad de multiplexación 6 y la unidad de excitación 7 para operar de acuerdo con las siguientes etapas:

15 Etapa 50: la unidad de control 2 produce primeros datos lógicos para la unidad de registro de desplazamiento 3 y la unidad de registro de desplazamiento 3 recibe y almacena los primeros datos lógicos en sí misma. Los primeros datos lógicos son uno de los M conjuntos de datos lógicos cuyo bit de brillo correspondiente se clasifica en el primer grupo de bits (por ejemplo, los datos lógicos con un número 4 o 5 en la figura 6). Cabe señalar que, en las figuras 6, 7, 9, 11 y 13, un número que se muestra en cada conjunto de datos lógicos representa el orden de bits del bit de brillo correspondiente a ese conjunto de datos lógicos.

20 Etapa 52: la unidad de retención de datos 5 retiene y almacena en ella los primeros datos lógicos almacenados en la unidad de registro de desplazamiento 3.

25 Etapa 54: después de la etapa 52, la unidad de control 2 entrega los segundos datos lógicos a la unidad de registro de desplazamiento 3 y la unidad de registro de desplazamiento 3 recibe y almacena los segundos datos lógicos en sí misma. Los segundos datos lógicos son uno de los M conjuntos de datos lógicos cuyo bit de brillo correspondiente está clasificado en el segundo grupo de bits (por ejemplo, los datos lógicos con un número 0, 1, 2 o 3 en la figura 6).

30 Etapa 56: la unidad de multiplexación 6 entrega selectivamente a la unidad de excitación 7 uno de los primeros datos lógicos que están almacenados en la unidad de retención de datos 5 (con referencia a la señal de selección marcada con "L" en la figura 6), y los segundos datos lógicos que están almacenados en la unidad de registro de desplazamiento 3 (con referencia a la señal de selección marcada con una "R" en la figura 6).

35 Etapa 58: la unidad de excitación 7 convierte dicho uno de los primeros datos lógicos y los segundos datos lógicos recibidos por ella en una salida de excitación que se proporciona al dispositivo de emisión de luz (refiriéndose a la señal de activación de salida en la figura 6). En detalle, un periodo de tiempo en el cual la unidad de control 2 envía la señal de activación de salida para permitir la etapa 58 para el conjunto de datos lógicos que corresponden al bit de brillo k-ésimo es $2^k T_2$.

40 Con el fin de minimizar T_{off} en el que el dispositivo de emisión de luz se encuentra en un estado de reposo y D_{off} en el que la unidad de control 2 es incapaz de entregar el siguiente conjunto de datos lógicos, una secuencia de salida de los M conjuntos de datos lógicos, la señal de retención y la señal de activación de salida están bien organizadas por la unidad de control 2 para conseguir las siguientes prestaciones:

45 (1) La unidad de multiplexación 6 entrega los primeros datos lógicos, los segundos datos lógicos y los primeros datos lógicos respectivamente en el primer, segundo y tercer periodos de tiempo en la secuencia indicada. Téngase en cuenta que los primeros datos lógicos producidos en el primer y tercer periodos de tiempo son los mismos primeros datos lógicos (en referencia a la señal de selección y los datos lógicos almacenados en la unidad de retención de datos 5 que corresponden a $32 \times T_2$ (1), $2 \times T_2$ y $32 \times T_2$ (2) en la figura 6).

50 (2) Durante el primer periodo de tiempo, la unidad de excitación 7 convierte los primeros datos lógicos en una primera salida de excitación constante que se proporciona al dispositivo emisor de luz durante un primer periodo de tiempo predeterminado (por ejemplo, $32 \times T_2$ (1) en la Figura 6); durante el segundo periodo de tiempo, la unidad de excitación 7 convierte los segundos datos lógicos en una segunda salida de excitación constante que se proporciona al dispositivo emisor de luz durante un segundo periodo de tiempo predeterminado (por ejemplo, $2 \times T_2$ en Figura 6); y durante el tercer periodo de tiempo, la unidad de excitación 7 convierte los primeros datos lógicos en la primera salida de excitación constante que se proporciona al dispositivo emisor de luz durante un tercer periodo de tiempo predeterminado (por ejemplo, $32 \times T_2$ (2) en la figura 6). En otras palabras, un periodo largo de tiempo durante el que se proporciona la primera salida de excitación constante al dispositivo emisor de luz se divide en varios periodos de tiempo más cortos separados. Por ejemplo, en esta realización, un periodo de $32 \times T_2$ para el conjunto de datos lógicos correspondiente al 5º bit de brillo se divide en cuatro periodos más cortos: $32 \times T_2$ (1), $32 \times T_2$ (2), $32 \times T_2$ (3) y $32 \times T_2$ (4), cada uno de los cuales tiene una duración de tiempo igual a $8 \times T_2$. Igualmente, un periodo de $16 \times T_2$ para el conjunto de datos lógicos correspondiente al 4º bit de brillo se divide en dos periodos más cortos: $16 \times T_2$ (1) y $16 \times T_2$ (2), cada uno de las cuales tiene una duración de tiempo igual a $8 \times T_2$.

65 (3) Al menos un conjunto de datos lógicos cuyo bit de brillo correspondiente está clasificado en el segundo grupo de bits se dispone entre dos conjuntos de datos lógicos cuyos bits de brillo correspondientes están clasificados en el primer grupo de bits. Por ejemplo, en la figura 6, la entrega del conjunto de datos lógicos correspondiente al

bit de brillo 0^o se dispone entre entregas de los conjuntos de datos lógicos correspondientes a los bits de brillo 4^o y 5^o. En esta realización, un número R del citado al menos un conjunto de datos lógicos satisface $R = 2^{k_{if}-j+1} - 1$, donde k_{if} representa el orden de bits correspondiente al primero de los citados dos conjuntos de datos lógicos. Por ejemplo, cuando el primer conjunto de los citados dos conjuntos de datos lógicos corresponde al 4^o bit de brillo, $R = 2^{4-4+1} - 1 = 1$. Con referencia a la figura 6, solo el conjunto de datos lógicos correspondiente al 0^o bit de brillo está dispuesto para seguir al conjunto de datos lógicos correspondiente al 4^o bit de brillo. Cuando el primer conjunto de los citados dos conjuntos de datos lógicos corresponde al 5^o bit de brillo, $R = 2^{5-4+1} - 1 = 3$. Con referencia a la figura 6, los tres conjuntos de datos lógicos correspondientes al 1^o al 3^o bit de brillo están dispuestos para seguir al conjunto de datos lógicos correspondiente al 5^o bit de brillo. En otras realizaciones, el primer conjunto de los citados dos conjuntos de datos lógicos puede estar dispuesto antes del conjunto R de datos lógicos y después de otro conjunto de datos lógicos cuyo bit de brillo correspondiente está clasificado en el segundo grupo de bits y tiene el orden de bit de t, donde $2^t T_2 = T_1$.

En virtud de esta disposición, la entrega de los segundos datos lógicos por la unidad de control 2 y la producción de la salida de excitación que se convierte desde los primeros datos lógicos puede producirse al mismo tiempo, con el fin de reducir tanto T_{off} como D_{off} , promoviendo así la tasa de utilización, brillo máximo y la tasa de refresco del dispositivo emisor de luz.

Con referencia a la figura 6, en esta realización, la unidad de control 2 primero entrega a la unidad de registro de desplazamiento 3 el conjunto de datos lógicos correspondiente al 4^o bit de brillo. La unidad de retención de datos 5 después retiene y almacena en ella el conjunto de datos lógicos correspondiente al 4^o bit de brillo que se almacena en la unidad de registro de desplazamiento 3.

A continuación, la unidad de control 2 entrega a la unidad de registro de desplazamiento 3 el conjunto de datos lógicos correspondiente al 0^o bit de brillo. Al mismo tiempo, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 4^o bit de brillo (que se almacena en la unidad de retención de datos 5) en una salida de excitación constante que se proporciona al dispositivo de emisión de luz durante una duración (es decir, $8 \times T_2$) del período de tiempo $16 \times T_2$ (1).

A continuación, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 0^o bit de brillo (que está almacenado en la unidad de registro de desplazamiento 3) en una salida de excitación constante que se proporciona al dispositivo emisor de luz durante un período de tiempo de $1 \times T_2$.

A continuación, la unidad de control 2 entrega a la unidad de registro de desplazamiento 3 el conjunto de datos lógicos correspondiente al 5^o bit de brillo. Al mismo tiempo, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 4^o bit de brillo (que está almacenado en la unidad de retención de datos 5) en una salida de excitación constante que se proporciona al dispositivo de emisión de luz durante una duración (es decir, $8 \times T_2$) del período de tiempo $16 \times T_2$ (2). La unidad de retención de datos 5 entonces retiene y almacena en ella el conjunto de datos lógicos correspondiente al 5^o bit de brillo que está almacenado en la unidad de registro de desplazamiento 3.

A continuación, la unidad de control 2 entrega a la unidad de registro de desplazamiento 3 el conjunto de datos lógicos correspondiente al 1^{er} bit de brillo. Al mismo tiempo, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 5^o bit de brillo (que está almacenado en la unidad de retención de datos 5) en una salida de excitación constante que se proporciona al dispositivo de emisión de luz durante una duración (es decir, $8 \times T_2$) del período de tiempo $32 \times T_2$ (1).

A continuación, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 1^{er} bit de brillo (que está almacenado en la unidad de registro de desplazamiento 3) en una salida de excitación constante que se proporciona al dispositivo emisor de luz durante un período de tiempo de $2 \times T_2$.

A continuación, la unidad de control 2 entrega a la unidad de registro de desplazamiento 3 el conjunto de datos lógicos correspondiente al 2^o bit de brillo. Al mismo tiempo, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 5^o bit de brillo (que está almacenado en la unidad de retención de datos 5) en una salida de excitación constante que se proporciona al dispositivo de emisión de luz durante una duración (es decir, $8 \times T_2$) del período de tiempo $32 \times T_2$ (2).

A continuación, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 2^o bit de brillo (que está almacenado en la unidad de registro de desplazamiento 3) en una salida de excitación constante que se proporciona al dispositivo emisor de luz durante un período de tiempo de $4 \times T_2$.

A continuación, la unidad de control 2 entrega a la unidad de registro de desplazamiento 3 el conjunto de datos lógicos correspondiente al 3^{er} bit de brillo. Al mismo tiempo, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 5^o bit de brillo (que está almacenado en la unidad de retención de datos 5) en una salida de excitación constante que se proporciona al dispositivo de emisión de luz durante una duración (es decir, $8 \times T_2$) del período de tiempo $32 \times T_2$ (3).

A continuación, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 3^{er} bit de brillo (que está almacenado en la unidad de registro de desplazamiento 3) en una salida de excitación constante que se proporciona al dispositivo emisor de luz durante un período de tiempo de $8 \times T_2$.

- 5 A continuación, la unidad de control 2 entrega a la unidad de registro de desplazamiento 3 el conjunto de datos lógicos correspondiente al 4^o bit de brillo y asociado a los siguientes datos lógicos fuente. Al mismo tiempo, la unidad de control 2 activa la unidad de excitación 7 para convertir el conjunto de datos lógicos correspondiente al 5^o bit de brillo (que está almacenado en la unidad de retención de datos 5) en una salida de excitación constante que se proporciona al dispositivo de emisión de luz de durante una duración (es decir, $8 \times T_2$) del período de tiempo $32 \times T_2$
10 (4).

En la primera realización preferida, la unidad de registro de desplazamiento 3 es un registro de desplazamiento que incluye N registros. Sin embargo, en una variación de la primera realización preferida, la unidad de registro de desplazamiento 3 puede incluir una pluralidad de registros de desplazamiento acoplados en serie, de tal forma que la suma de los números de registros de los registros de desplazamiento es igual a N, y la unidad de retención de datos 5 incluye una pluralidad de subunidades de retención de datos respectivamente correspondientes a los registros de desplazamiento. En una variación específica, la unidad de registro de desplazamiento 3 incluye un número X de registros de desplazamiento, cada uno de los cuales incluye un número n de registros, y $X \times n = N$.
15

- 20 Con referencia a las figuras 8 y 9, una segunda realización preferida de un sistema de excitación de acuerdo con la presente invención es similar a la primera realización preferida, y difiere en que: la unidad de conmutación 4 recibe la señal de retención y la señal de activación de salida, entrega la señal de activación de retención que es la misma que la señal de activación de salida, y responde a un flanco negativo de la señal de activación de salida para entregar la señal de selección que tiene el nivel lógico alto cuando la señal de retención tiene el nivel lógico bajo, y
25 entregar la señal de selección que tiene el nivel lógico bajo cuando la señal de retención tiene el nivel lógico alto.

Con referencia a las figuras 10 y 11, una tercera realización preferida de un sistema de excitación de acuerdo con la presente invención es similar a la primera realización preferida, y difiere en que: la unidad de conmutación 4 genera una señal intermedia que tiene un nivel lógico ajustado para ser opuesto al de la señal de retención en respuesta a un flanco positivo de la señal de reloj, y entrega, en respuesta a un flanco negativo de la señal de retención, un pulso para servir como señal de activación de retención cuando la señal intermedia tiene un nivel lógico alto. Más aún, la unidad de conmutación 4 responde a un flanco negativo de la señal de retención para entregar la señal de selección que tiene un nivel lógico alto cuando la señal intermedia tiene el nivel lógico alto, e invertir el nivel lógico de la señal de selección cuando la señal intermedia tiene un nivel lógico bajo. La unidad de retención de datos 5 retiene y
30 almacena los datos lógicos almacenados en la unidad de registro de desplazamiento 3 de acuerdo con la señal de activación de retención (por ejemplo, cuando la señal de activación de retención tiene el nivel lógico alto).
35

Con referencia a las figuras 12 y 13, una cuarta realización preferida de un sistema de excitación de acuerdo con la presente invención es similar a la segunda realización preferida, y difiere en que: la unidad de conmutación 4 entrega, en respuesta a un flanco negativo de la señal de retención, un pulso que sirve como señal de activación de retención cuando la señal de activación de salida tiene el nivel lógico alto. La unidad de retención de datos 5 retiene y almacena los datos lógicos almacenados en la unidad de registro de desplazamiento 3 de acuerdo con la señal de activación de retención (por ejemplo, cuando la señal de activación de retención tiene el nivel lógico alto).
40

- 45 Como resumen, de acuerdo con la presente invención, las operaciones de la unidad de registro de desplazamiento 3, la unidad de retención de datos 4 y la unidad de excitación 5 están bien controladas usando el bloque de control 1 para promover la tasa de utilización y la tasa de refresco del dispositivo emisor de luz.

REIVINDICACIONES

1. Un método para controlar la emisión de luz de un dispositivo emisor de luz, dicho método para ser aplicado por un sistema de excitación que incluye una unidad de registro de desplazamiento (3) que recibe una señal de reloj, una
 5 unidad de retención de datos (5) acoplada a la unidad de registro de desplazamiento (3), una unidad de multiplexación (6) acoplada a la unidad de registro de desplazamiento (3) y la unidad de retención de datos (5), y una unidad de excitación (7) acoplada a la unidad de multiplexación (6) y al dispositivo de emisión de luz, incluyendo dicho método:
- 10 (a) la recepción y el almacenamiento, por la unidad de registro de desplazamiento (3), de primeros datos lógicos en ella de acuerdo con la señal de reloj; y
 (b) la retención y almacenamiento, por la unidad de retención de datos (5), de primeros datos lógicos almacenados en la etapa (a) en ella;
- 15 estando dicho método **caracterizado por**:
- (c) después de la etapa (b), la recepción y el almacenamiento, por la unidad de registro de desplazamiento (3), de segundos datos lógicos en ella,
 (d) de forma selectiva entregar a la unidad de excitación (7), por la unidad de multiplexación (6), uno de los
 20 primeros datos lógicos que están almacenados en la unidad de retención de datos (5) y los segundos datos lógicos que están almacenados en la unidad de registro de desplazamiento (3); y
 (e) la conversión, por la unidad de excitación (7), de dicho uno de los primeros datos lógicos y los segundos datos lógicos recibidos, en una salida de excitación que se proporciona al dispositivo de emisión de luz.
- 25 2. El método de acuerdo con la reivindicación 1, **caracterizado por que** la etapa (d) incluye:
- (d1) entregar a la unidad de excitación (7), por la unidad de multiplexación (6), los primeros datos lógicos almacenados en la unidad de retención de datos (5);
 (d2) después de la sub-etapa (d1), entregar a la unidad de excitación (7), por la unidad de multiplexación (6),
 30 los segundos datos lógicos almacenados en la unidad de registro de desplazamiento (3); y
 (d3) después de la sub-etapa (d2), entregar a la unidad de excitación (7), por la unidad de multiplexación (6), los primeros datos lógicos almacenados en la unidad de retención de datos (5); y
- en donde los primeros datos lógicos enviados en la sub-etapa (d3) y la sub-etapa (d1) son los mismos primeros
 35 datos lógicos que se almacenan en la unidad de retención de datos (5) en la misma etapa (b).
3. El método de acuerdo con la reivindicación 2, **caracterizado además por que**:
- la etapa (e) incluye:
- 40 (e1) durante la sub-etapa (d1), la conversión, por la unidad de excitación (7), de los primeros datos lógicos en una primera salida de excitación constante que se proporciona al dispositivo emisor de luz durante un primer periodo de tiempo predeterminado;
 (e2) durante la sub-etapa (d2), la conversión, por la unidad de excitación (7), de los segundos datos lógicos
 45 en una segunda salida de excitación constante que se proporciona al dispositivo emisor de luz durante un segundo periodo de tiempo predeterminado; y
 (e3) durante la sub-etapa (d3), la conversión, por la unidad de excitación (7), de los primeros datos lógicos en la primera salida de excitación constante que se proporciona al dispositivo emisor de luz durante un tercer periodo de tiempo predeterminado; y
 50
- en donde el segundo periodo de tiempo predeterminado es más corto que la suma del primer periodo de tiempo predeterminado y el tercer periodo de tiempo predeterminado.
4. El método de acuerdo con una cualquiera de las reivindicaciones 1 a 3, en el que el sistema de excitación incluye además un bloque de control (1) que controla las operaciones de la unidad de registro de desplazamiento (3), la
 55 unidad de retención de datos (5), la unidad de multiplexación (6) y la unidad de excitación (7), dicho método **caracterizado además por**:
- recibir, por el bloque de control (1), los datos lógicos fuente compuestos por un número M de bits de brillo, los
 60 datos lógicos fuente indicando uno de 2^M niveles de brillo, donde M es un número entero y $M \geq 2$, teniendo los bits de brillo diferente orden de bits y estando clasificados en un primer y un segundo grupo de bits, siendo el orden de bit de cada uno de los bits de brillo del primer grupo de bits siendo mayor que el de cada uno de los bits de brillo del segundo grupo de bits;
 dividir, por el bloque de control (1), los datos lógicos fuente en M conjuntos de datos lógicos, cada uno de ellos
 65 correspondiente a cada uno de los bits de brillo; y
 entregar, por el bloque de control (1), los M conjuntos de datos lógicos tras la división en una secuencia de salida

tal que cada conjunto de datos lógicos cuyo bit de brillo correspondiente está clasificado en el primer grupo de bits sirve como los primeros datos lógicos, y cada conjunto de datos lógicos cuyo bit de brillo correspondiente está clasificado en el segundo grupo de bits sirve como los segundos datos lógicos.

5 5. El método de acuerdo con la reivindicación 4, **caracterizado por que** $M \geq 3$, y en la secuencia de entrega, al menos un conjunto de datos lógicos cuyo bit de brillo correspondiente está clasificado en el segundo grupo de bits se dispone entre dos conjuntos de datos lógicos cuyos bits de brillo correspondientes están clasificados en el primer grupo de bits.

10 6. El método de acuerdo con la reivindicación 5, en el que los órdenes de bits de los bits de brillo se definen como números enteros que van desde 0 a $M-1$, dicho método **se caracteriza** además **por** satisfacer:

$$2^{k_1}T_2 \geq 2T_1 \quad \text{y} \quad 2^{k_2}T_2 < 2T_1$$

15 en donde T_1 representa una duración de tiempo requerido para recibir y almacenar uno de los primeros datos lógicos en la etapa (a) y los segundos datos lógicos en la etapa (c), T_2 representa una duración de tiempo durante el que se proporciona salida de excitación al dispositivo emisor de luz cuando la salida de excitación se convierte a partir de los segundos datos lógicos que corresponden al conjunto de datos lógicos cuyo bit de brillo correspondiente tiene el orden de bit de 0, k_1 representa el orden de bit de uno cualquiera de los bits de brillo clasificados en el primer grupo de bits, y k_2 representa el orden de bit de uno cualquiera de los bits de brillo clasificados en el segundo grupo de bits;
 20 y
 en donde la duración total de tiempo de salida de excitación proporcionada al dispositivo emisor de luz es $2^k T_2$ cuando la salida de excitación se convierte a partir del conjunto de datos lógicos cuyo bit de brillo correspondiente tiene el orden de bit de k.

25 7. El método de acuerdo con la reivindicación 6, **caracterizado** además **por** satisfacer $R = 2^{k_{1f-j+1}} - 1$, donde R representa un número de dicho al menos un conjunto de datos lógicos cuyo bit de brillo correspondiente está clasificado en el segundo grupo de bits, k_{1f} representa el orden de bits correspondiente al primero de uno de dichos dos conjuntos de datos lógicos cuyos bits de brillo correspondientes están clasificados en el primer grupo de bits y j representa el orden de bits más bajo entre los órdenes de bits de los bits de brillo clasificados en el primer grupo de bits.
 30

8. El método de acuerdo con la reivindicación 7, **caracterizado por que** $M \geq 4$, y en la secuencia de entrega dicho primer conjunto de dichos dos conjuntos de datos lógicos está dispuesto antes de dicho al menos un conjunto de datos lógicos cuyo bit de brillo correspondiente está clasificado en el segundo grupo de bits y después de otro conjunto de datos lógicos cuyo bit de brillo correspondiente está clasificado en el segundo grupo de bits y tiene el orden de bit de t, satisfaciendo además dicho método: $2^t T_2 = T_1$.
 35

9. Un sistema de excitación para un dispositivo de emisión de luz, que incluye:
 40 una unidad de registro de desplazamiento (3) dispuesta para recibir una señal de reloj y datos lógicos y configurada para almacenar los datos lógicos en ella de acuerdo con la señal de reloj;
 una unidad de retención de datos (5) acoplada a dicha unidad de registro de desplazamiento (3) para la recepción de los datos lógicos almacenados en dicha unidad de registro de desplazamiento (3), y operable para retener de forma selectiva y almacenar en ella los datos lógicos recibidos de dicha unidad de registro de desplazamiento (3);
 45 una unidad de multiplexación (6) acoplada a dicha unidad de retención de datos (5) para la recepción de los datos lógicos almacenados en ella, acoplada a dicha unidad de registro de desplazamiento (3) para la recepción de los datos lógicos almacenados en ella y operable para entregar de forma selectiva uno de los datos lógicos almacenados en dicha unidad de retención (5) y los datos lógicos almacenados en dicha unidad de registro de desplazamiento (3); y
 50 una unidad de excitación (7) acoplada a dicha unidad de multiplexación (6) para recibir los datos lógicos entregados por dicha unidad de multiplexación (6), configurada para convertir los datos lógicos recibidos por ella, en una salida de excitación, y operable para proporcionar la salida de excitación al dispositivo emisor de luz;
 55 estando dicho sistema de excitación **caracterizado por que:** dicha unidad de registro de desplazamiento (3) está configurada para recibir y almacenar los primeros datos lógicos en ella, dicha unidad de retención de datos (5) está configurada para retener y almacenar los primeros datos lógicos almacenados en dicha unidad de registro de desplazamiento (3) y dicha unidad de registro de desplazamiento (3) está configurada para recibir y almacenar los segundos datos lógicos en ella después de que dicha unidad de retención de datos (5) retenga y
 60 almacene los primeros datos lógicos.

10. El sistema de excitación de acuerdo con la reivindicación 9, además **caracterizado por:**
 65 un bloque de control (1) acoplado a dicha unidad de registro de desplazamiento (3), dicha unidad de retención de datos (5), dicha unidad de multiplexación (6) y dicha unidad de excitación (7), en donde dicho bloque de control (1) está configurado para controlar dicha unidad de registro de desplazamiento (3) para recibir y almacenar los

25 primeros datos lógicos en ella, para controlar dicha unidad de retención de datos (5) para retener y almacenar los primeros datos lógicos almacenados en dicha unidad de registro de desplazamiento (3) y para controlar dicha unidad de registro de desplazamiento (3) para recibir y almacenar los segundos datos lógicos en ella después de que dicha unidad de retención de datos (5) retenga y almacene los primeros datos lógicos.

- 5
11. El sistema de excitación de acuerdo con la reivindicación 10, **caracterizado por que:**
- dicho bloque de control (1) está configurado para entregar la señal de reloj a dicha unidad de registro de desplazamiento (3);
- 10 dicho bloque control (1) está configurado para entregar una señal de activación de retención para dicha unidad de retención de datos (5) y dicha unidad de retención de datos (5) está configurada para retener y almacenar en ella los primeros datos lógicos de acuerdo con la señal de activación de retención;
- dicho bloque de control (1) está configurado para entregar una señal de selección para dicha unidad de multiplexación (6) y dicha unidad de multiplexación (6) está configurada para entregar a dicha unidad de
- 15 excitación (7) uno de los primeros datos lógicos y los segundos datos lógicos de acuerdo con la señal de selección; y
- dicho bloque de control (1) está configurado para entregar una señal de activación de salida para dicha unidad de excitación (7) y dicha unidad de excitación (7) está configurada para proporcionar la salida de excitación al dispositivo emisor de luz de acuerdo con la señal de activación de salida.
- 20

12. El sistema de excitación de acuerdo con la reivindicación 11, **caracterizado además por que** dicho bloque de control (1) incluye:

25 una unidad de control (2) configurada para generar la señal de reloj, la señal de activación de salida y una señal de retención, y generar los primeros datos lógicos y los segundos datos lógicos cada uno teniendo al menos un valor lógico, la señal de reloj siendo entregada durante la entrega de uno de los primeros datos lógicos y los segundos datos lógicos y teniendo un número de ciclos de reloj asociados a un número de valores lógicos de dichos uno de los primeros datos lógicos y los segundos datos lógicos; y

30 una unidad de conmutación (4) acoplada a dicha unidad de control (2) para recibir la señal de retención y una de la señal de reloj y la señal de activación de salida, configurada para entregar la señal de activación de retención y configurada para entregar la señal de selección según la señal de retención en respuesta a un desencadenante por dicha una de la señal de reloj y la señal de activación de salida.

- 35 13. El sistema de excitación de acuerdo con la reivindicación 12, **caracterizado además por que** dicha unidad de retención de datos (5) está configurada para recibir además la señal de retención y para almacenar los primeros datos lógicos de acuerdo con la señal de activación de retención y la señal de retención.

14. El sistema de excitación de acuerdo con la reivindicación 13, además **caracterizado por que:**

40 dicha unidad de conmutación (4) está configurada para recibir la señal de reloj y la señal de retención, y está configurada para entregar la señal de activación de retención que tiene un nivel lógico ajustado para ser opuesto al de la señal de retención en respuesta a un flanco positivo de la señal de reloj; y

dicha unidad de conmutación (4) está configurada para responder a un flanco negativo de la señal de retención para:

45 entregar la señal de selección que permite a la unidad de multiplexación (6) entregar los primeros datos lógicos cuando la señal de activación de retención tiene uno de entre un nivel lógico alto y un nivel lógico bajo; e

50 invertir un nivel lógico de la señal de selección cuando la señal de activación de retención tiene el otro del nivel lógico alto y el nivel lógico bajo.

15. El sistema de excitación de acuerdo con la reivindicación 13, además **caracterizado por que:**

55 dicha unidad de conmutación (4) está configurada para recibir la señal de retención y la señal de activación de salida y está configurada para entregar la señal de activación de retención, que es la misma que la señal de activación de salida; y

dicha unidad de conmutación (4) está configurada para responder a un flanco negativo de la señal de activación de salida para:

60 entregar la señal de selección que activa la unidad de multiplexación (6) para la entrega de los primeros datos lógicos cuando la señal de retención tiene uno entre un nivel lógico alto y un nivel lógico bajo; y

entregar la señal de selección que activa la unidad de multiplexación (6) para entregar los segundos datos lógicos cuando la señal de retención tiene el otro del nivel lógico alto y un nivel lógico bajo.

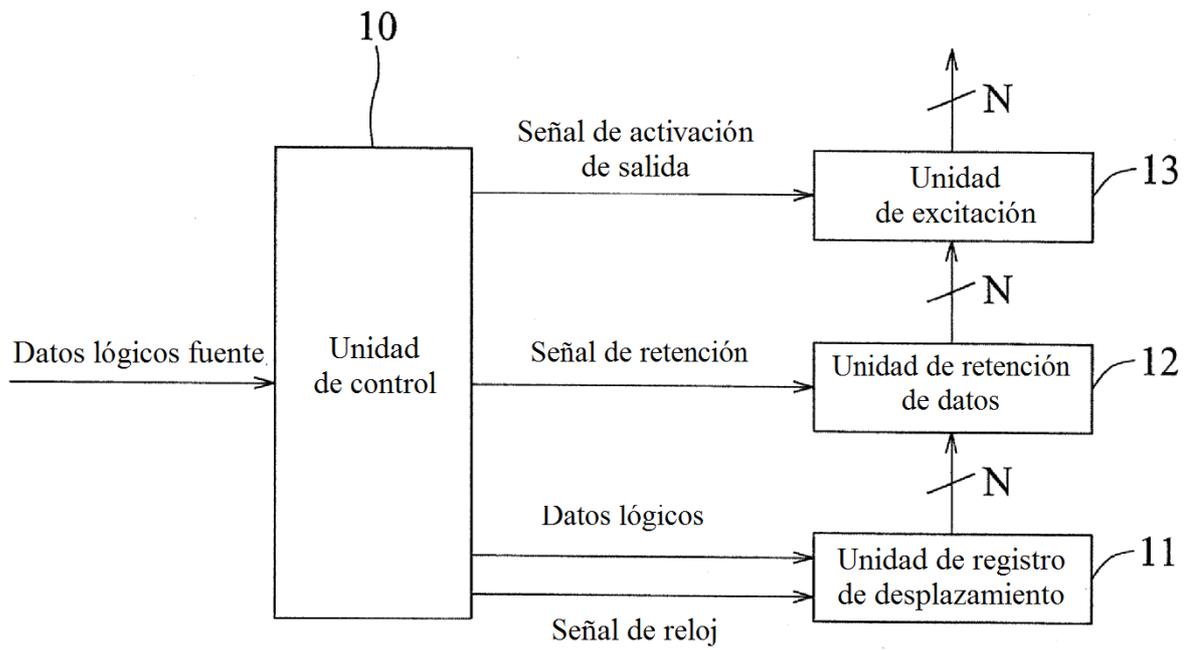


FIG.1
TÉCNICA ANTERIOR

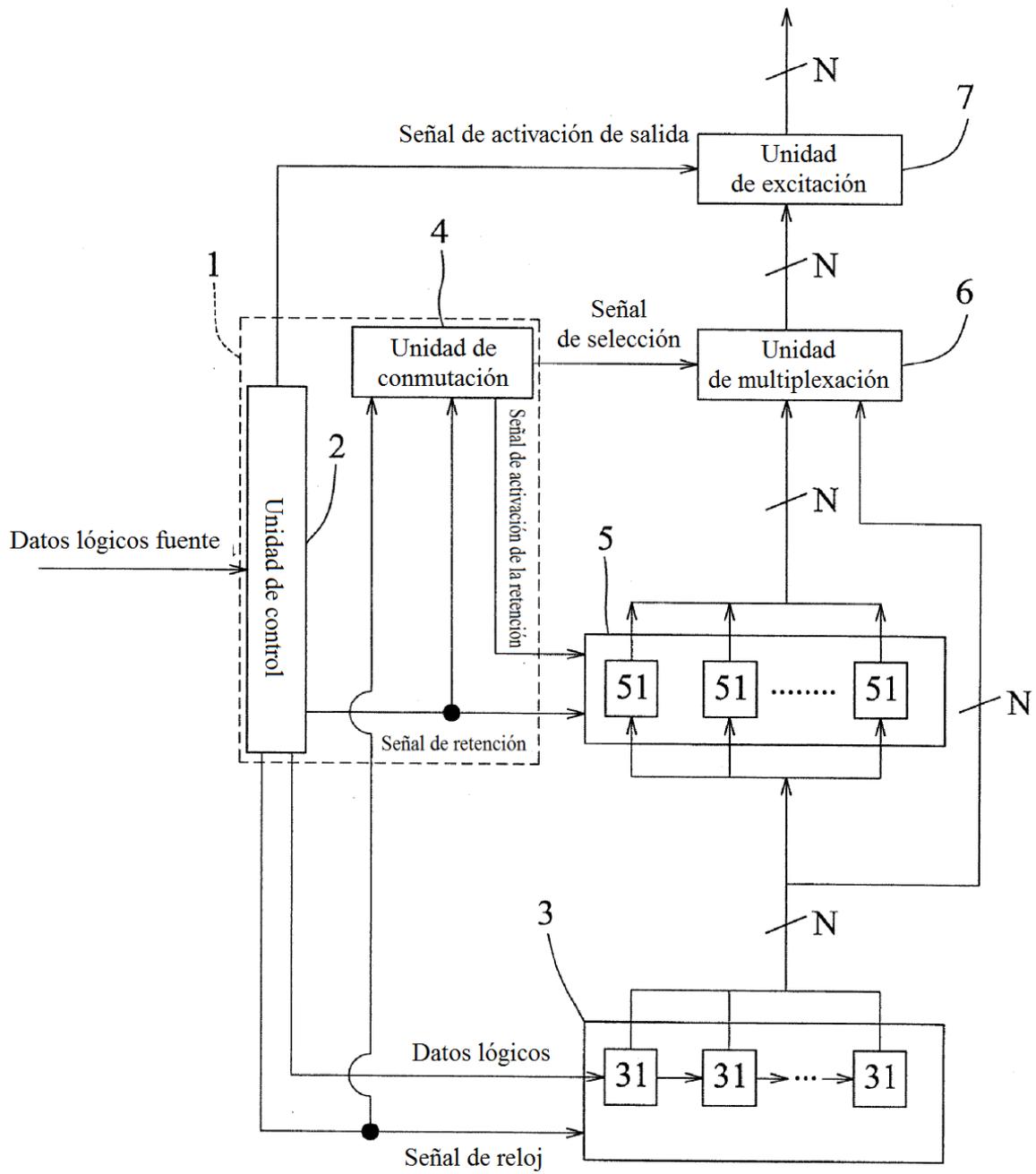


FIG.4

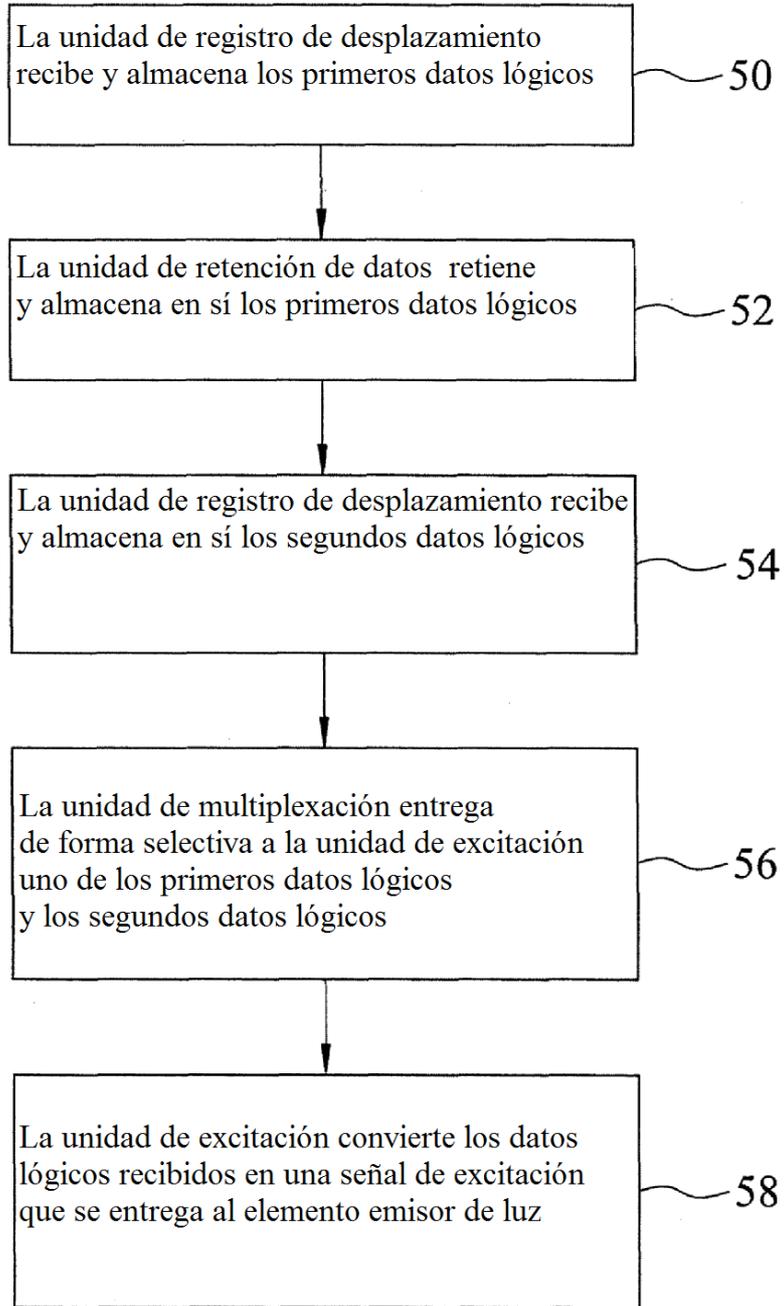


FIG.5

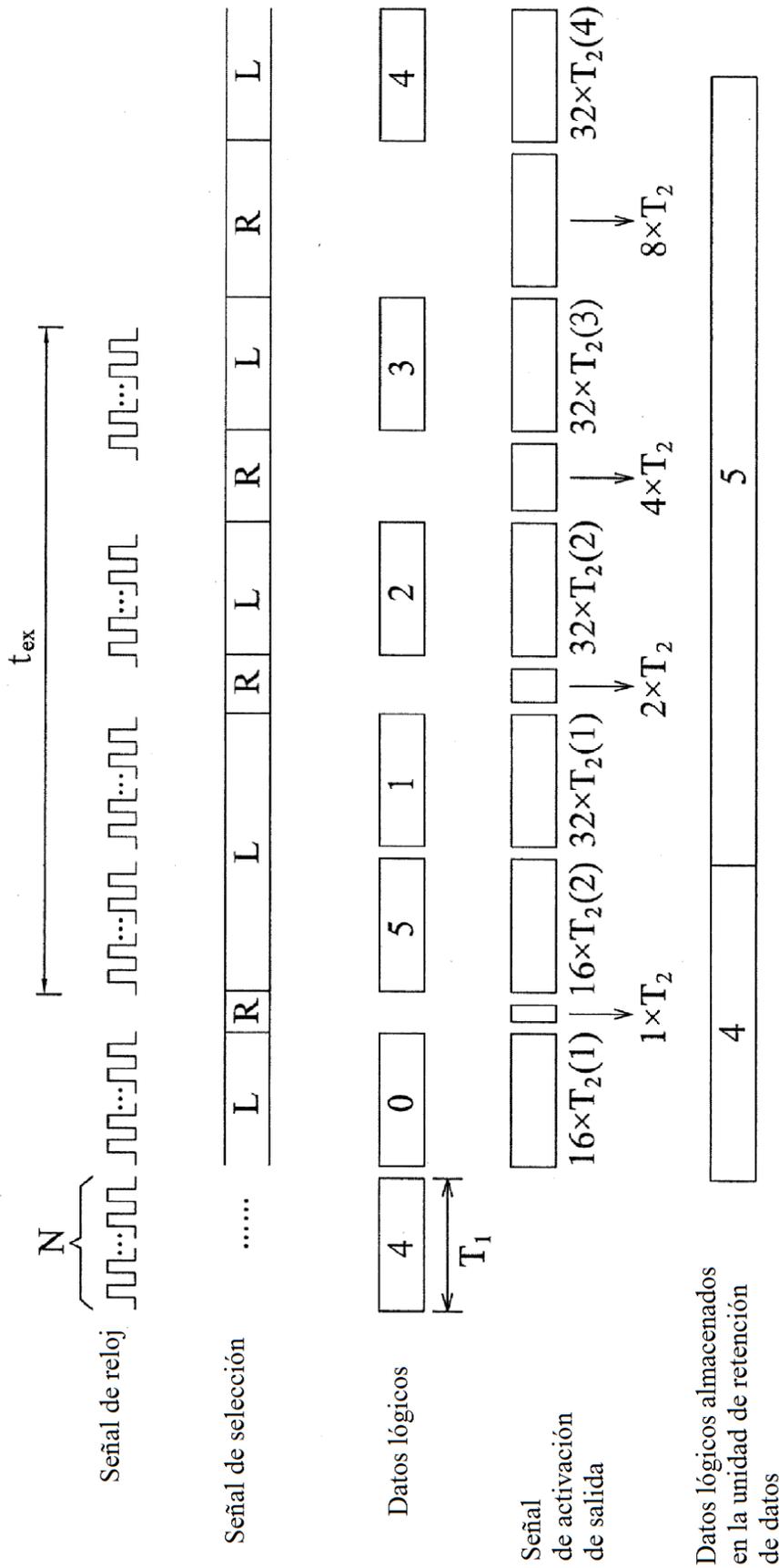


FIG.6

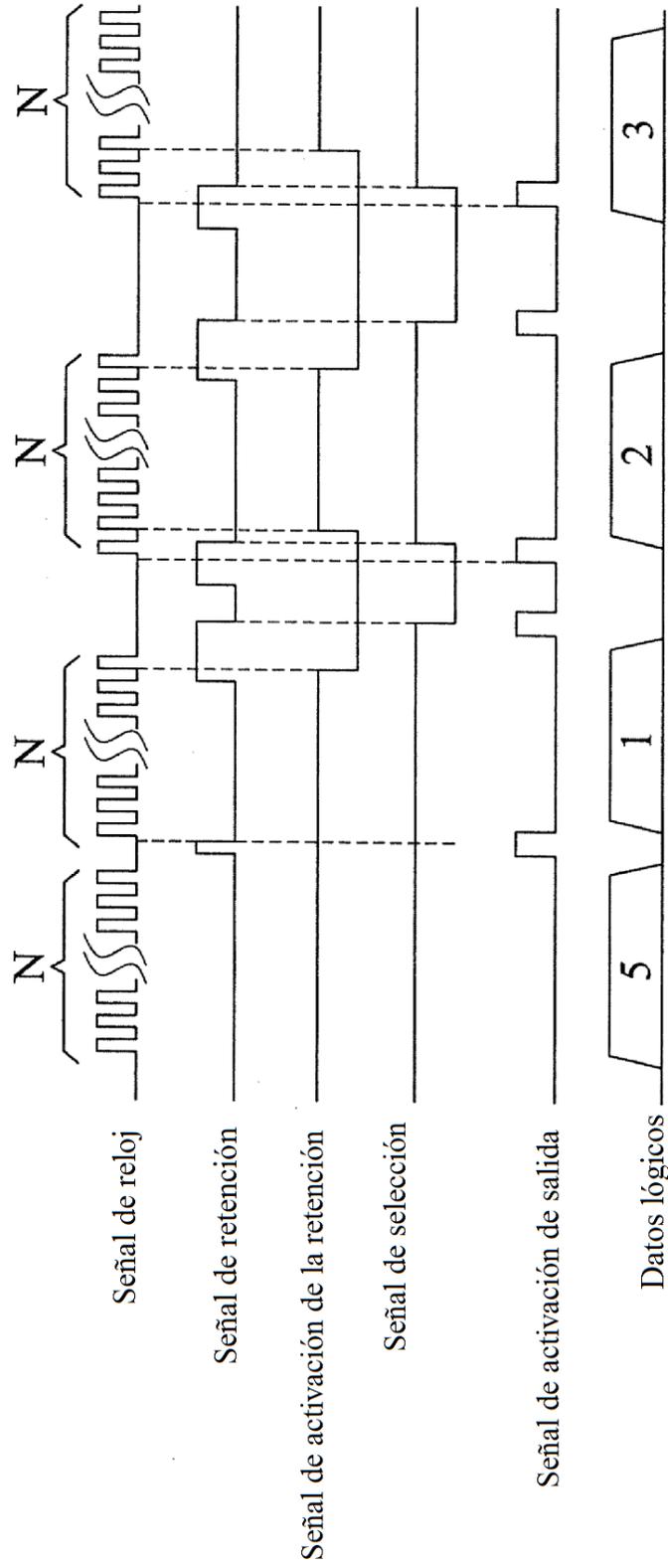


FIG.7

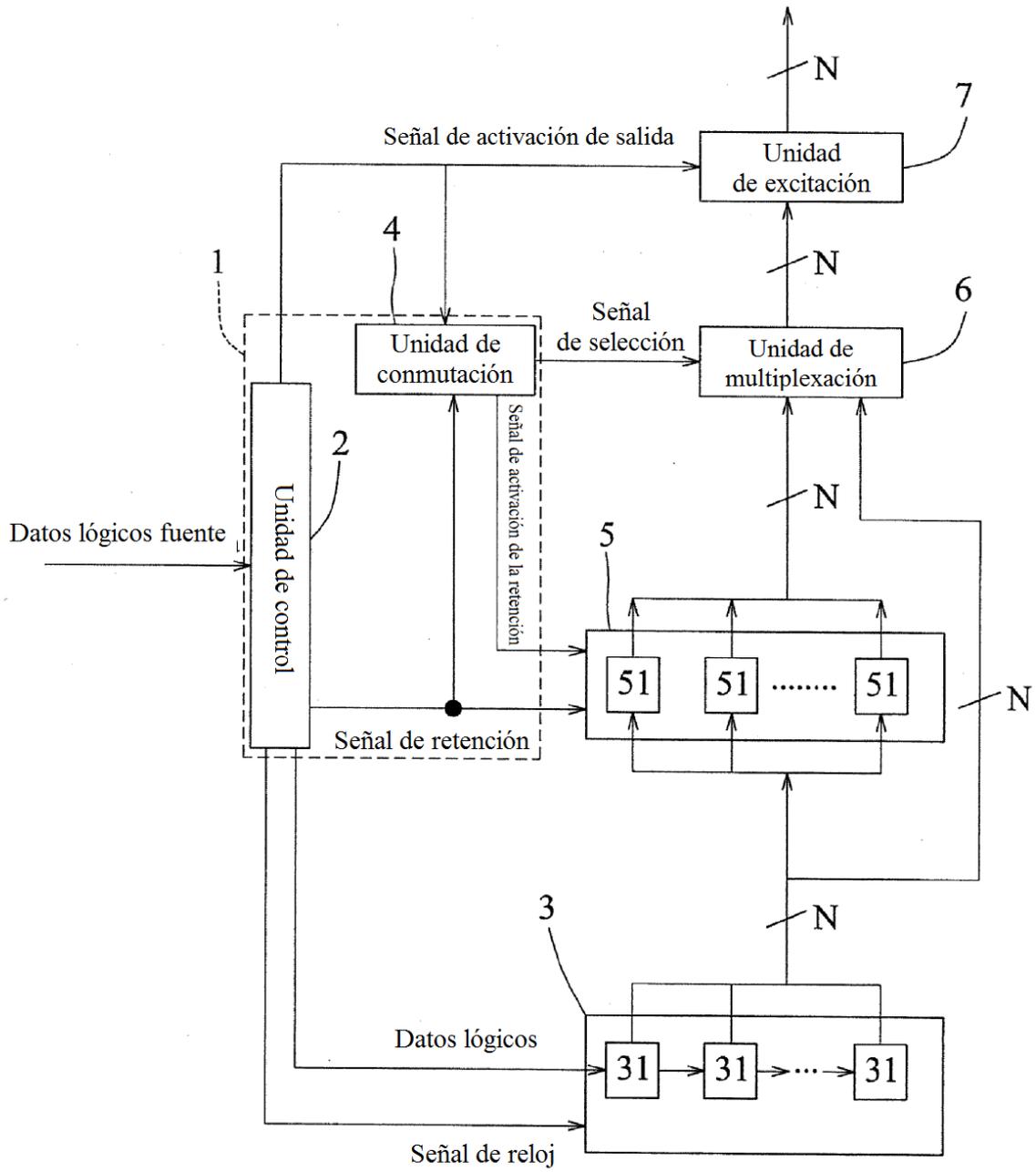


FIG.8

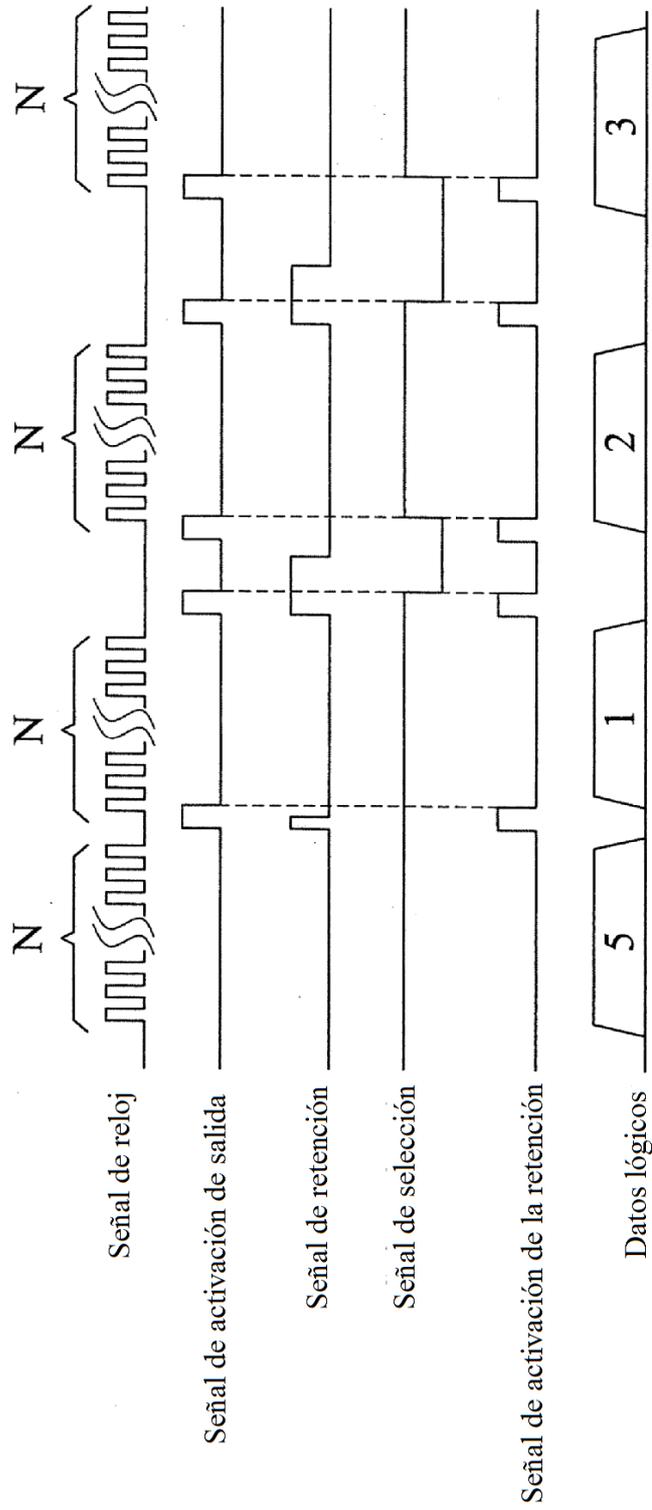


FIG.9

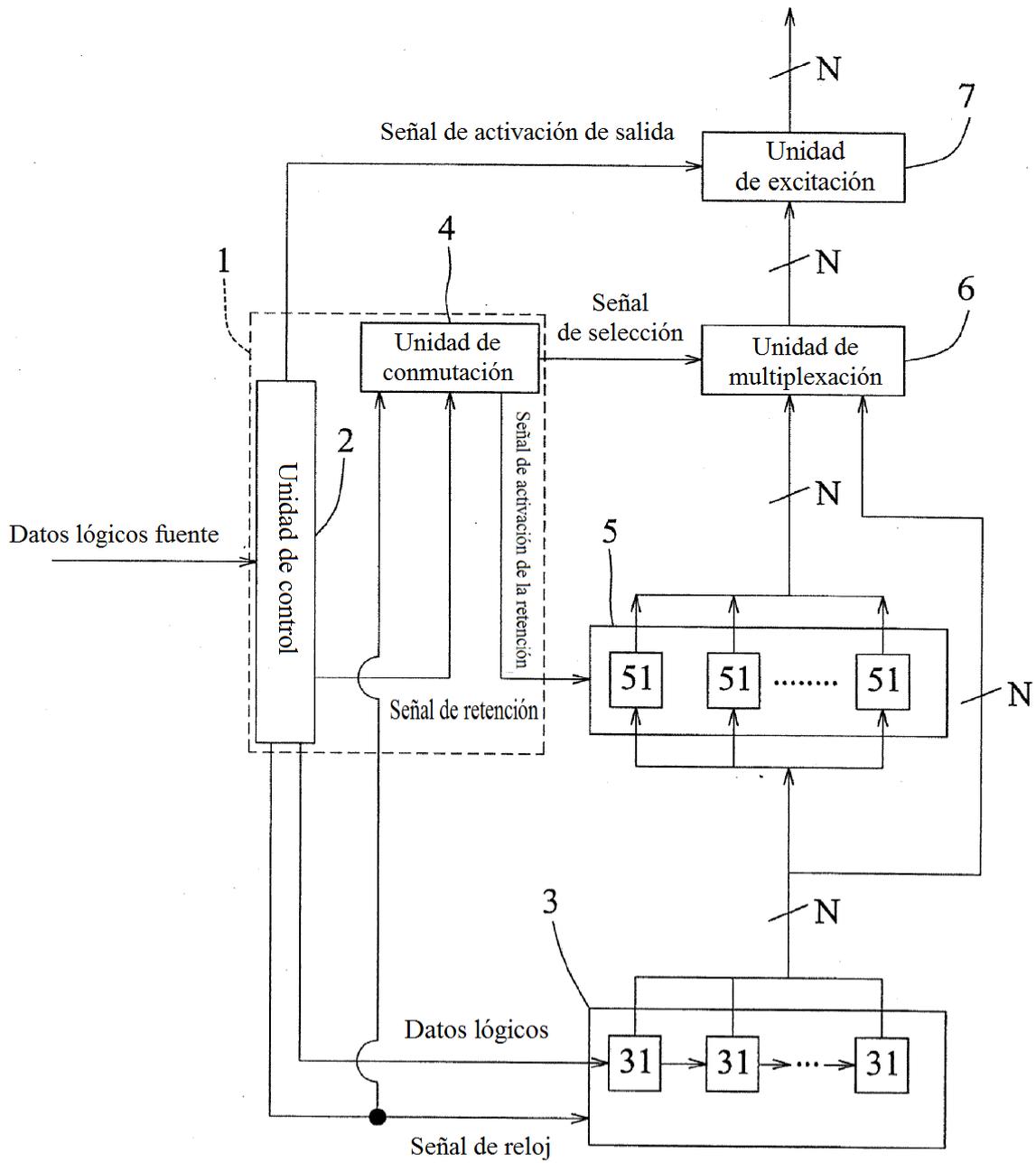


FIG.10

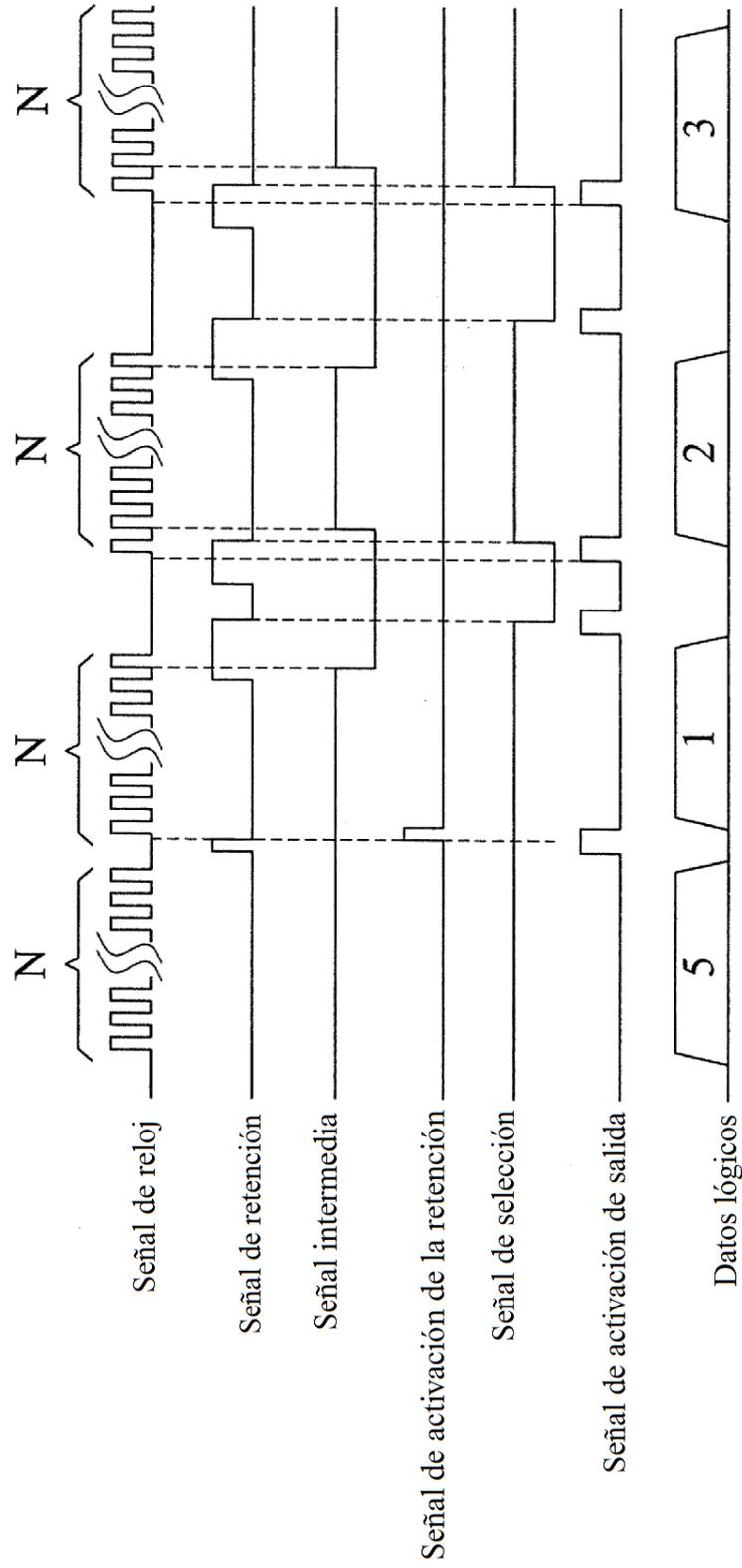


FIG.11

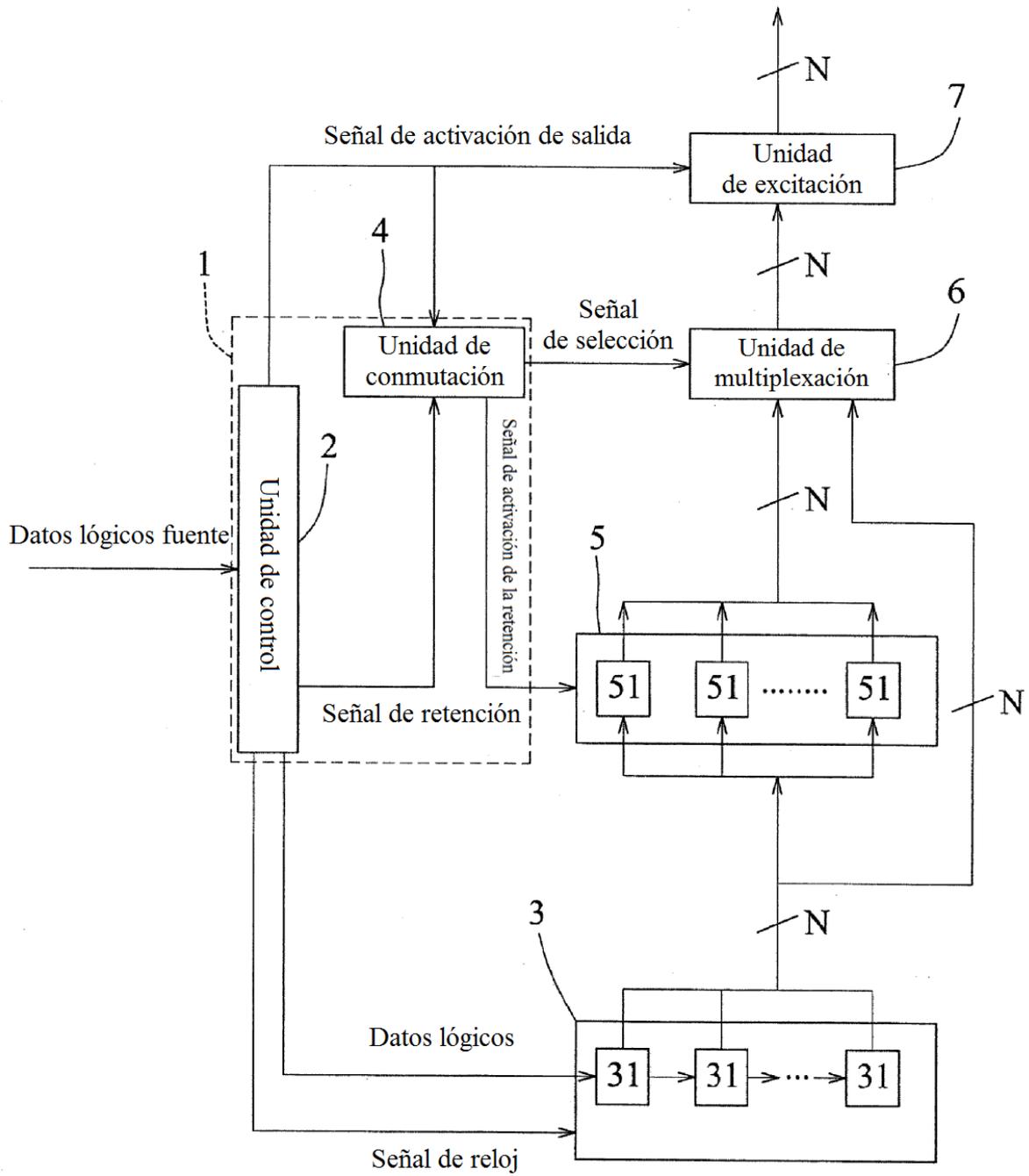


FIG.12

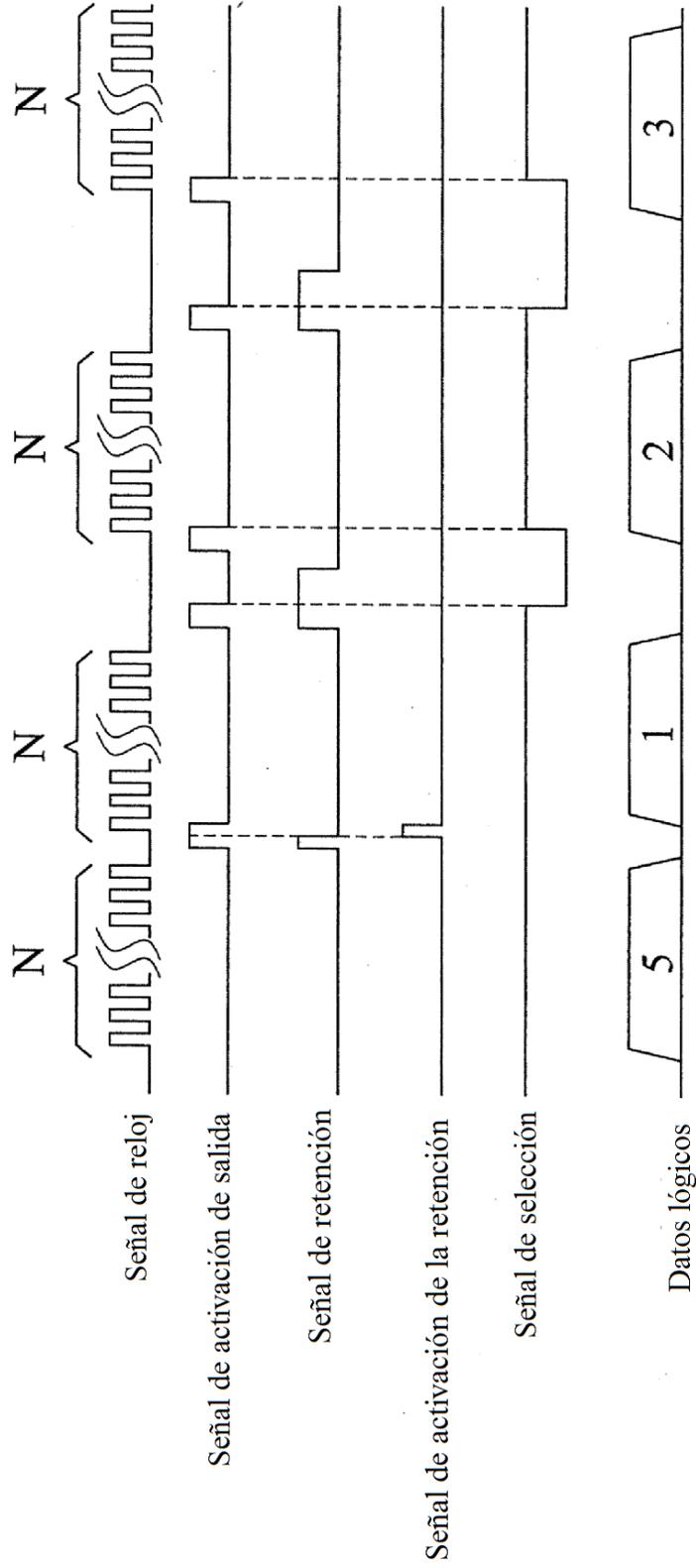


FIG.13