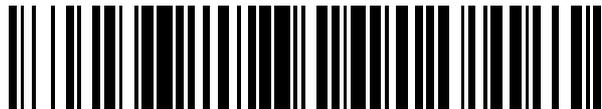


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 660 471**

51 Int. Cl.:

H01L 27/085 (2006.01)

H01L 29/861 (2006.01)

H01L 29/808 (2006.01)

H01L 29/739 (2006.01)

H01L 29/08 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **03.04.2009 E 15161312 (2)**

97 Fecha y número de publicación de la concesión europea: **13.12.2017 EP 2916359**

54 Título: **Dispositivo de transistor bipolar de compuerta aislada que comprende un transistor de efecto de campo de compuerta aislado conectado en serie con un transistor de efecto de campo de ensamblaje que tiene un contacto de drenaje modificado**

30 Prioridad:

04.04.2008 SE 0800764

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

22.03.2018

73 Titular/es:

**EKLUND, KLAS-HÅKAN (100.0%)
Norrtäljevägen 14D
753 27 Uppsala, SE**

72 Inventor/es:

EKLUND, KLAS-HÅKAN

74 Agente/Representante:

ISERN JARA, Jorge

ES 2 660 471 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

5 Dispositivo de transistor bipolar de compuerta aislada que comprende un transistor de efecto de campo de compuerta aislado conectado en serie con un transistor de efecto de campo de ensamble que tiene un contacto de drenaje modificado

10 La presente invención se refiere a un novedoso dispositivo de transistor bipolar de compuerta aislada en el que un primer transistor de efecto de campo de compuerta aislada está conectado en serie con un segundo transistor de efecto de campo con una región de contacto de drenaje modificada.

15 Un transistor LDMOS de alta tensión y alta corriente es un dispositivo muy común utilizado en aplicaciones de energía inteligente.

20 Para un dispositivo de este tipo, Sel Colak ha presentado la importancia de la superposición de compuerta sobre la región de deriva para alta corriente y baja resistencia a la sobrecarga, "Effects of drift region parameters on the static properties of power LDMOS", IEEE transaction on electron devices, vol. ED-28 No.12, pp1455-1466 (Dec. 1981). Incluso si la superposición de la compuerta es muy positiva por tener una alta corriente y baja resistencia, causa una muy alta capacitancia de entrada que varía mucho con la tensión de la compuerta y limita el rendimiento de alta frecuencia.

25 La patente estadounidense 5,396,085 otorgada a Baliga presenta una combinación en serie de un MOSFET de silicio con un JFET, particularmente un JFET de carburo de silicio en el que dos dispositivos discretos se unen para formar un sustrato compuesto de silicio y carburo de silicio.

30 Un problema con la patente estadounidense anterior es que es difícil integrar en un componente combinado en un sustrato junto con otros componentes, ya que requiere una alta tensión y, por lo tanto, un enfriamiento eficiente. No se puede usar y combinar con funciones de control de bajo voltaje.

35 Por lo tanto, un objeto de la presente invención es proporcionar un novedoso dispositivo de transistor bipolar de compuerta aislada en el que un primer transistor de efecto de campo de compuerta aislada está conectado en serie con un segundo transistor de efecto de campo que evita los inconvenientes de los componentes conocidos anteriores, y que permite mayor corriente, menor resistencia de encendido y eso requiere menor potencia para funcionar dentro de un área determinada. Además, estos dispositivos IGBT son completamente inmunes al bloqueo, lo cual es una preocupación importante en todos los dispositivos IGBT.

40 Este objeto de la invención se obtiene por medio de un dispositivo transistor bipolar de compuerta aislada como se define en las siguientes reivindicaciones 1 o 2.

Adicionalmente, el documento US 4,663,547 presenta un MOSFET en serie con un JFET, que controla un flujo de corriente a través de un tiristor controlado normalmente en el campo.

El documento US 5,072,268 muestra un transistor bipolar de compuerta MOS, y describe una región de drenaje similar a la figura 4a en la presente solicitud, una región n+ rodeada por una región p+ véase figura 1.

45 La invención se describirá ahora con más detalle con la ayuda de los dibujos adjuntos, en los que la figura 1 muestra una vista esquemática de una implementación básica de un transistor LDMOS de alta tensión. La figura 2 muestra el principio de la conexión de un transistor MOS, y un transistor JFET acoplado en serie útil para comprender la presente invención, la Fig. 3 muestra un ejemplo de un dispositivo sobre el cual se basa la presente invención, las Figs. 4a y 4b muestran dos realizaciones alternativas de la invención, con base en el dispositivo mostrado en la fig. 3, las Figs. 5a y 5b muestran dos transistores JFET alternativos correspondientes al transistor JFET mostrado en el lado derecho de la Fig. 2, que no se encuentra dentro del alcance de la invención, y, la Fig. 6 muestra una alternativa donde el JFET ha sido reemplazado por un MESFET, que tampoco se encuentra dentro del alcance de la invención.

55 En la Fig. 1 se muestra un acoplamiento básico típico de un transistor LDMOS de alta tensión de acuerdo con la patente US 5,146,298 por el mismo inventor que la presente solicitud. Este componente se puede ver como un acoplamiento interno en serie de un transistor MOS y un JFET. La fuente JFET, Sj, es también el drenaje, Dm, del transistor MOS interno. El material de la compuerta está hecho de polisilicio que, de acuerdo con la figura, se superpone al área del canal. El JFET es decisivo para la corriente máxima. Para obtener una corriente alta, es importante que la resistencia Sj de origen sea pequeña. En una compuerta superpuesta, una tensión positiva en la compuerta aumentará la concentración de portadores de carga en la fuente Sj, y por lo tanto reducirá la resistencia en el área, lo que resulta en un aumento de corriente. La corriente máxima depende en gran medida de la magnitud de la superposición. Para una superposición de 1.0 μm , se obtiene una corriente de 200 mA, que se reducirá a aproximadamente 140 mA si la superposición es solo de 0.1 μm .

65

En la Fig. 2 se muestra el acoplamiento principal de un MOS en serie con un JFET. La resistencia de la fuente en el JFET se hace muy baja con una difusión n+ y de manera similar la difusión n+ de drenaje para el transistor MOS. Si el componente compuesto debe ser capaz de resistir una alta tensión, es necesario que la tensión de pinzamiento, V_p , del JFET sea menor que la tensión disruptiva, V_{br} , del componente MOS. El JFET está comprimido, es decir, cortado, a una tensión que es menor que la tensión disruptiva del transistor MOS. Para el mismo ancho, W , de los componentes, la corriente se incrementa a 250 mA. Si, por otro lado, el ancho, W , del transistor MOS se hace 3-4 veces mayor, la corriente se incrementa a más de 350mA. Si el transistor MOS se ensancha, solo se necesitan 2-3V en la compuerta para controlar el transistor, en comparación con 10-15V si los transistores tienen el mismo ancho. Esto significa que el componente puede manejarse con la misma tensión que las lógicas de control sin la necesidad de una fuente de tensión adicional, lo cual es una gran ventaja, y también que la potencia necesaria para impulsar el componente se puede reducir con un factor de 4-5.

Por ejemplo, cuando el ancho del transistor de efecto de campo de compuerta aislada se hace 4 veces más ancho que el ancho del JFET, la capacidad de entrada del dispositivo combinado será 4 veces mayor y la tensión de compuerta se reducirá de 12V a 3V. La energía almacenada en el condensador de entrada es proporcional a CV^2 , por lo que la potencia de entrada para la conmutación se reducirá en un factor de 4.

Además, a medida que aumenta la distancia entre el drenaje del JFET y la compuerta del transistor de efecto de campo de compuerta aislada, se reduce la capacitancia entre el drenaje y la compuerta, lo que es muy importante para el rendimiento de alta frecuencia.

Como el JFET se pellizcará mucho antes de que se produzca una tensión disruptiva en el transistor de efecto de campo de compuerta aislado, esto estará protegido contra tensiones más altas.

Esto reducirá drásticamente el campo eléctrico cerca de la compuerta del transistor de efecto de campo de compuerta aislada y mejorará la confiabilidad. Un campo alto cerca de la compuerta es una gran preocupación de confiabilidad en los actuales dispositivos LDMOS.

En la figura 3 se muestra una realización preferida de una disposición de transistor según la invención, que muestra una vista esquemática de un transistor MOS 1, como el primer transistor de efecto de campo de compuerta aislada, en serie con un transistor 2 de efecto de campo de unión, como segundo transistor de efecto de campo, en la misma microplaqueta de acuerdo con una realización preferida de la presente invención. La figura 3 en el lado derecho muestra una vista en sección transversal de un JFET 2 lateral en serie con un transistor MOS 1, en el lado izquierdo, formado en la misma microplaqueta de semiconductor.

Un sustrato 10 de un material de un primer tipo de conductividad consiste en una capa epitaxial con un espesor de alrededor de 12 μm y una resistividad de 10-15 ohmcm en la parte superior de un sustrato altamente dopado con un espesor de alrededor de 500 μm . Una bolsa 11 para el JFET de material del segundo tipo de conductividad es, por ejemplo, material de tipo n dopado a $5 \cdot 10^{12}$ átomos por cm^2 . La bolsa 11 se extiende a una profundidad de alrededor de 4 μm debajo de una superficie 9 de la microplaqueta 8. Los niveles y las dimensiones de dopaje indicados aquí y a continuación corresponden a un dispositivo con una tensión de ruptura de aproximadamente 200 V.

Una bolsa 111 similar está formada para el transistor MOS en el lado izquierdo en la Fig. 3.

Dentro o en parte dentro del receptáculo 11, y la bolsa 111, una región 12 y 121 del cuerpo del primer tipo de conductividad, por ejemplo, material de tipo p, está dopada entre 10^{17} y 10^{20} átomos por cm^3 . La región 12 del cuerpo típicamente se extiende a una profundidad de 1 μm o menos por debajo de la superficie 9 de la microplaqueta 8. Dentro de la región del cuerpo para el transistor 121 MOS, una región 131 de fuente del segundo tipo de conductividad es, por ejemplo, un material de tipo n+, dopado entre 10^{18} y 10^{20} átomos por cm^3 . La zona 131 de origen se extiende, por ejemplo, a 0.4 μm o menos por debajo de la superficie 9 de la microplaqueta 8. Las regiones 12 y 121 del cuerpo pueden estar conectadas eléctricamente al sustrato 10 extendiendo las regiones 12 y 121 del cuerpo fuera de las regiones 11 y 111 de la bolsa.

Una región de contacto de drenaje 16 y 161 del segundo tipo de conductividad, por ejemplo, un material de tipo n+, está dopada entre 10^{18} y 10^{20} átomos por cm^3 . La región de contacto de drenaje 16 y 161 se extiende, por ejemplo, 0.4 μm o menos por debajo de la superficie 9 de la microplaqueta 8. Una región de contacto de fuente para el JFET 16A similar a la región 16 de contacto de drenaje se coloca entre la región 12 de cuerpo y la región 16 de contacto de drenaje.

Un contacto de fuente 171 para el transistor MOS, lado izquierdo en la figura 3, se coloca en la superficie 9 en contacto eléctrico con la región 121 del cuerpo y una parte de la región de contacto con la fuente de la región 131 fuente. Un contacto 191 de drenaje para el transistor MOS se coloca sobre la superficie 9 en contacto con la región de contacto 161 de drenaje. Se coloca una capa aislante 7 sobre la superficie 9 de la microplaqueta 8.

Se coloca un contacto de compuerta 181 sobre la capa 7 aislante sobre una porción de región de canal de la región 121 de cuerpo, como se muestra. Se coloca un contacto 17 corporal sobre la superficie 9 en contacto con la región

12 del cuerpo. Un contacto 19 de drenaje se coloca sobre la superficie 9 en contacto con la zona de contacto de drenaje 16.

5 Un contacto 19A de fuente se coloca sobre la superficie 9 en contacto con la fuente 16A de difusión de contacto. Entre la región 16A de contacto de fuente para el JFET, el lado derecho de la figura 3, y la región de contacto de drenaje 16 hay una región 14 del segundo tipo de conductividad. La región 14, por ejemplo, material de tipo n, está dopada a $2 \cdot 4 \cdot 10^{12}$ átomos por cm^2 . La región 14 se extiende hacia abajo desde la superficie 9 hasta una profundidad, por ejemplo, $0.4 \mu\text{m}$. Situado debajo de la región 14 hay una región 15 del primer tipo de conductividad. La región 15, por ejemplo, material de tipo p, está dopada a $5 \cdot 10^{12}$ átomos por cm^2 . La región 15 se extiende desde la superficie 9 hacia abajo hasta una profundidad de, por ejemplo, $1 \mu\text{m}$. La región 15 está conectada a tierra en la superficie 9 en un plano no mostrado en la fig. 3. Una distancia 6 entre el borde de la región 16A de contacto de fuente y un borde de la región 16 de contacto de drenaje es, por ejemplo, de $6 \mu\text{m}$. Se utiliza una línea 20 de simetría para colocar una segunda mitad del transistor en una imagen especular a la primera mitad mostrada en la figura 3.

15 El contacto de drenaje 191 del transistor MOS, en el lado izquierdo de la figura 3, se conectará eléctricamente al contacto de fuente 19A del JFET, en el lado derecho de la figura 3, y constituirá así un transistor MOS en serie con un JFET.

20 En la realización específica en la presente solicitud, cuando el área 16 de contacto de drenaje n+ para el JFET en la figura 3 está rodeada por áreas de contacto p+ que están conectadas eléctricamente con el área n+ o el área n+ simplemente se reemplaza por un área p+, como se muestra en las Figs. 4a y 4b, respectivamente, dos transistores IGBT diferentes pueden implementarse fácilmente.

25 Además de una mayor capacidad de corriente, estos dispositivos tienen las mismas ventajas de rendimiento que las ventajas de los compuestos descritos anteriormente.

Además, estos dispositivos IGBT son completamente inmunes al bloqueo, lo cual es una preocupación importante en todos los dispositivos IGBT.

30 La acción bipolar tendrá lugar en el dispositivo 2 como se muestra en la Fig. 3. En el dispositivo 2 no hay estructura pnpn. La estructura de muerte 121 (p) bajo 131 (n) se ha movido al dispositivo 1.

35 El JFET 2 en la figura 3 es en realidad una conexión paralela de un JFET de una sola cara, capa 14 de canal y capa 15 de compuerta, y un JFET de doble cara, capa 11 de canal y capas 15 y 10 de compuerta.

40 En la figura 5a se muestra esquemáticamente cómo el segundo transistor de efecto de campo puede estar compuesto de varias capas Ntop y Ptop dispuestas verticalmente para formar canales y compuertas de transistores de campo de unión paralelos con una región fuente común. De manera similar, la figura 5b muestra esquemáticamente cómo el segundo transistor de efecto de campo puede estar compuesto de varias capas Ntop y Ptop dispuestas horizontalmente para formar canales y compuertas de transistores de campo de unión paralelos con una región fuente común.

45 Como se indica en la Fig. 2, el JFET también puede implementarse en un enfoque SOI, donde la capa 10 ha sido reemplazada por una capa de óxido. En este enfoque, el JFET es una conexión en paralelo de dos JFET de una sola cara, pero la región 11 de canal también se verá afectada por la capa de óxido inferior, ya que formará un transistor de compuerta aislado adicional en paralelo con los dos JFET.

50 El JFET en la Fig. 2 también podría ser reemplazado por un MESFET, como se muestra en la Fig. 6. El metal está conectado a tierra y, por lo tanto, la capa n se agotará.

REIVINDICACIONES

1. Un dispositivo transistor bipolar de puerta aislada en el que se conecta un primer transistor (1) de efecto de campo de puerta aislada en serie con un segundo transistor de efecto de campo, FET, (2),

5 en el que el segundo transistor (2) de efecto de campo es un transistor de efecto de campo de unión JFET, y tiene una región (16) de contacto de drenaje modificado que está comprendido puramente de una primera área de contacto de tipo conductividad, el primer tipo de conductividad es opuesto a un segundo tipo de conductividad de una bolsa (11) que rodea la región (16) de contacto de drenaje modificada,

10 en el que el transistor (2) de efecto de campo de unión tiene una región (16A) de contacto de fuente dopada pesadamente del segundo tipo de conductividad que se conecta eléctricamente a una región (161) de contacto de drenaje dopada pesadamente del segundo tipo de conductividad del primer transistor (1) de efecto de campo de compuerta aislado, en el que tanto el primer transistor (1) de efecto de campo de compuerta aislado como el
15 segundo transistor (2) de efecto de campo con región de contacto de drenaje modificado se incorporan en la región de superficie de un sustrato (10) común, en el que en dicho sustrato común, la región (161) de contacto de drenaje del primer transistor de efecto de campo de compuerta aislada se separa y se aísla de la región (16A) de contacto fuente del transistor de efecto de campo de unión, el primer transistor de efecto de campo de compuerta aislado
20 tiene una región (131) fuente del segundo tipo de conductividad, y en el que la tensión disruptiva del primer transistor (1) de efecto de campo de compuerta aislada es mayor que la tensión de estrangulamiento, V_p , del segundo transistor (2) de efecto de campo.

2. Un dispositivo transistor bipolar de puerta aislada en el que un primer transistor (1) de efecto de campo de compuerta aislada se conecta en serie con un segundo transistor de efecto de campo, FET, (2),

25 en el que el segundo transistor (2) de efecto campo, es un transistor de efecto de campo de unión, JFET, y tiene una región (16) de contacto de drenaje modificada que está comprendida de una segunda área de contacto de tipo de conductividad dopada pesadamente y de una primera área de contacto de tipo de conductividad dopada pesadamente, que rodea la segunda área de contacto de tipo de conductividad dopada pesadamente, el primer tipo
30 de conductividad es opuesto al segundo tipo de conductividad,

en el que el transistor (2) de efecto de campo de unión tiene una región (16A) de contacto fuente dopada pesadamente del segundo tipo de conductividad, que se conecta eléctricamente a una región (161) de contacto de drenaje dopado pesadamente del segundo tipo de conductividad del primer transistor (1) de efecto de campo de
35 compuesto aislado, en el que tanto el primer transistor (1) de efecto de campo de compuesto aislado y el segundo transistor (2) de efecto de campo con región de contacto de drenaje modificado se incorporan en la región de superficie de un sustrato (10) común, en el que dicho sustrato común, la región (161) de contacto de drenaje del primer transistor de efecto de campo de compuerta aislada se separa y aísla de la región de (16A) de contacto fuente del transistor de efecto de campo de unión, el primer transistor de efecto de campo de compuerta aislado
40 tiene una región (131) fuente del segundo tipo de conductividad, y en el que adicionalmente la tensión disruptiva del primer transistor (1) de efecto de campo de compuerta aislada es mayor que la tensión de estrangulamiento, V_p , del segundo transistor (2) de efecto de campo.

3. Un dispositivo transistor bipolar de compuerta aislado de acuerdo con cualquiera de las reivindicaciones 1 y 2, en el que el primer tipo de conductividad es del tipo p y la segunda conductividad es del tipo n.

45

Fig. 1

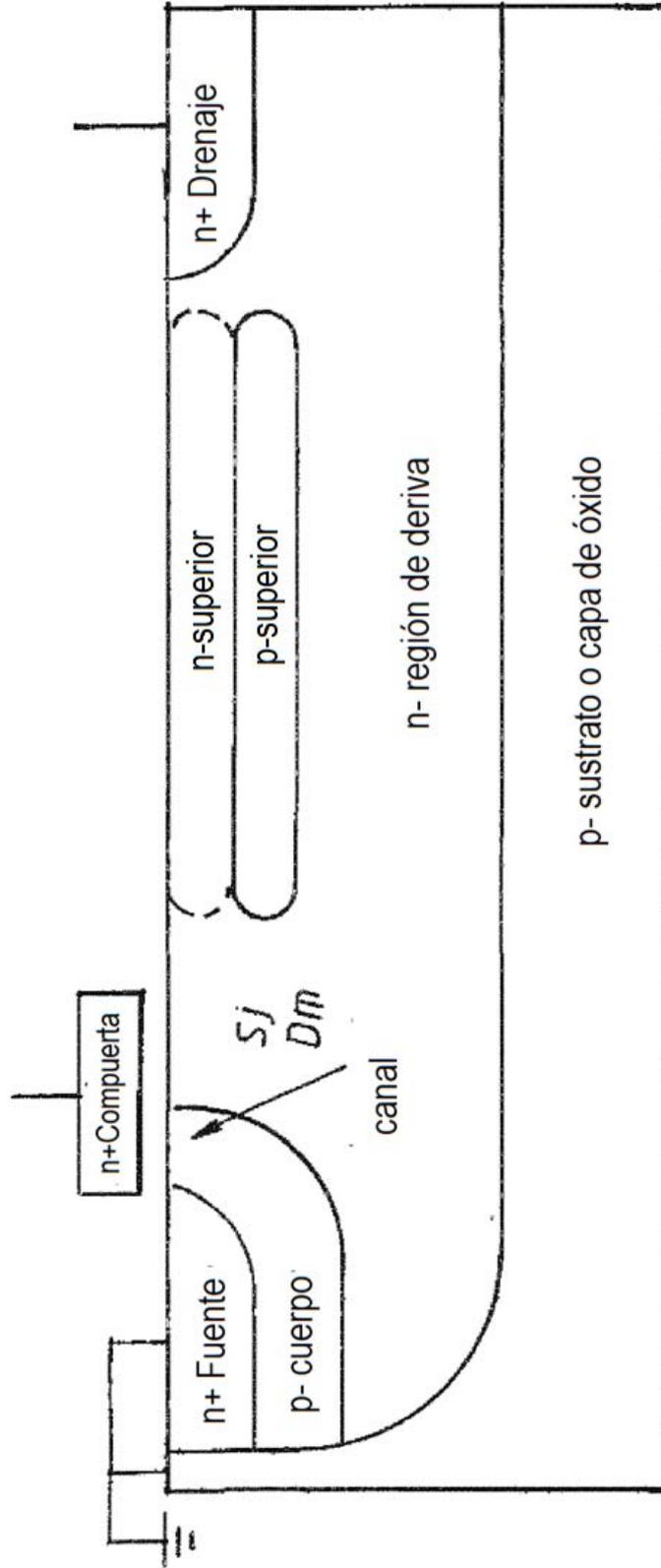
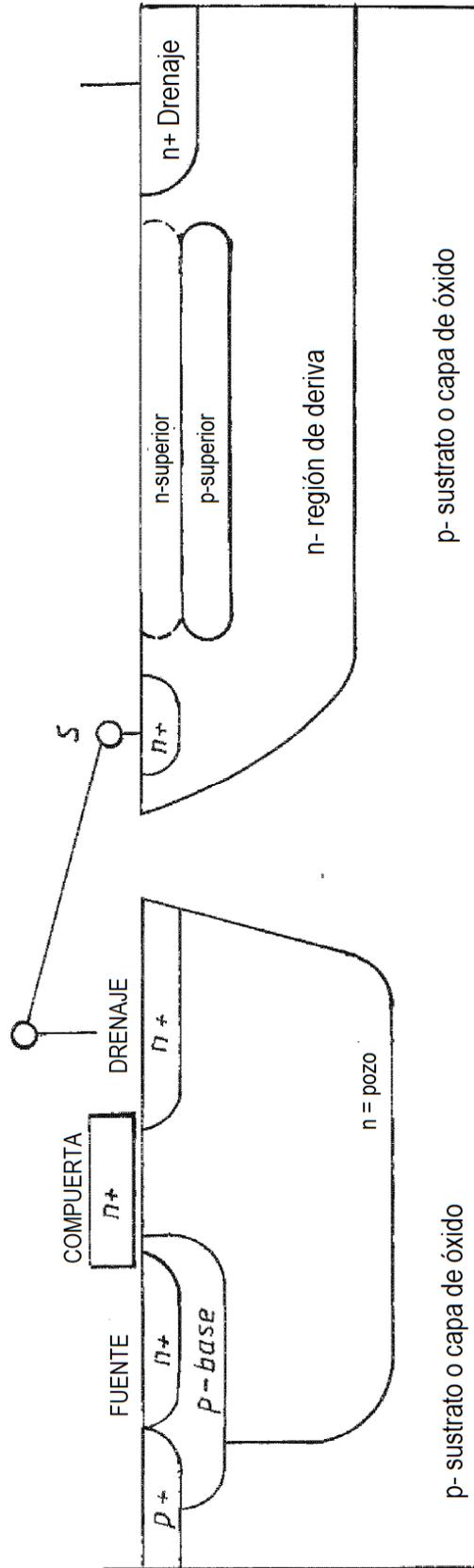
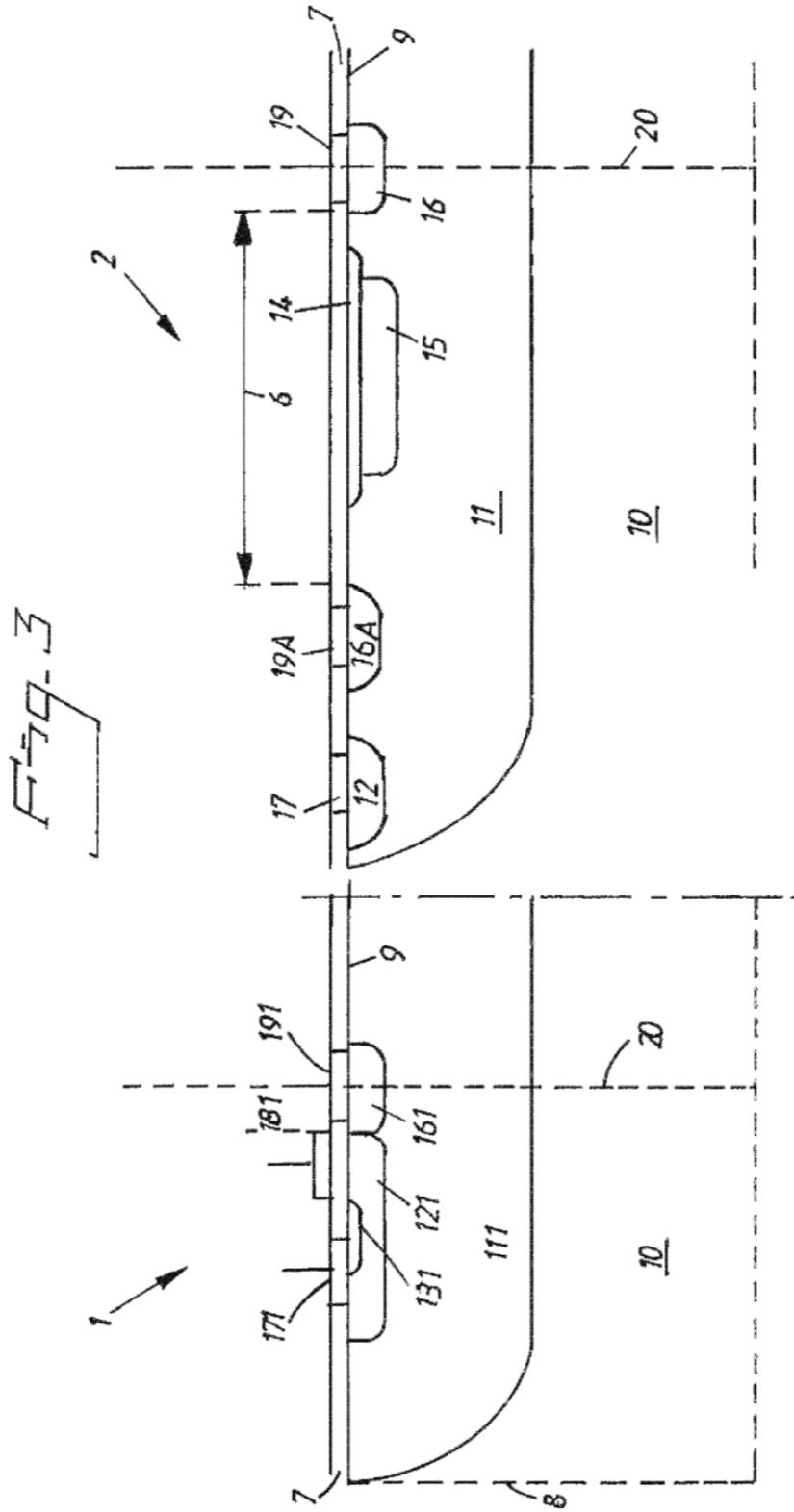


Fig. 2





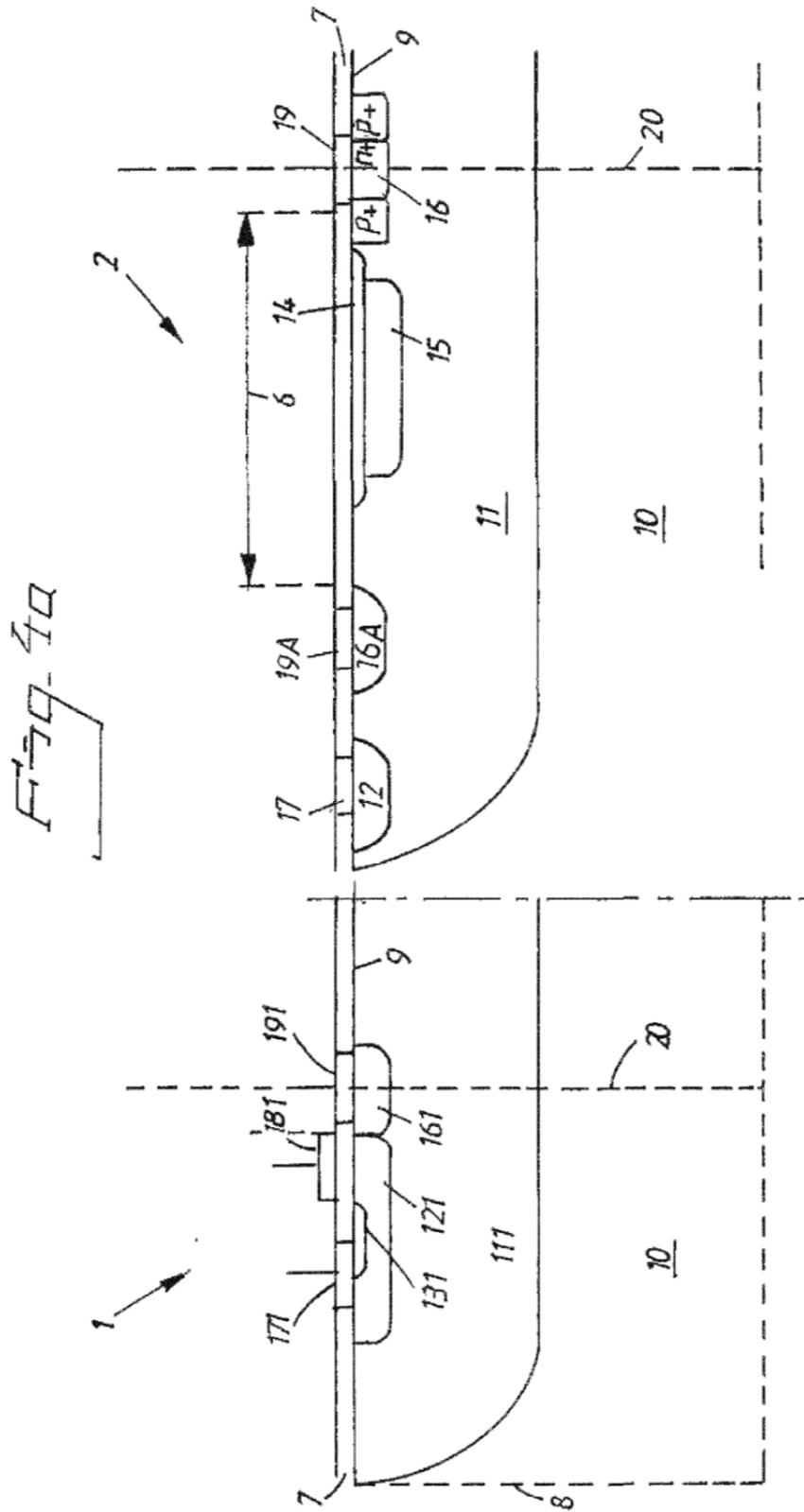


Fig. 4b

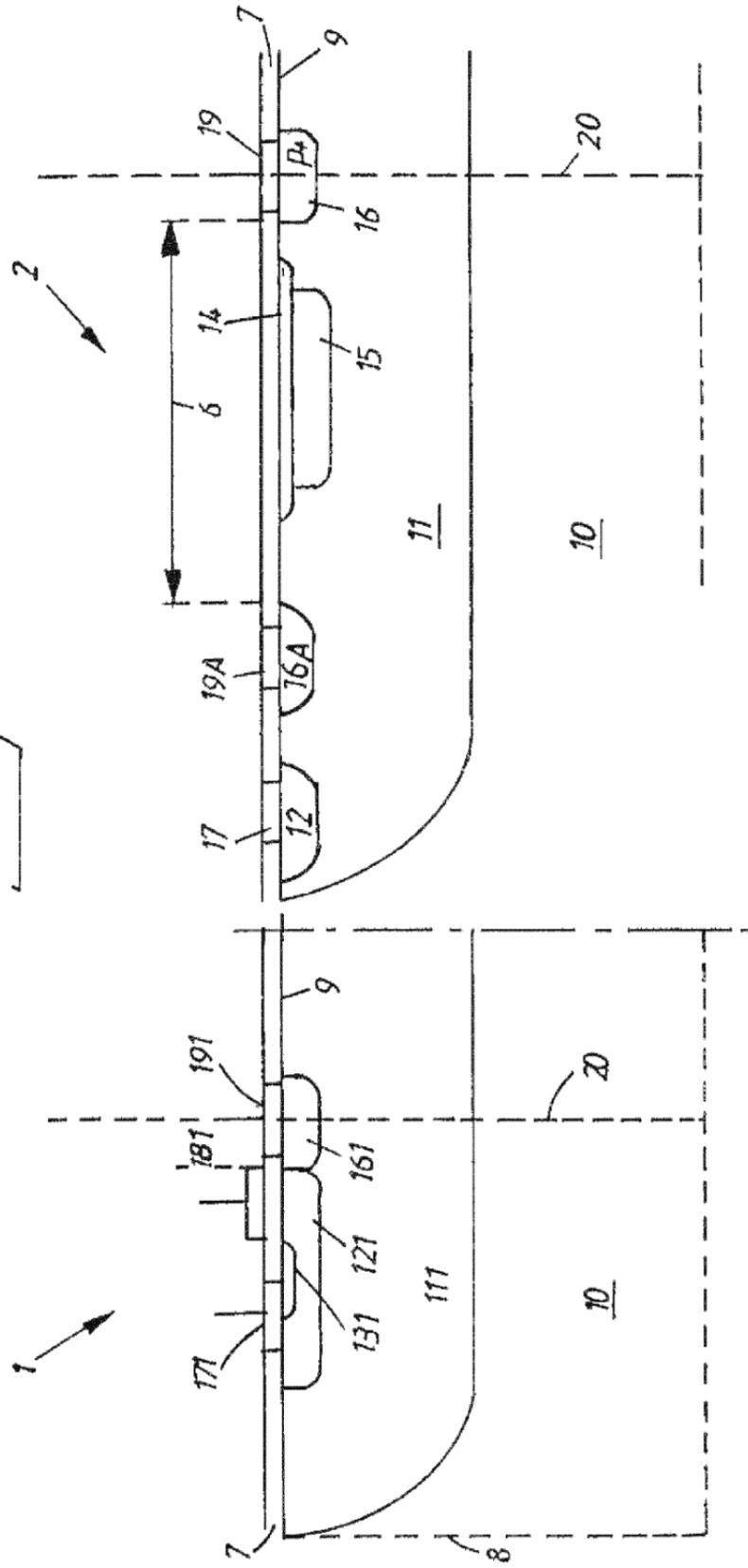


Fig. 5b

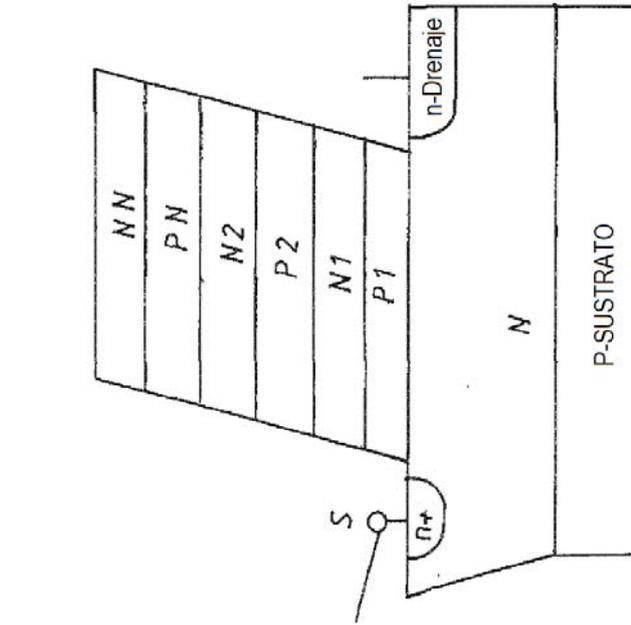


Fig. 5a

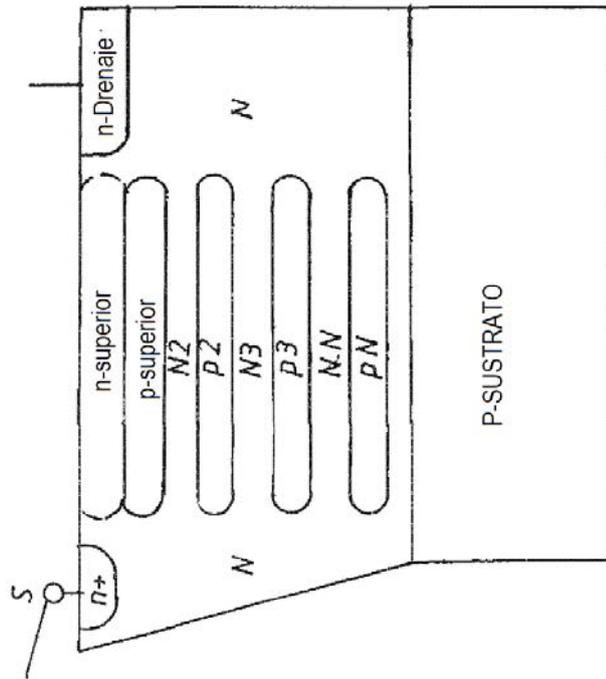
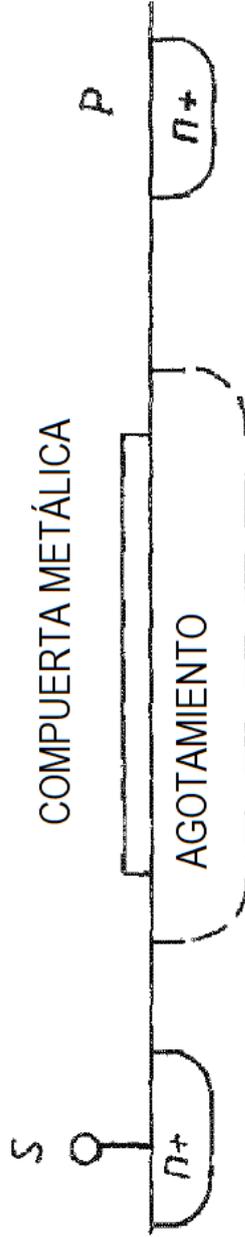


Fig. 6

MES FET



N-CANAL

P-O SUSTRATO SEMIAISLANTE