

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 661 923**

51 Int. Cl.:

H04L 1/00 (2006.01)

H04L 27/26 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.12.2010** **E 10195125 (9)**

97 Fecha y número de publicación de la concesión europea: **24.01.2018** **EP 2339772**

54 Título: **Receptor de DVB-T2, método de recepción y programa**

30 Prioridad:

25.12.2009 JP 2009294545

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

04.04.2018

73 Titular/es:

**SATURN LICENSING LLC (100.0%)
25 Madison Avenue
New York, NY 10022-3211, US**

72 Inventor/es:

**YOKOKAWA, TAKASHI;
SHINYA, OSAMU y
SAKAI, HITOSHI**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 661 923 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Receptor de DVB-T2, método de recepción y programa

Antecedentes de la invención

1. Campo de la invención

- 5 La presente invención se refiere a un receptor, a un método de recepción, a un programa y a un sistema de recepción, y, más particularmente, a un receptor, a un método de recepción, a un programa y a un sistema de recepción en los que la escala del circuito se puede reducir.

2. Descripción de la técnica relacionada

- 10 Los últimos años han visto la utilización de un esquema de modulación denominado multiplexación por división ortogonal de la frecuencia (OFDM – Orthogonal Frequency Division Multiplexing, en inglés) para transmitir señales digitales. Este OFDM es un esquema de modulación digital que utiliza varias subportadoras ortogonales entre sí en una banda de transmisión. Los datos se asignan a la amplitud y a la fase de cada una de las subportadoras. La modulación digital se realiza mediante modulación por desplazamiento de fase (PSK – Phase Shift Keying, en inglés) o modulación de amplitud en cuadratura (QAM – Quadrature Amplitude Modulation, en inglés).

- 15 El esquema OFDM se utiliza a menudo para la radiodifusión digital terrestre que está gravemente afectada por la interferencia de múltiples rutas. Entre las normas de radiodifusión digital terrestre que utilizan OFDM se encuentran DVB-T (Radiodifusión digital de video - terrestre - Digital Video Broadcasting-Terrestrial, en inglés) e ISDB-T (Radiodifusión digital de servicios integrados – terrestre - Integrated Services Digital Broadcasting-Terrestrial, en inglés).

- 20 Por cierto, el estándar DVB-T2 (estándar de radiodifusión digital terrestre europeo de segunda generación) está en vías de ser desarrollado como un estándar de radiodifusión digital terrestre que utiliza OFDM.

Se debe tener en cuenta que el estándar DVB-T2 se describe en el denominado Blue Book (DVB BlueBook A122) ("Frame structure channel coding and modulation for a second generation digital terrestrial television broadcasting system (DVB-T2)", documento DVB A122, junio de 2008).

- 25 En DVB-T2 (el Libro Azul del mismo), se define una trama denominada trama T2 para que los datos sean transmitidos en unidades de una trama T2. Una trama T2 contiene dos señales de preámbulo denominadas P1 y P2. Estas señales de preámbulo contienen información necesaria para procesos tales como la demodulación de una señal OFDM.

- 30 En DVB-T2, por otra parte, se utiliza un esquema denominado M-PLP (PLP múltiple (tuberías de capa física). Con M-PLP, los datos se transmiten utilizando dos tipos de secuencias de paquetes. Una de ellas es una serie de secuencias de paquetes (secuencias de paquetes de datos) denominadas PLP de datos. La otra es una secuencia de paquetes (secuencia de paquetes común) denominada PLP común. Una PLP de datos incluye un paquete restante después de que se ha extraído un paquete (información) común a toda la serie de flujos originales de transporte (cada uno de los cuales se denominará TS en lo sucesivo en este documento). Una secuencia de paquetes común incluye un paquete común. En otras palabras, un paquete común incluye un paquete común a una serie de varias TS, mientras que una PLP de datos incluye un paquete específico para una de la serie de varias TS. En el lado de recepción, una TS original se reconstruye a partir de una PLP común y de datos.

- 40 Es decir, una PLP de datos es una porción individual de información de servicio, y una PLP común es una porción común de información extraída de dos o más PLP de datos. Por lo tanto, se satisface la relación recuento de PLP de datos $\geq 2 \times$ recuento de PLP común ≥ 0 . Como resultado, hay una relación de múltiples a una entre las PLP de datos y la PLP común. Para una PLP común dada, existen dos o más PLP de datos. Para una PLP de datos dada, existe una PLP común.

La figura 1 es un diagrama que muestra una configuración de la trama T2.

- 45 Cuando el lado de transmisión transmite una trama T2 que incluye una PLP común, una PLP de datos # 1, una PLP de datos # 2 y así sucesivamente, siendo la PLP común una porción de información común a una serie de PLP de datos, el lado de recepción procede de la siguiente manera cuando recibe esta trama T2. Es decir, si se especifica la PLP de datos # 2, el lado de recepción selecciona la PLP de datos # 2 y la PLP común que acompaña a la PLP de datos # 2, de modo que la información original puede ser descodificada a partir de estas PLP seleccionadas.

- 50 En el momento de la descodificación, estas dos PLP, es decir, la PLP común y la PLP de datos, tienen que ser descodificadas al mismo tiempo. Además, DVB-T2 realiza un entrelazado en el tiempo para mejorar la inmunidad instantánea al ruido en la dirección del tiempo. El entrelazado en el tiempo aleatoriza los datos en la dirección del tiempo.

Un circuito de desentrelazado en el tiempo utilizado en DVB-T2 puede iniciar su salida, mientras que al mismo tiempo desentrelaza la PLP entrelazada en el tiempo cuando se ha completado la entrada de una unidad predeterminada de datos para ser procesados. En este circuito de desentrelazado en el tiempo, por lo tanto, los tiempos de entrada y salida no están en una correspondencia de uno a uno entre ellos.

- 5 Una sección de corrección de errores está prevista en la etapa con éxito del circuito de desentrelazado de tiempo. La sección de corrección de errores realiza la corrección de errores en los datos que han sido ordenados por el circuito de desentrelazado en el tiempo.

10 Si se proporcionan dos circuitos de desentrelazado en el tiempo, uno para la PLP común y otro para la PLP de datos, son posibles dos configuraciones, tal como se muestra en las figuras 2A y 2B, una en la que están previstas dos secciones de corrección de errores, una para cada PLP (figura 2A), y otra en la que está prevista una sección de corrección de errores (figura 2B) para que sea compartida por las dos PLP. Habitualmente, se utiliza la configuración mostrada en la figura 2B, en la cual una sola sección de corrección de errores es compartida por las dos PLP para una escala reducida del circuito y un menor consumo de energía. Por lo tanto, a continuación, se proporcionará una descripción de un caso en el que una única sección de corrección de errores es compartida por las dos PLP.

15 En la figura 2B, cada uno de los circuitos de desentrelazado en el tiempo realiza el desentrelazado en el tiempo en unidades de información que se van a procesar denominadas bloque de TI (bloque de entrelazado de tiempo – Time Interleaving block, en inglés). Estos circuitos de desentrelazado en el tiempo envían datos a la sección común de corrección de errores en unidades de información que se enviarán como un bloque de FEC. La relación entre estas unidades de información que se van a procesar se muestra en las figuras 3A y 3B.

20 Tal como se muestra en las figuras 3A y 3B, un bloque de TI corresponde a una serie de bloques FEC. Sin embargo, cuando el número de bloques de TI en una trama de entrelazado se denota por NTI, este NTI puede variar. Es decir, cuando $NTI = 1$, tal como se muestra en la figura 3A, la trama de entrelazado es igual al bloque de TI. Por otra parte, cuando $NTI = 3$ ($NTI > 1$) tal como se muestra en la figura 3B, la trama de entrelazado contiene tres bloques de TI. Por lo tanto, la trama de entrelazado no es igual al bloque de TI.

25 En el caso de $NTI = 1$ mostrado en la figura 3A, cada uno de los circuitos de desentrelazado en el tiempo ordena los datos en la PLP de entrada (PLP común o de datos) en unidades de un bloque de TI tal como se muestra en la figura 4. Cuando $NTI = 1$, la trama de entrelazado es igual al bloque de TI. Cada uno de los circuitos de desentrelazado en el tiempo recibe una PLP en unidades de un bloque de TI. Cuando se completa la entrada de los datos del bloque de TI, cada uno de los circuitos de desentrelazado en el tiempo comienza su salida al mismo tiempo que desentrelaza en el tiempo la PLP entrelazada para que los datos ordenados sean enviados a la sección común de corrección de errores.

30 Por otra parte, cuando $NTI = 3$ ($NTI > 1$) tal como se muestra en la figura 3B, la trama de entrelazado no es igual al bloque de TI. Por lo tanto, los datos se ordenan en unidades de cada uno de los tres bloques de TI o bloque de TI 0, bloque de TI 1 y bloque de TI 2, para una sola trama de entrelazado tal como se muestra en la figura 5. Sin embargo, una zona de la memoria disponible con el circuito de desentrelazado en el tiempo es lo suficientemente grande solo para un único bloque de TI. Como resultado, tan pronto como la entrada del primer bloque de TI o bloque de TI 0 se ha completado, el circuito de desentrelazado en el tiempo debe iniciar su salida. De lo contrario, la memoria que almacena el bloque de TI 0 es sobrescrita por el siguiente bloque de TI o bloque de TI 1.

35 En particular, si, mientras el circuito de desentrelazado en el tiempo envía una PLP, el otro circuito de desentrelazado completa su entrada del primer bloque de TI o bloque de TI 0 entre los bloques de TI en los que $NTI > 1$, el otro circuito de desentrelazado en el tiempo no puede iniciar su envío porque el circuito de desentrelazado en el tiempo está enviando sus datos a la sección común de corrección de errores. Esto hace que se sobrescriba el bloque de TI 0 almacenado, lo que resulta en una pérdida de datos. Un receptor de DVB-T2 con las características del preámbulo de la reivindicación 1 se describe en ORGANIZACIÓN DE DVB: "en_302769v010101rev9.doc", DVB, 45 RADIODIFUSIÓN DIGITAL DE VIDEO, C/O EBU - 17A ANCIENNE ROUTE - CH-1218 GRAND SACONNEX, GINEBRA - SUIZA, 16 de marzo de 2009 (2009-03-16), XP017826148, * Anexo C.1.1 *.

Características de la invención

50 Tal como se describió anteriormente, si las salidas de dos circuitos de desentrelazado en el tiempo comparten una sola sección de corrección de errores, y si, una vez que el circuito de desentrelazado suministra su salida a la sección de corrección de errores, el otro circuito de desentrelazado en el tiempo completa su entrada de una unidad predeterminada de datos que se van a procesar, la pérdida de datos tendrá lugar a menos que se dé prioridad a la salida del otro circuito de desentrelazado en el tiempo.

55 La presente invención ha sido realizada a la luz del problema anterior, y es un objetivo de la presente invención evitar la pérdida de datos de la salida de los circuitos de desentrelazado en el tiempo hacia una sección de corrección de errores, de manera que permita que la sección de corrección de errores sea compartida por las salidas de los circuitos de desentrelazado en el tiempo para un circuito de menor escala.

Un receptor de DVB-T2 según la presente invención se define en la reivindicación 1. Características ventajosas se definen en las reivindicaciones dependientes.

Un método de recepción según la presente invención se define en la reivindicación 8.

Características ventajosas se definen en las reivindicaciones dependientes.

5 Un programa según la presente invención se define en la reivindicación 15.

Tal como se describió anteriormente, la presente invención contribuye a un circuito de menor escala.

Breve descripción de los dibujos

La figura 1 es un diagrama que muestra una configuración de la trama T2;

10 las figuras 2A y 2B son diagramas que describen configuraciones de un circuito de desentrelazado en el tiempo y de una sección de corrección de errores;

las figuras 3A y 3B son diagramas que describen las unidades de información que se van a procesar;

la figura 4 es un diagrama que muestra la salida del circuito de desentrelazado en el tiempo ($NTI = 1$);

la figura 5 es un diagrama que muestra la salida del circuito de desentrelazado en el tiempo ($NTI > 1$);

la figura 6 es un diagrama que muestra una realización de un receptor al que está aplicada la presente invención;

15 la figura 7 es un diagrama que muestra una configuración detallada de un bloque de ordenación;

la figura 8 es un diagrama de flujo que describe el desentrelazado en el tiempo (primer caso);

la figura 9 es un diagrama de tiempos que describe la interrupción de la salida;

la figura 10 es un diagrama de tiempos que describe la inversión de la salida durante una nueva lectura;

la figura 11 es un diagrama de flujo que describe el desentrelazado en el tiempo (segundo caso);

20 la figura 12 es un diagrama que muestra un ejemplo de configuración de una primera realización de un sistema de recepción al que está aplicada la presente invención;

la figura 13 es un diagrama que muestra un ejemplo de configuración de una segunda realización del sistema de recepción al que está aplicada la presente invención;

25 la figura 14 es un diagrama que muestra un ejemplo de configuración de una tercera realización del sistema de recepción al que está aplicada la presente invención; y

la figura 15 es un diagrama que muestra un ejemplo de configuración de hardware de ordenador.

Descripción detallada de las realizaciones preferentes

A continuación, se describirán realizaciones de la presente invención haciendo referencia a los dibujos adjuntos.

[Ejemplo de configuración del receptor]

30 La figura 6 es un diagrama que muestra una realización de un receptor al que está aplicada la presente invención.

Un receptor 1 mostrado en la figura 6 recibe una señal de radiodifusión digital desde un transmisor 2. Esta señal es una señal OFDM obtenida sometiendo a las PLP, generadas a partir de varias TS, a los procesos tales como corrección de errores y modulación de OFDM por medio de M-PLP. M-PLP es un esquema utilizado en el estándar DVB-T2 que se está desarrollando como la próxima generación de un estándar de radiodifusión digital terrestre.

35 Es decir, el transmisor 2 utilizado, por ejemplo, en una estación de radiodifusión, transmite una señal de radiodifusión digital de OFDM sobre una línea de transmisión. El receptor 1 recibe una señal OFDM desde el transmisor 2, descodifica la señal y envía los datos descodificados obtenidos de la descodificación al dispositivo en la etapa siguiente. La descodificación incluye demodulación y corrección de errores.

40 En el ejemplo mostrado en la figura 6, el receptor 1 incluye una antena 11, una sección de obtención 12, una unidad de proceso de demodulación 13, un descodificador 14 y una sección de salida 15.

La antena 11 recibe una señal OFDM desde el transmisor 2 sobre una línea de transmisión, que envía la señal a la sección de obtención 12.

La sección de obtención 12 incluye, por ejemplo, un sintonizador o un descodificador de televisión (STB – Set Top Box, en inglés). La misma la sección 12 convierte en frecuencia la señal OFDM (señal de RF) recibida por la antena 11 en una señal IF (de frecuencia intermedia – Intermediate Frequency, en inglés), que envía la señal resultante a la unidad de proceso de demodulación 13.

- 5 La unidad de proceso de demodulación 13 reconstruye una TS de la PLP obtenida sometiendo la señal OFDM de la sección de obtención 12 a procesos necesarios tales como demodulación y corrección de errores, enviando la TS al descodificador 14.

Es decir, la unidad de proceso de demodulación 13 incluye una sección de demodulación 21, un bloque de ordenación 22, una sección de corrección de errores 23 y una interfaz de salida (I/F) 24.

- 10 La sección de demodulación 21 demodula la señal OFDM suministrada desde la sección de obtención 12, enviando la señal demodulada obtenida de la demodulación al bloque de ordenación 22.

El bloque de ordenación 22 extrae las PLP de datos y la PLP común especificadas asociadas con el mismo, de la señal demodulada suministrada desde la sección de demodulación 21, y somete a las PLP a una ordenación predeterminada, enviando las PLP a la sección de corrección de errores 23.

- 15 La sección de corrección de errores 23 somete a la PLP (PLP de datos o común), que se suministra desde el bloque de ordenación 22 y ha sido objeto de la ordenación, a una corrección de errores predeterminada, enviando la PLP resultante a la I/F de salida 24.

- 20 Aquí, el transmisor 2 transmite, por ejemplo, como una señal OFDM, las PLP que se generan a partir de la TS. Estas TS están compuestas por paquetes de TS que contienen datos codificados mediante el MPEG (Grupo de expertos en imágenes en movimiento - Moving Picture Experts Group, en inglés. Estos datos codificados mediante MPEG se producen mediante la codificación de MPEG de datos de video y audio como un programa.

- 25 Además, el transmisor 2 codifica las PLP, por ejemplo, en códigos RS (Reed Solomon) o LDPC (verificación de paridad de baja densidad – Low Density Parity Check, en inglés) como una contramedida frente a errores que pueden tener lugar en una línea de transmisión. Por lo tanto, la sección de corrección de errores 23 descodifica estos códigos como un proceso de codificación de corrección de errores.

La I/F de salida 24 reconstruye la TS de la PLP proporcionada desde la sección de corrección de errores 23, enviando la TS reconstruida a un equipo externo a una velocidad predeterminada.

- 30 El descodificador 14 descodifica de MPEG los datos codificados en MPEG contenidos en la TS proporcionada desde la I/F de salida 24, enviando los datos de video y audio, obtenidos de la descodificación de MPEG, a la sección de salida 15.

La sección de salida 15 incluye, por ejemplo, una pantalla y un altavoz y muestra una imagen y produce un sonido de acuerdo con los datos de video y audio suministrados desde el descodificador.

El receptor 1 está configurado tal como se ha descrito anteriormente.

[Ejemplo de configuración del bloque de ordenación]

- 35 La figura 7 es un diagrama que muestra una configuración detallada del bloque de ordenación 22 mostrado en la figura 6.

En la figura 7, se muestra una estructura de datos bajo cada uno de los bloques para describir los detalles del proceso realizado en el bloque asociado. Se hará referencia a estas estructuras de datos según sea apropiado para la descripción de los procesos.

- 40 Tal como se muestra en la figura 7, el bloque de ordenación 22 incluye un circuito de desentrelazado en frecuencia 31, una parte de extracción de PLP 32, un circuito de desentrelazado en el tiempo 33 y un circuito de desentrelazado 34 de FEC.

- 45 La demodulación realizada por la sección de demodulación 21 se realiza en unidades de una trama T2 tal como se describió anteriormente. Esta trama T2 contiene un símbolo P1 (no mostrado), un símbolo P2 y un símbolo de datos, en este orden. Los dos tipos de preámbulos denominados P1 y P2 contienen información necesaria para la demodulación de la señal OFDM y para otros procesos.

Un símbolo P1 está diseñado para transmitir la señalización de P1. Por otra parte, un símbolo P2 está diseñado para transmitir la señalización previa de L1 y la señalización posterior de L1.

- 50 La señalización previa de L1 contiene la información necesaria para un receptor adaptado para recibir una trama T2 para recibir y descodificar la señalización posterior de L1. La señalización posterior de L1 contiene los parámetros necesarios para que el receptor acceda a la capa física (o a sus tuberías). Además, la señalización posterior de L1

contiene la información necesaria para descodificar las PLP de datos y común (denominada en lo sucesivo en esta memoria información de PLP). Es decir, si se detecta información de PLP en las PLP común y de datos asociada con un servicio previsto a partir de la señalización posterior de L1, las PLP común y de datos en el símbolo de datos asociado con la información de PLP detectada son seleccionadas y descodificadas.

5 Es decir, en primer lugar, la sección de demodulación 21 adaptada para demodular una señal OFDM utilizada en DVB-T2 continúa, por ejemplo, con la demodulación de la señalización de P1 en la trama T2, en la que se ha detectado P1, durante el denominado escaneo de línea de canal. A continuación, la sección de demodulación 21 realiza cálculos predeterminados relacionados con P2. Cuando sea posible demodular la señalización previa de L1
10 contenida en P2, los datos pueden ser demodulados desde este momento en adelante. La señal demodulada obtenida de esta demodulación es enviada al bloque de ordenación 22.

En el bloque de ordenación 22, el circuito de desentrelazado en frecuencia 31 realiza el desentrelazado en frecuencia ordenando los datos de la señal demodulada suministrada desde la sección de demodulación 21 en el dominio de la frecuencia según una regla predeterminada, utilizando una memoria no mostrada como área de trabajo. La señal demodulada cuyos datos han sido ordenados dentro del símbolo mediante este desentrelazado en
15 frecuencia es suministrada a la parte de extracción de PLP 32.

La parte de extracción de PLP 32 extrae la PLP de datos especificada y la PLP común asociada con la señal demodulada suministrada desde el circuito de desentrelazado en frecuencia 31 en base a la información de la PLP detectada por la sección de demodulación 21, que envía los datos extraídos al circuito de desentrelazado en el tiempo 33.

20 El circuito de desentrelazado en el tiempo 33 incluye un circuito de desentrelazado en el tiempo 33A, un circuito de desentrelazado en el tiempo 33B, una parte de control 51 y una memoria 52.

El circuito de desentrelazado en el tiempo 33A realiza un desentrelazado en el tiempo ordenando los datos de la PLP común extraída de la parte de extracción PLP 32 en el dominio del tiempo según una regla predeterminada utilizando la memoria 52, tal como una RAM (memoria de acceso aleatorio – Random Access Memory, en inglés) como área de trabajo. La PLP común que ha sufrido desentrelazado en el tiempo es proporcionada al circuito de desentrelazado de FEC 34.
25

El circuito de desentrelazado en el tiempo 33B realiza el desentrelazado en el tiempo ordenando los datos de la PLP de datos extraída de la parte de extracción de PLP 32 en el dominio del tiempo según una regla predeterminada utilizando la memoria 52 como área de trabajo, como lo hace el circuito de desentrelazado en el tiempo 33A. El resultado del procesamiento se suministra al circuito de desentrelazado de FEC 34.
30

La parte de control 51 controla los circuitos de desentrelazado en el tiempo 33A y 33B para realizar el desentrelazado en el tiempo. Debe observarse que existe una RAM 51A en la parte de control 51, de modo que la información necesaria para el desentrelazado en el tiempo se almacena según sea apropiado.

35 Cuando la parte de control 51 controla los circuitos de desentrelazado en el tiempo 33A y 33B asociados con las PLP respectivas, el circuito de desentrelazado en el tiempo 33A inicia su salida mientras que al mismo tiempo desentrelaza la PLP común entrelazada en el tiempo cuando se ha completado la entrada de un bloque de TI predeterminado de la PLP común, que se suministra en unidades de un bloque de TI. De manera similar, el circuito de desentrelazado en el tiempo 33B inicia su salida mientras que al mismo tiempo desentrelaza la PLP de datos entrelazada en el tiempo cuando se ha completado la entrada de un bloque de TI predeterminado de la PLP de datos, que se suministra en unidades de un bloque de TI.
40

La parte de control 51 conmuta la salida del circuito de desentrelazado en el tiempo 33A a la del circuito de desentrelazado en el tiempo 33B bajo la siguiente condición. Es decir, la parte de control 51 conmuta la salida si, mientras el circuito de desentrelazado en el tiempo 33A suministra su salida, el circuito de desentrelazado en el tiempo 33B completa su escritura del primer bloque de TI en la memoria 52 cuando hay NTI (siendo $NTI > 1$) bloques de TI en la PDP de datos del circuito de desentrelazado en el tiempo 33B. En este momento, la parte de control 51 almacena, por ejemplo, información que indica la cantidad de PLP que queda por emitir como información necesaria para reanudar la salida del circuito de desentrelazado en el tiempo 33A (denominado en lo sucesivo en esta memoria, información de reanudación) que se interrumpió a medio camino.
45

La parte de control 51 permite que el circuito de desentrelazado en el tiempo 33B emita los bloques de TI con prioridad hasta que se complete la salida de los NTI (o $NTI-1$) bloques de TI. A partir de entonces, cuando la salida de los ($NTI-1$) o NTI bloques de TI se ha completado, la parte de control 51 conmuta la salida del circuito de desentrelazado en el tiempo 33B que ha estado enviando los bloques de TI con prioridad, al circuito de desentrelazado en el tiempo 33A que se interrumpió a medio camino. A continuación, la parte de control 51 permite que el circuito de desentrelazado en el tiempo 33A reanude la lectura de la PLP común que fue interrumpida
55 previamente.

Gracias al control de salida de la parte de control 51, la PLP común o de datos es suministrada al circuito de desentrelazado de FEC 34 en unidades de un bloque de FFC.

Si, contrariamente a la relación descrita anteriormente, y mientras el circuito de desentrelazado en el tiempo 33B suministra su salida, el circuito de desentrelazado en el tiempo 33A completa la escritura del primer bloque de TI en la memoria principal 52 cuando hay NTI (siendo $NTI > 1$) bloques de TI en la PLP común del circuito de desentrelazado en el tiempo 33A, los circuitos de desentrelazado en el tiempo 33A y 33B realizan simplemente funciones opuestas a las descritas anteriormente. Por lo tanto, los procesos realizados por los circuitos de desentrelazado en el tiempo bajo el control de la parte de control 51 permanecen sin cambios.

El circuito de desentrelazado de FEC 34 realiza un desentrelazado de FEC ordenando los datos de la salida de PLP común o de datos del circuito de desentrelazado en el tiempo 33 en unidades de un bloque de FEC según una regla predeterminada utilizando una memoria no mostrada como área de trabajo. La PLP común o de datos cuyos datos han sido ordenados en el bloque de FEC es suministrada a la sección de corrección de errores 23.

A la sección de corrección de errores 23 se le suministra la señal de PLP común o de datos en unidades de un bloque de FEC desde el circuito de desentrelazado en el tiempo 33 a través del circuito de desentrelazado de FEC 34 bajo el control de la salida de la parte de control 51. La sección de corrección de errores 23 es compartida por las PLP común y de datos. Dependiendo de cuál de las PLP común y de datos es introducida, la misma sección 23 realiza la corrección de errores en la PLP común o de datos.

[Descripción del desentrelazado de tiempo]

La figura 8 es un diagrama de flujo que describe el desentrelazado en el tiempo (primer caso) realizado por el circuito de desentrelazado en el tiempo 33.

En la descripción de la figura 8, las expresiones "una PLP" y "otra PLP" pretenden querer decir que tanto la PLP común como las de datos son aceptables.

Es decir, cuando la PLP común es "una PLP", la PLP de datos es "otra PLP". En este caso, el circuito de desentrelazado en el tiempo 33A, es decir, un circuito de desentrelazado en el tiempo, realiza el desentrelazado en el tiempo de la PLP común, es decir, una PLP, y el circuito de desentrelazado en el tiempo 33B, es decir, otro circuito de desentrelazado en el tiempo, realiza el desentrelazado en el tiempo en la PLP de datos, es decir, otra PLP. Por el contrario, cuando la PLP de datos es "una PLP", la PLP común es "otra PLP". En este caso, el circuito de desentrelazado en el tiempo 33B, es decir, un circuito de desentrelazado en el tiempo, realiza el desentrelazado en el tiempo de la PLP de datos, es decir, una PLP, y el circuito de desentrelazado en el tiempo 33A, es decir, otro circuito de desentrelazado en el tiempo, realiza el desentrelazado en el tiempo en la PLP común, es decir, otra PLP.

En la etapa S11, la parte de control 51 hace que el circuito de desentrelazado en el tiempo escriba una PLP común o de datos, que ha sido introducida después de la demodulación de OFDM, en la memoria 52. En la etapa S12, la parte de control 51 determina si la escritura de la PLP común o de datos a la memoria 52 se ha completado.

En la etapa S12, si la parte de control 51 determina que la escritura en la memoria 52 no se ha completado, el proceso vuelve a la etapa S11, en la que la parte de control 51 repite su determinación en la etapa S12 hasta que se complete la escritura de una PLP.

Por otra parte, cuando la parte de control 51 determina que la escritura de una PLP se ha completado en la etapa S12, el circuito de desentrelazado en el tiempo 33 realiza el desentrelazado en el tiempo ordenando los datos de la PLP que se ha escrito en la memoria 52 en el dominio del tiempo de acuerdo con una regla predeterminada.

En la etapa S14, la parte de control 51 determina si la salida de una PLP se ha completado. Cuando la parte de control 51 determina que la salida de una PLP se ha completado, el proceso pasa a la etapa S26, en la que la parte de control 51 determina si se ha introducido una PLP siguiente.

Por otra parte, si la parte de control 51 determina en la etapa S14 que la salida de una PLP no se ha completado, la parte de control 51 determina en la etapa S15 si NTI es mayor que 1 para la otra PLP. Cuando la parte de control 51 determina en la etapa S15 que NTI es mayor que 1 para la otra PLP, la misma sección 51 determina en la etapa S16 si la escritura del primer bloque de TI de la otra PLP con NTI mayor que 1 en la memoria 52 se ha completado.

Si la parte de control 51 determina que NTI no es mayor que 1 en la otra PLP (No en la etapa S15), o si la misma sección 51 determina que la escritura del primer bloque de TI de la otra PLP no se ha completado (No en la etapa S16), la salida de una PLP continúa. Por lo tanto, el proceso vuelve a la etapa S13, en la que se repite la salida de una PLP.

Por otra parte, cuando la parte de control 51 determina en la etapa S16 que la escritura del primer bloque de TI de la otra PLP se ha completado, la misma sección 51 almacena la información de reanudación tal como la cantidad de PLP que queda por emitir en la RAM 51A, y conmuta la PLP para ser enviada a la sección de corrección de errores 23 desde una PLP a la otra PLP en la etapa S18.

En la etapa S19, el otro circuito de desentrelazado en el tiempo 33 lleva a cabo un desentrelazado en el tiempo ordenando los datos de la otra PLP que se ha escrito en la memoria 52 en el dominio de tiempo de acuerdo con una regla predeterminada.

5 La parte de control 51 determina en la etapa S20 si la salida de los NTI-1 bloques de TI se ha completado como resultado del desentrelazado en el tiempo en la otra PLP. Si la parte de control 51 determina que la salida de los NTI-1 bloques de TI no se ha completado, el proceso vuelve a la etapa S19, en la que se repite la salida de una PLP.

10 Por otra parte, cuando la parte de control 51 determina en la etapa S20 que la salida de los NTI-1 bloques de TI se ha completado, la misma sección 51 conmuta la PLP a la salida de la otra PLP sobre la PLP en la etapa S21. A continuación, la parte de control 51 lee la información de reanudación de la RAM 51A y hace que la salida de la otra PLP, que se interrumpió a medio camino, se reanude en la etapa S22. Esto permite que el circuito de desentrelazado en el tiempo 33 realice el desentrelazado en el tiempo en la PLP restante y reanude la salida de la misma.

15 Se debe observar que, tal como se describió anteriormente, los circuitos de desentrelazado en el tiempo 33 envían las PLP en unidades de un bloque de FEC. Por lo tanto, si la salida se interrumpe a la mitad de un bloque de FEC, el bloque de FEC debe ser leído nuevamente desde el principio. Más adelante, se proporcionará una descripción detallada de lo anterior haciendo referencia a la figura 10.

20 La parte de control 51 determina en la etapa S23 si la salida de una PLP se ha completado. Si la misma sección 51 determina que la salida de una PLP no se ha completado, el proceso vuelve a la etapa S22, en el que se repite la salida de una PLP.

25 Por otra parte, cuando la parte de control 51 determina que la salida de una PLP se ha completado, la misma sección 51 conmuta a la PLP para que vuelva a emitirse desde una PLP sobre la otra PLP en la etapa S24. A continuación, el otro circuito de desentrelazado en el tiempo 33 realiza el desentrelazado en el tiempo en la etapa S25, ordenando los datos de los NTI bloques de TI de la otra PLP que se han escrito en la memoria 52 en el dominio del tiempo de acuerdo con una regla predeterminada.

En la etapa S26, la parte de control 51 determina si la entrada de una PLP se ha completado. Si la misma sección 51 determina que la entrada de una PLP no se ha completado, el proceso vuelve a la etapa S11 donde se repite el desentrelazado en el tiempo descrito anteriormente.

30 Por otra parte, si la parte de control 51 determina en la etapa S26 que la entrada de una PLP se ha completado, el desentrelazado en el tiempo finaliza.

El desentrelazado en el tiempo se realiza tal como se describió anteriormente.

A continuación, se proporcionará una descripción del desentrelazado en el tiempo descrito haciendo referencia al diagrama de flujo mostrado en la figura 8 de una manera más detallada, haciendo referencia a los diagramas de tiempos mostrados en las figuras 9 y 10.

35 La figura 9 es un diagrama de tiempos que describe la interrupción de la salida (que corresponde al proceso en la etapa S16 de la figura 8) durante el desentrelazado en el tiempo. Se debe observar que el instante transcurre de izquierda a derecha en la figura 9.

40 Tal como se muestra en la figura 9, la entrada de una PLP común comienza desde el instante t_1 . Cuando la escritura de un bloque de TI en la memoria 52 se completa en el instante t_2 , el circuito de desentrelazado en el tiempo 33A ordena los datos en el bloque de TI en el dominio de tiempo de acuerdo con una regla predeterminada, y comienza su salida en unidades de un bloque de FEC.

45 En el instante t_3 , cuando el circuito de desentrelazado en el tiempo 33A emite el bloque de TI, comienza la entrada de una PLP de datos con $NTI = 3$ en el circuito de desentrelazado en el tiempo 33B. Como resultado, la escritura del primer bloque de TI, es decir, el bloque de TI 0, se completa en el instante t_4 . Sin embargo, se ha mencionado repetidamente que, en esta situación, el bloque de TI 0 es sobre escrito por el bloque de TI 1 que se introduce como el segundo bloque de TI. En el momento t_4 , por esta razón, la parte de control 51 conmuta la salida del circuito de desentrelazado en el tiempo 33A a la del circuito de desentrelazado en el tiempo 33B, interrumpiendo la salida del bloque de TI de la PLP común para emitir el bloque de TI 0 de la PLP de datos.

50 Como resultado, el circuito de desentrelazado en el tiempo 33B procesa la salida del bloque de TI 0 con prioridad, ordenando los datos del bloque de TI 0 en el dominio de tiempo de acuerdo con una regla predeterminada y emitiendo el bloque de TI 0 con datos ordenados. Por otra parte, la salida del bloque de TI de la PLP común que se ha interrumpido se interrumpe temporalmente en el instante t_4 . Sin embargo, la información de reanudación tal como la cantidad de PLP que queda por emitir se almacena en la RAM 51A

A continuación, mientras se envía el bloque de TI 0, el bloque de TI 1, es decir, el segundo bloque de TI, se escribe en la memoria 52. En el instante t_5 , la escritura del bloque de TI 1 se completa simultáneamente con el final del envío del bloque de TI 0. En este momento, por lo tanto, comienza la salida del bloque de TI 1. De este modo, el bloque de TI 0 y el bloque de TI 1 se emiten de manera ordenada, evitando de este modo que la memoria 52 se sobrescriba.

5 No obstante, $NTI = 3$ en la PLP de datos. Por lo tanto, la salida del bloque de TI de la PLP común se reanuda cuando se completa la salida del segundo bloque de TI ($NTI = 3 - 1 = 2$). Es decir, la salida del bloque de TI 1 se ha completado en el instante t_6 . Como resultado, la parte de control 51 conmuta la salida del circuito de desentrelazado en el tiempo 33B a la del circuito de desentrelazado en el tiempo 33A antes de iniciar la salida del tercer bloque de TI, es decir, el bloque de TI 2, reanudando la salida del bloque de TI de la PLP común (proceso en la etapa S22 de la figura 8).

10 Cuando se reanuda la salida de una PLP, la lectura se reanuda desde la posición especificada por la información de reanudación almacenada en la RAM 51A. Sin embargo, los circuitos de desentrelazado en el tiempo 33 envían las PLP en unidades de un bloque de FEC. Por lo tanto, una PLP debe emitirse en consecuencia. Es decir, si la salida se interrumpe a la mitad de un bloque de FEC, la reanudación de la lectura desde donde se interrumpe la salida resulta en un fallo de una porción del bloque de FEC debido a la interrupción.

15 El diagrama de tiempos de la figura 10 muestra la relación entre la salida del circuito de desentrelazado en el tiempo 33A y el bloque de FEC cuando ocurre una interrupción en el instante t_4 . Si la salida se reanuda desde donde ocurre la interrupción, la unidad de datos a emitir (bloque de FEC) está incompleta. Por lo tanto, la parte de control 51 asegura que el bloque de FEC se lea nuevamente desde el comienzo en lugar de desde la mitad en base al indicador de inicio del bloque de FEC durante la nueva lectura. Esto permite emitir el bloque de FEC completo como si la salida fuese rebobinada.

20 Volviendo a la figura 9, cuando la salida reanudada del bloque de TI de la PLP común se ha completado en el instante t_7 , la parte de control conmuta la salida del circuito de desentrelazado en el tiempo 33A a la del circuito de desentrelazado en el tiempo 33B de nuevo, permitiendo que el bloque de TI 2 restante, es decir, el tercer bloque de TI, sea leído y emitido (proceso en la etapa S25 de la figura 8).

25 Tal como se describió anteriormente, si, mientras la salida de una PLP está en progreso, la escritura del primer bloque de TI 2 de la otra PLP en la memoria 52 se completa cuando hay NTI bloques de TI (siendo $NTI > 1$) en la otra PLP, la salida de una PLP se conmuta a la salida de la otra PLP. Esto evita que se sobrescriba el primer bloque de TI, evitando de este modo la pérdida de datos (fallo de la memoria).

30 Como resultado, la sección de corrección de errores 23 puede ser compartida por las PLP común y de datos, lo que proporciona una menor escala del circuito y un menor consumo de energía.

35 Por cierto, el primer caso de desentrelazado en el tiempo se describió como sigue, haciendo referencia al diagrama de flujo de la figura 8. Es decir, si, mientras la salida de una PLP está en progreso, se introduce la otra PLP con $NTI > 1$, la salida de una PLP se conmuta a la salida de la otra PLP. A continuación, cuando se completa la salida de uno de los $NTI-1$ bloques de TI, la salida de la otra PLP se conmuta a la salida de una PLP. Sin embargo, la salida de la otra PLP puede conmutarse a la salida de la PLP una vez que se haya completado la salida de los NTI bloques de TI.

40 A continuación, se proporcionará una descripción de un segundo caso del desentrelazado en el tiempo en el que la salida de la otra PLP se conmuta a la salida de una PLP una vez que la salida de los NTI bloques de TI se ha completado, haciendo referencia al diagrama de flujo que se muestra en la figura 11.

En las etapas S31 a S39 de la figura 11, si, mientras la salida de una PLP está en progreso, la otra PLP con $NTI > 1$ es introducida, la salida de una PLP se conmuta a la salida de la otra PLP, permitiendo que el desentrelazado en el tiempo se realice en la otra PLP como con las etapas S11 a S19 de la figura 8.

45 La parte de control 51 determina en la etapa S40 si la salida de los $NTI-1$ bloques de TI se ha completado como resultado del desentrelazado en el tiempo en la otra PLP. Si la parte de control 51 determina en la etapa S40 que la salida de los $NTI-1$ bloques de TI no se ha completado, es decir, si $NTI = 3$, la salida de tres bloques de TI ($NTI = 3$) aún se ha de completar. Por lo tanto, el proceso vuelve a la etapa S39, en la que se repite el envío de la otra PLP por parte del otro circuito de desentrelazado en el tiempo 33.

50 Por otra parte, cuando la parte de control 51 determina en la etapa S40 que la salida de los $NTI-1$ bloques de TI se ha completado, la misma sección 51 conmuta la PLP para ser enviada desde la otra PLP a una PLP. A continuación, la misma sección 51 lee la información de reanudación de una PLP de la RAM 51A en la etapa S42, reanudando el envío de una PLP que se interrumpió a la mitad.

55 La parte de control 51 determina en la etapa S43 si la salida de una PLP se ha completado. Si la misma sección 51 determina que la salida de la misma no se ha completado, el proceso vuelve a la etapa S42, en la que se repite el envío de una PLP por parte del circuito de desentrelazado en el tiempo 33.

Por otra parte, cuando la parte de control 51 determina en la etapa S43 que la salida de la PLP se ha completado, la misma sección 51 determina en la etapa S44 si la entrada de una PLP se ha completado como con la etapa S26 de la figura 8. Cuando la misma sección 51 determina que la entrada de una PLP se ha completado, el desentrelazado en el tiempo finaliza.

- 5 De este modo, es posible evitar la sobre escritura de un bloque de TI asegurando que un bloque de TI que aún no se ha emitido no es sobrescrito por el siguiente bloque de TI, o todos los bloques de TI han sido enviados, como después de la finalización de la salida de NTI-1 o NTI bloques de TI. Además, reanudar la salida determinando si la salida de los NTI bloques de TI se ha completado asegura un número de veces menor que la salida es conmutada con respecto a reanudar la salida determinando si la salida de los NTI-1 bloques de TI se ha completado, dado que
10 lo primero elimina la necesidad de conmutar a la salida de la otra PLP después de completar la salida reanudada.

[Ejemplo de configuración del sistema de recepción]

A continuación, se proporcionará una descripción de la configuración de un sistema de recepción haciendo referencia a las figuras 12 a 14.

- 15 La figura 12 es un diagrama que muestra un ejemplo de configuración de una primera realización de un sistema de recepción al cual se ha aplicado la presente invención.

En la figura 12, el sistema de recepción incluye una sección de obtención 201, una sección de codificación de la línea de transmisión 202 y una sección de descodificación del origen 203. La sección de obtención 201 obtiene una señal OFDM compatible con M-PLP utilizada en DVB-T2 a través de una línea de transmisión no mostrada tal como difusión digital terrestre, transmisión digital por satélite, red CATV (televisión por cable), Internet u otra red. La misma
20 sección 201 suministra la señal OFDM a la sección de descodificación de la línea de transmisión 202.

Cuando una señal OFDM es difundida desde una estación de radiodifusión, por ejemplo, a través de una onda terrestre, de una onda de satélite o de una red de CATV, la sección de obtención 201 incluye un sintonizador o STB como lo hace la sección de obtención 12 mostrada en la figura 6. Por otra parte, cuando una señal OFDM es multi-
25 difundida como en IPTV (televisión sobre protocolo de Internet – Internet Protocol TeleVision), la sección de obtención 201 incluye, por ejemplo, una I/F de red tal como una NIC (Tarjeta de interfaz de red – Network Interface Card, en inglés).

Cuando una señal OFDM es difundida desde una estación de radiodifusión, por ejemplo, mediante una onda terrestre, una onda de satélite o una red de CATV, las señales OFDM transmitidas desde una serie de transmisores a través de una serie de líneas de transmisión son recibidas por la única sección de obtención 201. Como resultado,
30 las señales OFDM se reciben como una única señal OFDM combinada.

La sección de descodificación de la línea de transmisión 202 somete a la señal OFDM, obtenida por la sección de obtención 201 sobre una línea de transmisión, a una descodificación de la línea de transmisión que incluye al menos descodificación de PLP, suministrando la señal resultante a la sección de descodificación del origen 203.

Es decir, una señal OFDM que cumple con el estándar M-PLP está definida por una serie de PLP de datos y una
35 PLP común. Cada una de las PLP de datos incluye un paquete restante después de que se ha extraído un paquete común a todas las TS. La secuencia de paquete común incluye un paquete común. La sección de descodificación de línea de transmisión 202 somete dicha señal OFDM a descodificación de PLP (secuencia de paquetes).

Además, la señal OFDM obtenida por la sección de obtención sobre una línea de transmisión 201 se distorsiona bajo la influencia de las características de la línea de transmisión. La sección de descodificación de la línea de
40 transmisión 202 somete dicha señal, por ejemplo, a demodulación tal como estimación de la línea de transmisión, estimación de o estimación de fase.

Además, la descodificación de la línea de transmisión incluye un proceso adaptado para corregir errores que tienen lugar en la línea de transmisión. Entre los procesos de codificación de la corrección de errores están la codificación LDPC y la codificación Reed Solomon.

45 La sección de descodificación del origen 203 somete a la señal, que ha sido objeto de descodificación de la línea de transmisión, a una descodificación del origen, que incluye al menos un proceso adaptado para descomprimir la información comprimida en la información original.

Es decir, la señal OFDM obtenida por la sección de obtención 201 a través de una línea de transmisión puede estar
50 codificada por compresión para comprimir la información a fin de reducir la cantidad de datos, tales como datos de video y de audio, como información. En este caso, la sección de descodificación del origen 203 somete a la señal, que ha sido objeto de descodificación de la línea de transmisión, a una descodificación del origen tal como un proceso adaptado para descomprimir la información comprimida en la información original (descompresión).

Se debe observar que cuando la señal OFDM obtenida por la sección de obtención 201 sobre una línea de transmisión no está codificada por compresión, la sección de descodificación del origen 203 no realiza el proceso adaptado para descomprimir la información comprimida en la información original.

5 En la presente memoria, la descodificación MPEG es un ejemplo de descompresión. Por otra parte, la descodificación de la línea de transmisión puede incluir no solo descompresión sino también descodificación y otros procesos.

10 En el sistema de recepción configurado tal como se describió anteriormente, la sección de obtención 201 somete a datos de video, audio y otros, por ejemplo, a una codificación de compresión, tal como la codificación MPEG. Además, la sección de obtención 201 obtiene una señal OFDM que cumple con M-PLP, que ha sido objeto de codificación de corrección de errores, a través de una línea de transmisión, que suministra la señal OFDM a la sección 202 de descodificación de la línea de transmisión. Se debe observar que la señal OFDM está, en este momento, distorsionada bajo la influencia de las características de la línea de transmisión.

15 La sección de descodificación de la línea de transmisión 202 somete a la señal OFDM suministrada desde la sección de obtención 201 a los mismos procesos utilizados por la unidad de proceso de demodulación 13 mostrada en la figura 6 como codificación de la línea de transmisión. La misma sección 202 suministra la señal resultante a la sección de descodificación del origen 203.

La sección de descodificación del origen 203 somete a la señal suministrada desde la sección de descodificación de la línea de transmisión 202 a los mismos procesos utilizados por el descodificador 14 mostrado en la figura 6 como descodificación del origen. La sección de descodificación del origen 203 emite la imagen o el sonido resultante.

20 El sistema de recepción mostrado en la figura 12 configurado tal como se ha descrito anteriormente es aplicable, por ejemplo, a un sintonizador de televisión adaptado para recibir emisiones de la televisión digital.

La sección de obtención 201, la sección de descodificación de la línea de transmisión 202 y la sección de descodificación del origen 203 pueden configurarse cada una como un único dispositivo independiente (hardware (por ejemplo, IC (Circuito Integrado – Integrated Circuit, en inglés)) o un módulo de software.

25 Además, la sección de obtención 201 y la sección de descodificación de la línea de transmisión 202 pueden ser combinados como un dispositivo individual independiente. Alternativamente, la sección de descodificación de la línea de transmisión 202 y la sección de descodificación del origen 203, o las tres secciones, pueden ser combinadas como un único dispositivo independiente.

30 La figura 13 es un diagrama que muestra un ejemplo de configuración de una segunda realización del sistema de recepción al que se ha aplicado la presente invención.

Se debe observar que los componentes similares a los de la figura 12 se indican con los mismos números de referencia, y la descripción de los mismos se omitirá en lo que sigue.

35 El sistema de recepción mostrado en la figura 13 es idéntico al sistema de recepción mostrado en la figura 12, ya que incluye la sección de obtención 201, la sección de descodificación de la línea de transmisión 202 y la sección de descodificación del origen 203, pero difiere del mismo en que incluye adicionalmente una sección de salida 211.

La sección de salida 211 es, por ejemplo, un dispositivo de visualización adaptado para mostrar una imagen o un instrumento adaptado para producir un sonido. La misma sección 211 emite, por ejemplo, una imagen o un sonido que se emiten en forma de una señal desde la sección de descodificación del origen 203. Es decir, la sección de salida 211 muestra una imagen o produce un sonido.

40 El sistema de recepción mostrado en la figura 13 configurado tal como se describió anteriormente es aplicable, por ejemplo, a un receptor de televisión adaptado para recibir emisiones de televisión digital o radio recibida para recibir radiodifusión.

45 Se debe observar que, si la señal OFDM obtenida por la sección de obtención 201 no está codificada mediante compresión, la señal de salida procedente de la sección de descodificación de la línea de transmisión 202 se suministra a la sección de salida 211.

La figura 14 es un diagrama que muestra un ejemplo de configuración de una tercera realización del sistema de recepción al que se ha aplicado la presente invención.

Se debe tener en cuenta que los componentes similares a los de la figura 12 se denotan con los mismos números de referencia, y la descripción de los mismos se omitirá en lo que sigue.

50 El sistema de recepción mostrado en la figura 14 es idéntico al sistema de recepción mostrado en la figura 12 en que incluye la sección de obtención 201 y la sección de descodificación de la línea de transmisión 202.

Sin embargo, el sistema de recepción mostrado en la figura 14 difiere de este en que no incluye la sección de descodificación del origen 203, sino que incluye una sección de grabación 221.

5 La sección de grabación 221 graba (almacena) una señal (por ejemplo, un paquete de TS de MPEG) emitida desde la sección de descodificación de la línea de transmisión 202 sobre un medio de grabación (almacenamiento) como un disco óptico, un disco duro (disco magnético) o una memoria rápida (flash, en inglés).

El sistema de recepción configurado tal como se ha descrito anteriormente es aplicable, por ejemplo, a un grabador adaptado para grabar emisiones de televisión.

10 Se debe observar que el sistema de recepción mostrado en la figura 14 puede incluir la sección de descodificación del origen 203 de modo que la señal codificada en el origen por la misma sección 203, es decir, una imagen o sonido obtenidos mediante descodificación, pueden ser grabados por la sección de grabación 221.

[Descripción del ordenador al que se ha aplicado la presente invención]

15 Por cierto, la serie de procesos anterior puede ser realizada mediante hardware o software. Si la serie de procesos es realizada mediante software, el programa que lo compone está instalado en un ordenador. Aquí, dicho ordenador puede ser incorporado mediante hardware dedicado. Alternativamente, dicho ordenador puede realizar una variedad de funciones cuando está instalado con una variedad de programas.

La figura 15 es un diagrama que muestra un ejemplo de configuración de hardware de computadora que realiza la serie de procesos anterior por el programa.

20 En el ordenador, una CPU (Unidad de procesamiento central – Central Processing Unit, en inglés) 401, una ROM (Memoria de solo lectura – Read Only Memory, en inglés) 402 y una RAM (Memoria de acceso aleatorio – Random Access Memory, en inglés) 403 están conectadas entre sí a través de un bus 404.

Además, una interfaz I/O 405 está conectada al bus 404. Una sección de entrada 406, una sección de salida 407, una sección de almacenamiento 408, una sección de comunicación 409 y una unidad de accionamiento 410 están conectadas a la interfaz I/O 405.

25 La sección de entrada 406 incluye, por ejemplo, un teclado, un ratón y un micrófono. La sección de salida 407 incluye, por ejemplo, una pantalla y un altavoz. La sección de almacenamiento 408 incluye, por ejemplo, un disco duro o una memoria no volátil. La sección de comunicación 409 incluye, por ejemplo, una interfaz de red. La unidad de accionamiento 410 acciona, por ejemplo, un medio extraíble 411 tal como un disco magnético, un disco óptico, un disco magneto-óptico o una memoria de semiconductor.

30 En el ordenador configurado tal como se ha descrito anteriormente, la CPU 401 carga el programa desde la sección de almacenamiento 408 a través de la interfaz I/O 405 y el bus 404 en ejecución, permitiendo de este modo la realización de la serie de procesos anteriores.

El programa ejecutado por el ordenador (CPU 401) puede ser suministrado, grabado en el medio extraíble 411 tal como un medio de paquete. Alternativamente, el programa puede ser suministrado a través de un medio de transmisión por cable o inalámbrico tal como una red de área local, Internet o una radiodifusión digital.

35 En el ordenador, el programa se puede instalar en la sección de almacenamiento 408 a través de la interfaz I/O 405 insertando el medio extraíble 411 en el dispositivo 410. Alternativamente, el programa se puede instalar en la sección de almacenamiento 408 recibiendo el programa con la sección de comunicación 409 a través de un medio de transmisión por cable o inalámbrico. Alternativamente, el programa puede preinstalarse en la ROM 402 o en la sección de almacenamiento 408.

40 En la presente memoria descriptiva, las etapas que describen el programa almacenado en el medio de grabación incluyen no solo los procesos realizados cronológicamente según la secuencia descrita, sino también aquellos que no se realizan necesariamente de manera cronológica, sino que se realizan en paralelo o por separado.

Por otra parte, el término "sistema" se refiere en la presente memoria descriptiva a un aparato como conjunto que está compuesto por una serie de dispositivos.

45

REIVINDICACIONES ENMENDADAS

1. Receptor DVB-T2 (1) que comprende:

5 medios de recepción (11) para recibir una señal de multiplexación de división ortogonal de la frecuencia obtenida modulando una secuencia de paquetes común y una secuencia de paquetes de datos, estando compuesta la secuencia de paquetes común de paquetes comunes a una serie de flujos; y estando compuesta la secuencia de paquetes de datos de paquetes específicos para uno de la serie de flujos, siendo la serie de flujos tuberías de capa física, PLP, y siendo la secuencia de paquetes común un PLP común y siendo la secuencia del paquetes de datos un PLP de datos,

medios de corrección de errores (23) y

10 un circuito de desentrelazado en el tiempo (33) que comprende:

un primer circuito de desentrelazado en el tiempo (33A) para ordenar la secuencia de paquetes común, obtenida demodulando la señal de multiplexación por división ortogonal de la frecuencia recibida, en el dominio de tiempo; y

15 un segundo circuito de desentrelazado en el tiempo (33B) para ordenar la secuencia de paquetes de datos, obtenida demodulando la señal de multiplexación por división ortogonal de la frecuencia recibida, en el dominio de tiempo;

una memoria (52);

20 una parte de control (51) para conmutar la salida hacia el medio de corrección de errores (23) para manejar la corrección de errores del primer circuito de desentrelazado en el tiempo (33A) en el segundo circuito de desentrelazado en el tiempo (33B) si, mientras el primer circuito de desentrelazado en el tiempo (33A) envía su salida al medio de corrección de errores (23), el segundo circuito de desentrelazado en el tiempo (33B) completa su escritura de una unidad predeterminada de información para ser procesada en la memoria (52) y para almacenar la información necesaria para reanudar la salida del primer circuito de desentrelazado (33A).

25 2. Receptor DVB-T2 (1) según la reivindicación 1, en el que

la parte de control (51) conmuta la salida del primer circuito de desentrelazado en el tiempo (33A) al segundo circuito de desentrelazado en el tiempo (33B) cuando se ha completado la entrada de la primera unidad de información predeterminada que se va a procesar si hay dos o más unidades de información predeterminadas para ser procesadas de una trama predeterminada en los otros medios de ordenación.

30 3. Receptor DVB-T2 (1) según la reivindicación 1 o 2, en el que

la parte de control (51) conmuta la salida hacia los medios de corrección de errores del segundo circuito de desentrelazado en el tiempo (33B) al primer circuito de desentrelazado en el tiempo (33A) cuando la salida de la unidad de información predeterminada procesada desde el segundo circuito de desentrelazado en el tiempo (33B) se ha completado.

35 4. Receptor DVB-T2 (1) según la reivindicación 1, 2 o 3, en el que:

dicha parte de control (51) está adaptada además para controlar la salida del primer circuito de desentrelazado en el tiempo (33A) de modo que la salida del primer circuito de desentrelazado en el tiempo (33A), a la cual se conmutó la salida, se reanuda desde el comienzo de la unidad predeterminada que se terminó de manera incompleta.

40 5. Receptor DVB-T2 (1) según la reivindicación 4, en el que

la parte de control (51) conmuta la salida del segundo circuito de desentrelazado en el tiempo (33B) al primer circuito de desentrelazado en el tiempo (33A) cuando hay una unidad de información predeterminada para procesar que ha quedado en el segundo circuito de desentrelazado en el tiempo (33B) si hay dos o más unidades predeterminadas de información para procesar de una trama predeterminada en el segundo circuito de desentrelazado en el tiempo (33B), y

45 a continuación, la parte de control (51) vuelve a conmutar la salida del primer circuito de desentrelazado en el tiempo (33A) al segundo circuito de desentrelazado en el tiempo (33B) después de que la salida de información reanudada por el primer circuito de desentrelazado en el tiempo (33A) se ha completado.

6. Receptor DVB-T2 (1) de la reivindicación 4, en el que

la parte de control (51) conmuta la salida del segundo circuito de desentrelazado en el tiempo (33B) al primer circuito de desentrelazado en el tiempo (33A) cuando la salida de todas las unidades de información procesadas desde el segundo circuito de desentrelazado en el tiempo (33B) se ha completado si hay dos o más unidades de información predeterminadas procesadas de una trama predeterminada en el segundo circuito de desentrelazado en el tiempo (33B).

5

7. Receptor DVB-T2 (1) según una de las reivindicaciones 1 a 6 que comprende, además:

medios de corrección de errores (23) para realizar la corrección de errores en la salida de los circuitos de desentrelazado en el tiempo primero o segundo (33A o 33B).

8. Método de recepción para un receptor DVB-T2 (1), teniendo el receptor DVB-T2 (1) medios de recepción (11), primer y segundo circuitos de desentrelazado en el tiempo (33A y 33B), una parte de control (51), medios de corrección de errores (23) y una memoria (52), comprendiendo el método de recepción las etapas de:

10

recibir, los medios de recepción (11), una señal de multiplexación por división ortogonal de la frecuencia obtenida modulando una secuencia de paquetes común y una secuencia de paquetes de datos, estando la secuencia de paquetes común compuesta por paquetes comunes para una serie de flujos, y estando la secuencia de paquetes de datos compuesta por paquetes específicos para una de la serie de flujos, siendo la serie de flujos tuberías de capa física, PLP, y siendo la secuencia de paquetes común una PLP común y siendo la secuencia de paquetes de datos una PLP de datos;

15

ordenar, el primer circuito de desentrelazado (33A), la secuencia de paquetes común, obtenida demodulando la señal de multiplexación por división ortogonal de la frecuencia recibida, en el dominio del tiempo; y

20

ordenar, el segundo circuito de desentrelazado en el tiempo (33B), la secuencia de paquetes de datos, obtenida demodulando la señal de multiplexación por división ortogonal de la frecuencia recibida, en el dominio de tiempo;

conmutar, la parte de control (51), la salida a los medios de corrección de errores (23) para gestionar la corrección de errores desde el circuito de desentrelazado en el tiempo (33A) al segundo circuito de desentrelazado en el tiempo (33B) si, mientras el circuito de desentrelazado en el tiempo (33A) envía su salida al medio de corrección de errores (23), el circuito de desentrelazado en el tiempo (33B) completa su escritura de una unidad de información predeterminada para ser procesada en la memoria (52) y

25

almacenar la información necesaria para reanudar la salida del primer circuito de desentrelazado (33A).

30

9. Método de recepción según la reivindicación 8, que comprende, además:

conmutar, la parte de control (51), la salida del primer circuito de desentrelazado en el tiempo (33A) al segundo circuito de desentrelazado en el tiempo (33B) cuando la entrada de la primera unidad de información predeterminada para ser procesada se ha completado si hay dos o más unidades predeterminadas de información para ser procesadas de una trama predeterminada en los otros medios de ordenación.

35

10. Método de recepción según la reivindicación 8 o 9, que comprende, además:

conmutar, la parte de control (51), la salida a los medios de corrección de errores desde el segundo circuito de desentrelazado en el tiempo (33B) al primer circuito de desentrelazado en el tiempo (33A) cuando la salida de la unidad de información predeterminada procesada desde el segundo circuito de desentrelazado en el tiempo (33B) se ha completado.

40

11. Método de recepción según cualquiera de las reivindicaciones 8, 9 o 10, que comprende, además:

controlar, dicha parte de control (51), la salida del circuito de desentrelazado en el tiempo (33A) de modo que la salida del primer circuito de desentrelazado en el tiempo (33A), al que se ha conmutado la salida, es reanudada desde el comienzo de la unidad predeterminada que finalizó de manera incompleta.

45

12. Método de recepción según la reivindicación 11 que comprende, además:

conmutar, la parte de control (51), la salida del segundo circuito de desentrelazado en el tiempo (33B) al primer circuito de desentrelazado en el tiempo (33A) cuando hay una unidad predeterminada de información que procesar que ha quedado en el segundo circuito de desentrelazado en el tiempo (33B) si hay dos o más unidades predeterminadas de información para ser procesadas de una trama predeterminada en el segundo circuito de desentrelazado en el tiempo (33B), y

50

a continuación, cambiar, la parte de control (51), la salida nuevamente del primer circuito de desentrelazado en el tiempo (33A) al segundo circuito de desentrelazado en el tiempo (33B) después de que la información de la reanudación ha sido completada por el primer circuito de desentrelazado en el tiempo (33A).

13. Método de recepción según la reivindicación 11, que comprende, además:

5 conmutar, la parte de control (51), la salida del segundo circuito de desentrelazado en el tiempo (33B) al primer circuito de desentrelazado en el tiempo (33A) cuando la salida de todas las unidades de información de procesadas desde el segundo circuito de desentrelazado en el tiempo (33B) se ha completado si hay dos o más unidades de información predeterminadas procesadas de una trama predeterminada en el segundo circuito de desentrelazado en el tiempo (33B).

10 14. Método de recepción según cualquiera de las reivindicaciones 8 a 13, que comprende, además:

realizar la corrección de errores, los medios de corrección de errores (23), en la salida del primer o del segundo circuito de desentrelazado en el tiempo (33A o 33B).

15. Programa para ordenador, que, cuando se carga en el ordenador, está adaptado para llevar a cabo las etapas del método de recepción de cualquiera de las reivindicaciones 8 a 14.

FIG. 1

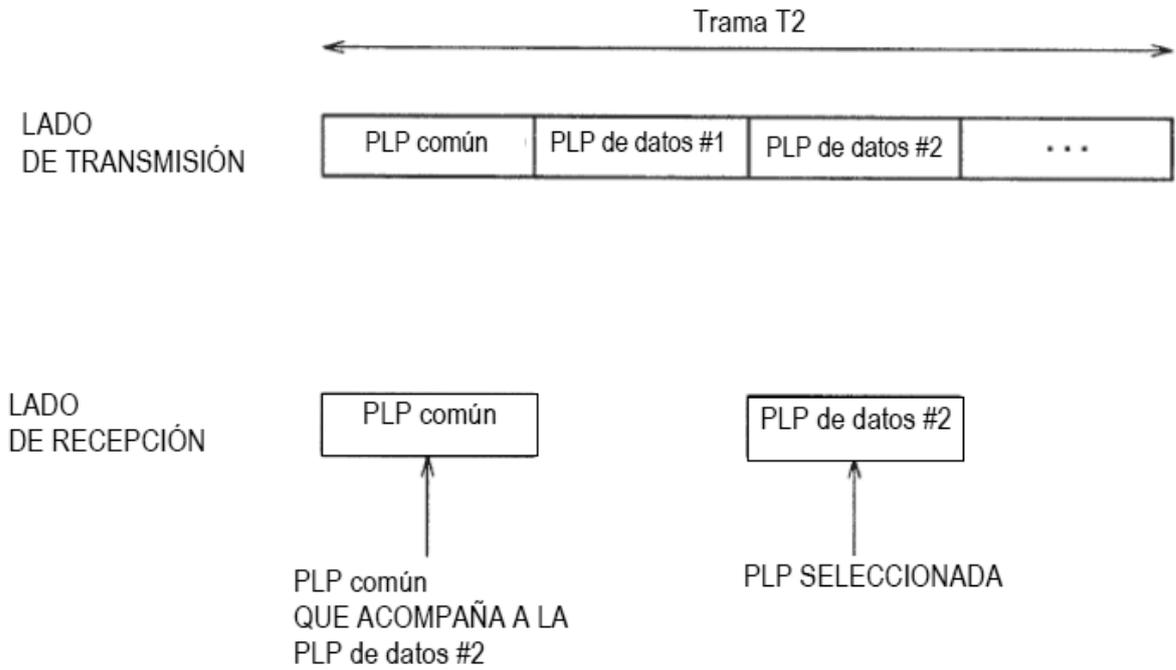


FIG. 2A

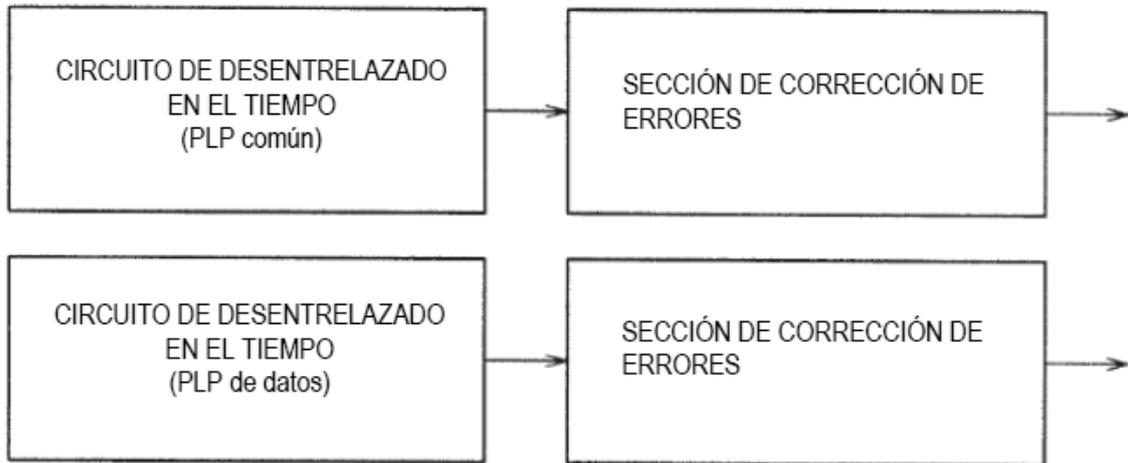


FIG. 2B

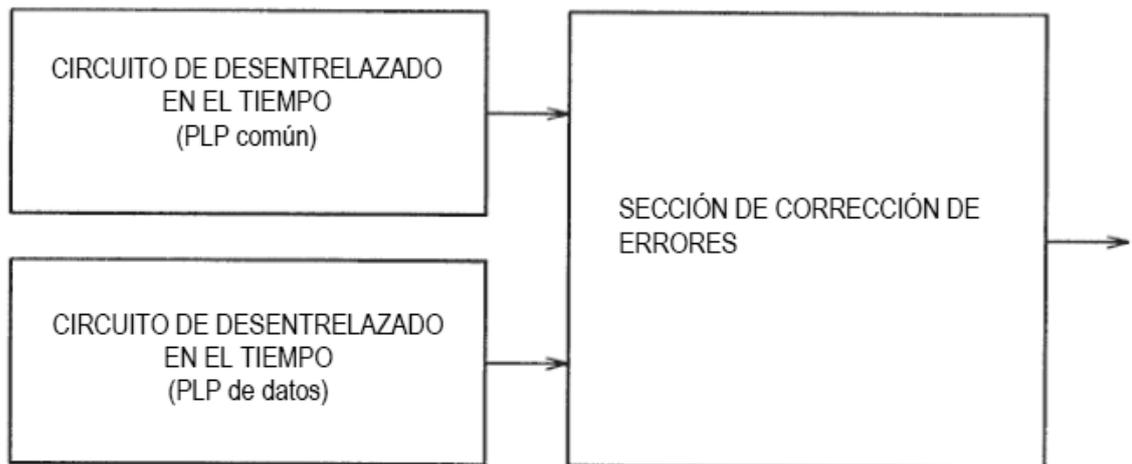


FIG. 3A

NTI=1

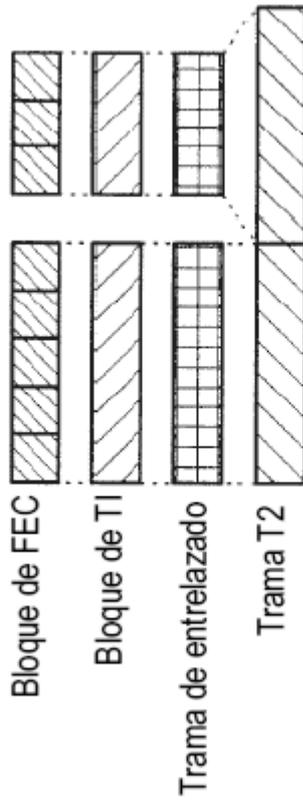


FIG. 3B

NTI=3

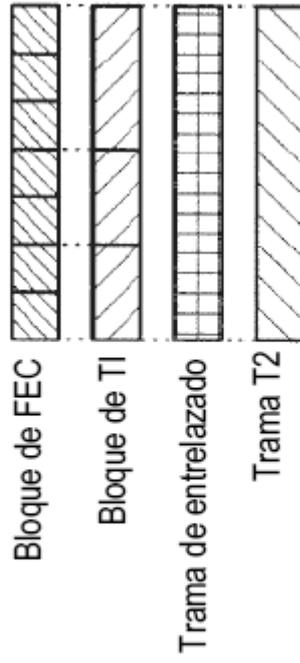


FIG. 4

CUANDO $NTI = 1$

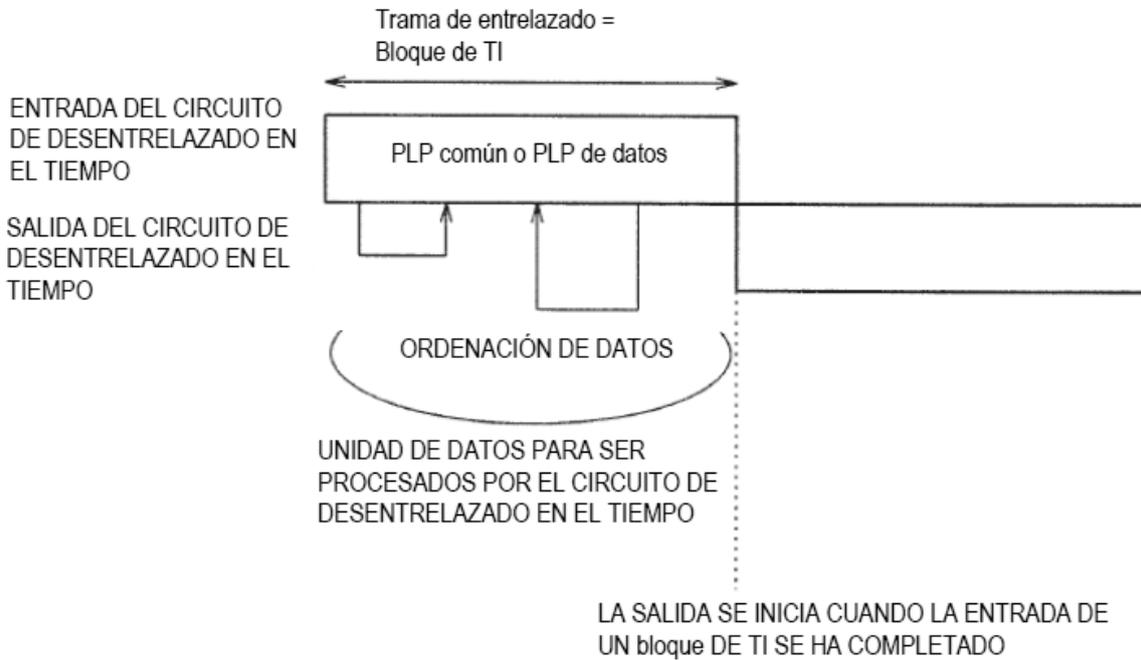


FIG. 5

CUANDO $NTI > 1$

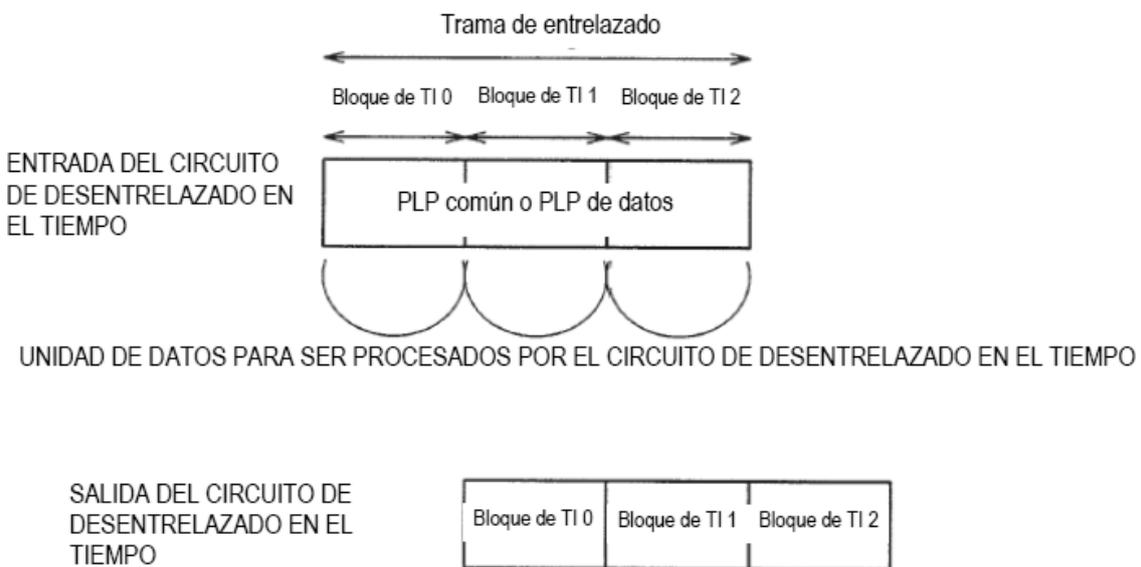


FIG. 6

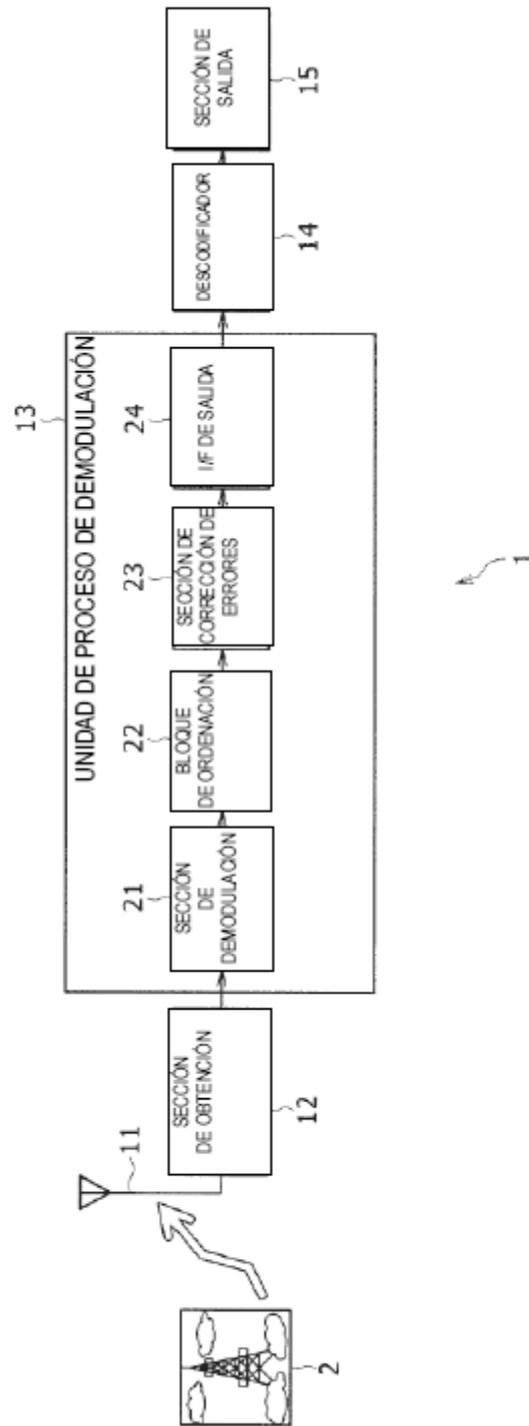


FIG. 7

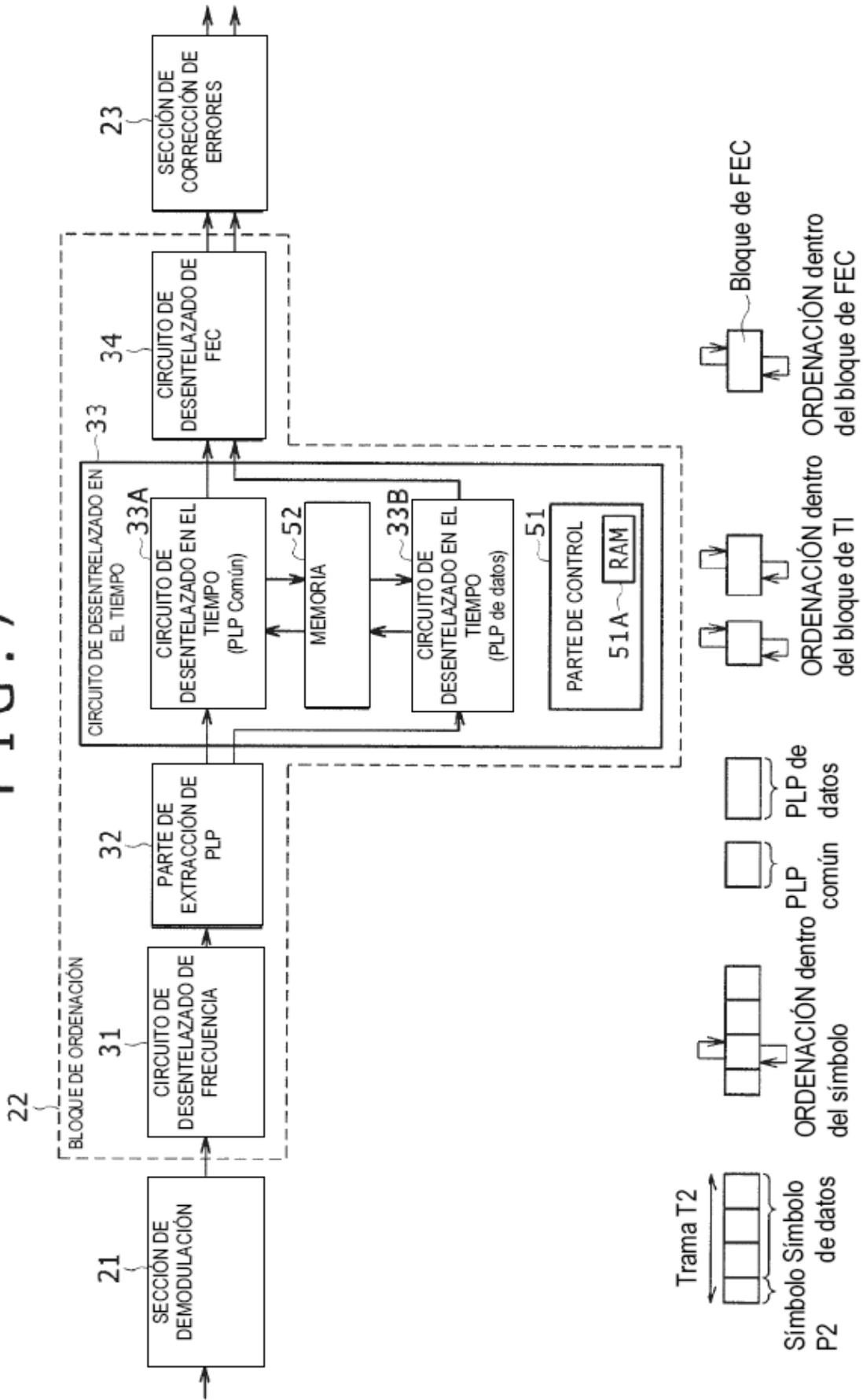


FIG. 8

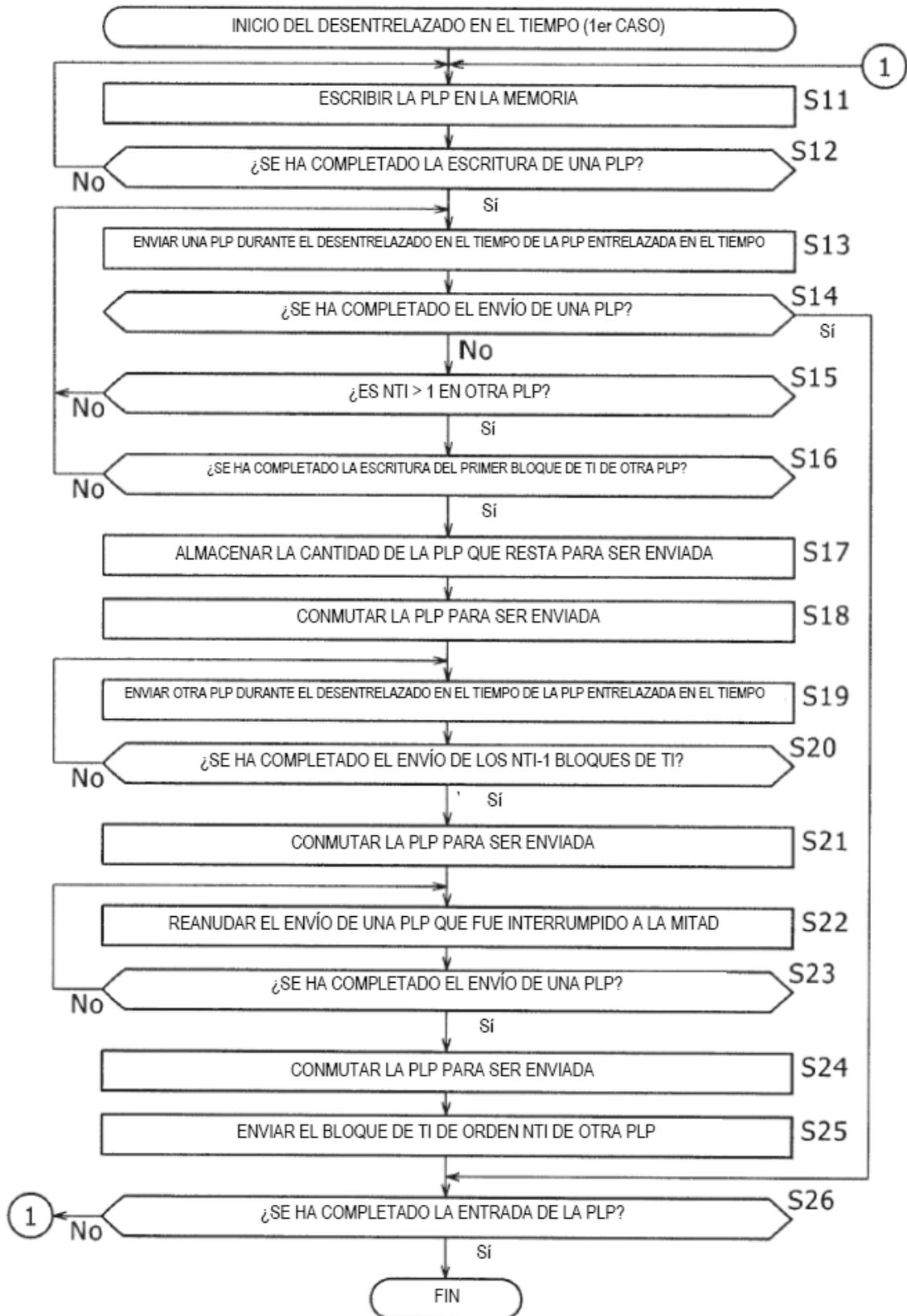


FIG. 9

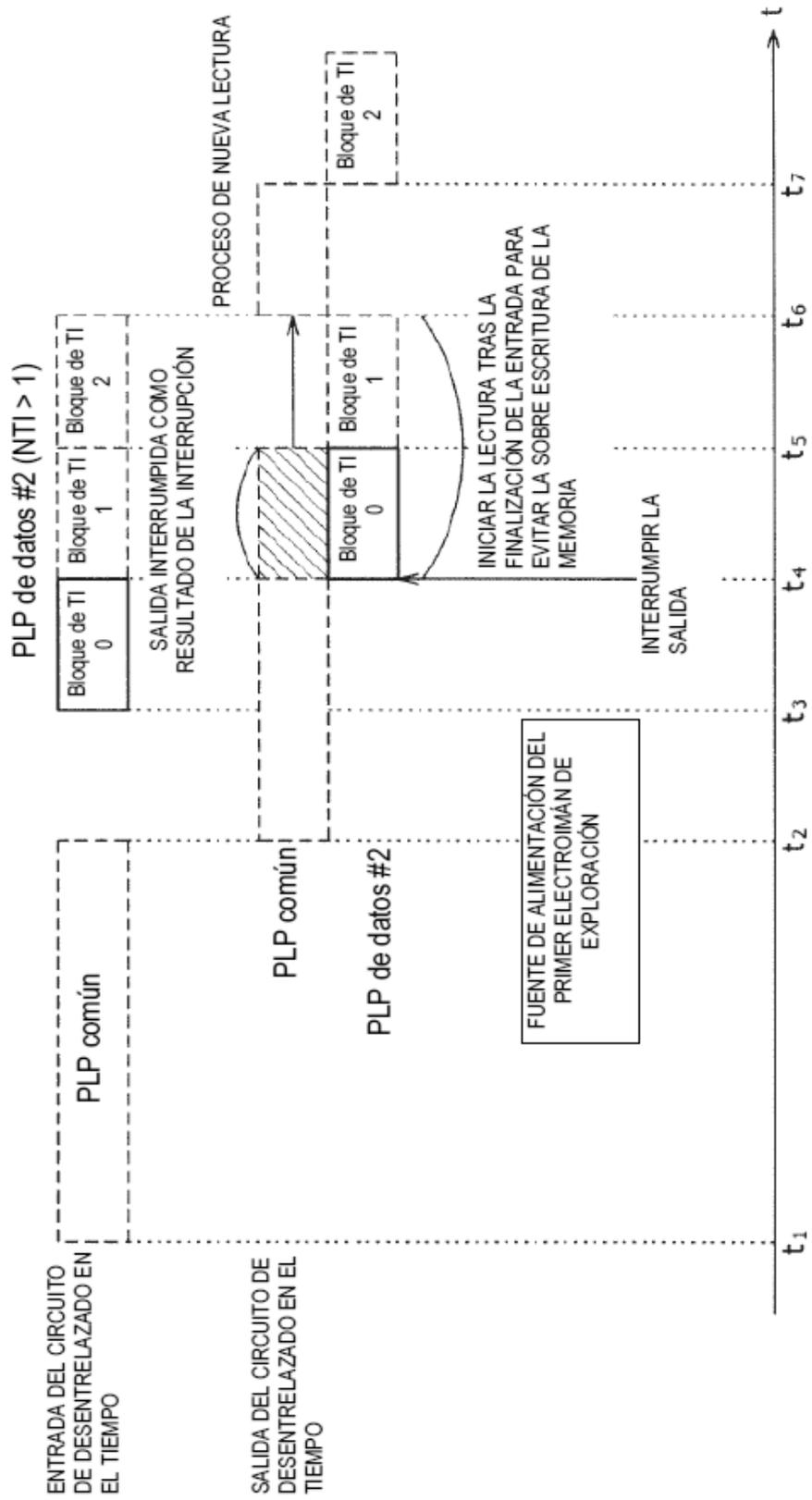


FIG.10

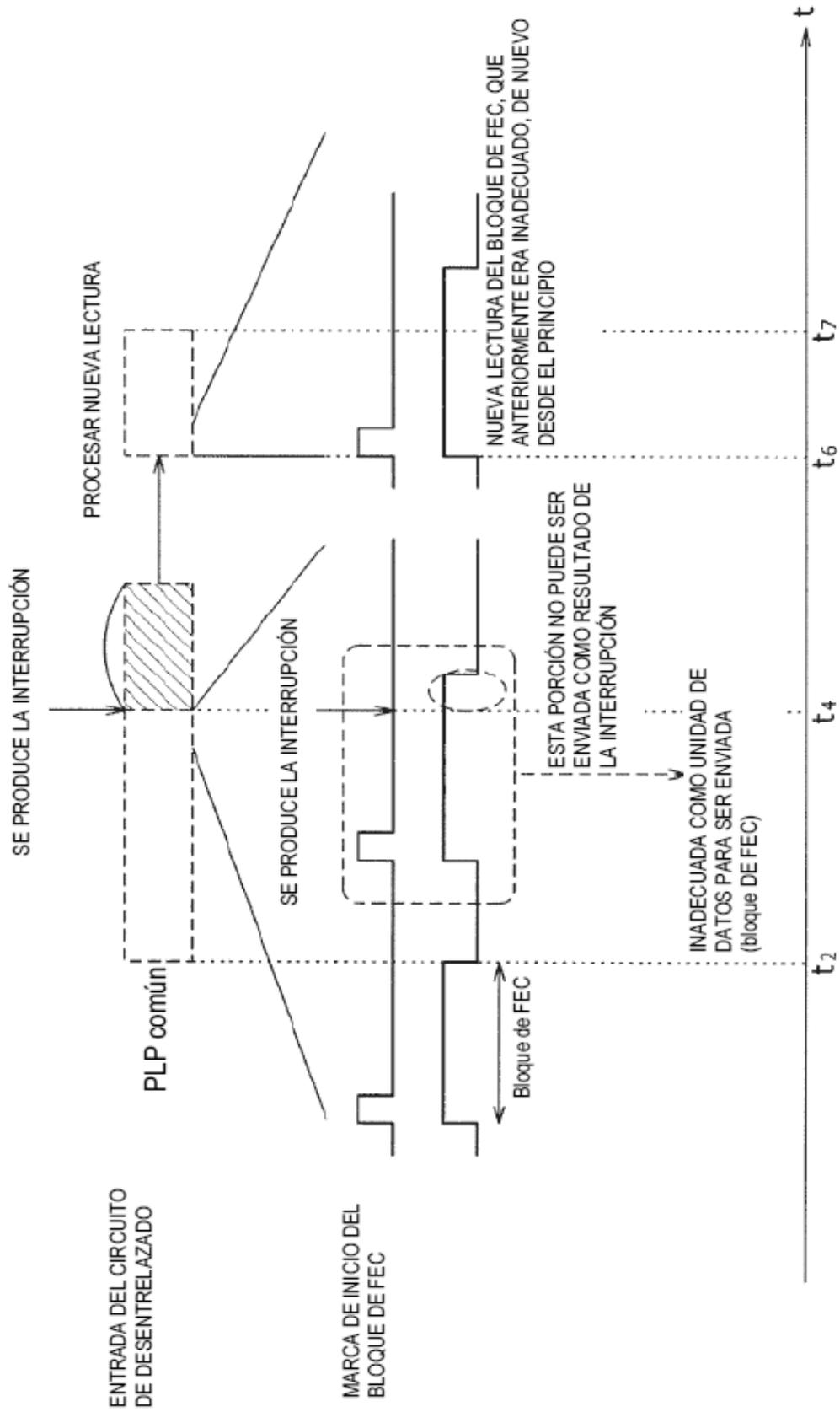


FIG. 11

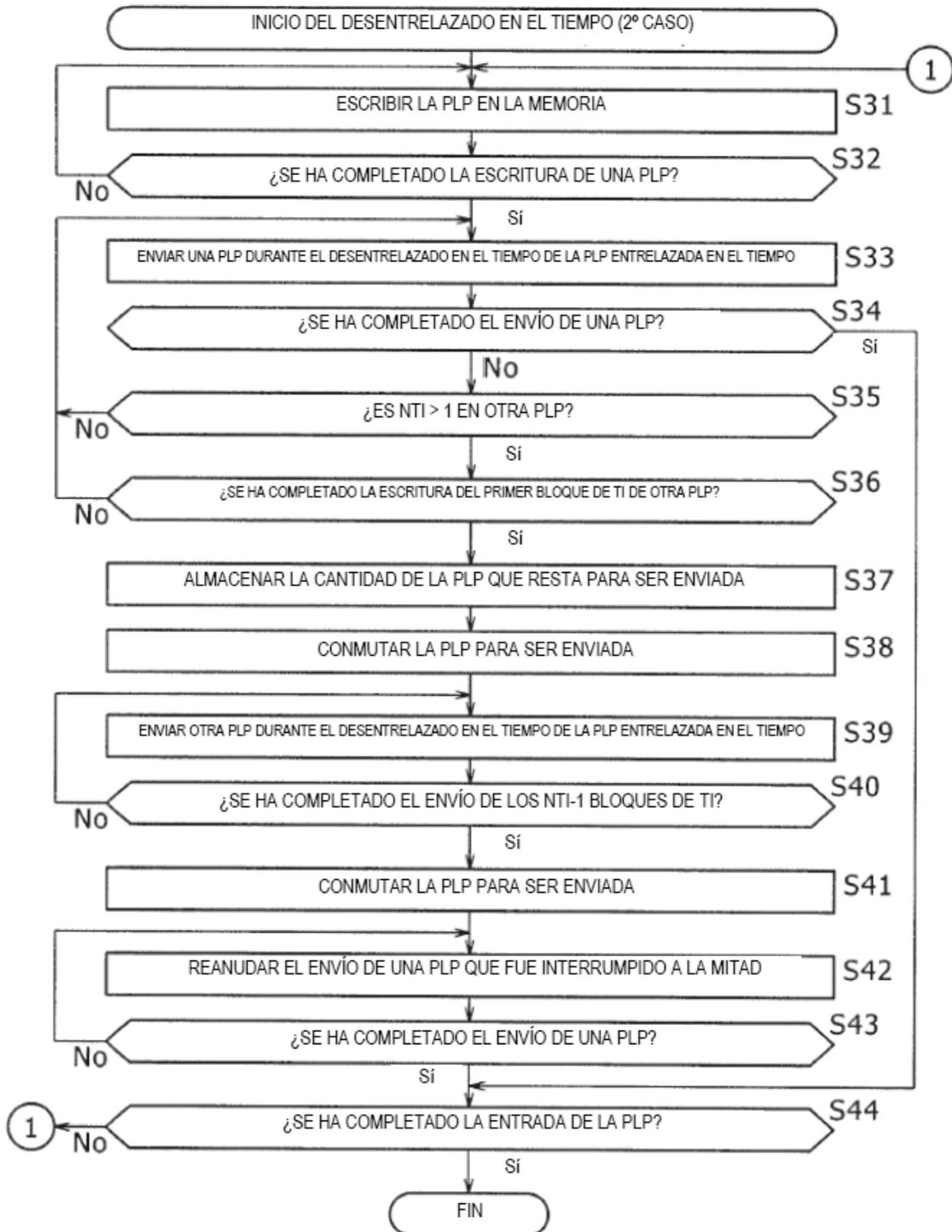


FIG.12

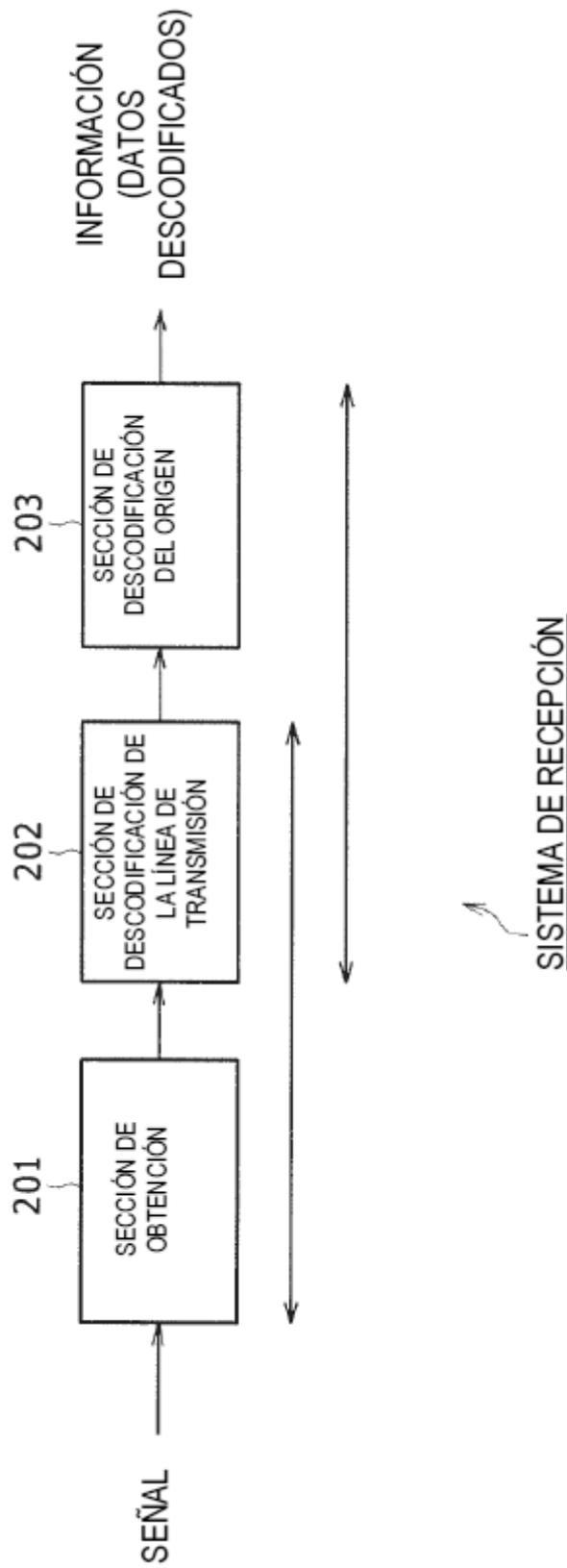


FIG. 13

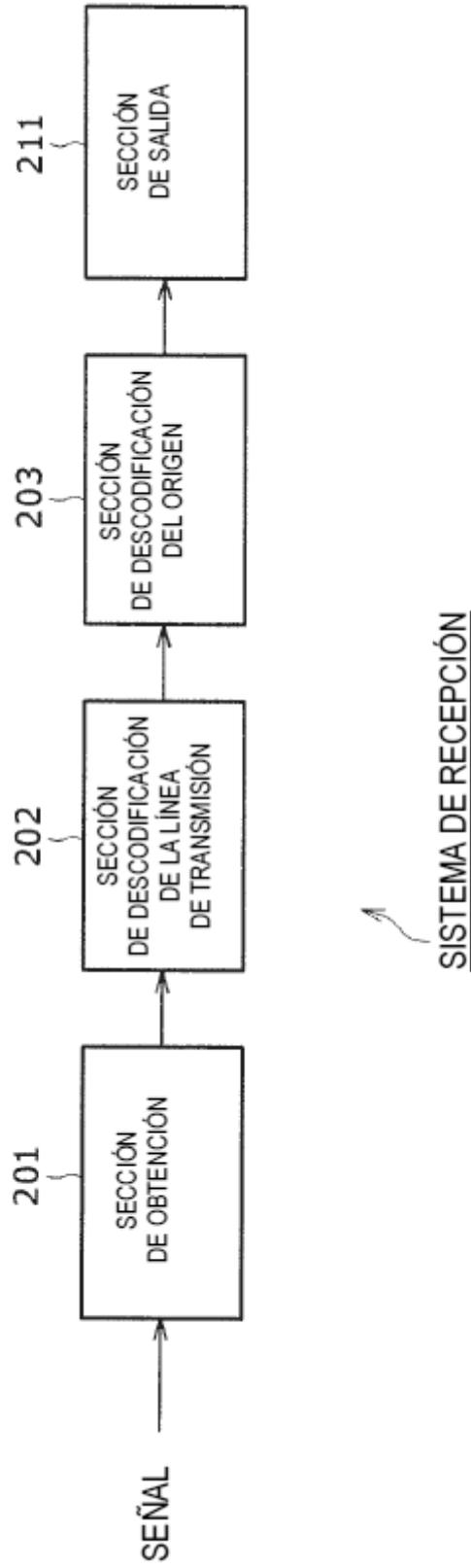


FIG.14

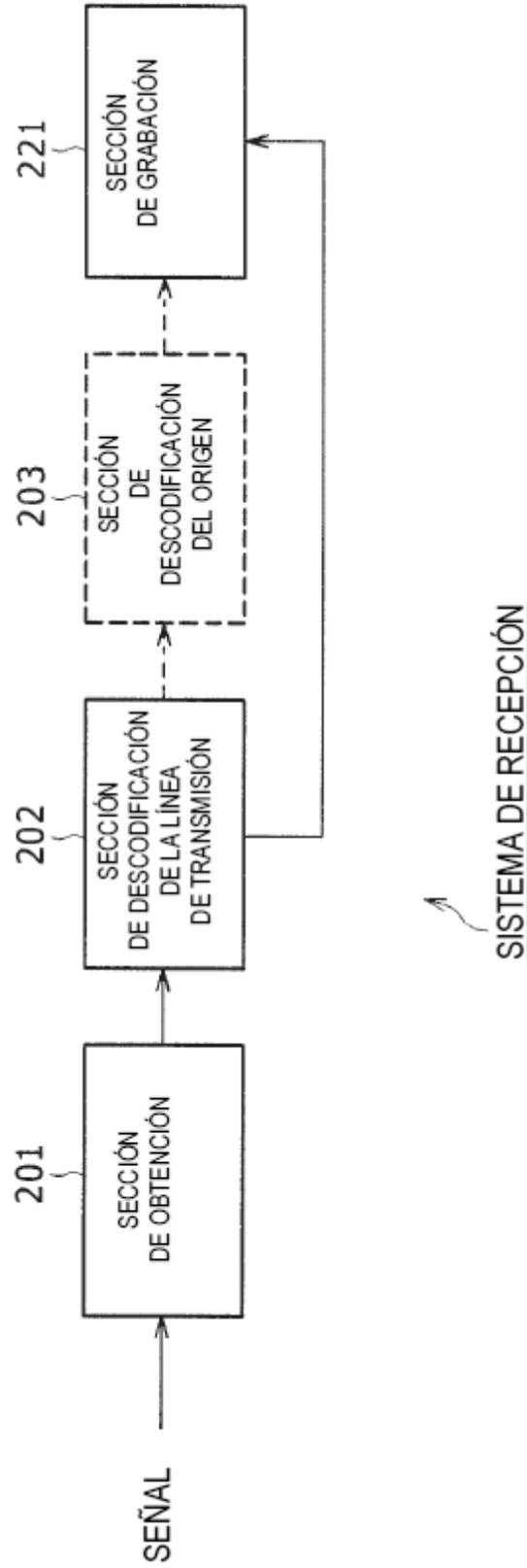


FIG.15

