

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 663 132**

51 Int. Cl.:

G06F 13/40 (2006.01)

G06F 1/26 (2006.01)

H04L 12/10 (2006.01)

H05B 37/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **24.03.2015 E 15160604 (3)**

97 Fecha y número de publicación de la concesión europea: **31.01.2018 EP 2933946**

54 Título: **Chip de equipo fuente de alimentación y método de alimentación sobre Ethernet**

30 Prioridad:

14.04.2014 CN 201410146623

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

11.04.2018

73 Titular/es:

**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)
Huawei Administration Building, Bantian,
Longgang District
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:

**ZHUANG, YAN;
ZHAO, CHAO;
FU, SHIYONG y
HUA, RUI**

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 663 132 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Chip de equipo fuente de alimentación y método de alimentación sobre Ethernet

Campo técnico

5 La presente invención está relacionada con el campo de alimentación sobre Ethernet (en inglés: Power over Ethernet, PoE para abreviar) y, en particular, con un chip de un equipo fuente de alimentación (en inglés: power sourcing equipment, PSE para abreviar), un equipo fuente de alimentación y un sistema y método de alimentación sobre Ethernet.

Antecedentes

10 Los dispositivos en un sistema PoE se dividen en equipos fuente de alimentación y dispositivos alimentados (en inglés: powered device, PD para abreviar). El equipo fuente de alimentación suministra alimentación al dispositivo alimentado utilizando un cable Ethernet. En general, una pluralidad de PD diferentes alimentados por un único PSE difieren enormemente en forma y función y, por lo tanto, el PSE gestiona el suministro de alimentación de los PD basado en puertos.

15 En una aplicación de iluminación sobre Ethernet (en inglés: Lighting over Ethernet, LoE para abreviar) de alimentación sobre Ethernet, una pluralidad de diferentes PD alimentados por un único PSE es una fuente de luz eléctrica alimentada (en inglés: electric powered light source), por ejemplo, un diodo emisor de luz (en inglés: light-emitting diode, LED para abreviar). Estos PD son parecidos en forma y función. Además, en la aplicación LoE puede ser necesario que se encienda simultáneamente una pluralidad de fuentes de luz. El requisito anterior no se puede satisfacer gestionando el suministro de alimentación de PD basado en puertos.

20 El documento LINEAR TECHNOLOGY LTC4259 Quad Power over Ethernet Controller with AC Disconnect (Controlador de alimentación sobre Ethernet cuádruple LTC4259 DE TECNOLOGÍA LINEAL con Desconexión AC) (2003) divulga un chip PSE convencional con un registro. El registro se utiliza para encender/apagar canales PSE.

Resumen

25 La presente invención proporciona un chip PSE, un equipo fuente de alimentación, y un sistema y un método de alimentación sobre Ethernet, con el fin de conseguir un control simultáneo de una pluralidad de PD en un sistema PoE.

De acuerdo con un primer aspecto, se proporciona un chip PSE, donde el chip PSE incluye un primer registro;

30 el chip PSE está configurado para controlar un canal de alimentación del chip PSE de acuerdo con un valor almacenado en el primer registro, donde el valor almacenado en el primer registro incluye al menos un bit de control, y cada uno del al menos un bit de control se corresponde a un canal de alimentación del chip PSE;

35 el chip PSE cambia, en respuesta a una primera instrucción, el valor almacenado en el primer registro a un primer byte de datos en la primera instrucción, donde la primera instrucción es una instrucción de escritura, y la primera instrucción incluye la primera dirección esclava, un primer byte de comando y un primer byte de datos, la primera dirección esclava es una dirección del chip PSE, y un valor del primer byte de comando es una dirección del primer registro; y

40 el chip PSE cambia, en respuesta a una segunda instrucción, el valor almacenado en el primer registro a un valor calculado, donde la segunda instrucción es una instrucción de escritura, la segunda instrucción incluye la segunda dirección esclava, el primer byte de comando y un segundo byte de datos, la segunda dirección esclava es una dirección virtual de un grupo virtual de alimentación, y el valor calculado es un resultado obtenido mediante cálculo en función del segundo byte de datos en la segunda instrucción y un valor de indicación de canal del grupo virtual de alimentación y está almacenado en el chip PSE, donde

45 el valor de indicación de canal del grupo virtual de alimentación incluye al menos un bit utilizado, cada uno del al menos un bit utilizado se corresponde con uno del al menos un canal de alimentación del chip PSE, y un valor de cada uno del al menos un bit utilizado indica si se añade un canal de alimentación correspondiente al grupo virtual de alimentación.

Haciendo referencia al primer aspecto, en una primera forma de implementación del primer aspecto, el chip PSE incluye, además, un segundo registro, y el segundo registro almacena el valor de indicación de canal del grupo virtual de alimentación.

50 Haciendo referencia a la primera forma de implementación del primer aspecto, en una segunda forma de implementación del primer aspecto, existe una pluralidad de grupos virtuales de alimentación, el chip PSE incluye una pluralidad de segundos registros, y la correspondencia entre la pluralidad de grupos virtuales de alimentación y la pluralidad de segundos registros es biyectiva.

5 Haciendo referencia a la primera forma de implementación o segunda forma de implementación del primer aspecto, en una tercera forma de implementación del primer aspecto, el chip PSE cambia, en respuesta a una tercera instrucción, un valor almacenado en el segundo registro a un tercer byte de datos en la tercera instrucción, donde la tercera instrucción es una instrucción de escritura, la tercera instrucción incluye la primera dirección esclava, un segundo byte de comando y el tercer byte de datos, y el segundo byte de comando es una dirección del segundo registro.

Haciendo referencia al primer aspecto, en una cuarta forma de implementación del primer aspecto, el chip PSE incluye, además, un tercer registro, y el tercer registro almacena un bit utilizado del al menos un bit utilizado del valor de indicación de canal del grupo virtual de alimentación.

10 Haciendo referencia a la cuarta forma de implementación del primer aspecto, en una quinta forma de implementación del primer aspecto, existe una pluralidad de grupos virtuales de alimentación, el mapeo de una pluralidad de bits de indicación en un valor almacenado en el tercer registro a la pluralidad de grupos virtuales de alimentación es inyectivo, y cada uno de la pluralidad de bits de indicación en el valor almacenado en el tercer registro almacena el bit x-ésimo del al menos un bit utilizado del valor de indicación de canal de un grupo virtual de alimentación correspondiente, donde x es un entero mayor o igual que uno.

15 Haciendo referencia a la cuarta forma de implementación o a la quinta forma de implementación del primer aspecto, en una sexta forma de implementación del primer aspecto, el chip PSE cambia, en respuesta a una cuarta instrucción, el valor almacenado en el tercer registro a un cuarto byte de datos en la cuarta instrucción, donde la cuarta instrucción es una instrucción de escritura, la cuarta instrucción incluye la primera dirección esclava, un tercer byte de comando y el cuarto byte de datos, y el tercer byte de comando es una dirección del tercer registro.

20 De acuerdo con un segundo aspecto, se proporciona un equipo fuente de alimentación, donde el equipo fuente de alimentación incluye un procesador, una memoria, un circuito de alimentación de puertos, un puerto Ethernet, y el chip PSE de acuerdo con uno cualquiera del primer aspecto y de la primera forma de implementación a la sexta forma de implementación del primer aspecto;

el procesador está conectado a la memoria utilizando un bus;

el procesador está conectado al chip PSE;

el chip PSE está conectado al puerto Ethernet utilizando el circuito de alimentación de puertos; y

25 la memoria almacena un programa, y el procesador envía la primera instrucción y la segunda instrucción al chip PSE de acuerdo con el programa.

De acuerdo con un tercer aspecto, se proporciona un sistema de alimentación sobre Ethernet, donde el sistema de alimentación sobre Ethernet incluye una pluralidad de dispositivos alimentados y el equipo fuente de alimentación de acuerdo con el segundo aspecto anterior; y

35 cada uno de la pluralidad de dispositivos alimentados está conectado al puerto Ethernet del equipo fuente de alimentación.

Haciendo referencia al tercer aspecto, en una primera forma de implementación del tercer aspecto, el sistema de alimentación sobre Ethernet es un sistema de iluminación sobre Ethernet, y los dispositivos alimentados son fuentes de luz de alimentación eléctrica.

40 De acuerdo con un cuarto aspecto, se proporciona un método de alimentación sobre Ethernet, donde el método incluye:

recibir, por parte de un chip PSE, una primera instrucción;

45 cambiar, por parte del chip PSE en respuesta a la primera instrucción, un valor almacenado en un primer registro a un primer byte de datos en la primera instrucción, donde la primera instrucción es una instrucción de escritura, la primera instrucción incluye la primera dirección esclava, un primer byte de comando y el primer byte de datos, la primera dirección esclava es una dirección del chip PSE, un valor del primer byte de comando es una dirección del primer registro, el primer registro se encuentra en el chip PSE, el chip PSE está configurado para controlar un canal de alimentación del chip PSE en función del valor almacenado en el primer registro, el valor almacenado en el primer registro incluye al menos un bit de control, y cada uno del al menos un bit de control se corresponde a un canal de alimentación del chip PSE;

50 recibir, por parte del chip PSE, una segunda instrucción; y

cambiar, por parte del chip PSE en respuesta a la segunda instrucción, el valor almacenado en el primer registro a un valor calculado, donde la segunda instrucción es una instrucción de escritura, la segunda instrucción incluye la segunda dirección esclava, el primer byte de comando y un segundo byte de datos, la segunda dirección

esclava es una dirección virtual de un grupo virtual de alimentación, y el valor calculado es un resultado obtenido mediante cálculo en función del segundo byte de datos en la segunda instrucción y un valor de indicación de canal del grupo virtual de alimentación y está almacenado en el chip PSE, donde

5 el valor de indicación de canal del grupo virtual de alimentación incluye al menos un bit utilizado, cada uno del al menos un bit utilizado se corresponde con uno del al menos un canal de alimentación del chip PSE, y un valor de cada uno del al menos un bit utilizado indica si se añade un canal de alimentación correspondiente al grupo virtual de alimentación.

Haciendo referencia al cuarto aspecto, en una primera forma de implementación del cuarto aspecto, el método incluye, además:

10 recibir, por parte del chip PSE, una tercera instrucción; y

cambiar, por parte del chip PSE en respuesta a la tercera instrucción, un valor almacenado en un segundo registro a un tercer byte de datos en la tercera instrucción, donde la tercera instrucción es una instrucción de escritura, la tercera instrucción incluye la primera dirección esclava, un segundo byte de comando y el tercer byte de datos, y el segundo byte de comando es una dirección del segundo registro, donde

15 el segundo registro se encuentra en el chip PSE, y el segundo registro almacena el valor de indicación de canal del grupo virtual de alimentación.

Haciendo referencia a la primera forma de implementación del cuarto aspecto, en una segunda forma de implementación del cuarto aspecto, existe una pluralidad de grupos virtuales de alimentación, el chip PSE incluye una pluralidad de segundos registros, y una correspondencia entre la pluralidad de grupos virtuales de alimentación y la pluralidad de segundos registros es biyectiva.

20 Haciendo referencia al cuarto aspecto, en una tercera forma de implementación del cuarto aspecto, el método incluye, además:

recibir, por parte del chip PSE, una cuarta instrucción; y

25 cambiar, por parte del chip PSE en respuesta a la cuarta instrucción, un valor almacenado en un tercer registro a un cuarto byte de datos en la cuarta instrucción, donde la cuarta instrucción es una instrucción de escritura, la cuarta instrucción incluye la primera dirección esclava, un tercer byte de comando y el cuarto byte de datos, y el tercer byte de comando es una dirección del tercer registro, donde

el tercer registro se encuentra en el chip PSE, y el tercer registro almacena un bit utilizado del al menos un bit utilizado del valor de indicación de canal del grupo virtual de alimentación.

30 Haciendo referencia a la tercera forma de implementación del cuarto aspecto, en una cuarta forma de implementación del cuarto aspecto, existe una pluralidad de grupos virtuales de alimentación, el mapeo de una pluralidad de bits de indicación en un valor almacenado en el tercer registro a la pluralidad de grupos virtuales de alimentación es inyectivo, y cada uno de la pluralidad de bits de indicación en el valor almacenado en el tercer registro almacena el bit x-ésimo del al menos un bit utilizado del valor de indicación de canal de un grupo virtual de alimentación correspondiente, donde x es un entero mayor o igual que uno.

De acuerdo con la presente invención, en un chip PSE se almacena información que indica si se añade un canal de alimentación a un grupo virtual de alimentación, con el fin de poder controlar en cualquier momento los canales de alimentación añadidos a un grupo virtual de alimentación.

Breve descripción de los dibujos

40 La FIG. 1 es un diagrama de la estructura de un PSE de acuerdo con un modo de realización de la presente invención; y

la FIG. 2 es un diagrama de la estructura de un sistema PoE de acuerdo con un modo de realización de la presente invención.

Descripción de los modos de realización

45 Un chip PSE es un chip diseñado para soportar una función PSE en un requisito de un protocolo PoE, y generalmente puede proporcionar una función de detección (en inglés: detection). Algunos chips PSE pueden proporcionar, además, una función de clasificación (en inglés: classification). Chips PSE comunes son los siguientes: MAX5952 y MAX5971B de Maxim Integrated (en inglés: Maxim Integrated), TPS23841 y TPS23851 de Texas Instruments (en inglés: Texas Instruments), LTC4266, LTC4270, LTC4274 y LTC4290 de Linear Technology (en inglés: Linear Technology), etc. En general, en un PSE, un chip PSE está conectado a una unidad central de proceso (en inglés: central processing unit, CPU para abreviar) utilizando un bus de Circuito Inter Integrado (en inglés: Inter-Integrated Circuit, IIC para abreviar). La CPU puede leer y escribir un registro del

chip PSE utilizando el bus IIC. El número de canales de alimentación soportados por el chip PSE puede ser 1, 4, 8 ó 12. Sin embargo, dentro del chip PSE que soporta 8 ó 12 canales de alimentación, cuatro canales de alimentación se utilizan como quad (en inglés: quad), y las direcciones esclavas (en inglés: slave address) de diferentes quads son diferentes y, por lo tanto, la CPU no puede implementar, utilizando una única instrucción IIC, el control sobre los 8 ó 12 canales de alimentación al mismo tiempo. Además, si un PSE dispone de una pluralidad de chips PSE y proporciona más canales de alimentación que un único chip PSE, la CPU no puede implementar, utilizando una única instrucción IIC, el control sobre todos los canales de alimentación de la pluralidad de chips PSE al mismo tiempo.

A continuación, se describe un modo de realización de la presente invención haciendo referencia a la FIG. 1.

La FIG. 1 es un diagrama de la estructura de un PSE de acuerdo con el modo de realización de la presente invención. El PSE puede ser un conmutador de red, un hub (concentrador) Ethernet (en inglés: Ethernet hub), un dispositivo inyector PoE externo (en inglés: midspan), un router (encaminador), u otro dispositivo con una función PoE. El PSE incluye un procesador, una memoria, un chip PSE, un circuito de alimentación de puertos y un puerto Ethernet. Si el PSE es un conmutador de red, un hub Ethernet o un router, el PSE incluye, además, un chip de capa física (en inglés: physical layer, PHY para abreviar) Ethernet. El procesador está conectado a la memoria y el chip PHY utilizando un bus. El procesador está conectado al chip PSE. El chip PHY proporciona un canal de datos Ethernet. El chip PSE controla un canal de alimentación. El chip PSE está conectado al puerto Ethernet utilizando el circuito de alimentación de puertos. El chip PHY está conectado al puerto Ethernet. La FIG. 1 está dibujada utilizando como ejemplo cuatro puertos Ethernet, pero no se limita a ellos el número de puertos Ethernet proporcionados por el PSE. La memoria almacena un programa, y el procesador envía, al chip PSE de acuerdo con el programa, una instrucción utilizada para controlar un canal de alimentación. Por ejemplo, el procesador puede enviar sucesivamente, de acuerdo con el tiempo predeterminado en el programa, una pluralidad de instrucciones utilizadas para controlar un canal de alimentación; o el procesador puede proporcionar una interfaz de línea de comandos (en inglés: command-line interface, CLI para abreviar) o una interfaz gráfica de usuario (en inglés: graphical user interface, GUI para abreviar) de acuerdo con el programa, y enviar, de acuerdo con un comando desde la CLI o la GUI, una instrucción utilizada para controlar un canal de alimentación; o el procesador puede enviar, de acuerdo con el programa y un mensaje desde otro dispositivo, una instrucción utilizada para controlar un canal de alimentación, donde el mensaje se puede recibir desde un puerto Ethernet o se puede recibir desde otro puerto, por ejemplo, un controlador de interfaz de red inalámbrica. La memoria puede ser una memoria volátil (en inglés: volatile memory), por ejemplo, una memoria de acceso aleatorio (en inglés: random-access memory, RAM para abreviar); o la memoria puede ser una memoria no volátil (en inglés: non-volatile memory), por ejemplo, una memoria de solo lectura (en inglés: read-only memory), una memoria flash (en inglés: flash memory), un controlador de disco duro (en inglés: hard disk drive, HDD para abreviar), o un disco de estado sólido (en inglés: solid-state drive, SSD para abreviar); o la memoria también puede ser una combinación de memorias de los tipos anteriores. Una fuente de alimentación proporcionada por el PSE al puerto Ethernet es generalmente una fuente de alimentación de -48 V. El PSE puede incluir una pluralidad de chips PSE, y la pluralidad de chips PSE está conectada al procesador utilizando un mismo bus, con el fin de recibir una instrucción enviada por el procesador.

El chip PSE incluye un primer registro 102. El primer registro 102 puede ser un fichero 104 de registro (en inglés: register file). El chip PSE puede incluir, además, una interfaz 106 y un controlador 108 de puertos. La interfaz 106 está conectada al fichero 104 de registros. El controlador 108 de puertos está conectado al fichero 104 de registros. El chip PSE puede incluir, además, una unidad lógica (en inglés: logic unit), la unidad lógica está conectada al fichero 104 de registros, y la unidad lógica está conectada al controlador 108 de puertos. La unidad lógica es un circuito lógico que controla el chip PSE.

La interfaz 106 puede ser una interfaz IIC. La interfaz 106 está conectada a la CPU, y el chip PSE recibe, utilizando la interfaz 106, una instrucción enviada por la CPU. El controlador 108 de puertos está conectado al circuito de alimentación de puertos fuera del chip PSE utilizando un pin (en inglés: pin) del chip PSE. El controlador 108 de puertos controla un canal de alimentación correspondiente del PSE cambiando la salida de un pin. El chip PSE controla la salida del pin del chip PSE utilizando el controlador 108 de puertos en función de un valor almacenado en el primer registro 102. El circuito de alimentación de puertos incluye, en general, un circuito de conmutación y una fuente de alimentación. El circuito de conmutación puede ser un transistor de efecto de campo de semiconductor de óxido metálico (en inglés: metal-oxide-semiconductor field-effect transistor, MOSFET para abreviar), o puede ser otro componente con una función de conmutación, por ejemplo, un transistor de efecto de campo con puerta de unión (en inglés: junction gate field-effect transistor, JFET para abreviar) o un transistor de unión bipolar (en inglés: bipolar junction transistor, BJT para abreviar). En un ejemplo en el que el circuito de conmutación es un MOSFET, un pin de puerta del chip PSE está conectado a una puerta del MOSFET. El controlador 108 de puertos controla el canal de alimentación correspondiente del PSE cambiando un nivel de salida del pin de puerta al circuito de conmutación. En caso de que el nivel del pin de puerta del chip PSE sea un nivel alto, el MOSFET está activo (en inglés: active); en caso de que el nivel del pin de puerta del chip PSE sea un nivel bajo, el MOSFET está en modo desconexión (en inglés: cutoff). Cuando el MOSFET se encuentra activo, existe conductividad entre la fuente de alimentación y el puerto Ethernet, y el PSE proporciona alimentación al puerto Ethernet. Cuando el MOSFET se encuentra en modo de corte, no existe conductividad entre la fuente de alimentación y el puerto Ethernet, y el PSE no proporciona alimentación al puerto Ethernet. Un

pin de detección del chip PSE está conectado al puerto Ethernet, con el fin de realizar una operación de detección sobre el puerto Ethernet. Si el chip PSE proporciona, además, una función de clasificación, el pin de detección del chip PSE puede estar configurado, además, para realizar una operación de clasificación sobre el puerto Ethernet. El chip PSE también puede realizar una operación de clasificación sobre el puerto Ethernet utilizando otro pin. El chip PSE puede realizar, además, una operación de clasificación sobre el puerto Ethernet utilizando otro pin junto con el pin de detección.

El valor almacenado en el primer registro 102 incluye al menos un bit de control, y cada uno del al menos un bit de control se corresponde con un canal de alimentación. Una pluralidad de bits de control en el valor almacenado en el primer registro 102 se puede mapear a un mismo canal de alimentación. Por ejemplo, el chip PSE dispone de cuatro canales de alimentación. El primer registro 102 es un registro de 8 bits (en inglés: bit) configurado para controlar el encendido y apagado de los canales de alimentación, y los ocho bits son bits de control y se denominan sucesivamente bit 7 a bit 0. Cuando los bits 7 a 4 tienen el valor 1, se apagan los canales de alimentación correspondientes; cuando los bits 3 a 0 tienen el valor 1, se encienden los canales de alimentación correspondientes. El bit 7 y el bit 3 se corresponden con el canal 4 de alimentación, el bit 6 y el bit 2 se corresponden con el canal 3 de alimentación, el bit 5 y el bit 1 se corresponden con el canal 2 de alimentación, y el bit 4 y el bit 0 se corresponden con el canal 1 de alimentación. Por ejemplo, si el bit 7 tiene el valor 1 y el bit 3 tiene el valor 0, indica que el canal 4 de alimentación se apaga; si el bit 7 tiene el valor 0 y el bit 3 tiene el valor 1, indica que el canal 4 de alimentación se enciende; si el bit 7 tiene el valor 0 y el bit 3 tiene el valor 0, indica que no se realiza ninguna operación sobre el canal 4 de alimentación. Una configuración en la que el bit 7 tenga el valor 1 y el bit 3 tenga el valor 1 es incorrecta, lo cual, en general, no debería producirse. Si se produce un error debido a distintas razones como, por ejemplo, un error de programación, se determina qué operación (por ejemplo, el apagado del canal 4 de alimentación) se debería realizar de acuerdo con la lógica interna del chip PSE. El valor almacenado en el primer registro 102 también puede tener un bit que no sea un bit de control, por ejemplo, un bit vacío o un bit con otra función. Por ejemplo, el chip PSE dispone de un único canal de alimentación. El primer registro 102 es un registro de ocho bits configurado para controlar el encendido y apagado del canal de alimentación y existen dos bits de control, por ejemplo, el bit 7 y el bit 3. El bit 7 y el bit 3 se corresponden con el único canal de alimentación. Cuando el bit 7 tiene el valor 1, el canal de alimentación se apaga; cuando el bit 3 tiene el valor 1, el canal de alimentación se enciende.

El chip PSE recibe, utilizando la interfaz 106, una primera instrucción enviada por la CPU. La primera instrucción es una instrucción de escritura. La primera instrucción incluye la primera dirección esclava, un primer byte de comando y un primer byte de datos. Cuando se escriben datos en el chip PSE utilizando la interfaz IIC, la CPU necesita enviar una instrucción. La CPU envía en primer lugar la dirección esclava del chip PSE y fija con el valor 0 un bit R/W. De acuerdo con diferentes diseños, un bus IIC puede tener un espacio de direcciones de 7 bits, 10 bits u otra longitud como, por ejemplo, 16 bits. Tomando como ejemplo una dirección de 7 bits, un bit independiente, esto es, el bit R/W, sigue a la dirección de 7 bits que es enviada por la CPU. Si el bit R/W es 0, indica que la CPU va a escribir datos al chip PSE; si el bit R/W es 1, indica que la CPU va a leer datos del chip PSE. El primer byte que envía la CPU después de la dirección esclava es un byte de comando, y en función del byte de comando se determina que un byte siguiente, esto es, un byte de datos, se escribe a dicho registro del chip PSE. Después del byte de comando, la CPU envía el byte de datos, donde el byte de datos indica los datos que la CPU va a escribir en un registro especificado por el byte de comando. La dirección esclava en la primera instrucción es la primera dirección esclava, un byte de comando en la primera instrucción es el primer byte de comando, y un byte de datos en la primera instrucción es el primer byte de datos. Un valor del primer byte de comando es una dirección del primer registro. Un chip PSE con una dirección que es la primera dirección esclava cambia, en respuesta a la primera instrucción, el valor almacenado en el primer registro 102 al primer byte de datos en la primera instrucción. Una longitud del byte de comando y una longitud del byte de datos dependen del diseño de un registro en el chip PSE, y puede ser uno o más bytes. A continuación, se utiliza un byte como ejemplo para la descripción.

La dirección esclava del chip PSE se especifica, en general, en función de los niveles de algunos pines del chip PSE. Por ejemplo, si el chip PSE tiene cuatro pines de dirección, A_3 , A_2 , A_1 y A_0 , la dirección esclava del chip PSE se puede expresar en binario como $010 A_3A_2A_1A_0$ y en general se expresa como $010 A_3A_2A_1A_0b$ (donde b es una abreviatura que indica en binario), luego el chip PSE puede soportar 16 direcciones esclavas diferentes, esto es, el dispositivo dispone de un máximo de 16 chips PSE. Por ejemplo, si los niveles de A_3 , A_2 , A_1 y A_0 son sucesivamente alto, bajo, alto y bajo, la dirección esclava del chip PSE tiene el valor $0101010b$. Los tres bits más significativos (en inglés: most significant bits, MSB para abreviar), 010 , tienen un valor fijo. De acuerdo con diferentes diseños, la localización del valor fijo en el espacio de direcciones puede ser diferente. Si el valor de bits que constituyen el valor fijo es diferente de un valor fijo que se ha preestablecido, este tipo de dirección esclava no se puede obtener ajustando el nivel de un pin de dirección, donde este tipo de dirección esclava también se puede denominar dirección reservada. Por ejemplo, en el ejemplo anterior, $1101010b$ es una dirección reservada.

El primer registro puede ser un registro configurado para controlar el encendido o apagado de un canal de alimentación. Una dirección del registro configurado para controlar el encendido o apagado de un canal de alimentación puede ser 19 en hexadecimal y, en general, se expresa como 19h (h es una abreviatura para hexadecimal). Por lo tanto, el valor del primer byte de comando es 19h.

El primer registro también puede ser un registro configurado para controlar la detección de un canal de alimentación. El primer registro también puede ser un registro configurado para controlar la clasificación de un canal de alimentación. El primer registro también puede ser un registro configurado para controlar la detección y clasificación de un canal de alimentación. Por ejemplo, si una dirección del registro configurado para controlar la detección y clasificación de un canal de alimentación es 18h, el valor del primer byte de comando es 18h. Por ejemplo, el primer registro es un registro de ocho bits configurado para controlar la detección y clasificación de un canal de alimentación, los ocho bits son bits de control y se denominan sucesivamente bit 7 a bit 0. Cuando los bits 7 a 4 tienen el valor 1, se realiza una operación de detección sobre los canales de alimentación correspondientes; cuando los bits 3 a 0 tienen el valor 1, se realiza una operación de clasificación sobre los canales de alimentación correspondientes. Los bits 7 y 3 se corresponden con el canal 4 de alimentación, los bits 6 y 2 se corresponden con el canal 3 de alimentación, los bits 5 y 1 se corresponden con el canal 2 de alimentación, y los bits 4 y 0 se corresponden con el canal 1 de alimentación.

El primer registro también puede ser un registro configurado para controlar el reinicio de un canal de alimentación. Si la dirección del registro configurado para controlar el reinicio del canal de alimentación es 1Ah, el valor del primer byte de comando es 1Ah. Por ejemplo, el primer registro es un registro de ocho bits configurado para controlar el reinicio de un canal de alimentación, los cuatro bits menos significativos (en inglés: least significant bits, LSB para abreviar) son bits de control y se denominan sucesivamente bit 3 a bit 0. Cuando los bits 3 a 0 tienen el valor 1, se reinician los canales de alimentación correspondientes. El bit 3 se corresponde con el canal 4 de alimentación, el bit 2 se corresponde con el canal 3 de alimentación, el bit 1 se corresponde con el canal 2 de alimentación, y el bit 0 se corresponde con el canal 1 de alimentación.

Por ejemplo, si la CPU va a apagar el canal 4 de alimentación de un chip PSE con la dirección esclava 0101010b, la instrucción que se envía es 01010100000110011000000b.

Después de haber recibido la primera instrucción anterior, el chip PSE determina que la dirección esclava en la primera instrucción es la dirección esclava del chip PSE, y escribe el primer byte de datos, por ejemplo, 10000000b, en el primer registro de acuerdo con el valor del primer byte de comando. El chip PSE controla el encendido o apagado de un canal de alimentación de acuerdo con el primer byte de datos escrito en el primer registro. Por ejemplo, de acuerdo con 10000000b se apaga el canal 4 de alimentación. Después de haber implementado el control sobre el canal de alimentación, el chip PSE reinicia el primer registro. Esto es, el valor en el primer registro se cambia a su valor inicial, esto es, 00000000b.

Con el propósito de controlar los canales de alimentación gestionados por una pluralidad de chips PSE al mismo tiempo, los chips PSE establecen una o más direcciones reservadas como direcciones virtuales de un grupo de alimentación virtual. Si existe una pluralidad de grupos virtuales de alimentación, las direcciones virtuales de la pluralidad de grupos virtuales de alimentación son diferentes entre sí. Por ejemplo, si se utiliza 1101010b como dirección virtual del grupo 1 virtual de alimentación todos los chips PSE del equipo de alimentación utilizan 1101010b como la dirección virtual del grupo 1 virtual de alimentación, independientemente de las direcciones esclavas de todos los chips PSE. Del mismo modo, se puede utilizar 1101011b como dirección virtual del grupo 2 virtual de alimentación, se puede utilizar 1101100b como dirección virtual del grupo 3 virtual de alimentación, etc. Cada chip PSE de todos los chips PSE del equipo fuente de alimentación almacena un valor de indicación de canal de un grupo virtual de alimentación. El valor de indicación de canal del grupo virtual de alimentación incluye al menos un bit utilizado, y cada uno del al menos un bit utilizado se corresponde con un canal de alimentación de un chip PSE. Una pluralidad de bits utilizados en el al menos un bit utilizado se puede corresponder con un mismo canal de alimentación. El valor de cada uno del al menos un bit utilizado indica si un canal de alimentación correspondiente se añade a un grupo virtual de alimentación. En general, un bit utilizado con el valor 1 indica que el canal de alimentación correspondiente al bit utilizado se encuentra en un grupo virtual de alimentación, y un bit utilizado con el valor 0 indica que el canal de alimentación correspondiente al bit utilizado no se encuentra en un grupo virtual de alimentación. En un ejemplo en el que el primer registro 102 es un registro de ocho bits y controla el encendido y apagado de cuatro canales de alimentación, el valor de indicación de canal de un grupo virtual de alimentación incluye ocho bits que se denominan sucesivamente bit 7 a bit 0. Los bits 7 y 3 se corresponden con el canal 4 de alimentación, los bits 6 y 2 se corresponden con el canal 3 de alimentación, los bits 5 y 1 se corresponden con el canal 2 de alimentación, y los bits 4 y 0 se corresponden con el canal 1 de alimentación. Por ejemplo, si los bits 7 y 3 tienen el valor 1, indica que el canal 4 de alimentación se encuentra en el grupo virtual de alimentación.

El chip PSE recibe, utilizando la interfaz 106, una segunda instrucción enviada por la CPU. La segunda instrucción es una instrucción de escritura. La segunda instrucción incluye una segunda dirección esclava, el primer byte de comando, y un segundo byte de datos. Con el propósito de controlar al mismo tiempo los canales de alimentación gestionados por una pluralidad de chips PSE, cuando la CPU escribe datos a los chips PSE utilizando la interfaz IIC, el valor de la segunda dirección esclava en la segunda instrucción enviada es una dirección virtual de un grupo virtual de alimentación. Como la dirección virtual del grupo virtual de alimentación es una dirección reservada, la segunda dirección esclava es diferente de la primera dirección esclava. Un byte de comando en la segunda instrucción es el primer byte de comando que indica que los datos se escriben en el primer registro. Un byte de datos en la segunda instrucción es el segundo byte de datos. En un ejemplo en el que se apagan los canales de alimentación correspondientes cuando los bits 7 a 4 del primer registro son 1 y los

canales de alimentación correspondientes se encienden cuando los bits 3 a 0 son 1, si la CPU va a encender todos los canales de alimentación en el grupo virtual de alimentación, el segundo byte de datos es 00001111b; si la CPU va a apagar todos los canales de alimentación en el grupo virtual de alimentación, el segundo byte de datos es 11110000b.

5 El chip PSE cambia, en respuesta a la segunda instrucción, el valor almacenado en el primer registro a un valor calculado, donde el valor calculado es un resultado obtenido mediante cálculo en función del segundo byte de datos en la segunda instrucción y el valor de indicación de canal del grupo virtual de alimentación almacenado en el chip PSE. Por ejemplo, el valor calculado se puede obtener realizando una operación AND a nivel de bit (en inglés: bitwise AND) sobre el segundo byte de datos y el valor de indicación de canal. Si la longitud del valor de indicación de canal es diferente de la longitud del segundo byte de datos, el procesamiento correspondiente (por ejemplo, la ampliación de la longitud del valor de indicación de canal hasta que la longitud sea la misma que la longitud del segundo byte de datos) se realiza en primer lugar sobre el valor de indicación de canal; a continuación, se obtiene el resultado del procesamiento en el que la longitud del valor de indicación de canal es la misma que la longitud del segundo byte de datos, se realiza la operación AND a nivel de bit sobre el segundo byte de datos y el resultado del procesamiento para obtener el valor calculado.

Por ejemplo, si la CPU va a apagar todos los canales de alimentación de un grupo virtual de alimentación con dirección virtual 1101010b, esto es, el grupo 1 virtual de alimentación, la instrucción que se envía es 110101000001100111110000b. Si el canal 4 de alimentación y el canal 2 de alimentación del chip PSE se encuentran en el grupo 1 virtual de alimentación, el valor de indicación de canal del grupo 1 virtual de alimentación del chip PSE es 10101010b. El chip PSE realiza, en respuesta a la instrucción, una operación AND a nivel de bit sobre 11110000b y 10101010b para obtener 10100000b. Si el valor de indicación de canal del grupo 1 virtual de alimentación es 1010b, el valor de indicación de canal se amplía a 10101010b. Se realiza la operación AND a nivel de bit sobre 11110000b y 10101010b para obtener 10100000b. Se escribe 10100000b en un registro identificado por el byte de comando (00011001b) en la segunda instrucción, esto es, el primer registro, es decir, un registro 19h. El chip PSE apaga el canal 4 de alimentación y el canal 2 de alimentación de acuerdo con el valor 10100000 escrito en el primer registro. A continuación, el chip PSE reinicia el primer registro. Esto es, el valor en el primer registro se cambia al valor inicial, esto es, 00000000b. Si el canal 3 de alimentación y el canal 1 de alimentación de otro chip PSE se encuentran en el grupo 1 virtual de alimentación, el valor de indicación de canal del grupo 1 virtual de alimentación del otro chip PSE es 01010101b. El otro chip PSE realiza, en respuesta a la instrucción, una operación AND a nivel de bit sobre 11110000b y 01010101b para obtener 01010000b, y escribe 01010000b en el registro identificado por el byte de comando en la segunda instrucción, esto es, el primer registro, es decir, el registro 19h. El otro chip PSE apaga el canal 3 de alimentación y el canal 1 de alimentación de acuerdo con 01010000b escrito en el primer registro. A continuación, el otro chip PSE reinicia el primer registro. Esto es, el valor en el primer registro cambia al valor inicial, esto es, 00000000b. Después de que la CPU haya enviado la instrucción anterior, se apagan todos los canales de alimentación de los dos chips PSE en el grupo 1 virtual de alimentación de acuerdo con la única instrucción, y la CPU no tiene que enviar la instrucción por separado a los dos chips PSE para apagar los canales de alimentación correspondientes.

Un valor de indicación de canal de un grupo virtual de alimentación se puede almacenar en un chip PSE de diferentes formas. A continuación, se utilizan dos ejemplos para describir la implementación del almacenamiento del valor de indicación de canal del grupo virtual de alimentación.

En la primera implementación, el chip PSE incluye, además, un segundo registro, y el segundo registro almacena el valor de indicación de canal del grupo virtual de alimentación. Si existe una pluralidad de grupos virtuales de alimentación, el chip PSE incluye una pluralidad de segundos registros, la correspondencia entre la pluralidad de grupos virtuales de alimentación y la pluralidad de segundos registros es biyectiva. Por ejemplo, un registro a1h se utiliza como registro de almacenamiento de un grupo 1 virtual de alimentación, un registro a2h se utiliza como registro para almacenar un valor de indicación de canal del grupo 2 virtual de alimentación, un registro a3h se utiliza como registro para almacenar un valor de indicación de canal del grupo 3 virtual de alimentación, etc. Por ejemplo, si el registro a1h es el registro que almacena el valor de indicación de canal del grupo 1 virtual de alimentación y el valor almacenado en el registro a1h es 10101010b, el valor de indicación de canal del grupo 1 virtual de alimentación del chip PSE es 10101010b.

Cuando la CPU va a cambiar el valor de indicación de canal de un grupo virtual de alimentación, la CPU le envía al chip PSE una tercera instrucción. El chip PSE recibe, utilizando la interfaz 106, la tercera instrucción enviada por la CPU. La tercera instrucción es una instrucción de escritura. La tercera instrucción incluye la primera dirección esclava, un segundo byte de comando, y un tercer byte de datos, donde el segundo byte de comando es una dirección del segundo registro. En respuesta a la tercera instrucción, el chip PSE cambia el valor almacenado en el segundo registro al tercer byte de datos. Por ejemplo, si la CPU va a cambiar un canal de alimentación añadido al grupo 1 virtual de alimentación, el cual es un chip PSE con la dirección esclava 0101010b, al canal 4 de alimentación y al canal 1 de alimentación, y el registro a1h es el registro que almacena el valor de indicación de canal del grupo 1 virtual de alimentación, la instrucción que se envía es 010101001010000110011001b.

En una segunda implementación, el chip PSE incluye, además, un tercer registro, donde el tercer registro almacena un bit utilizado del al menos un bit utilizado del valor de indicación de canal del grupo virtual de alimentación.

5 Si existe una pluralidad de grupos virtuales de alimentación, el valor almacenado en el tercer registro incluye una pluralidad de bits de indicación. El mapeo de la pluralidad de bits de indicación en el valor almacenado en el tercer registro sobre la pluralidad de grupos virtuales de alimentación es inyectivo. Cada uno de la pluralidad de bits de indicación en el valor almacenado en el tercer registro almacena el bit x-ésimo del al menos un bit utilizado de un valor de indicación de canal de un grupo virtual de alimentación correspondiente, donde x es un entero mayor o igual que 1. Por ejemplo, si el número de grupos virtuales de alimentación es 8, los valores de indicación de canal de los grupos virtuales de alimentación son dos bits, el tercer registro es un registro de ocho bits, y cada bit del valor almacenado en el tercer registro es un bit de indicación, existen en total dos terceros registros en el chip PSE, cada bit de indicación del primer tercer registro almacena sucesivamente el primer bit de los valores de indicación de canal de los ocho grupos virtuales de alimentación, y cada bit de indicación del segundo tercer registro almacena sucesivamente el segundo bit de los valores de indicación de canal de los ocho grupos virtuales de alimentación. Esta forma de almacenamiento de los valores de indicación de canal en la implementación es particularmente apropiada para un chip PSE con un único canal de alimentación porque el chip PSE con un único canal de alimentación puede utilizar un valor de indicación de canal con sólo un bit para indicar si el único canal de alimentación del chip PSE se ha añadido a un grupo virtual de alimentación. En este caso, únicamente es necesario un tercer registro de ocho bits para que un chip PSE soporte ocho grupos virtuales de alimentación. Si es necesario soportar 16 grupos virtuales de alimentación, únicamente son necesarios dos terceros registros de ocho bits.

25 Cuando la CPU va a cambiar un canal de alimentación que se añade a un grupo virtual de alimentación, la CPU le envía al chip PSE una cuarta instrucción. El chip PSE recibe, utilizando la interfaz 106, la cuarta instrucción enviada por la CPU. La cuarta instrucción es una instrucción de escritura. La cuarta instrucción incluye la primera dirección esclava, un tercer byte de comando y un primer byte de datos, donde el tercer byte de comando es una dirección del tercer registro. En respuesta a la cuarta instrucción, el chip PSE cambia un valor almacenado en el tercer registro al cuarto byte de datos. Por ejemplo, si la CPU va a cambiar un grupo virtual de alimentación al que se añade el canal 4 de alimentación de un chip PSE con dirección esclava 0101010b, al grupo 1 virtual de alimentación, al grupo 5 virtual de alimentación y al grupo 7 virtual de alimentación, el registro b1h es un registro que almacena el primer bit de los bits utilizados en el valor de indicación de canal, y el primer bit de los bits utilizados en el valor de indicación de canal indica si se añade el canal 4 de alimentación al grupo virtual de alimentación, la instrucción enviada por la CPU es 010101001011000110001010b.

35 El modo de realización anterior utiliza un chip PSE como ejemplo para la descripción. Para un chip PSE que incluye una pluralidad de quads, como las direcciones esclavas de los quads son diferentes, los quads se pueden considerar como chip PSE independientes, y cada uno de los chips PSE es igual que el chip PSE del modo de realización anterior.

40 La FIG. 2 es un diagrama de la estructura de un sistema PoE de acuerdo con un modo de realización de la presente invención. El sistema PoE incluye un equipo 202 fuente de alimentación que se ilustra en la FIG. 1 y una pluralidad de dispositivos alimentados 204. Cada uno de la pluralidad de dispositivos alimentados 204 está conectado a un puerto Ethernet del equipo fuente de alimentación. Los dispositivos alimentados 204 pueden ser uno o más de los dispositivos siguientes: una cámara del Protocolo de Internet (en inglés: Internet protocol camera, cámara IP para abreviar), un teléfono de Voz sobre el Protocolo de Internet (en inglés: voice over Internet Protocol phone, teléfono VoIP para abreviar), un punto de acceso inalámbrico (en inglés: access point, AP para abreviar), un almacenamiento conectado a la red (en inglés: network-attached storage, NAS para abreviar), un cliente ligero (en inglés: thin client), un LED, un diodo láser (en inglés: laser diode), y un cable electroluminescente (en inglés: electroluminescent wire). Si el sistema PoE es un sistema LoE, los dispositivos alimentados 204 son fuentes de luz de alimentación eléctrica. Las fuentes de luz de alimentación eléctrica pueden ser LED, diodos laser o cables electroluminescentes.

50 Las descripciones anteriores son únicamente formas de implementación de ejemplo de la presente invención, pero no pretenden limitar el alcance de protección de la presente invención. Se encontrará dentro del alcance de protección de la presente invención cualquier variación o sustitución ideada fácilmente por una persona experimentada en la técnica dentro del alcance técnico divulgado en la presente invención. Por lo tanto, el alcance de protección de la presente invención estará sujeto al alcance de protección de las reivindicaciones.

REIVINDICACIONES

1. Un chip de un equipo fuente de alimentación, PSE, que comprende un primer registro, en donde

5 el chip PSE está configurado para controlar al menos un canal de alimentación del chip PSE de acuerdo con un valor almacenado en el primer registro, en donde el valor almacenado en el primer registro comprende al menos un bit de control, y cada uno del al menos un bit de control se corresponde con uno del al menos un canal de alimentación del chip PSE;

10 el chip PSE está configurado para cambiar, en respuesta a una primera instrucción, el valor almacenado en el primer registro a un primer byte de datos en la primera instrucción, en donde la primera instrucción es una instrucción de escritura, la primera instrucción comprende una primera dirección esclava, un primer byte de comando y el primer byte de datos, la primera dirección esclava es una dirección del chip PSE, y el valor del primer byte de comando es una dirección del primer registro;

estando el chip PSE caracterizado por que:

15 el chip PSE está configurado para cambiar, en respuesta a una segunda instrucción, el valor almacenado en el primer registro a un valor calculado, en donde la segunda instrucción es una instrucción de escritura, la segunda instrucción comprende una segunda dirección esclava, el primer byte de comando y un segundo byte de datos, la segunda dirección esclava es una dirección virtual de un grupo virtual de alimentación, y el valor calculado es el resultado obtenido mediante cálculo en función del segundo byte de datos en la segunda instrucción y un valor de indicación de canal del grupo virtual de alimentación y está almacenado en el chip PSE, en donde

20 el valor de indicación de canal del grupo virtual de alimentación comprende al menos un bit utilizado, cada uno del al menos un bit utilizado se corresponde con uno del al menos un canal de alimentación del chip PSE, y el valor de cada uno del al menos un bit utilizado indica si se añade un canal de alimentación correspondiente al grupo virtual de alimentación.

25 2. El chip PSE de acuerdo con la reivindicación 1, en donde el chip PSE comprende, además, un segundo registro, y el segundo registro almacena el valor de indicación de canal del grupo virtual de alimentación.

3. El chip PSE de acuerdo con la reivindicación 2, en donde existe una pluralidad de grupos virtuales de alimentación, el chip PSE comprende una pluralidad de segundos registros, y la correspondencia entre la pluralidad de grupos virtuales de alimentación y la pluralidad de segundos registros es biyectiva.

30 4. El chip PSE de acuerdo con la reivindicación 2 ó 3, en donde el chip PSE está configurado para cambiar, en respuesta a una tercera instrucción, un valor almacenado en el segundo registro a un tercer byte de datos en la tercera instrucción, en donde la tercera instrucción es una instrucción de escritura, la tercera instrucción comprende la primera dirección esclava, un segundo byte de comando y el tercer byte de datos, y el segundo byte de comando es una dirección del segundo registro.

35 5. El chip PSE de acuerdo con la reivindicación 1, en donde el chip PSE comprende, además, un tercer registro, y el tercer registro almacena un bit utilizado del al menos un bit utilizado del valor de indicación de canal del grupo virtual de alimentación.

40 6. El chip PSE de acuerdo con la reivindicación 5, en donde existe una pluralidad de grupos virtuales de alimentación, el mapeo de una pluralidad de bits de indicación en un valor almacenado en el tercer registro sobre la pluralidad de grupos virtuales de alimentación es inyectivo, y cada uno de la pluralidad de bits de indicación en el valor almacenado en el tercer registro almacena el bit x-ésimo del al menos un bit utilizado del valor de indicación de canal de un grupo virtual de alimentación correspondiente, en donde x es un entero mayor o igual que 1.

45 7. El chip PSE de acuerdo con la reivindicación 5 ó 6, en donde el chip PSE está configurado para cambiar, en respuesta a una cuarta instrucción, el valor almacenado en el tercer registro a un cuarto byte de datos en la cuarta instrucción, en donde la cuarta instrucción es una instrucción de escritura, la cuarta instrucción comprende la primera dirección esclava, un tercer byte de comando y el cuarto byte de datos, y el tercer byte de comando es una dirección del tercer registro.

50 8. Un equipo fuente de alimentación, que comprende un procesador, una memoria, un circuito de alimentación de puertos, un puerto Ethernet, y el chip PSE de acuerdo con una cualquiera de las reivindicaciones 1 a 7, en donde

el procesador está conectado a la memoria utilizando un bus;

el procesador está conectado al chip PSE;

el chip PSE está conectado al puerto Ethernet utilizando el circuito de alimentación de puertos; y

la memoria almacena un programa, y el procesador envía la primera instrucción y la segunda instrucción al chip PSE de acuerdo con el programa.

5 9. Un sistema de alimentación sobre Ethernet, que comprende una pluralidad de dispositivos alimentados y el equipo fuente de alimentación de acuerdo con la reivindicación 8, en donde

cada uno de la pluralidad de dispositivos alimentados está conectado al puerto Ethernet del equipo fuente de alimentación.

10 10. El sistema de alimentación sobre Ethernet de acuerdo con la reivindicación 9, en donde el sistema de alimentación sobre Ethernet es un sistema de iluminación sobre Ethernet, y los dispositivos alimentados son fuentes de luz de alimentación eléctrica.

11. Un método de alimentación sobre Ethernet, que comprende:

recibir, por parte de un chip de equipo fuente de alimentación, PSE, una primera instrucción;

15 cambiar, por parte del chip PSE, en respuesta a la primera instrucción, un valor almacenado en un primer registro a un primer byte de datos en la primera instrucción, en donde la primera instrucción es una instrucción de escritura, la primera instrucción comprende una primera dirección esclava, un primer byte de comando y el primer byte de datos, la primera dirección esclava es una dirección del chip PSE, el valor del primer byte de comando es una dirección del primer registro, y el primer registro se encuentra en el chip PSE, el chip PSE está configurado para controlar al menos un canal de alimentación del chip PSE de acuerdo con el valor almacenado en el primer registro, el valor almacenado en el primer registro comprende al menos un bit de control, y cada uno del al menos un bit de control se corresponde con uno del al menos un canal de alimentación del chip PSE;

20

recibir, por parte del chip PSE, una segunda instrucción;

estando caracterizado el método de alimentación sobre Ethernet por que comprende, además:

25 cambiar, por parte del chip PSE, en respuesta a una segunda instrucción, el valor almacenado en el primer registro a un valor calculado, en donde la segunda instrucción es una instrucción de escritura, la segunda instrucción comprende una segunda dirección esclava, el primer byte de comando y un segundo byte de datos, la segunda dirección esclava es una dirección virtual de un grupo virtual de alimentación, y el valor calculado es el resultado obtenido mediante cálculo de acuerdo con el segundo byte de datos en la segunda instrucción y un valor de indicación de canal del grupo virtual de alimentación y está almacenado en el chip PSE, en donde

30 el valor de indicación de canal del grupo virtual de alimentación comprende al menos un bit utilizado, cada uno del al menos un bit utilizado se corresponde con uno del al menos un canal de alimentación del chip PSE, y el valor de cada uno del al menos un bit utilizado indica si se añade un canal de alimentación correspondiente al grupo virtual de alimentación.

12. El método de alimentación sobre Ethernet de acuerdo con la reivindicación 11, en donde el método comprende, además:

35 recibir, por parte del chip PSE, una tercera instrucción; y

cambiar, por parte del chip PSE en respuesta a la tercera instrucción, un valor almacenado en un segundo registro a un tercer byte de datos en la tercera instrucción, en donde la tercera instrucción es una instrucción de escritura, la tercera instrucción comprende la primera dirección esclava, un segundo byte de comando y el tercer byte de datos, y el segundo byte de comando es una dirección del segundo registro, en donde

40 el segundo registro se encuentra en el chip PSE, y el segundo registro almacena el valor de indicación de canal del grupo virtual de alimentación.

45 13. El método de alimentación sobre Ethernet de acuerdo con la reivindicación 12, en donde existe una pluralidad de grupos virtuales de alimentación, el chip PSE comprende una pluralidad de segundos registros, y la correspondencia entre la pluralidad de grupos virtuales de alimentación y la pluralidad de segundos registros es biyectiva.

14. El método de alimentación sobre Ethernet de acuerdo con la reivindicación 11, en donde el método comprende, además:

recibir, por parte del chip PSE, una cuarta instrucción; y

50 cambiar, por parte del chip PSE en respuesta a la cuarta instrucción, un valor almacenado en un tercer registro a un cuarto byte de datos en la cuarta instrucción, en donde la cuarta instrucción es una instrucción de

escritura, la cuarta instrucción comprende la primera dirección esclava, un tercer byte de comando y el cuarto byte de datos, y el tercer byte de comando es una dirección del tercer registro, en donde

el tercer registro se encuentra en el chip PSE, y el tercer registro almacena un bit utilizado del al menos un bit utilizado por el valor de indicación de canal del grupo virtual de alimentación.

- 5 15. El método de alimentación sobre Ethernet de acuerdo con la reivindicación 14, en donde existe una pluralidad de grupos virtuales de alimentación, el mapeo de una pluralidad de bits de indicación en el valor almacenado en el tercer registro sobre la pluralidad de grupos virtuales de alimentación es inyectivo, y cada uno de la pluralidad de bits de indicación en el valor almacenado en el tercer registro almacena el bit x-ésimo del al menos un bit utilizado del valor de indicación de canal de un grupo virtual de alimentación
- 10 correspondiente, en donde x es un entero mayor o igual que 1.

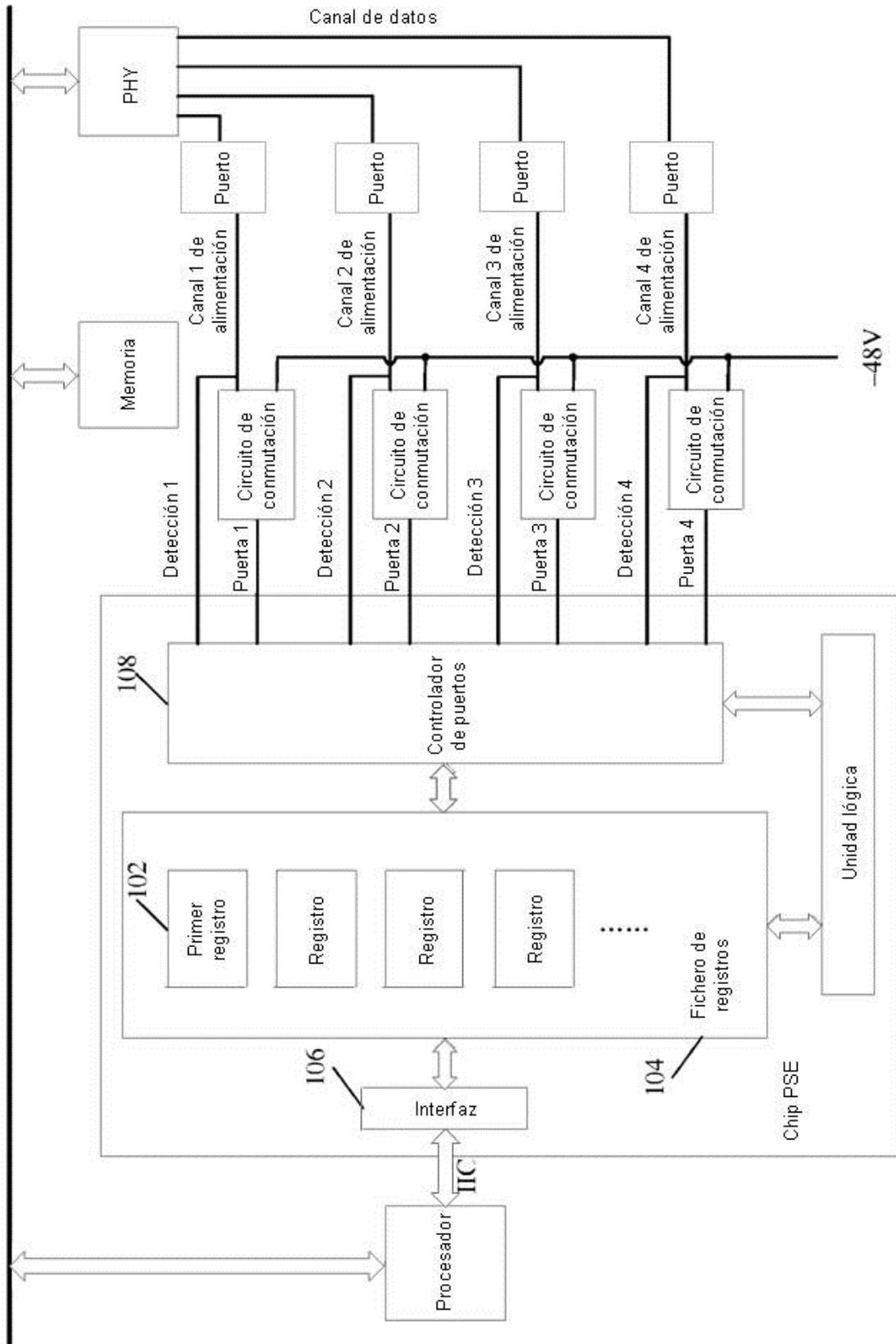


FIG. 1



FIG. 2