

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 664 143**

51 Int. Cl.:

H03K 5/15

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **15.12.2014 PCT/EP2014/077723**

87 Fecha y número de publicación internacional: **09.07.2015 WO15101475**

96 Fecha de presentación y número de la solicitud europea: **15.12.2014 E 14815311 (7)**

97 Fecha y número de publicación de la concesión europea: **31.01.2018 EP 3090487**

54 Título: **Circuito de generación de al menos dos señales rectangulares con desfase regulable y utilización de dicho circuito**

30 Prioridad:

31.12.2013 FR 1303120

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

18.04.2018

73 Titular/es:

**THALES (100.0%)
Tour Carpe Diem, Place des Corolles,
Esplanade Nord
92400 Courbevoie, FR**

72 Inventor/es:

**GUEPRATTE, KEVIN;
LE BARS, DAVID y
STEPHAN, HERVÉ**

74 Agente/Representante:

CARPINTERO LÓPEZ, Mario

ES 2 664 143 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de generación de al menos dos señales rectangulares con desfase regulable y utilización de dicho circuito

La presente invención se refiere a la generación de señales. La presente invención se refiere más particularmente a un circuito de generación de al menos dos señales rectangulares con desfase regulable. Este circuito puede utilizarse, en concreto, en un convertidor de energía de tipo "phase shift".

La figura 1 representa un circuito de generación de señales rectangulares con desfase regulable conocido por la técnica anterior. El circuito comprende dos comparadores 11, 12 y dos biestables 13, 14 de tipo "D". Cada comparador 11, 12 recibe sobre una de sus entradas de comparación una señal triangular de rampa, proporcionada por un dispositivo de generación de señales 15 y sobre la otra entrada una tensión de referencia V_{ref1} , V_{ref2} . La salida de cada comparador 11, 12 está conectada a un biestable 13, 14 montado como divisor de frecuencia por dos, activo en el frente ascendente.

El funcionamiento del circuito se va a explicar con referencia a la figura 2. El primer cronograma representa la apariencia de la señal de rampa. Se supone que en el tiempo t_0 todas las señales están en el estado bajo.

En el tiempo t_1 el valor de la señal de rampa V_{rampa} se vuelve superior al valor de la primera tensión de referencia V_{ref1} , la señal de salida P_{wm1} del primer comparador 11 pasa del estado bajo al estado alto. Este frente ascendente va a hacer disparar el primer biestable "D" 13 y su señal de salida IP_1 va a pasar al estado alto.

El mismo fenómeno va a producirse con el segundo comparador 12 y el segundo biestable 14 en el tiempo t_2 cuando el valor de la señal de rampa V_{rampa} se va a volver superior al valor de la segunda tensión de referencia V_{ref2} .

En el tiempo t_3 , el valor de la señal de rampa regresa a cero, la salida P_{wm1} , P_{wm2} de los dos comparadores 13, 14 pasa del estado alto al estado bajo. Al estar los biestables 13, 14 activos en el frente ascendente, las señales IP_1 , IP_2 a la salida de estos últimos permanecen sin cambios.

En el tiempo t_4 , el valor de la señal de rampa V_{rampa} se vuelve de nuevo superior al valor de la primera tensión de referencia V_{ref1} . La salida del primer comparador 11 pasa del estado bajo al estado alto. Este frente ascendente va a hacer disparar el primer biestable "D" 13 y su señal de salida IP_1 va a pasar del estado alto al estado bajo.

Asimismo, la señal de salida del segundo biestable 14 IP_2 pasa del estado alto al estado bajo en el tiempo t_5 .

Se plantea un problema cuando aparece un parásito sobre la señal de salida de un comparador. Este caso de figura se ilustra en la figura 3 a través de un ejemplo en el que aparece un impulso parásito 30 sobre la señal de salida P_{wm1_Pb} del primer comparador.

En esta figura, el primer cronograma representa la señal de rampa. El segundo y el tercer cronograma representan respectivamente la apariencia de la señal a la salida del primer comparador P_{wm1_Pb} y la apariencia de la señal a la salida IP_1_Pb del primer biestable D. El último cronograma sirve de comparación y representa la forma de la señal a la salida del biestable en el caso en que la señal a la salida de comparador no está parasitada.

Se observa que el frente ascendente del parásito hace disparar el biestable a la salida del comparador y perturba la señal de salida de manera permanente.

Igualmente, se plantea un problema en el arranque del circuito, en el momento de su puesta en tensión, ya que no se sabe si los biestables están en el estado alto o en el estado bajo.

Es posible forzar los biestables en el estado bajo en el arranque gracias a la entrada de puesta a cero (o *reset* según la terminología anglosajona) de dichos biestables. Sin embargo, estos sistemas de puesta a cero son aleatorios y los tiempos de subida de las funciones de puesta a cero no son fiables. Por el hecho de la falta de certeza de la puesta a cero, la señal de rampa puede arrancar, por ejemplo, antes de que los biestables se inicialicen. De este modo, cuando los biestables estén listos para arrancar, se encontrará uno entre los dos frentes ascendentes y, por lo tanto, se habrá tenido en cuenta uno solo de los dos frentes ascendentes en el arranque. Entonces, las dos basculaciones estarán desviadas en 180° .

Puede plantearse otro problema si los dos controles de puesta a cero no se hacen exactamente en el mismo instante.

Se conoce en la técnica anterior, en concreto, por la patente americana US 5 652 533 un circuito destinado a generar unas señales de muestreo a unos intervalos de tiempo cercanos.

La solicitud de patente de los Estados Unidos US 2010/123 497 muestra una línea de retardo de fase.

Se conocen, igualmente, en la técnica anterior, por ejemplo, por la patente de los Estados Unidos US 5 367 204 un circuito de generación de reloj de borde múltiples a partir de una entrada de reloj única.

Una finalidad de la invención es, en concreto, corregir uno o varios de los inconvenientes de la técnica anterior proponiendo una solución que permite librarse de los problemas de inicialización de los biestables y de los parásitos.

A tal efecto, la invención tiene como objeto un circuito de generación de al menos dos señales rectangulares con desfase regulable que comprende:

- 5 - un circuito divisor de frecuencia que recibe a la entrada una primera señal de reloj y que proporciona a la salida una segunda señal de reloj,
- al menos dos comparadores, que reciben respectivamente sobre una entrada de comparación una primera tensión de umbral y al menos una segunda tensión de umbral y sobre una segunda entrada de comparación una señal triangular de rampa sincronizada con la señal de reloj, permitiendo el grupo de al menos dos tensiones de umbral regular el valor del desfase entre las señales del grupo de al menos dos señales rectangulares con desfase regulable,
- 10 - al menos dos biestables de tipo D que reciben respectivamente sobre sus entradas de reloj, la señal de salida del primer comparador y la señal de salida del segundo comparador y sobre su entrada "D", la señal de salida del circuito divisor de frecuencia,
- 15 estando el grupo de al menos dos señales rectangulares con desfase regulable disponible sobre las salidas "Q" del grupo de al menos dos biestables de tipo D.

Según un modo de realización, el circuito divisor de frecuencia es un divisor de frecuencia por dos.

Según un modo de realización, el circuito divisor de frecuencia comprende un biestable de tipo "D" cuya entrada D está conectada a la salida complementaria "Q*".

- 20 Según un modo de realización, el circuito comprende, además, un circuito de reloj configurado para generar una señal triangular de rampa, recibiendo dicho circuito de reloj a la entrada la señal de reloj y estando la salida de dicho circuito de reloj conectada a una de las dos entradas de comparación de cada comparador.

- 25 La invención tiene como objeto, igualmente, un convertidor de potencia con desvío de fase que comprende un circuito de generación de dos señales rectangulares con desfase regulable como se ha descrito anteriormente, estando dichas señales rectangulares configuradas para controlar unos conmutadores de los puentes primario y secundario de dicho convertidor de potencia.

Otras particularidades y ventajas de la presente invención se mostrarán más claramente con la lectura de la descripción de a continuación, dada a título ilustrativo y no limitativo y hecha con referencia a los dibujos adjuntos, en los que:

- 30 - la figura 1, anteriormente descrita, representa un circuito de generación de al menos dos señales rectangulares con desfase regulable conocido por la técnica anterior;
- la figura 2, anteriormente descrita, representa la apariencia de las señales en diferentes puntos del circuito de la figura 1;
- la figura 3, anteriormente descrita, representa la apariencia de las señales en diferentes puntos del circuito de la figura 1 en un caso de figura particular;
- 35 - la figura 4 representa un ejemplo de modo de realización de un circuito de generación de al menos dos señales rectangulares con desfase regulable según la invención;
- la figura 5 representa unos ejemplos de apariencia de las señales en diferentes puntos del circuito de la figura 4;
- la figura 6 representa unos ejemplos de apariencia de las señales en diferentes puntos del circuito de la figura 4 cuando aparecen unos parásitos.
- 40 - La figura 7 representa un ejemplo de modo de realización de un convertidor de energía con desvío de fase en el que las señales de control de los conmutadores de los convertidores DC/AC y AC-DC están desfasados con la ayuda de un circuito de generación de al menos dos señales rectangulares con desfase regulable según un modo de realización de la invención.

- 45 La figura 4 representa un ejemplo de modo de realización de un circuito 40 de generación de al menos dos señales rectangulares con desfase regulable según la invención. Con el fin de simplificar las explicaciones y de no sobrecargar las figuras, se ha representado un caso particular en donde el número de señales generado es igual a dos.

- 50 En este modo de realización el circuito comprende un circuito divisor de frecuencias 46, dos comparadores C1, C2 y dos biestables de tipo "D" D1, D2.

ES 2 664 143 T3

Según un modo de realización, el circuito divisor de frecuencia 46 puede ser un circuito divisor de frecuencia por dos.

Según un modo de realización, el circuito divisor 46 puede estar realizado con la ayuda de un biestable de tipo "D" cuya entrada D está conectada a la salida complementaria "Q"

- 5 En el modo de realización ilustrado en la figura 4, el circuito divisor de frecuencia 46 recibe a la entrada una primera señal de reloj CLK y proporciona a la salida una segunda señal de reloj CLK₂.

El primer comparador C1 recibe sobre una de sus entradas de comparación una primera señal V_{S1} y sobre la segunda entrada una señal triangular de rampa V_{rampa} .

- 10 El segundo comparador C2 recibe sobre una de sus entradas de comparación una segunda señal V_{S2} y sobre la segunda entrada la misma señal triangular V_{rampa} que anteriormente.

Las dos señales V_{S1} y V_{S2} son unas tensiones analógicas que permiten definir el desfase entre las dos señales rectangulares con desfase regulable.

La señal triangular de rampa está sincronizada con la primera señal de reloj CLK del circuito divisor de frecuencia 46. La señal primera de reloj CLK puede servir para generar la señal de rampa.

- 15 Según un modo realización, el circuito 40 de generación de al menos dos señales rectangulares S_1 , S_2 con desfase regulable puede comprender un circuito de reloj 45 configurado para generar una señal triangular de rampa V_{rampa} . El circuito de reloj 45 puede recibir a la entrada la primera señal de reloj CLK y proporcionar a la salida la señal triangular V_{rampa} para los comparadores C1 y C2. Para hacer esto, la salida del circuito de reloj 45 puede conectarse a una de las dos entradas de comparación de cada comparador C1, C2.

- 20 La señal triangular V_{rampa} permite definir el intervalo de variación del desfase posible entre las dos señales de salida. Según la relación cíclica de la señal de rampa este intervalo puede difundirse hasta 180 °.

El circuito según un modo de realización de la invención puede comprender, igualmente, dos biestables de tipo "D". Estos biestables pueden estar activos sobre frente ascendente o descendente.

- 25 El primer biestable D1 recibe, sobre su entrada de reloj, la señal de salida Cmp1 del primer comparador C1 y el segundo biestable D2 la señal de salida Cmp2 del segundo comparador C2. La señal de salida CLK₂ del circuito divisor de frecuencia 46 se envía sobre la entrada "D" de cada uno de los biestables D1 y D2.

En este momento, se va a explicar el funcionamiento del circuito con la ayuda de los ejemplos de cronogramas de la figura 5.

- 30 El primer cronograma corresponde a la señal de rampa V_{rampa} . Los dos cronogramas siguientes representan respectivamente las señales a la salida de los comparadores primero y segundo C1, C2. Los cronogramas cuarto y quinto ilustran respectivamente la primera señal de reloj CLK a la entrada del circuito divisor de frecuencia 46 y la señal de salida CLK₂ de dicho divisor. La señal primera de reloj CLK es sincrónica con la señal de rampa y la señal de salida CLK₂ presenta una frecuencia dividida por dos con respecto a la señal de entrada CLK del circuito divisor de frecuencia 46. Los dos últimos cronogramas representan las señales a la salida de los dos biestables D1, D2.

- 35 En el tiempo t_1 , el valor de la señal de rampa se vuelve superior al valor de la primera tensión de umbral V_{S1} , la señal de salida del primer comparador C1 pasa del estado bajo al estado alto. El primer biestable D1 detecta el frente ascendente y recopia a la salida el valor de la segunda señal de reloj CLK₂, esto es, un estado alto, por lo tanto, la señal a la salida del biestable D1 pasa del estado bajo al estado alto.

- 40 En el tiempo t_2 , el valor de la señal de rampa se vuelve superior al valor de la segunda tensión de umbral V_{S2} . Por lo tanto, la señal de salida del segundo comparador C2 pasa del estado bajo al estado alto. El segundo biestable D2 se dispara y su señal de salida toma el mismo valor que la segunda señal de reloj CLK₂, esto es, un estado alto.

En el tiempo t_3 , el valor de la señal de rampa regresa a cero, las señales de salida de los dos comparadores C1, C2 pasan del estado alto al estado bajo.

- 45 En el tiempo t_4 , el valor de la señal de rampa se vuelve de nuevo superior al valor de la primera tensión de umbral V_{S1} , la señal de salida del primer comparador C1 pasa al estado alto y dispara el primer biestable D1 que recopia a la salida el valor de la segunda señal de reloj CLK₂. Su señal de salida pasa del estado alto al estado bajo.

Asimismo, en el tiempo t_5 , al volverse el valor de la señal de rampa superior al valor de la segunda tensión de umbral V_{S2} dispara un frente ascendente a la salida del segundo comparador C2. Este frente ascendente hace disparar el segundo biestable D2 y su señal de salida pasa del estado alto al estado bajo.

- 50 De este modo, se obtienen, a la salida del circuito 40, dos señales de reloj rectangulares desfasadas en el tiempo. El desfase entre las dos señales puede regularse modificando el valor de las dos tensiones de umbral V_{S1} y V_{S2} . Como

se ha visto anteriormente, el intervalo de variación del desfase depende de la relación cíclica de la señal de rampa.

Por supuesto, este circuito 40 puede generalizarse para un número de señales rectangulares superior a dos. Para un número n de señales rectangulares desfasadas en el tiempo, con n que representa un número entero superior a uno, el circuito comprenderá n comparadores y n biestables de tipo "D" y recibirá a la entrada n tensiones de umbral.

5 La figura 6 ilustra, por unos ejemplos de cronogramas, el caso en donde unos parásitos 30 aparecerían sobre la señal de salida Cmp1_Pb del primer comparador C1 del circuito 40 de la figura 4. En esta figura, se han representado respectivamente, una señal de rampa, la salida a la salida del primer comparador C1, una señal de salida CLK_2 del circuito divisor de frecuencia 46, una señal de salida del segundo biestable D2 y una señal de salida del segundo biestable D2 en el caso sin parásito.

10 Se supone que aparece una señal parásito 30 en el tiempo t_1 sobre la señal de salida del primer comparador C1. El frente ascendente de este parásito 30 hace disparar el biestable D1 que recopia el valor de la segunda señal de reloj CLK_2, esto es, un estado alto. La señal de salida S_{1_Pb} del biestable D1 cambia, por lo tanto, de estado en el tiempo t_1 en lugar del tiempo t_2 .

15 En el tiempo t_2 la señal de salida del comparador C1 presenta de nuevo un frente ascendente. Al detectar este frente ascendente, el biestable D1 recopia la señal CLK_2 y permanece en el estado alto. Contrariamente al caso del circuito presentado en la figura 1, la señal de salida S_{1_Pb} no cambia de estado en cada frente ascendente presente sobre la señal de salida del comparador. Asimismo, se puede observar que la señal de salida S_{1_Pb} no está perturbada de forma definitiva, sino solamente de forma temporal. El frente ascendente según la señal parásito 30 permite restablecer la señal de salida de biestable S_1 a su nivel normal, es decir, en el estado lógico que habría tenido si no hubiera habido parásitos 30 sobre la señal a la salida del comparador C1.

20 Se puede observar, igualmente, que según el instante en donde sobreviene la señal parásito 30, esta última puede no perturbar la señal a la salida de biestable. Por ejemplo, la señal parásito en el instante t_4 no tiene ningún efecto sobre la señal de salida S_1 .

25 Según un ejemplo de ninguna manera limitativo, este circuito puede encontrar una aplicación en un convertidor de energía con desvío de fase o "phase shift" según la terminología anglosajona. A título ilustrativo, la figura 7 representa un ejemplo de realización de un convertidor de energía con desvío de fase en el que se crea un desfase entre los brazos de puentes primarios y secundarios con la ayuda de un circuito 40 de generación de al menos dos señales rectangulares con desfase regulable según un modo de realización invención. En este circuito, las señales de salida S_1 , S_2 del circuito 40 de generación de señales rectangulares con desfase regulable están configuradas para controlar los diferentes conmutadores de los puentes primario y secundario del convertidor de potencia.

30 De forma ventajosa, el circuito de generación de señales según la invención permite librarse de los problemas de sincronización de los biestables, así como de los problemas relacionados con la puesta a cero de los biestables.

Este circuito permite, igualmente, minimizar las consecuencias de uno o varios impulsos parásitos.

REIVINDICACIONES

1. Circuito (40) de generación de al menos dos señales rectangulares (S_1 , S_2) con desfase regulable **caracterizado porque** comprende:
 - 5 - un circuito divisor de frecuencia (46) que recibe a la entrada una primera señal de reloj (CLK) y que proporciona a la salida una segunda señal de reloj (CLK_2),
 - al menos dos comparadores (C1, C2), que reciben respectivamente en una entrada de comparación una primera tensión de umbral (V_{s1}) y al menos una segunda tensión de umbral (V_{s2}) y en una segunda entrada de comparación una señal triangular de rampa sincronizada con la señal de reloj (CLK), permitiendo el grupo de al menos dos tensiones de umbral (V_{s1} , V_{s2}) regular el valor del desfase entre las señales del grupo de al menos
 - 10 dos señales rectangulares con desfase regulable,
 - al menos dos biestables de tipo D (D1, D2) que reciben respectivamente en sus entradas de reloj, la señal de salida (Cmp1) del primer comparador y la señal de salida (Cmp2) del segundo comparador y en su entrada "D", la señal de salida (CLK_2) del circuito divisor de frecuencia (46),
 estando el grupo de al menos dos señales rectangulares (S_1 , S_2) con desfase regulable disponible en las salidas "Q"
 - 15 del grupo de al menos dos biestables de tipo D (D1, D2).
2. Circuito (40) según la reivindicación anterior según el cual el circuito divisor de frecuencia (46) es un divisor de frecuencia por dos.
3. Circuito (40) según una de las reivindicaciones anteriores según el cual el circuito divisor de frecuencia (30) comprende un biestable de tipo "D" cuya entrada D está conectada a la salida complementaria "Q*".
- 20 4. Circuito (40) según una de las reivindicaciones anteriores que comprende, además, un circuito de reloj (45) configurado para generar una señal triangular de rampa, recibiendo dicho circuito de reloj (45) a la entrada la señal de reloj (CLK) y estando la salida de dicho circuito de reloj conectada a una de las dos entradas de comparación de cada comparador (C1, C2).
- 25 5. Convertidor de potencia con desvío de fase **caracterizado porque** comprende un circuito (40) de generación de dos señales rectangulares con desfase regulable según una de las reivindicaciones anteriores, estando dichas señales rectangulares configuradas para controlar unos conmutadores de los puentes primario y secundario de dicho convertidor de potencia.

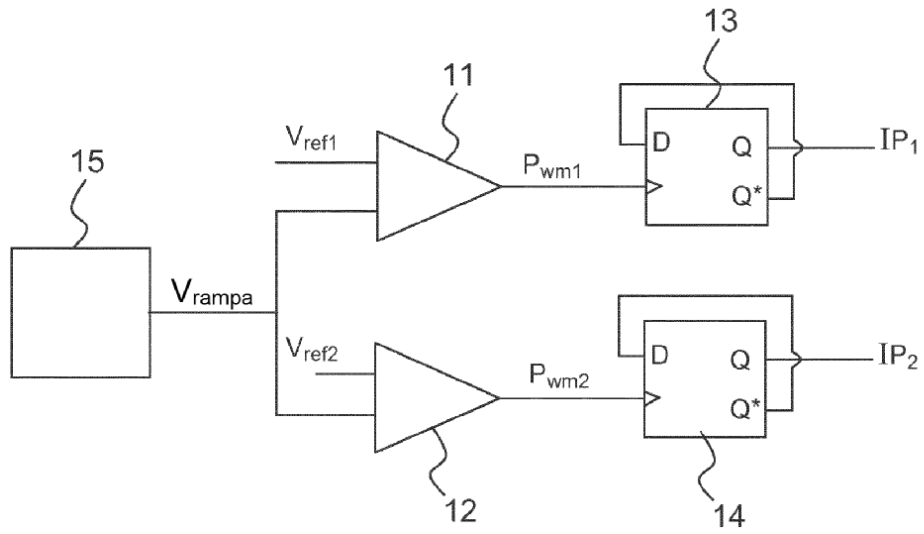


FIG.1

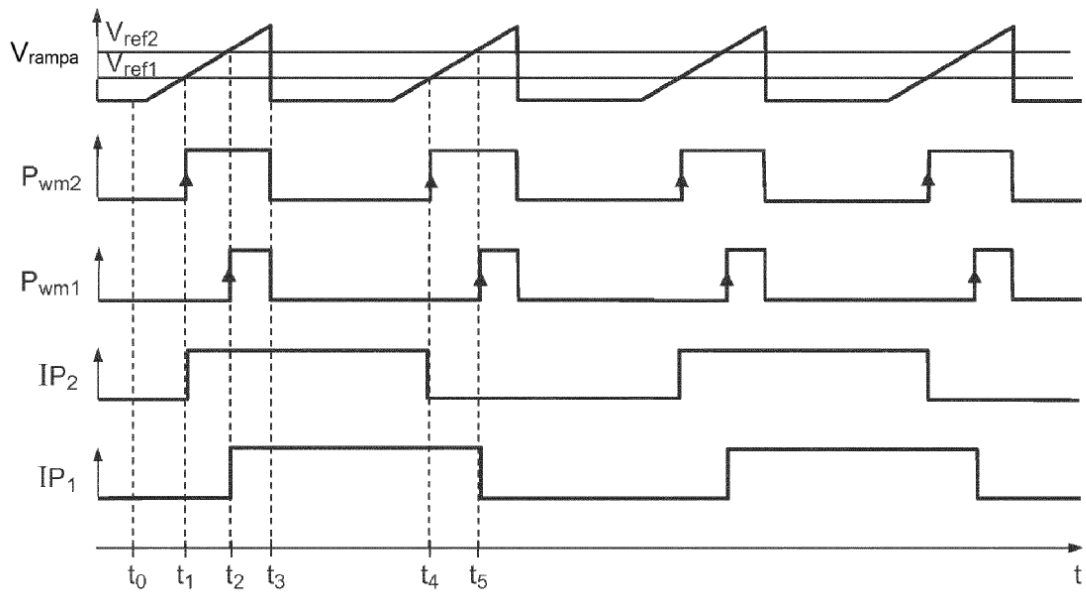


FIG.2

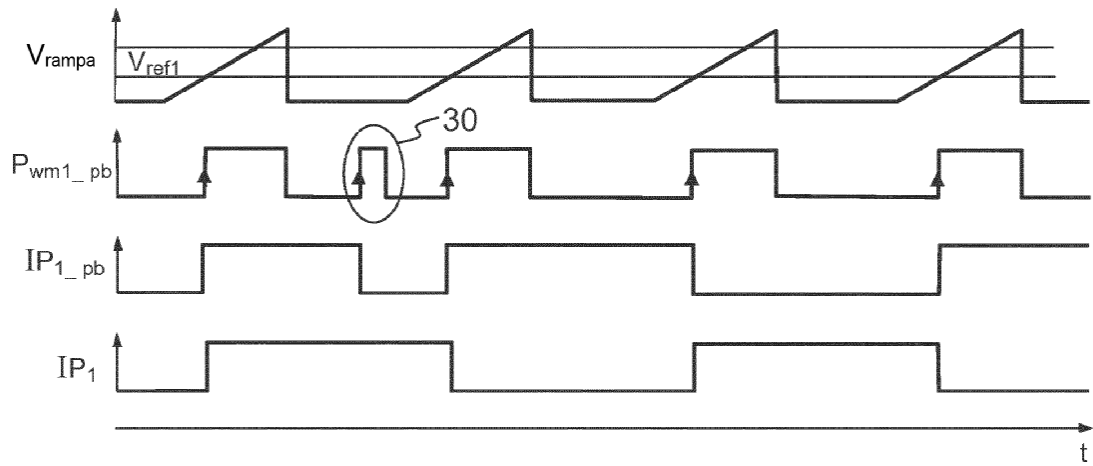


FIG.3

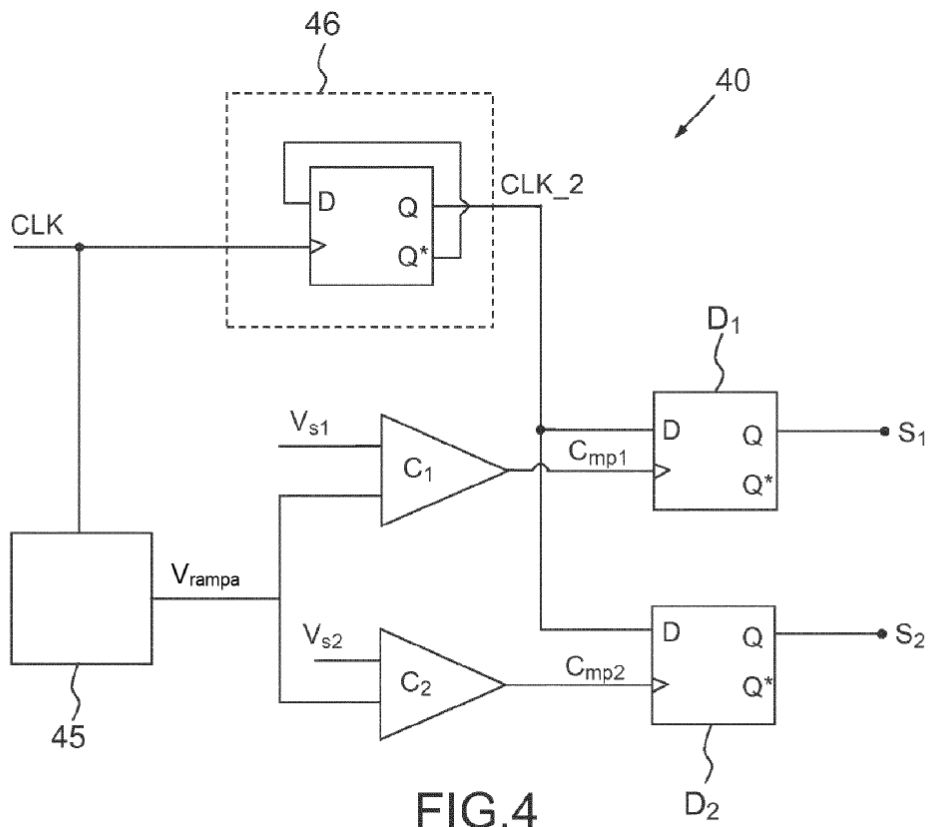


FIG.4

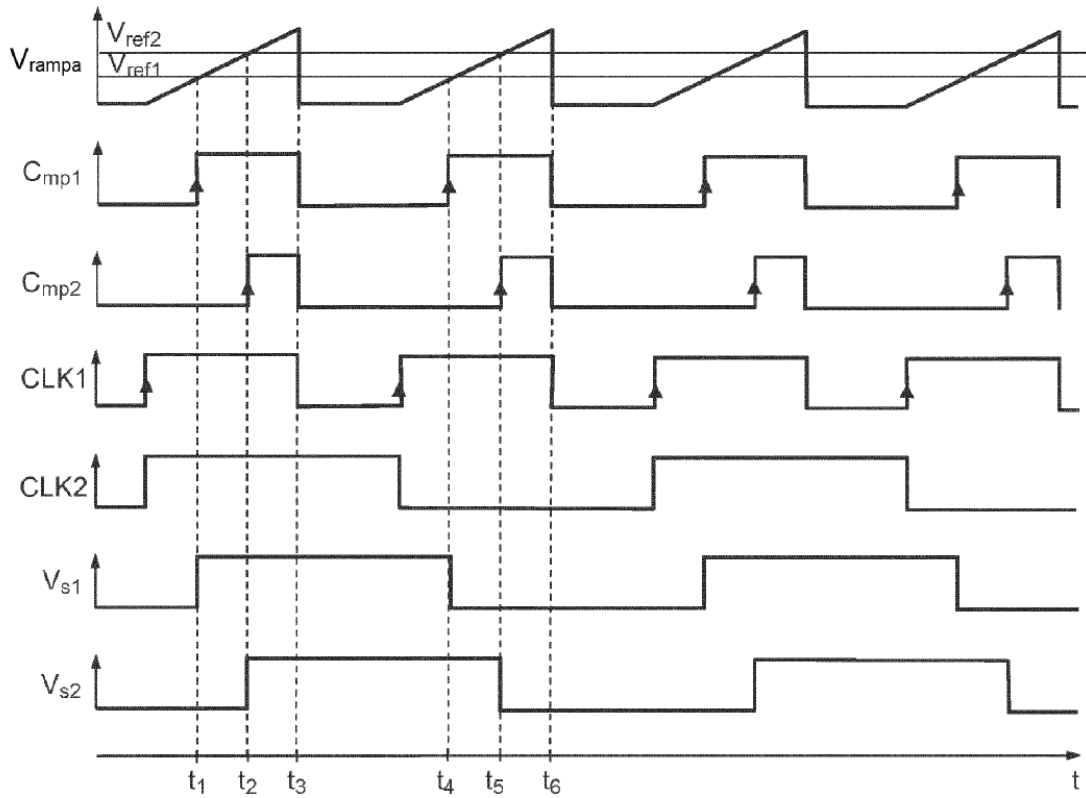


FIG.5

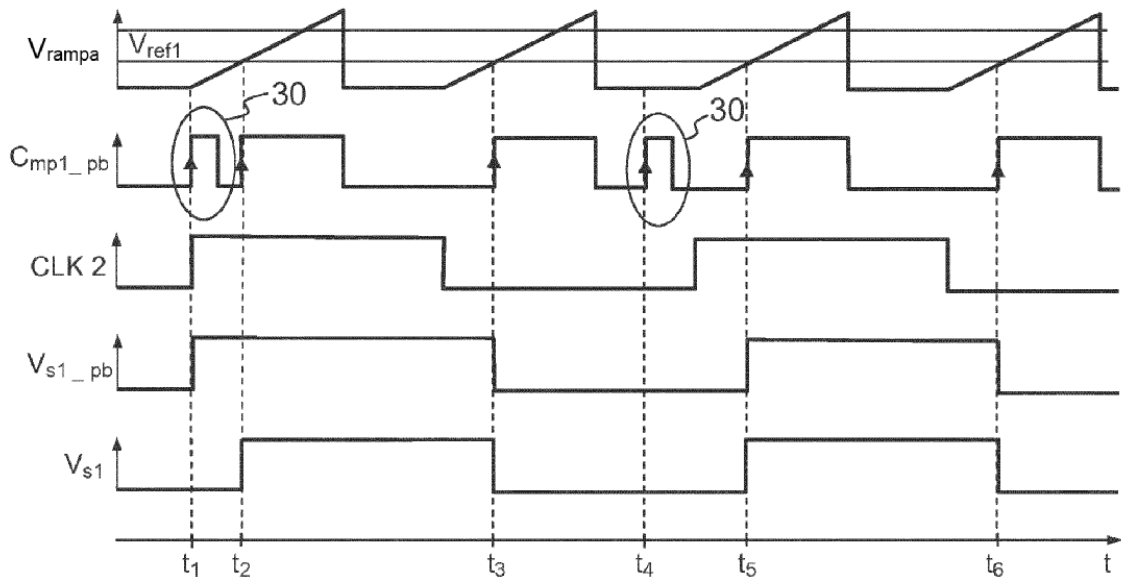


FIG.6

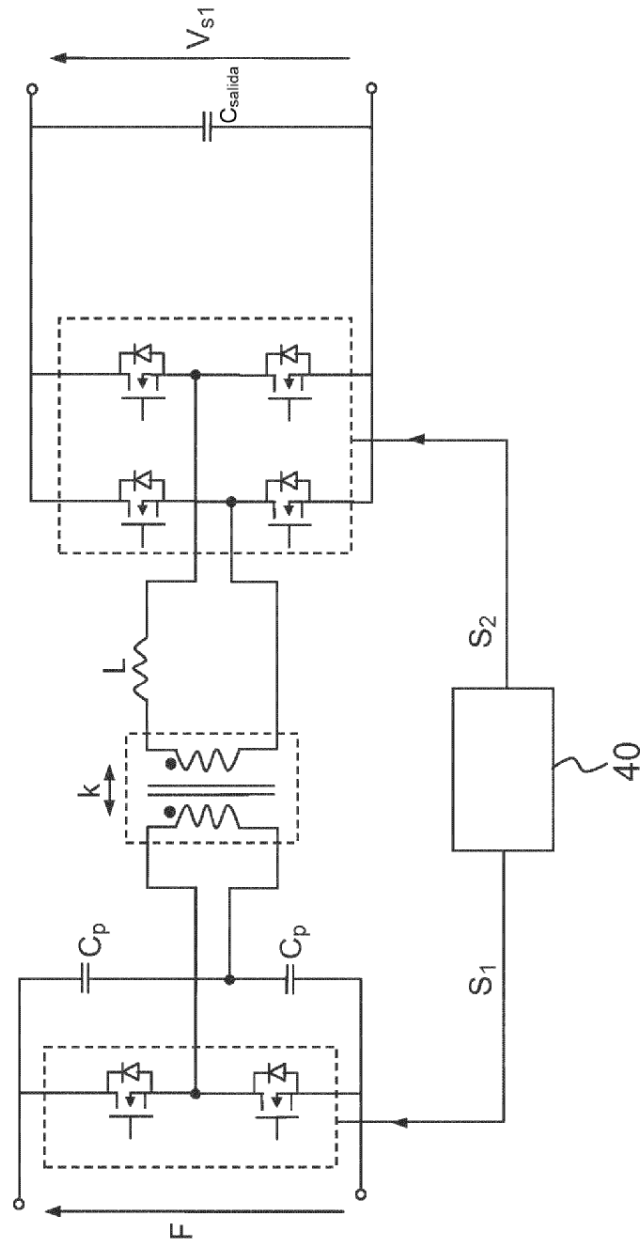


FIG.7