

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 665 909**

51 Int. Cl.:

B60R 16/03 (2006.01)

H04L 1/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **09.02.2007 PCT/EP2007/051261**

87 Fecha y número de publicación internacional: **07.09.2007 WO07099023**

96 Fecha de presentación y número de la solicitud europea: **09.02.2007 E 07704477 (4)**

97 Fecha y número de publicación de la concesión europea: **17.01.2018 EP 1993878**

54 Título: **Dispositivo de control**

30 Prioridad:

02.03.2006 DE 102006009658

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

30.04.2018

73 Titular/es:

ROBERT BOSCH GMBH (100.0%)

Postfach 30 02 20

70442 Stuttgart, DE

72 Inventor/es:

NOTTEBOM, BERND y

TEPASS, BERND

74 Agente/Representante:

CARVAJAL Y URQUIJO, Isabel

ES 2 665 909 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Dispositivo de control

Estado actual de la técnica

5 La presente invención se relaciona con un dispositivo de control, particularmente un dispositivo amplificador de potencia de una unidad de control de un automóvil.

10 En los automóviles, diversos procesos se controlan mediante microprocesadores. sin embargo, los microprocesadores emiten típicamente señales de bajo nivel. Los dispositivos a controlar necesitan, sin embargo, a veces grandes corrientes o altas tensiones. Los amplificadores de potencia transforman los niveles de señal bajos en niveles de señal más altos. Apropiadamente, los amplificadores de potencia se disponen espacialmente lo más cerca posible de los dispositivos a controlar. Por otro lado, resulta conveniente disponer los microprocesadores de control en una o unas pocas ubicaciones centrales en el automóvil. La transmisión de señales entre el microprocesador y un amplificador de potencia se lleva a cabo convenientemente a través de una ruta unidireccional de transmisión de datos. Tal ruta de transmisión de datos se describe, por ejemplo, en la DE 19733748 A1 y en la DE 10228905 A1.

15 Gracias a la EP 0 113 478 A1 se conoce un procesador de etapa final para controlar diversos dispositivos en un vehículo, con un circuito para recibir bloques de datos con instrucciones de control a través de un bus de datos, una etapa de entrada/salida para emitir una señal de salida conforme a las instrucciones de control, un circuito a prueba de fallos para generar una señal de error cuando durante un tiempo predeterminado no se reciba ninguna señal, así como un biestable reinicializable para reiniciar la etapa de entrada/salida, cuando se emita la señal de error.

20 Un circuito similar se conoce gracias a la FR 2 726 675 A1.

25 La EP 0 399 491 A2 muestra una red de control de automoción distribuida, basada en CSMA, en la que se comprueban los cuadros de datos recibidos en busca de errores de transmisión. En caso de error, un nodo de control informa de ello a todos los nodos de red afectados mediante un comando de "actualización del sistema", seguido de un marco de respuesta que indica los estados actuales de las etapas de entrada del nodo de control. Los nodos de red afectados por el error de transmisión reciben este marco de respuesta y corrigen acto seguido en cada caso sus etapas de salida de acuerdo con los estados de entrada especificados. En el automóvil existen diversas interferencias eléctricas, que pueden distorsionar la señal a transmitir durante la transmisión. Un mecanismo para identificar una transmisión errónea del lado de la etapa final utiliza los datos redundantes que se transmiten con la señal. El amplificador de potencia puede determinar entonces en base a la suma de control o a la paridad de la señal transmitida, si existe una transmisión errónea o si se conserva la integridad del bloque de datos transmitido.

30 La transmisión de datos entre el microprocesador y el amplificador de potencia se lleva a cabo con una alta velocidad de transmisión de datos. En una transmisión defectuosa, no es apropiado detener la transmisión y enviar de nuevo el bloque de datos erróneamente transmitido. La DE 19733748 A1 propone a este respecto continuar la transmisión también en caso de una transmisión defectuosa de un solo bloque de datos. El amplificador de potencia debería, en este caso, mantener el estado de salida establecido previamente hasta que tenga lugar la siguiente transmisión correcta de un bloque de datos.

35 Este procedimiento y el correspondiente dispositivo conducen, en algunos dispositivos a controlar, a un mal funcionamiento, ya que los altos niveles de señal se pueden aplicar a ellos demasiado tiempo.

Revelación de la invención

40 El dispositivo de control conforme a la invención según la reivindicación 1 y/o el procedimiento conforme a la invención según la reivindicación 6 presenta(n), respecto al estado actual de la técnica, la ventaja de que, incluso en el caso de una transmisión de datos errónea, no se ajusta ningún nivel de señal inaceptablemente largo en la salida del dispositivo de control.

45 El dispositivo de control conforme a la invención presenta un dispositivo receptor, una etapa de salida, un dispositivo de verificación y un dispositivo de reinicio. El dispositivo receptor sirve para recibir al menos un bloque de datos con instrucciones de control de un bus de datos, la etapa de salida para emitir una señal de salida en respuesta a las instrucciones de control, el dispositivo de verificación para emitir una señal de error, cuando el al menos un bloque de datos recibido sea erróneo y/o durante un tiempo predeterminado no se haya recibido ningún bloque de datos, y el dispositivo de reinicio para reiniciar la etapa de salida a un estado predefinido, cuando el dispositivo de verificación emita la señal de error.

50

El estado predefinido se selecciona de forma que al menos las salidas con un nivel de señal posiblemente crítico se pongan a un bajo nivel de señal. En este contexto, el estado predefinido puede seleccionarse también considerando el nivel de señal aplicado en el momento en la etapa de salida.

5 La etapa de salida puede tener una línea individual de salida con una correspondiente señal de salida o una pluralidad de tales líneas de salida.

El dispositivo de verificación comprueba el bloque de datos en base a un análisis de plausibilidad, por ejemplo, con la ayuda de datos redundantes, como los bits de paridad. El tiempo predeterminado puede seleccionarse correspondientemente a la velocidad temporal del canal de transmisión usado.

10 El dispositivo receptor puede estar configurado para recibir bloques de datos de un bus de microsegundos, en el que alimenta, por ejemplo, un microprocesador sus señales de control. En caso de aparecer un bloque de datos erróneamente recibido puede ser ventajoso emitir la señal de error vía un canal de retorno a través de un dispositivo de salida.

Además, el dispositivo de control puede tener una memoria de datos integrada, que esté concebida para almacenar los estados predefinidos.

15 El procedimiento conforme a la invención prevé recibir bloques de datos con instrucciones de control a través de un bus de datos, establecer señales de salida de una etapa de salida correspondientemente a las instrucciones de control, comprobar la integridad del bloque de datos recibido con un dispositivo de verificación y reiniciar la etapa de salida a un estado predefinido, si se determina que la integridad del bloque de datos recibido no se cumple.

20 La presente invención se explica a continuación en base a un ejemplo de ejecución y a las Figuras. En las Figuras muestran:

Fig. 1 un esquemático diagrama de bloques de un dispositivo de ejecución, que está conectado a un microprocesador, y

Fig. 2 un diagrama de flujo de un modo de operación para operar el dispositivo de control de la Fig. 1.

25 La descripción de los ejemplos de ejecución no es limitante para el alcance de la invención, que se establece mediante las reivindicaciones.

30 En la Fig. 1 se representa un microprocesador 2 y por lo menos un amplificador de potencia 1, por ejemplo, de un dispositivo de control de automóvil. El microprocesador 2 presenta una interfaz de salida 20. La interfaz de salida puede emitir las instrucciones de control en paralelo. Si el número de líneas de transmisión físicas debiera mantenerse lo más pequeño posible, sería más apropiada una transmisión de datos en serie. Los datos se rompen y transmiten en bloques de datos individuales conforme a un protocolo de transmisión de datos predeterminado. Un protocolo de transmisión de datos tal puede ser, por ejemplo, un protocolo de bus microsegundo.

35 El amplificador de potencia 1 presenta un dispositivo receptor 10 correspondiente al protocolo de transmisión seleccionado. La transmisión entre la interfaz de salida 20 y el dispositivo receptor 10 del amplificador de potencia 1 se lleva a cabo unidireccionalmente. La interfaz de salida está concebida, por consiguiente, como salida pura y el dispositivo de entrada, como entrada pura. De este modo, el esfuerzo para la realización de estos dispositivos se mantiene pequeño comparado con una comunicación bidireccional y los dispositivos necesarios para ella.

El dispositivo receptor 10 está conectado internamente en el amplificador de potencia 1 con la etapa de salida 13. La etapa de salida 13 es típicamente un circuito amplificador común. La señal de salida 104 de la etapa de salida se aplica a un dispositivo a controlar, por ejemplo, una válvula.

40 El paquete de datos recibido es transmitido por el dispositivo receptor 10 simultáneamente a un dispositivo de verificación 11. Este dispositivo de verificación 11 determina si el paquete de datos recibido se ha corrompido durante la transmisión, es decir, si no se ha preservado la integridad del paquete de datos.

45 En este contexto puede emplearse una amplia variedad de procedimientos de verificación. Una posibilidad consiste en transmitir, además del paquete de datos, datos redundantes. Un dato redundante puede ser, por ejemplo, una suma de control del bloque de datos. Otra posibilidad es co-transmitir un llamado bit de paridad, que indica la paridad del bloque de datos. Si mediante el dispositivo de monitorización se determinara que la transmisión de datos es errónea, el dispositivo de monitorización 11 emitiría una señal de error 111. Esta señal de error 111 controla un dispositivo de reinicio 12, que emite un estado predeterminado almacenado en él a la etapa de salida 13. La etapa

de salida 13 lee el estado predeterminado y establece un nivel de señal en su salida como señal de salida 104, que corresponde a este estado predeterminado, en vez del bloque de datos erróneamente transmitido.

5 Si no se transmitieran paquetes de datos individuales o no se transmitiera ninguno, esto correspondería en principio a una transmisión de datos defectuosa. Los mecanismos de análisis también detectarían tal falta de paquetes de datos.

El dispositivo de supervisión 11 puede transmitir la señal de error o una señal de supervisión 110 correspondiente a la señal de error a través de un dispositivo de salida 14 y un canal de retorno 200 al microprocesador 2 o a otro dispositivo.

10 Una variante del anterior ejemplo de ejecución presenta un dispositivo de reinicio 12 con una memoria de datos, en la que se almacena más de sólo un estado predeterminado. La selección del estado predeterminado a emitir es función del estado o de la señal de salida 104 de la etapa de salida 13.

El dispositivo de la etapa de salida 13 puede tener varias etapas de salida individuales. A las etapas de salida individuales puede asignársele(s) un bit individual o un grupo de bits del bloque de datos. Otra posibilidad consiste en abordar secuencialmente las etapas de salida individuales en sucesión mediante bloques de datos consecutivos.

15 En la Fig. 2 se describe esquemáticamente como diagrama de flujo la operación de un ejemplo de ejecución. Los bloques de datos son transmitidos secuencialmente por el microprocesador o el dispositivo de control. Después de que se transmita tal bloque de datos individual (S1), éste es recibido (S2) por el dispositivo receptor del amplificador de potencia. El dispositivo de análisis comprueba la integridad del bloque de datos (S3). Si en la verificación se detecta que el bloque de datos es erróneo (S4), el amplificador de potencia se pone en un estado predefinido (S5).

20 El amplificador de potencia emite entonces una señal de salida, que corresponde al estado predefinido (S6). Si el resultado de la verificación del bloque de datos recibido es que éste se ha transmitido correctamente, la etapa de salida del amplificador de potencia emite una señal de salida correspondiente al bloque de datos (S7).

REIVINDICACIONES

- 5 1. Dispositivo de control de un controlador de vehículo, con un dispositivo receptor (10) para la recepción de al menos un bloque de datos con instrucciones de control de un bus de datos (100), una etapa de salida (13) para emitir una señal de salida en respuesta a las instrucciones de control, un dispositivo de verificación (11) para emitir una señal de error, si el al menos un bloque de datos recibido contuviera errores, y un dispositivo de reinicio (12) para reiniciar la etapa de salida a un estado predefinido, si el dispositivo de verificación (11) emitiera la señal de error.
- 10 2. Dispositivo de control según la reivindicación 1, donde el dispositivo receptor (10) está concebido para la recepción unidireccional de al menos un bloque de datos con instrucciones de control de un protocolo de transmisión de datos en serie o un protocolo de bus microsegundo.
3. Dispositivo de control según la reivindicación 1 ó 2 con un dispositivo de salida (14) para emitir la señal de error a un canal de retorno (200).
- 15 4. Dispositivo de control según una de las reivindicaciones 1 a 3, donde el dispositivo de reinicio (12) presenta una memoria de datos integrada, en la que se almacena el estado predefinido.
5. Dispositivo de control según una de las reivindicaciones 1 a 3, donde el dispositivo de reinicio (12) presenta una memoria de datos integrada, en la que se almacena más de un estado predeterminado, donde la selección del estado predefinido a emitir en la etapa de salida (13) se lleva a cabo en función de la señal de salida de la etapa de salida (13).
- 20 6. Procedimiento para controlar un dispositivo de control de un controlador de vehículo, con los pasos
- a) Recepción de al menos un bloque de datos con instrucciones de control a través de un bus de datos (100),
- b) verificación de la integridad del bloque de datos recibido con un dispositivo de verificación (11),
- c) reinicio de una etapa de salida del dispositivo de control (13) a un estado predefinido, si se determina que la integridad del bloque de datos recibido no se cumple, donde la etapa de salida (13) está configurada para emitir una señal de salida en respuesta a las instrucciones de control.
- 25 7. Procedimiento según la reivindicación 6, donde durante el reinicio, el estado predefinido se carga de una memoria de datos del dispositivo de control, que está integrado en el dispositivo de control.
8. Procedimiento según una de las reivindicaciones 6 a 7, donde, al aparecer una integridad errónea, se emite una señal de error a través de un canal de retorno a un dispositivo de procesamiento de datos, que envía los bloques de datos.
- 30 9. Procedimiento según una de las reivindicaciones 6 a 8, donde antes de la verificación se establece la señal de salida de la etapa de salida (13) conforme a las instrucciones de control.
10. Procedimiento según una de las reivindicaciones 6 a 9, donde se almacena más de un estado predeterminado, donde la selección del estado predefinido se lleva a cabo en función de la señal de salida (104) de la etapa de salida (13).

35

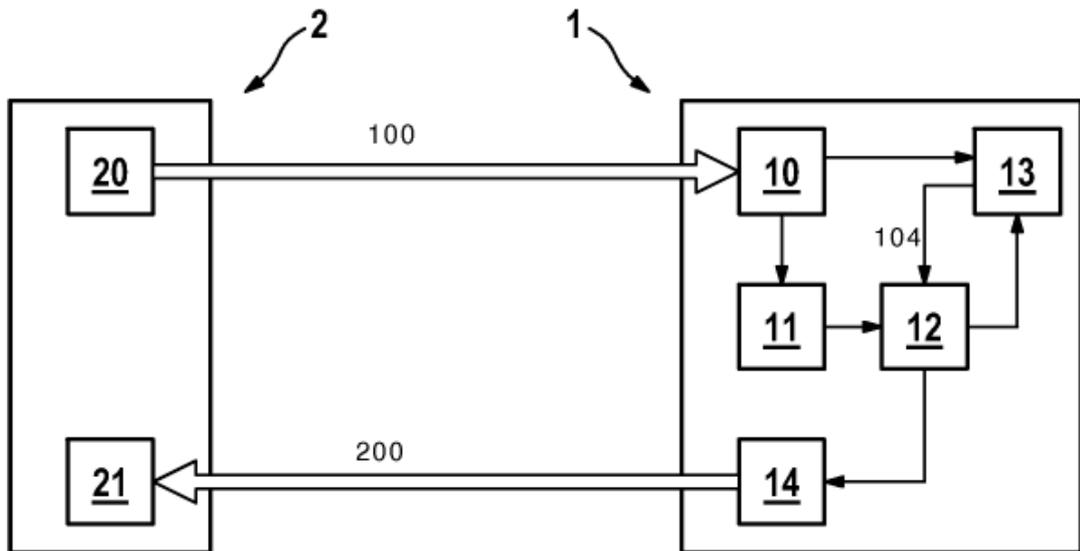


FIG. 1

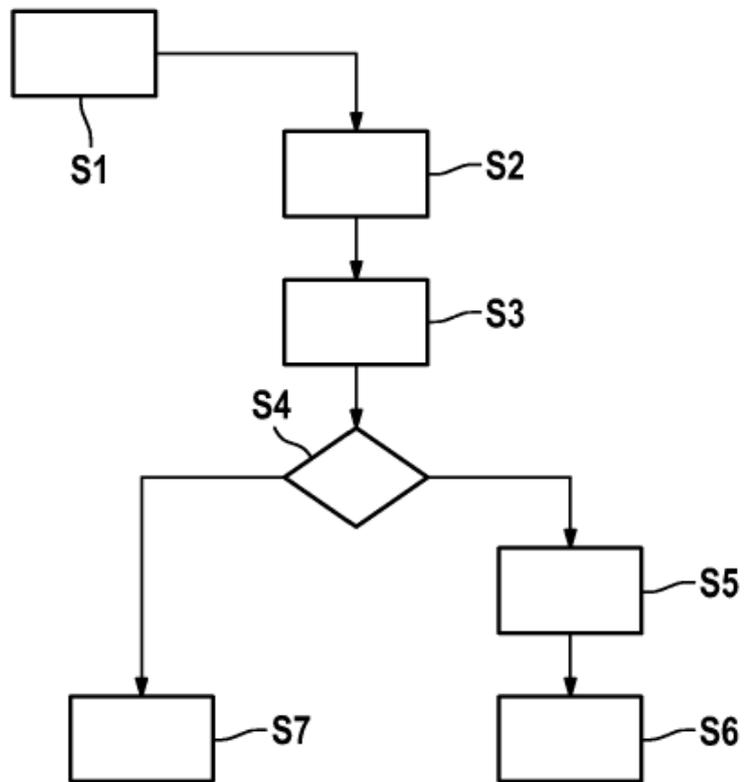


FIG. 2