

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 668 021**

51 Int. Cl.:

H03M 13/35 (2006.01)
H04L 27/38 (2006.01)
H04L 1/00 (2006.01)
H04B 10/54 (2013.01)
H04B 10/2581 (2013.01)
H04B 10/516 (2013.01)
H03M 13/15 (2006.01)
H03M 13/25 (2006.01)
H04L 27/34 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **14.01.2015** **E 15382005 (5)**

97 Fecha y número de publicación de la concesión europea: **14.03.2018** **EP 3046276**

54 Título: **Sistema de codificación de clases laterales de dos niveles para Gigabit Ethernet en fibra óptica plástica**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
16.05.2018

73 Titular/es:
KNOWLEDGE DEVELOPMENT FOR POF, S.L.
(100.0%)
Ronda de Poniente 14, 2° C,D
28760 Tres Cantos, Madrid, ES

72 Inventor/es:
PEREZ DE ARANDA ALONSO, RUBEN;
ORTIZ, DAVID y
PRIETO, DUNIA

74 Agente/Representante:
MILTENYI, Peter

ES 2 668 021 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema de codificación de clases laterales de dos niveles para Gigabit Ethernet en fibra óptica plástica

- 5 La presente invención se refiere a una transmisión de datos en una fibra óptica plástica. En particular, la presente invención se refiere a un procedimiento y a un aparato para transmitir y recibir datos a través de una fibra plástica utilizando un código de corrección de errores adaptativo y un esquema de modulación.

ANTECEDENTES DE LA INVENCION

- 10 Los sistemas de comunicaciones actuales utilizan varios tipos de interfaces de cable y radio. Los más confiables son las fibras ópticas de vidrio que también permiten velocidades de transmisión muy elevadas. Por otra parte, los cables de cobre todavía forman parte de las líneas telefónicas que también se utilizan para la transmisión de datos. Especialmente en las últimas décadas, las comunicaciones inalámbricas se han desarrollado rápidamente. Todos estos medios de transporte de datos tienen sus propias características y son adecuados para el despliegue en diferentes escenarios y arquitecturas.

- 15 Las fibras ópticas de vidrio (GOF) se utilizan hoy en día especialmente para comunicaciones que requieren un ancho de banda muy grande y una atenuación muy baja. Dado que las fibras ópticas de vidrio tienen diámetros muy pequeños y bajas aperturas numéricas (NA), su instalación requiere herramientas de conector especiales y costosas y trabajadores de instalación cualificados.

- 20 Otra posibilidad es el despliegue de fibras ópticas plásticas (POF), por ejemplo, basadas en polimetil metacrilato (PMMA) con un diámetro de núcleo mayor (aproximadamente 1 mm) y una gran apertura numérica (NA de aproximadamente 0,3 a 0,5). La fibra óptica plástica menos costosa y más utilizada es una SI-POF con una apertura numérica de 0,5. Sin embargo, existe también una SI-POF con una apertura numérica baja de 0,3 que permite velocidades de datos más elevadas, así como PMMA GI-POF con un producto de ancho de banda por longitud cercano a 1 GHz x 100 metros. El PMMA tiene varias ventanas de atenuación que permiten utilizar POF con diferentes fuentes de luz visible de diodos emisores de luz (LED) de color azul a rojo o diodos láser (LD) de color rojo.

- 25 En comparación con la GOF, las fibras ópticas plásticas tienen la ventaja de una instalación muy fácil. Pueden ser implementadas por trabajadores de instalación profesionales o no profesionales utilizando herramientas básicas tales como tijeras o cuchillas y conectores de plástico de bajo coste. Es resistente a desalineaciones y a fuertes vibraciones, por lo que puede instalarse en entornos industriales y de automoción sin pérdida de capacidad de comunicación. Las conexiones de POF también tienen una tolerancia mucho mayor al polvo residual en las caras del terminal que la GOF, debido al mayor diámetro del núcleo.

- 30 Dado que la transmisión sobre POF es óptica, las fibras ópticas de plástico son completamente inmunes al ruido eléctrico. Por lo tanto, el cableado de cobre existente no interferirá con los datos que pasan a través de las fibras ópticas plásticas, por lo que incluso puede instalarse junto a cableado eléctrico. Los conectores de fibra óptica plástica y optoelectrónica para POF son principalmente piezas de consumo de bajo coste que permiten a los trabajadores de instalación ahorrar costes en cable y tiempos de instalación, de prueba y mantenimiento. Las fibras ópticas plásticas se han utilizado ampliamente, en particular, para redes de infoentretenimiento en automóviles y puede verse ahora como un estándar global para redes de automóviles de alta velocidad, tales como el Transporte de Sistemas Orientado a los Medios (MOST).

- 35 La figura 1 ilustra un ejemplo de un sistema para transmisión y recepción de datos a través de POF. La transmisión en fibras ópticas plásticas se basa en una modulación de intensidad de la luz con detección directa. La señal a transmitir se genera desde un circuito digital 110 para codificar y modular la información del flujo de bits del usuario y se pasa a un panel frontal analógico (AFE) transmisor (Tx) 120 para la conversión de datos digitales en una señal eléctrica para controlar el elemento emisor de luz 130. Después de esta conversión de la señal eléctrica en una señal óptica, esta última se envía a la fibra óptica 150. Los convertidores eléctricos utilizados para fibras ópticas plásticas son típicamente diodos emisores de luz (LED) caracterizados por propiedades tales como longitud de onda pico, ancho de longitud de onda o distribución modal de lanzamiento.

- 40 Durante la transmisión de la señal a través de fibras ópticas plásticas 150, la luz se ve afectada por una atenuación severa y por una distorsión debido principalmente a la dispersión modal. La dispersión modal está producida por diferentes modos de propagación de luz en la fibra en diferentes trayectorias y con diferentes velocidades y atenuaciones, lo que da lugar a diferentes tiempos de llegada en el receptor. La señal óptica también se ve afectada por un denominado acoplamiento de modo en el que la energía de modos de orden superior se transfiere a modos de orden inferior y viceversa. Como consecuencia, se amplía un pulso óptico que da lugar a una reducción del ancho de banda de la señal.

En un receptor, la señal óptica de la fibra óptica plástica 150 se convierte en intensidad eléctrica por medio de un convertidor opto-eléctrico 170 tal como un fotodiodo. La señal eléctrica se procesa después mediante el panel frontal analógico (AFE) 180. En particular, esto se amplifica, entre otros, mediante un amplificador de trans-impedancia (TIA) y se conecta a un receptor digital 190. El TIA es típicamente la fuente de ruido más importante que limita la sensibilidad final del sistema de comunicación.

Respecto a la tecnología de transmisión de datos, la GOF se ha utilizado con éxito utilizando una modulación sin retorno a cero (NRZ). En particular, los sistemas de comunicación de fibra de vidrio actuales utilizan principalmente codificación de línea NRZ 8b/10b o NRZI 4b/5b que requiere una velocidad de transmisión de 1,25 GHz y 125 MHz para soluciones de 1 Gbps y 100 Mbps, respectivamente. Las soluciones de fibra óptica plástica actuales también adoptaron así modulación NRZ para comunicaciones de datos. Sin embargo, las fibras ópticas plásticas tienen una frecuencia y un tiempo de respuesta diferente del de las fibras de vidrio y también tienen una atenuación considerablemente mayor. Como medio de comunicación, las fibras ópticas plásticas muestran una dispersión modal muy elevada debido a su importante retardo del modo diferencial y la atenuación del modo diferencial. Los fotodiodos de gran área requeridos para acoplarse a una fibra típicamente tienen un ancho de banda limitado. En vista de una respuesta de frecuencia de fibra óptica plástica, son posibles soluciones de hasta 100 o 150 Mbps hasta aproximadamente 30 metros con una estimación de enlace suficiente para instalación; pero 1 Gbps no parece ser alcanzable sin una tecnología más avanzada como la de EP 2 498 432.

Por otra parte, las tecnologías avanzadas a menudo se diseñan con el objetivo de mejorar la codificación y la eficiencia espectral para el canal en particular. Sin embargo, para una implementación práctica, también son de interés otros objetivos de diseño como la latencia.

DESCRIPCIÓN DE LA INVENCION

En vista de las limitaciones de la fibra óptica plástica mencionadas anteriormente, el objetivo de la presente invención es disponer un sistema de transmisión eficiente con posiblemente una baja latencia en fibras ópticas plásticas.

Esto se consigue mediante las características de las reivindicaciones independientes.

En las reivindicaciones dependientes se indican otras realizaciones ventajosas.

El empleo de fibra óptica plástica proporciona muchas ventajas. En particular, respecto a los medios de transmisión inalámbricos y eléctricos, las POF son elásticas contra una interferencia electromagnética. En comparación con la fibra óptica de vidrio, la POF permite una instalación más sencilla, es menos costosa y proporciona una mayor robustez respecto a conexiones. La presente invención aprovecha las ventajas de la POF y presenta un sistema adaptativo que permite una comunicación de alta velocidad de datos en POF.

El enfoque particular de la presente invención para transmitir datos en POF codificados por una codificación de clases laterales de dos niveles después de división intercalada de los datos de entrada en los niveles, con un nivel codificado por BCH y un segundo nivel no codificado, seguido de asignación de clases laterales, traslación, rotación y escalado, adición de niveles y finalmente modulación PAM. Una de las ventajas del enfoque es una baja latencia causada, en particular, por la selección de la codificación de dos niveles con un código BCH y la división intercalada.

De acuerdo con un aspecto de la invención, se dispone un procedimiento para codificar datos digitales para transmisión en una fibra óptica plástica (150), comprendiendo el procedimiento las etapas de: codificar datos digitales de entrada mediante una codificación de clases laterales de dos niveles que incluye: separar de los datos digitales de entrada una primera parte y una segunda parte de datos, cada una con un número predeterminado de bits incluyendo asignar cíclicamente un primer número predeterminado de bits a la primera parte y un segundo número predeterminado de bits a la segunda parte; codificar la primera parte de datos con un primer código BCH acortado en un primer nivel; en el primer nivel, asignar la primera parte codificada sobre símbolos de una primera constelación de modulación por amplitud en cuadratura multinivel predefinida y realizar una transformación de red de primera etapa de los símbolos asignados para obtener una separación de clases laterales; en el segundo nivel, asignar la segunda parte sobre símbolos de una segunda constelación de modulación por amplitud en cuadratura predefinida de multinivel y realizar la transformación de red de primera etapa de los símbolos asignados; añadir los símbolos transformados del primer y segundo nivel; realizar una transformación de red de segunda etapa para obtener una constelación de media cero, y modular los símbolos codificados con la codificación de clases laterales de dos niveles utilizando una modulación por amplitud de pulsos multinivel incluyendo multiplexación por tiempo de la salida en cuadratura y en fase de la transformación de red de segunda etapa en dominio de tiempo.

Preferiblemente, la primera constelación de modulación por amplitud en cuadratura multinivel predefinida es 16-QAM con asignación de Gray mientras que la segunda constelación de modulación por amplitud en cuadratura multinivel predefinida es 8-QAM con asignación de red RZ².

5 Por ejemplo, las transformaciones de red de primera etapa incluyen traslación, escalado y/o rotación de un símbolo, y/o la transformación de red de segunda etapa incluye rotación de la constelación; y/u operación de módulo para restringir los símbolos de constelación a una región cuadrada en un primer cuadrante 2D; y/o centrado y escalado.

10 Ventajosamente, para un bloque de bits de datos de entrada, la primera parte de datos tiene la longitud de 1668 bits y la segunda parte tiene la longitud de 1482 bits, en el que el primer número predeterminado de bits es 4 y el segundo número predeterminado de bits es 3, y el codificador de BCH genera palabras de código con 1976 bits basados en 1668 bits de información de entrada. La modulación del dominio de tiempo es entonces 16-PAM.

15 El procedimiento tal como se ha descrito anteriormente puede comprender, además, una etapa de codificación previa de Tomlinson-Harashima (THP) aplicada a los símbolos modulados. Sin embargo, se observa que la presente invención también puede funcionar con otro tipo de ecualizadores, además o alternativamente, de la THP.

20 De acuerdo con otro aspecto de la presente invención, se dispone un procedimiento para decodificar una señal digital codificada con un codificador de clases laterales de dos niveles y recibido a través de una fibra óptica plástica, comprendiendo el procedimiento las etapas de: demodular la señal digital codificada con una modulación por amplitud de pulsos multinivel en dominio de tiempo para obtener palabras de código de símbolos y transformarlas con una transformación de red inversa de segunda etapa, decodificar los símbolos demodulados y transformados con un decodificador de dos etapas que incluye las etapas de: extraer una primera parte de una palabra de código aplicando una primera transformación de red inversa de primera etapa, un detector de símbolos para una primera constelación de modulación por amplitud en cuadratura multinivel predefinida, y una operación de módulo en un símbolo demodulado; decodificar (3440) en una primera etapa la primera parte con un desmapeador de símbolos y un decodificador de BCH acortado y, en base a la primera parte decodificada, seleccionar una primera clase lateral; retroalimentar la primera parte decodificada asignando la primera parte decodificada sobre símbolos de la primera constelación de modulación por amplitud en cuadratura multinivel predefinida y realizar la transformación de red de primera etapa de los símbolos asignados; obtener (3460) una segunda parte restando la primera parte descodificada y retroalimentada del símbolo demodulado y aplicando la transformación de red inversa de primera etapa, un detector de símbolos, una operación de módulo y un desmapeador de símbolos; y multiplexar (3470) los bits de la primera y la segunda parte decodificados incluyendo enviar cíclicamente un primer número predeterminado de bits de la primera parte y un segundo número predeterminado de bits de la segunda parte.

35 También se dispone un medio legible por ordenador, que almacena instrucciones que, cuando son ejecutadas por un procesador, hacen que el procesador ejecute cualquiera de los procedimientos descritos anteriormente.

40 De acuerdo con todavía otro aspecto de la presente invención, se dispone un aparato para codificar datos digitales para transmisión en una fibra óptica plástica (150), comprendiendo el aparato: un codificador de clases laterales de dos niveles para codificar datos digitales de entrada mediante una codificación de clases laterales de dos niveles que incluye: un demultiplexor para separar, de los datos digitales de entrada, una primera parte y una segunda parte de datos, cada una con un número predeterminado de bits incluyendo asignar cíclicamente un primer número predeterminado de bits a la primera parte y un segundo número predeterminado de bits a la segunda parte; un código BCH para codificar la primera parte de datos con un primer código BCH acortado en un primer nivel; un primer mapeador para, en el primer nivel, asignar la primera parte codificada sobre símbolos de una primera constelación de modulación por amplitud en cuadratura predefinida de multinivel y realizar una transformación de red de primera etapa de los símbolos asignados para lograr una separación de clases laterales; un segundo mapeador para, en el segundo nivel, asignar la segunda parte sobre símbolos de una segunda constelación de modulación por amplitud en cuadratura predefinida de multinivel y realizar la transformación de red de primera etapa de los símbolos asignados; un sumador para añadir los símbolos transformados del primer y segundo nivel; una unidad de transformación para realizar una transformación de red de segunda etapa para lograr una constelación de media cero y un modulador para modular los símbolos codificados con codificación de clases laterales de dos niveles utilizando una modulación por amplitud de pulsos multinivel incluyendo multiplexación por tiempo de la salida en cuadratura y en fase de la transformación de red de segunda etapa en dominio de tiempo.

55 De acuerdo con todavía otro aspecto de la presente invención, se dispone un aparato para decodificar una señal digital codificada con un codificador de clases laterales de dos niveles y recibida en una fibra plástica, comprendiendo el aparato: un demodulador para demodular la señal digital codificada con una temporización por modulación por amplitud de pulsos multinivel de dominio de tiempo para obtener palabras de código de símbolos; una primera unidad de transformación para transformar los símbolos demodulados con una transformación de red inversa de segunda etapa, un decodificador de múltiples niveles para decodificar los símbolos demodulados y transformados con un decodificador de dos etapas que incluye: un primer extractor para extraer una primera parte

60

de una palabra de código aplicando una transformación de red inversa de primera etapa, un detector de símbolos para una primera constelación de modulación por amplitud en cuadratura multinivel predefinida, y una operación de módulo a un símbolo demodulado; un decodificador de BCH para decodificar (3440) en una primera etapa la primera parte con un decodificador de BCH acortado y, en base a la primera parte decodificada, seleccionar una primera clase lateral; un primer mapeador para asignar la primera parte decodificada sobre símbolos de la primera constelación de modulación por amplitud en cuadratura multinivel predefinida y realizar la transformación de red de primera etapa de los símbolos asignados; un segundo extractor para obtener (3460) una segunda parte restando la primera parte decodificada y asignada del símbolo demodulado y aplicar la transformación de red inversa de primera etapa y una operación de módulo; un multiplexor para multiplexar (3470) los bits de la primera y la segunda parte decodificados incluyendo enviar cíclicamente un primer número predeterminado de bits de la primera parte y un segundo número predeterminado de bits de la segunda parte.

También se dispone un circuito integrado, que incorpora el aparato de acuerdo con lo descrito anteriormente.

Los anteriores y otros objetivos y características de la presente invención serán más claros a partir de la siguiente descripción y la realización preferida que se dan junto con los dibujos adjuntos, en los cuales:

La figura 1 es un dibujo esquemático que ilustra un ejemplo de un sistema de transmisión y recepción de datos en POF;

La figura 2 son diagramas de bloques que ilustran la funcionalidad de la codificación previa de Tomlinson-Harashima;

Las figuras 3A, 3B, 3C son gráficas que muestran algunos resultados de investigación que soportan la selección de un esquema de codificación particular;

La figura 4 es un diagrama de bloques que muestra un transmisor con una codificación y modulación de clases laterales de dos niveles de acuerdo con una realización de la presente invención;

La figura 5A es un diagrama de bloques que ilustra un codificador de acuerdo con la presente invención;

La figura 5B es un diagrama de bloques que ilustra un decodificador de acuerdo con la presente invención;

La figura 6 es un dibujo esquemático de un demultiplexor para dividir los datos de entrada en los dos niveles del codificador de dos niveles;

La figura 7 es un diagrama de bloques que ilustra un codificador sistemático de BCH;

La figura 8A es un diagrama de bloques que ilustra una arquitectura de un mapeador 16-QAM para el primer nivel;

La figura 8B es un diagrama de bloques que ilustra una implementación de un mapeador Gray a binario;

La figura 9 es un diagrama de bloques que ilustra la arquitectura de un mapeador 8-QAM para el primer nivel;

La figura 10 es un diagrama de bloques que ilustra un ejemplo de la operación de traslación de red para un primer nivel de la primera etapa;

La figura 11 es un diagrama de bloques que ilustra un ejemplo de la operación de traslación, escalado y rotación de red para un segundo nivel de la primera etapa;

La figura 12 es un diagrama de bloques que ilustra un ejemplo de la implementación del sumador de red (adición de vector);

La figura 13 es un diagrama de bloques que ilustra un ejemplo de una transformación de red de segunda etapa;

La figura 14 es un diagrama de bloques que ilustra una implementación de ejemplo de una operación de módulo;

La figura 15 es un diagrama de bloques que ilustra la salida de modulación M-PAM;

Las figuras 16A, 16B son dibujos esquemáticos que ilustran el diagrama de constelación después de las transformaciones de red de primera y segunda etapa;

La figura 17 es un diagrama de bloques de un decodificador con decodificación y demodulación de clases laterales de dos niveles;

La figura 18A, 18B son gráficas que ilustran el funcionamiento de FIFO1 y FIFO2 del codificador;

La figura 19A, 19B son gráficas que ilustran el funcionamiento de FIFO1 y FIFO2 del decodificador;

La figura 20 es una tabla que ilustra el cálculo de probabilidad de errores no detectados para varios códigos BCH diferentes y varias fórmulas para el cálculo;

La figura 21 es una gráfica que ilustra el rendimiento de la MLCC en términos de BER sobre SNR; y

La figura 22 es una tabla que ilustra el rendimiento de la MLCC en términos de MTBE, MTTFPA y BER.

DESCRIPCIÓN DETALLADA

El problema que subyace a la presente invención se basa en la observación de que las técnicas utilizadas típicamente para fibra óptica de vidrio no son suficientes para lograr una transmisión eficiente de datos en una fibra óptica plástica. Debido a la diferencia entre las características de los canales de fibra óptica plástica en comparación con las fibras ópticas de vidrio, los canales inalámbricos o de cobre, las técnicas desarrolladas y empleadas para dichos canales tampoco son directamente aplicables a las fibras ópticas plásticas. Uno de los objetivos de la presente invención es permitir comunicaciones de datos altamente eficientes espectralmente en POF. Además, los enfoques más avanzados a menudo están conectados con una latencia más alta.

Uno de los criterios generales para diseñar un sistema de comunicaciones es maximizar la capacidad del canal. El límite de la capacidad del canal puede calcularse de acuerdo con la teoría de la información utilizando el límite de Shannon sobre la velocidad definido como la información mutua máxima de una variable aleatoria en la entrada y la salida del canal. Sin embargo, en la práctica es difícil lograr dichos límites teóricos. La causa de ello, entre otros, son los elementos reales empleados que, en general, no tienen características ideales. Otro factor importante al diseñar un sistema de comunicaciones es su eficiencia en términos de complejidad de implementación, que tiene un impacto directo en los costes y la viabilidad del producto, así como en su latencia.

Las figuras 2A ilustran un empleo bien conocido de THP con una modulación M-PAM. El pre-codificador de Tomlinson-Harashima desplaza el filtro de realimentación 230 de una estructura DFE (Ecuación de realimentación de decisión) al transmisor y lo combina con un operador de módulo 210 para reducir los símbolos compensados por post-cursor ISI a la región de codificación previa de Voronoi de la constelación PAM correspondiente. El filtro de realimentación 240 permanece en el receptor para compensar el cursor y el pre-cursor ISI y para blanquear el ruido. Entonces, se necesita un operador de módulo 220 análogo al operador de módulo 210 del lado del transmisor para recuperar los símbolos transmitidos. La THP es capaz de aproximarse al rendimiento de la DFE ideal sin propagación de errores, para modulaciones medianamente o muy espectralmente eficientes.

Puede construirse un modelo de canal lineal de tiempo discreto equivalente muestreando el canal óptico de tiempo continuo. La THP a la entrada del canal y la ecualización de realimentación en el receptor se añaden para compensar el ISI y blanquear el ruido.

Bajo los supuestos (modelo de canal) de que el ISI puede ser completamente compensado por THP más FFE y el FFE blanquea por completo el ruido del canal, el canal equivalente es un canal sin memoria con ruido gaussiano blanco aditivo (AWGN).

La operación del módulo en el receptor puede integrarse ventajosamente en el decodificador M-PAM para evitar la inversión de símbolos.

La THP empleada en el transmisor requiere una retroalimentación del receptor para obtener una respuesta actual del canal. A pesar de este pequeño inconveniente de implementación, la THP sigue siendo adecuada para la parte predominante de las aplicaciones de POF dirigidas. Por ejemplo, la THP es adecuada para una topología en estrella, una topología en cadena o una topología en árbol. En la topología en estrella, cada nodo está conectado a la red a través de un conmutador de paquetes por medio de una POF dúplex que tiene dos fibras para las dos direcciones respectivas. En la topología de conexión en cadena, algunos nodos tienen capacidad de conmutación de paquetes y más de una interfaz dúplex. Un nodo está conectado a la red y, al mismo tiempo, funciona como puente entre los diferentes dominios de red con los que está interconectado. La topología en árbol es una evolución de la topología de conexión en cadena, en la que algunos nodos tienen más de dos interfaces de POF dúplex. Estas tres topologías, en general son adecuadas para cualquier tipo de aplicaciones de sensores basadas en video o distribución de medios, especialmente para aplicaciones de red doméstica, plantas industriales o aplicaciones de automoción, en particular, cámaras y pantallas interconectadas.

La figura 5A y la figura 5B ilustran el codificador 500a y el decodificador 500b respectivos, que pueden formar parte del circuito digital transmisor 110 y el circuito digital receptor 190 tal como se muestra en la figura 1. En particular, el codificador 500a introduce una secuencia de bits digital, que se codifica después mediante una codificación de clases laterales de niveles múltiples (MLCC) 510. Los símbolos de la MLCC codificados se modulan después mediante una modulación en dominio de tiempo tal como una modulación por amplitud de pulsos M-aria (M-PAM), que se considera aquí parte del codificador de MLCC 510, y los símbolos PAM adicionalmente se codifican previamente por un pre-codificador 530. El decodificador 500b incluye un demodulador en dominio de tiempo 580 para demodular la señal del receptor y un decodificador de etapas múltiples 590 para decodificar los símbolos demodulados. Si no se aplicó THP, puede emplearse FFE 570 como ecualizador. Si se aplica THP, el FFE puede ecualizar el cursor y el post-cursor de la respuesta de impulso del canal, así como también blanquear el ruido. En tal caso, 570 es el filtro de realimentación 340 de la estructura THP.

Al diseñar una codificación para un canal, debe seleccionarse la eficiencia espectral y la velocidad en baudios. El análisis de la capacidad de Shannon sugiere que el esquema óptimo debería ser un M-PAM con M entre 8 y 16, para THP y una tasa de código de 0,8. La correspondiente sensibilidad en dBm para diferentes valores de M dependiendo de la frecuencia del símbolo F_s se muestra en la figura 3A. La velocidad en baudios debe ser entre 300 y 400 MHz. Según las investigaciones de los inventores, velocidades en baudios cercanas a 300 MHz tienden a proporcionar un menor consumo de potencia DSP para la ecualización de canales, así como diseños de consumo de DAC y ADC más sencillos y de menor consumo.

La selección de la eficiencia espectral óptima y la velocidad en baudios es una tarea compleja que requiere tener en cuenta varios factores para obtener una solución, tal como el equilibrio entre la latencia y la ganancia de

codificación, la complejidad de implementación de la FEC y DSP, requisitos de memoria, análisis estadístico de cómo se producen los errores en la salida de la FEC, capacidades de detección de errores de la FEC además de las de corrección, espacio de diseño discreto de códigos implementables, un enfoque holístico para considerar elementos importantes tales como aleatorizadores, una estructura de transmisión, cómo se recupera la cadencia, el canal ecualizado, etc. Además, deben tenerse en cuenta las referencias de reloj y las velocidades de reloj de la interfaz de datos con MAC (por ejemplo, GMII).

La figura 3B muestra la estimación de potencia de enlace relativa en dBo para la latencia entre la capa física GMII-a-GMII en microsegundos para las tasas de error de bits BER $<1e-10$, figura 3C para BER $<1e-14$. Para una BER más baja, la estimación de potencia disminuye más rápido para latencias más bajas. En particular, la estimación de enlace para FECs de baja latencia se ve muy afectada por la especificación BER, ya que códigos "más cortos" (es decir, códigos con palabras de código más cortas y menor latencia) proporcionan unas capacidades de corrección de errores más pequeñas. Para códigos "más largos" (alta latencia), la variación del desplazamiento de enlace como una función de BER es aproximadamente constante. Estos códigos muestran una severa curva de rendimiento BER frente a SNR.

El código marcado con un círculo doble representa una posición ventajosa en la curva ya que la latencia es relativamente baja (aproximadamente 6 microsegundos) y el rendimiento de la estimación de enlace es el mismo que para los CIs actuales implementados de acuerdo con la norma VDE. Además, un código de este tipo también proporciona una baja complejidad de implementación y un bajo consumo de energía y es muy robusto frente a impedimentos no contemplados y/o pérdidas de implementación. Además, la MTTFPA (tiempo medio para aceptación de paquetes falsos) es alto.

Habiéndose investigado estas características de los códigos, se ha seleccionado el código correspondiente, es decir, un código de clases laterales de dos niveles con una longitud de palabra de código de alrededor de 2000 bits. A continuación, se presenta en detalle una realización de ejemplo de uno de dichos posibles códigos.

Una codificación de clases laterales de múltiples niveles es una técnica de codificación de capacidad limitante de esfera. La descripción teórica y el diseño de MLCC pueden encontrarse en G. D. Forney y otros, "*Sphere-bound-achieving coset codes and multilevel coset codes*", *IEEE Trans. on Information Theory*, vol. 46, nº 3, mayo de 2000, págs. 820-850, que se incorpora aquí por referencia. En particular, en las Secciones V.E, V.F y VII.B. una codificación de clases laterales de múltiples niveles (MLCC) con dos niveles basados en redes Z^2 y RZ^2 de acuerdo con una realización de la invención puede ajustar con precisión la eficacia espectral con códigos de componentes binarios de baja complejidad. La constelación se divide de manera que los bits con mayor probabilidad de ser dañados por el ruido están protegidos por un código binario, y los bits menos corruptos no están protegidos.

Las reglas teóricas se formulan en términos de la tasa de código de los códigos de componentes, capacidades de canal de división y ruido asociado al módulo presente en cada nivel de decodificación suponiendo decodificación de descodificador de múltiples etapas (MSD). Sin embargo, la teoría matemática no se ocupa de las características particulares de los códigos de componentes binarios que también son adecuados para implementación en un "mundo real", lo que significa, por ejemplo, implementación de hardware o software. En la literatura mencionada anteriormente, se han estudiado códigos de control de paridad de baja densidad (LDPC) como posibles códigos de componentes para MLCC. Sin embargo, los códigos LDPC requieren una complejidad de cálculo bastante elevada para la decodificación que, por otro lado, requiere más área en la implementación del hardware y provoca un mayor consumo de energía. En términos de la estimación de potencia del enlace óptico, la mejora causada por el empleo de LDPC junto a BCH parece ser insignificante. Además, con el código LCPC existe una base de error potencial, cuya compensación podría requerir el empleo de un código externo algebraico adicional.

Los códigos binarios de Bose, Chaudhuri, Hocquenghem (BCH) son códigos algebraicos casi perfectos en términos de distancia de Hamming mínima entre las palabras de código. Los códigos BCH no tienen una base de error cuando se aplica una codificación de decisión por hardware. Los códigos BCH también proporcionan la ventaja de una implementación simple que puede integrarse fácilmente, por ejemplo, en un circuito integrado. Para tasas de codificación elevadas, los códigos BCH proporcionan una alta ganancia de codificación, que, por otra parte, disminuye para tasas de codificación medias y bajas.

La figura 4 ilustra un codificador de MLCC 400 que puede emplearse en lugar del codificador de MLCC 510 que se muestra en la figura 5A de acuerdo con la presente invención. La secuencia de entrada binaria está segmentada en bloques de α_{MLCC} bits. Al codificador 400 se le envía una secuencia de bits de información de longitud α_{MLCC} que pertenece a una palabra de código de MLCC a transmitir. La cantidad de bits α_{MLCC} puede seleccionarse de acuerdo con la eficiencia espectral deseada respecto a la calidad del canal. Los bits de información a codificar como una palabra de código de MLCC se dividen primero en un demultiplexor de MLCC 410 en dos niveles de MLCC. En particular, una parte de la información con α_{MLCC} bits se divide en partes que tienen respectivamente $k_c(1)$ y $k_c(2)$ bits, cada uno de los cuales se envía a un nivel de MLCC correspondiente, en el que $\alpha_{MLCC} = k_c(1) + k_c(2)$.

La división se realiza ventajosamente de manera intercalada, en particular separando de los datos digitales de entrada una primera parte y una segunda parte de datos, cada una con un número predeterminado de bits incluyendo asignar cíclicamente un primer número predeterminado de bits $n_{b,demux}(1)$ a la primera parte y un segundo número predeterminado de bits $n_{b,demux}(2)$ a la segunda parte.

La división se ilustra en la figura 6. En particular, el orden de bits se establece para obtener la latencia mínima del codificador, así como también del decodificador de múltiples etapas (MSD). Para firmar la división en cuanto aspectos prácticos, para el nivel i -ésimo ($i = 1$ o 2 , para codificación de 2 niveles), definimos $n_{b,demux}(i) = 2 \cdot n_b(i)$ bits. Aquí, $n_b(i)$ es el número de bits codificados por dimensión para el nivel i -ésimo. Este parámetro especifica la constelación. La información de entrada se divide entre los dos niveles asignando $n_{b,demux}(1)$ bits al primer nivel y $n_{b,demux}(2)$ bits al segundo nivel cíclicamente hasta que se han asignado $K_c(1)$ bits al primer nivel. Una vez que el primer nivel está lleno, los bits de entrada restantes se asignan al segundo nivel hasta que se llena el segundo nivel, obteniéndose $K_c(2)$ bits (dado que, en este caso de ejemplo, hay más bits en el segundo nivel que en el primer nivel, de lo contrario el segundo nivel se llenaría como primero y los demás bits se asignarían al primer nivel). El término "lleno" se refiere al hecho de que se consigue el número de bits $K_c(i)$ de la palabra de código de entrada designada para el nivel particular i . En la figura 6, un bit que se cuadruplica a_i con $i = 0.416$ y un bit que se triplica b_i con $i = 0.493$ son partes respectivas asignadas al primer y al segundo nivel. El término "4b" representa cuatro bits mientras que el término "3b" representa tres bits. Los números 416 y 493 resultan de la longitud seleccionada $k_c(1)$ y $k_c(2)$. A saber, $k_c(1) = 1668$ bits divididos por $n_{b,demux}(1) = 4$ resultan en 417. Del mismo modo, $k_c(2) = 1482$ bits dividido por $n_{b,demux}(2) = 3$ resultan en 494.

FIFO1 y FIFO2 en la figura 4 representan almacenamientos intermedios del tipo primero en entrar, primero en salir situados en los dos niveles respectivos. FIFO1 y FIFO2 están presentes para proporcionar un flujo de datos constante tanto en la entrada como en la salida del codificador y también son necesarios para correspondencia de velocidad. El tamaño requerido de estos FIFOs determina la latencia del codificador MLCC, ya que el resto de bloques puede considerarse sin latencia. El patrón de multiplexación de MLCC, tal como se ha descrito anteriormente, se ha elegido para minimizar los requisitos de memoria de los FIFOs, así como la latencia tanto del codificador como del decodificador. Para el presente ejemplo con 3150 bits por palabra de código que se envía a los símbolos de MLCC y 988 PAM enviados desde el codificador y suponiendo la frecuencia de 325 MHz, la tasa de entrada corresponde óptimamente a $3150/988 = 3,1883$ bits/ciclo. Las figuras 18A y 18B ilustran la latencia del codificador para FIFO1 y FIFO2 respectivamente. Tal como puede apreciarse en las figuras, la latencia del codificador es baja, sólo 90 ciclos, que corresponde a 0,27 microsegundos para $F_s = 325$ MHz. Los requisitos de memoria son 164 bits para FIFO1 y 135 bits para FIFO2.

El primer nivel del codificador de MLCC de dos niveles incluye codificación de corrección de errores hacia adelante 420. El segundo nivel está sin codificar. El codificador de corrección de errores hacia adelante 420 codifica los $k_c(1)$ bits en $n_c(1)$ bits codificados. En el segundo nivel no codificado, análogamente $n_c(2) = k_c(2)$. En particular, se seleccionó un código BCH como código de la componente de corrección de errores hacia adelante de MLCC. La selección de un código binario BCH particular para el primer nivel es fundamental para garantizar el rendimiento y evitar una base de error del esquema de MLCC.

Un código binario BCH es particularmente adecuado para esta aplicación debido a su baja complejidad y capacidades de corrección.

La paridad introducida por el código BCH para la capacidad de corrección de errores en el receptor también puede utilizarse para afirmar el fallo de decodificación cuando el decodificador no puede corregir la palabra de código recibida, para detectar errores. La afirmación de fallo de decodificación puede utilizarse por la PHY (capa física) de la pila de protocolo Ethernet para indicar a la MAC que una estructura Ethernet es corrupta utilizando la señal GMII RX_ER y evitar la detección de un mal delimitador de paquetes que puede producir una propagación de errores sobre paquetes Ethernet que se recibieron correctamente, una generación de paquetes adicionales que no se transmitieron o paquetes superpuestos. Aquí, GMII se refiere a la interfaz independiente Gigabit Medium, que se encuentra en la parte superior de la capa física seguida de MAC (Control de Acceso al Medio). La parte inferior de la capa física incluye, por otra parte, una interfaz dependiente del medio (MDI).

Tal como se mostrará, la FCS (secuencia de verificación de trama) no es suficiente para proporcionar un tiempo medio para aceptación de paquetes (MTTFPA) suficientemente grande. Por lo tanto, será necesaria una capacidad de detección de código BCH como parte de la FEC. A continuación, se muestra un procedimiento para un cálculo correcto de la probabilidad de error no detectado de códigos BCH.

La probabilidad de error no detectado para la decodificación de distancia acotada de códigos BCH binarios (por ejemplo, algoritmo Berlekamp) debe estimarse cuando se utilizan tanto para corrección de errores como para detección en un canal binario simétrico (BSC) con probabilidad de cruce p . Para este análisis, se supone que el

ecualizador proporciona un canal AWGN a la entrada del decodificador y se implementa una fuerte detección de símbolos, que tiene un BSC en la salida del demapeador. También se supone que se utiliza un decodificador de distancia acotada junto con un código BCH de corrección de errores $t(n, k)$ C con distancia mínima d_{min} donde $t = \lfloor (d_{min}-1)/2 \rfloor$.

Si una palabra recibida se encuentra dentro de la distancia de Hamming $t = \lfloor (d_{min}-1)/2 \rfloor$ de una palabra de código, el decodificador selecciona esa palabra de código como la que probablemente haya sido enviada. Si la palabra de código seleccionada no es la que se envió, se dice que se ha producido un error en el decodificador. Si no hay una palabra de código dentro de la distancia de Hamming $t = \lfloor (d_{min}-1)/2 \rfloor$ de una palabra recibida, se declara entonces un fallo del decodificador.

Si la distribución del peso $\{A_j\}$ para C es conocida, pueden obtenerse expresiones exactas para las probabilidades de error y fallo del decodificador. La probabilidad de error del decodificador corresponde a la probabilidad de error no detectado. La probabilidad de error no detectado para un decodificador de distancia limitada es (véase M.-G. Kim y J.H. Lee. "Undetected error probabilities of binary primitive BCH codes for both error correction and detection". *IEEE Transactions on Communications*, vol. 44, nº 5, págs. 575-580, mayo de 1996, mencionado a continuación como [1]):

$$P_{ue}(p) = \sum_{w=t+1}^n \phi(w) P_E(w) \quad (1)$$

donde $\phi(w)$ es la probabilidad de que una palabra recibida tenga un peso w :

$$\phi(w) = p^w (1-p)^{n-w} \binom{n}{w}$$

y $P_E(w)$ es la probabilidad de error del decodificador que se define como la relación entre el número de palabras con peso w que se encuentran dentro de la distancia t desde una palabra de código y el número de palabras con peso w en todo el espacio vectorial:

$$P_E(w) = \frac{\sum_{s=0}^t \sum_{j=w-s}^{w+s} A_j \binom{n-j}{\frac{s+w-j}{2}} \binom{j}{\frac{s-w+j}{2}}}{\binom{n}{w}}$$

Otra expresión de la probabilidad de error no detectado para un decodificador de distancia acotada que aparece en la literatura es (véase S.B. Wicker. "Error Control Systems for Digital Communication and Storage". Englewood Cliffs, NJ: Prentice Hall, 1995, referido a continuación como [2]):

$$P_{ue}(p) = \sum_{j=d_{min}}^n A_j \sum_{k=0}^{\lfloor (d_{min}-1)/2 \rfloor} P_k^j \quad (2)$$

donde la probabilidad P_k^j de que una palabra recibida sea exactamente la distancia de Hamming k desde una palabra de código binario weight- j viene dada por:

$$P_k^j = \sum_{r=0}^k \binom{j}{k-r} \binom{n-j}{r} p^{j-k+2r} (1-p)^{n-j+k-2r}$$

Las distribuciones de peso para la mayoría de los códigos BCH no se conocen. Es necesario examinar cualquiera de sus 2^k palabras de código o las 2^{n-k} palabras de código de su código dual. El cálculo se vuelve prácticamente imposible a medida que n , k y $n-k$ se vuelven grandes. Sin embargo, hay que considerar algunos resultados útiles. Se han encontrado las distribuciones de ponderación para todos los códigos BCH primitivos binarios de corrección de errores dobles y triples.

Existe una serie de teoremas diferentes que ayudan a estimar la distribución del peso de un código BCH. Una de las más importantes es la estimación de peso de Peterson, que no es un límite superior o inferior, sino una aproximación (véase R. Micheloni, A. Marelli y K. Eshghi. "Inside Solid State Drives (SSDs)", Springer Series in Advanced Microelectronics 37, referido a continuación como [3]). Estimación de Peterson: El peso A_j de un código BCH primitivo de longitud n y la capacidad de corrección de errores t pueden aproximarse como

$$A_j \cong \frac{\binom{n}{j}}{(n+1)^t} \quad (3)$$

Utilizando los pesos estimados, ahora es posible obtener una estimación de la probabilidad de errores no detectados de los códigos BCH primitivos binarios. Sin embargo, para $m > 10$ ($n = 2^m - 1$ para códigos BCH primitivos binarios), de la Estimación de Peterson en MATLAB resultan valores infinitos y no es posible calcular Pue.

En [1] se muestra que la probabilidad de error no detectado de una exploración de códigos lineales binarios puede simplificarse y cuantificarse bastante si la distribución de peso del código es binomial. Las grandes subclases de códigos BCH primitivos binarios tienen una distribución de peso similar a un binomio aproximado. Para esos códigos BCH se deriva, tal como sigue, la siguiente expresión para la probabilidad de error no detectado:

$$P_{ue}(p) = 2^{-nu} \sum_{s=0}^t \binom{n}{s} \cdot \sum_{h=s+1}^n \binom{n}{h} p^h (1-p)^{n-h} \quad (4)$$

Utilizando la fórmula anterior, es posible calcular P_{ue} para códigos BCH primitivos binarios con $m > 10$. Se demuestra la validez de la ecuación posterior aplicándola para calcular la probabilidad de error no detectado de un número de códigos BCH primitivos binarios y luego comparando el valor estimado para P_{ue} con el resultado obtenido mediante el uso de procedimientos alternativos.

La figura 20 muestra una tabla en la que se comparan los cálculos de probabilidad anteriores para varios códigos BCH. Se ha presentado una aproximación precisa de la probabilidad de error no detectado para la decodificación de distancia acotada de códigos BCH primitivos binarios que tienen una distribución de peso de tipo binomial cuando se utilizan tanto para corrección de errores como para detección en un canal simétrico binario (ecuación (4)). La ecuación 4 es numéricamente estable para códigos BCH grandes, por lo que proporciona un procedimiento para calcular el Pue de BCH para análisis MTTFPA.

La MLCC de acuerdo con una realización de la invención se basa en un código BCH acortado. Un código BCH acortado (n_c, k_c) se obtiene anteponiendo l_c ceros a los bits de información k_c , utilizando después el código primitivo correspondiente para codificar el bloque de información k -bit resultante y finalmente eliminar los l_c ceros a la izquierda de la palabra de código de n bits obtenida. Consiste en un subconjunto de palabras de código del código BCH primitivo a partir del cual se generó y por este motivo las propiedades de corrección y detección de errores del código BCH primitivo están garantizadas para el correspondiente código acortado.

Ventajosamente, el código BCH es un código ($n_c(1), k_c(1) = (1976, 1668)$ bits, lo que significa que entran $k_c(1)$ bits en el codificador BCH 420 y después de la codificación y acortamiento, salen $n_c(1)$ bits. Esto da como resultado la tasa de codificación $r_c(1) = k_c(1)/n_c(1) = 1668/1976 \approx 0,8441$. El código BCH (1976, 1668) es una versión abreviada de BCH primitivo (2047, 1739). Se trata de un código BCH sobre el campo de Galois $GF(2^m)$, en donde $m = 11$ y la corrección de errores de dicho código es $t = 28$, lo que significa que el código puede corregir hasta t bits erróneos por palabra de código. El número de bits de paridad es $p_c(1) = n_c(1) - k_c(1)$, que es para la configuración (1976, 1668) $p_c(1) = 308$ bits. El acortamiento se implementa anteponiendo algunos bits cero (bits con valor cero) a los bits de datos. En particular, en este caso, se anteponen 71 bits cero a los 1668 bits de datos. La eficiencia espectral por dimensión se define entonces como:

$$\eta = \sum_{i=1}^2 n_b(i) r_c(i)$$

Para minimizar la aritmética de campo de Galois necesaria, se elige como polinomio primitivo el polinomio irreducible de peso mínimo sobre $GF(2^{11})$: $1 + x^2 + x^{11}$. El polinomio generador viene dado por

$$G(x) = \sum_{i=0}^{p_c} g(i) \cdot x^i$$

dónde $g(i)$ toma valores 0 o 1. El orden de $G(x)$ para este código BCH es 308. Los coeficientes $G(x)$ vienen dados por:

5

h0014_B624_90DF_0781_4D88_99E9_B9DB_6267_00D3_7A90_49DB_C0C4_484A_D6C5_4
9AB_AE7E_6F58_A406_CF86_C0BD.

10 Sin embargo, se observa que este código es simplemente un ejemplo de un código particularmente ventajoso para 325 MHz.

15 Son posibles otras combinaciones, tales como (2016, 1829). Para dicho código y un modo de funcionamiento de 1 Gbps en $F_s = 312,5$ MHz, se tomarán los siguientes parámetros adicionales: El número de bits por palabra de código enviada a la MLCC $\alpha_{MLCC} = 3341$ bits, número de símbolos de salida $N_{MLCC} = 1008$ símbolos, número de bits en el primer y el segundo nivel para una palabra de código $k_c(1) = 1829$ bits y $k_c(2) = 1512$ bits, longitud de palabra de código BCH $n_c(1) = 2016$ bits, número de bits por dimensión por nivel en los dos niveles $n_b(1) = 2$, $n_b(2) = 1,5$ bit/dim.

20 La codificación restante funciona de manera similar a la MLCC descrita anteriormente. En particular, la división se realiza con $n_{b, demux}(i) = 2n_b(i)$ para nivel i , lo que resulta en $n_{b, demux}(1) = 4$ y $n_{b, demux}(2) = 3$, cíclicamente en el primer y segundo nivel hasta que se hayan asignado $k_c(1)$ bits al primer nivel. Después, los bits de entrada restantes se asignan al segundo nivel. Si $k_c(1)$ no es un múltiplo de $n_{b, demux}(1)$ como es aquí el caso, entonces sólo se asignan $rem(k_c(1), n_{b, demux}(1))$ bits al primer nivel en la última asignación de bits para ese nivel en una implementación práctica. Sin embargo, se trata sólo de un ejemplo y el rem también puede asignarse en la primera u otra asignación.

25 La tasa de bits constante de $3341/1008 = 3,3145$ bits/ciclo se supone en la entrada de este codificador MLCC para tener una tasa de símbolos constante de 1 símbolo/ciclo en su salida. Después, teniendo en cuenta el modo de funcionamiento intercalado del demultiplexor MLCC, durante los primeros ciclos de reloj x_1 , de un período de 1008, las velocidades de bits de escritura a los FIFOs en el primer y el segundo nivel vienen dadas por:

$$R_{w,L1,x1} = \frac{n_{b,demux}(1)}{\sum_{i=1}^2 n_{b,demux}(i)} \cdot \frac{\alpha_{MLCC}}{N_{MLCC}} = \frac{4}{7} \cdot \frac{3341}{1008} = 1.8940 \text{ bits/ciclo}$$

$$R_{w,L2,x1} = \frac{n_{b,demux}(2)}{\sum_{i=1}^2 n_{b,demux}(i)} \cdot \frac{\alpha_{MLCC}}{N_{MLCC}} = \frac{3}{7} \cdot \frac{3341}{1008} = 1.4205 \text{ bits/ciclo}$$

$$\text{donde } x_1 = \frac{\beta(1)}{R_{w,L1,x1}} = \frac{1829}{1.8940} = 966 \text{ ciclos.}$$

30 Después de x_1 ciclos de reloj, el primer nivel está lleno, y hasta el ciclo del reloj $x_2 = 1008$, las tasas de bits de escritura a los FIFOs vienen dadas por:

$$R_{w,L1,x2} = 0 \text{ bits/ciclo}$$

$$R_{w,L2,x2} = \frac{\alpha_{MLCC}}{N_{MLCC}} = \frac{3341}{1008} = 3.3145 \text{ bits/ciclo}$$

35 El proceso se repite. La peor latencia de caso puede estimarse de manera similar que para el código de MLCC anterior resultando en 51 ciclos de reloj en el primer nivel y 54 ciclos de reloj en el segundo nivel, las profundidades de FIFO mínimas son 102 y 81 bits respectivamente. Para el decodificador, la peor latencia de caso estimada es 1388 ciclos de reloj y los tamaños de FIFOs son $FIFO_{1,2} = 1136$ símbolos, $FIFO_1 = 97$ bits y $FIFO_2 = 77$ bits.

40 En general, la selección de códigos (BCH) se realiza en función de la tasa de bits objetivo que se desea alcanzar y, por lo tanto, la velocidad en baudios seleccionada depende de la eficiencia espectral del código MLCC. La longitud del código básicamente depende de las características del canal y de la ganancia de codificación frente a la compensación de la complejidad de cálculo tal como también se ha descrito anteriormente con referencia a la figura 3.

La figura 7 ilustra un codificador sistemático de BCH. La paridad se transmite después del mensaje de información $M(x)$. El codificador calcula la paridad en dos etapas. La primera etapa es la multiplicación de $M(x)$ con X^{n-k} . La segunda etapa es definir la parte de paridad $D(x)$ como el resto de la división de $M(x) \cdot X^{n-k}$ por $G(x)$. Los elementos de retardo S_0, S_1, \dots, S_{p-1} se inicializará a cero antes de la codificación. Todos k bits que componen el mensaje de información $M(x)$ se utilizan para calcular la paridad $D(x)$ con el interruptor conectado (posición BCHgen establecida). Después de que todos los k bits han sido procesados en serie, se han desconectado los interruptores (posición BCHout establecida) y los valores almacenados p S_0, S_1, \dots, S_{p-1} son los bits de paridad $D(x)$. Los bits de paridad se transmiten en el orden de S_{p-1} a S_0 .

Las palabras de código con $n_c(1)$ bits resultantes de la codificación BCH se asignan después por medio de un mapeador Gray 16-QAM 430, que asigna con el número de bits codificados por dimensión $n_b(1) = 2$ bit/dimensión. El segundo nivel permanece sin codificar y los $k_c(2)$ bits se asignan directamente 450 en una constelación de red 8-QAM RZ^2 con $n_b(2) = 1,5$ bit/dimensión.

Después de la asignación descrita anteriormente, cada uno de los dos niveles produce el mismo número de símbolos por dos dimensiones $N_{MLCC}/2$. Las transformaciones de red 440 y 460 se definen para implementar división de clases laterales. Tras la adición después de las transformaciones de red de primera etapa 440 y 460, los símbolos están contenidos en Z^2 . Además, una próxima transformación de red 470 da como resultado una constelación cuadrada bidimensional de media cero final en una red RZ^2 . Finalmente, el modulador PAM 480 genera símbolos PAM basados en la constelación cuadrada bidimensional.

A continuación, se describen con más detalle los mapeadores y transformaciones de red mencionados anteriormente de acuerdo con una realización de la presente invención. Se observa que, aunque la siguiente arquitectura proporciona una ventaja de una implementación eficiente, por ejemplo, en un circuito integrado, la presente invención no se limita a ello y puede emplearse cualquier implementación alternativa de estas funciones.

La figura 8 ilustra los detalles del mapeador Gray 16-QAM 430. El mapeador asigna bits codificados en puntos de una constelación predefinida. Para el nivel i -ésimo ($i = 1, 2$) $k_{QAM} = 2 \cdot n_b(i)$ bits por 2 dimensiones. En particular, para el presente caso, $k_{QAM} = 4$ y el mapeador funciona de la siguiente manera.

El flujo de bits de entrada con $d_{in} = n_c(1)$ bits se demultiplexan en dos sub-flujos. Uno de los sub-flujos se correlaciona con la componente en fase (I) de la constelación bidimensional y el otro sub-flujo se asigna sobre la componente de cuadratura (Q) de la constelación. La componente en fase corresponde a una parte real de un símbolo complejo y la parte de cuadratura corresponde a una parte imaginaria del símbolo complejo. Los bits de entrada consecutivos d_{in} se asignan a las respectivas componentes bit a bit de manera intercalada.

Por ejemplo, tal como se muestra en la figura 8, cada bit par (b0, b2, b4, b6, ...) se asigna al primer sub-flujo y cada bit impar (b1, b3, b5, ...) se asigna al segundo sub-flujo. El demultiplexor 810 está controlado por el bit menos significativo (LSB) de un contador libre 815 que cuenta de 0 a $k_{QAM} - 1$ sincronizado a la misma velocidad de bits de entrada. El estado de reinicio del contador debe ser cero. Dado que el contador se restablece para cada conjunto de k_{QAM} bits, para cada nueva palabra de código siempre comienza en cero.

Dado que k_{QAM} es par, se asigna el mismo número de bits a cada componente, que es aquí el caso. La cantidad de bits por dimensión asignada a cada componente es

$$k_I = \left\lceil \frac{k_{QAM}}{2} \right\rceil, \quad y \quad k_Q = \left\lfloor \frac{k_{QAM}}{2} \right\rfloor,$$

donde $\lceil \cdot \rceil$ denota el redondeo hacia arriba y $\lfloor \cdot \rfloor$ denota el redondeo hacia abajo. En el presente caso, se deduce que $k_I = k_Q = 2$.

En los dos sub-flujos, los bits se convierten de serie a paralelo (S/P) a símbolos con k_I y k_Q bits en la componente en fase y cuadratura, respectivamente. S/P mostrado en la figura es una transformación serie a paralelo realizada de manera que el primer bit recibido en la entrada pertenece a un grupo de k bits se asigna al LSB de la salida paralela, y el último bit recibido del grupo al MSB en otras palabras, el bit de la derecha es el bit más significativo.

Después, se aplica un convertidor de Gray a Binario (G2B). En la figura 9 se muestra un ejemplo de un convertidor Gray a binario. El bus de entrada g y el bus de salida b son buses paralelos con el ancho de k (k_I y k_Q respectivamente). El convertidor asigna para cada $j \in [1, k-1]$:

$$b[k-1] = g[k-1]$$

$$b[k-1-j] = g[k-1-j] \oplus b[k-j]$$

donde " \oplus " denota la operación exclusiva o (xor), o adición de módulo 2.

5 El bus binario resultante de la conversión de Gray a binario se procesa tal como se muestra más adelante en la figura 8 por medio de un convertidor binario a decimal sin signo (B2D). Sea el $[x(0) \dots x(k-1)]$ la entrada paralela, donde $x(i)$ es el valor de cada bit del bus y sea $x(0)$ el LSB y sea $x(k-1)$ la MSB, entonces, la salida entera de la B2D se define de manera que

10 $d = 2^{x(0)} + 2^{x(1)} + \dots + 2^{x(k-1)}$

Para constelaciones donde $k_i = k_Q$, las operaciones aritméticas realizadas en ambas ramas (componentes I y Q) son las mismas. Este es el caso, por ejemplo, para constelaciones de modulación por amplitud en cuadratura de Gray (QAM). El término "x2" significa multiplicación por 2.

15 El mapeador de red 8-QAM RZ² 450 para el segundo nivel se ilustra en la figura 9. Para el nivel i-ésimo ($i = 1, 2$) $k_{QAM} = 2 \cdot n_b(i)$ bits por 2 dimensiones. En particular, para el presente caso, $k_{QAM} = 3$ y el mapeador funciona de la siguiente manera.

20 De manera similar al mapeador 430 descrito anteriormente, el flujo de bits de entrada con $d_{in} = n_c(1)$ bits se demultiplexa en dos sub-flujos. Uno de los sub-flujos se asigna sobre la componente en fase (I) de la constelación bidimensional y el otro sub-flujo se asigna sobre la componente de cuadratura (Q) de la constelación. La componente en fase corresponde a una parte real de un símbolo complejo y la parte de cuadratura corresponde a una parte imaginaria del símbolo complejo. Los bits de entrada consecutivos d_{in} se asignan a las componentes
25 respectivas bit a bit de manera intercalada.

Tal como se muestra en la figura 9, los bits de entrada se dividen bit a bit asignando cíclicamente un bit al segundo sub-flujo y dos bits en el primer sub-flujo. En particular, tal como puede apreciarse en la figura, el primer sub-flujo incluye los bits b0, b2, b3, b5, b6, etc., mientras que el segundo sub-flujo incluye los bits b1, b4, b7, etc. El demultiplexor está controlado por el bit menos significativo (LSB) del contador contando desde 0 hasta $k_{QAM}-1$ sincronizado a la misma velocidad de bits de entrada. Aquí, k_{QAM} es impar, de modo que la componente en fase recibe más bits que la componente de cuadratura. Por lo tanto, la cantidad de bits por dimensión asignada a cada
30 componente es

$$k_I = \left\lceil \frac{k_{QAM}}{2} \right\rceil, \text{ y } k_Q = \left\lfloor \frac{k_{QAM}}{2} \right\rfloor,$$

35 donde $\lceil \cdot \rceil$ denota redondeo hacia arriba y $\lfloor \cdot \rfloor$ denota redondeo hacia abajo. En el presente caso, se deduce que $k_I = 2$ y $k_Q = 1$.

40 En los dos sub-flujos, los bits se convierten de serie a paralelo (S/P) a símbolos con k_I y k_Q bits en el componente en fase y en cuadratura, respectivamente.

45 El bit menos significativo (LSB) b_0 enviado desde el G2B en la componente en fase se utiliza para controlar el multiplexor que establece 1 o -1 a la entrada del último sumador. Para $k_I > k_Q$, como es aquí el caso, la rama Q se transforma para generar una constelación Gray QAM RZ² casi girada, requerida para asignar un número impar de bits por dos dimensiones.

Después de la asignación, los símbolos enviados desde los respectivos mapeadores en cada uno de los dos niveles de MLCC se transforman adicionalmente mediante una transformación de red, que realiza división de clases laterales. Toda la transformación de red está compuesta por tres sub-operaciones:

- 50
- 1) La red se traslada para permitir que la constelación esté contenida dentro del primer cuadrante bidimensional,
 - 2) La red se escala para permitir la división de clases laterales por adición de vectores con la constelación del otro nivel,
 - 55 3) La red se gira 45 grados antes de la adición de vectores para constelaciones con un número impar de bits por dos dimensiones, es decir, (sub)conjuntos de nRZ^2 .

La traslación indicada aquí como $\Lambda_{1,1}^t(l)$ se define para cada $x \in \mathbb{C}$ (x es un número complejo), donde $j = \sqrt{-1}$, l es el nivel en el que se utiliza la transformación (1 o 2) e i indica el nivel del MLCC, como

$$\Lambda_{1,1}^t(l)(x) = x + (1 + j) \left(2^{\lceil n_b(i) \rceil} - 1 \right)$$

5 El escalado y la rotación se agrupan en una única sub-operación denotada como $\Lambda_{1,2}^t(l)$ y definida para cada $x \in \mathbb{C}$ como

$$\Lambda_{1,2}^t(l)(x) = \frac{1}{2} x \cdot 2^{\sum_{i=1}^{l-1} \lceil n_b(i) \rceil} \cdot \left(\frac{1+j}{2} \right)^{\text{rem}(2n_b(l), 2)}$$

donde la operación "rem" denota un resto después de una división de enteros. En particular, la fórmula anterior, es un resto de la división del primer operando ($2n_b(l)$) por el segundo operando (2).

La transformación completa de la red $\Lambda_1^t(l)$ incluyendo traslación, escalado y rotación se define como

$$\Lambda_1^t(l)(x) = \Lambda_{1,2}^t(l) \left(\Lambda_{1,1}^t(l)(x) \right).$$

10 La transformación de red 440 para el primer nivel no incluye la rotación ya que $n_b(1) = 2$ bit/dim. La arquitectura de transformación de red correspondiente se muestra en la figura 10. Las señales de entrada y salida para cada rama de la componente se consideran números enteros y las operaciones aritméticas se definen con un aumento de ancho de bus natural. La salida del mapeador, símbolos S_i y S_Q se envían al transformador de red 440.

15 Para el segundo nivel, se realiza la transformación de red 460. Dado que $n_b(2) = 1,5$ bit/dim la rotación se realiza ya que la constelación 2D correspondiente asigna 3 bit por dos dimensiones (número impar). La transformación de red 460 del segundo nivel también incluye escalado para la implementación de división de clases laterales. La arquitectura de la transformación de red del segundo nivel se ilustra en la figura 11.

20 Después de realizar las transformaciones de red de primera etapa 440 y 460, se añaden los símbolos transformados de red desde cada uno de los dos niveles, realizando de esta manera la división de clases laterales sobre la red Z^2 y la separación final (etiquetado). En particular, las componentes en fase y en cuadratura de los tres niveles se añaden por separado para generar una respectiva nueva componente en fase S_1^a y componente en cuadratura S_Q^a tal como se ilustra en la figura 12.

25 Los símbolos con componente en fase S_1^a y componente en cuadratura S_Q^a enviados desde el sumador de red se transforman adicionalmente para obtener la constelación cuadrada bidimensional final de media cero sobre RZ^2 . La transformación de red 470 de segunda etapa incluye las siguientes tres etapas:

- 30
- 1) Rotación de -45 grados,
 - 2) Operación de módulo que restringe los puntos de la constelación a una región cuadrada dentro del primer cuadrante 2D, y
 - 3) centrado (para lograr media cero) y escalado.
- 35

En particular, la transformación de red de la segunda etapa viene dada por:

$$\Lambda_2^t(x) = 2 \cdot \text{mod} \left(x(1-j)^{\text{rem}(2\xi, 2)}, 2^{\lceil \xi \rceil} \right) + (1+j) \left(1 - 2^{\lceil \xi \rceil} \right)$$

para cada $x \in \mathbb{C}$ (x es un número complejo), donde $j = \sqrt{-1}$ y definiéndose la operación del módulo como:

$$\text{mod}(y, x) \triangleq y - x \left\lfloor \frac{y}{x} \right\rfloor$$

40 El símbolo ξ representa el número total de bits codificados por dimensión:

$$\xi = \sum_{i=1}^2 n_b(i)$$

Esta transformación de red se ilustra en la figura 13. Tal como puede apreciarse en la figura 13, la primera parte implementa la rotación en -45 grados. La operación de módulo se aplica después para restringir los símbolos a una constelación cuadrada en el primer cuadrante 2D. Después se realiza el escalado (por 2) y el centrado de la constelación, lo que da como resultado la constelación QAM cuadrada girada de media cero final. Los componentes de símbolos transformados $\Lambda_2^t(S^a_i)$ y $\Lambda_2^t(S^a_o)$ toman valores impares.

Dado que, en la fórmula de operación de red anterior, $x = 2^{r^{51}}$, la operación del módulo puede definirse por medio de una operación lógica "y" tal como se ilustra en la figura 14. La figura 14 muestra la operación $Y = \text{mod}(X, 2^{r^{51}})$ realizada de manera equivalente a $Y \text{ binario} = X \& (2^{r^{51}} - 1)$.

Los componentes en fase y en cuadratura $\Lambda_2^t(S^a_i)$ y $\Lambda_2^t(S^a_o)$ de los símbolos 2D enviados desde la transformación de red de la segunda etapa son multiplexados entonces en dominio de tiempo resultando en una secuencia de símbolos 1D que pertenecen a una constelación $2^{r^{51}}$ -PAM, aquí la constelación 16-PAM. Estos símbolos se transmiten directamente al canal de comunicación o se codifican previamente, por ejemplo, mediante la THP tal como se ha descrito anteriormente.

La operación de multiplexación realizada por el multiplexor RZ^2 a PAM 480 se ilustra en la figura 15. Un contador libre de 0 a 1 se sincroniza a la velocidad de símbolos 1D (F_s representa velocidad de símbolos, es decir, velocidad en baudios) y controla la entrada del multiplexor para tomar alternativamente los símbolos de entrada en fase y de cuadratura. Los símbolos 16-PAM pertenecen al conjunto $\{-15, -13, \dots, 13, 15\}$.

El número de bits por punto de constelación PAM a la salida del codificador es $k_{\text{PAM}} = r^{51} = 4$.

A continuación, el efecto de asignación y transformación de red en las constelaciones de símbolos se visualiza en las figuras 16A y 16B. En particular, en el lado izquierdo de la figura 16A se muestra la constelación de primer nivel después del mapeador 430 mientras que en el lado derecho de la figura 16A se muestra la constelación de segundo nivel después del mapeador 450. La figura 16B muestra la constelación después de la respectiva transformación de red 440 y 460 y después de la adición del vector, y la transformación de red de segunda etapa 470, dando como resultado una QAM 128 girada.

En la constelación 2D hay 128 puntos, lo que da como resultado $\log_2(128) = 7$ bits/símbolo 2D. Estos siete bits están compuestos por 4 bits del primer nivel de MLCC y 3 bits del segundo nivel de MLCC. Cada símbolo 2D se transmite a una tasa de $F_s/2$. Para transmitir sobre 1D (es decir, modulación de intensidad de LED), el sistema realiza un entrelazado temporal de ambas coordenadas de constelación 2D a velocidad doble, es decir, F_s . Cada punto 2D puede representarse con 2 coordenadas que pueden tomar 16 valores diferentes cada una: $\{-15, -13, \dots, 13, 15\}$. Se trata de 16-PAM, pero codificando por 3,5 bits/símbolo 1D (es decir, 7bits/2D) en lugar de 4 bits como es habitual, ya que la constelación 1D se generó a partir de la constelación 2D de bits impares. Los 3,1883 bits de 3,5 son bits de información, el resto es paridad para corrección de errores.

Por consiguiente, el codificador de dos niveles codifica 1 palabra de código con $n_{\text{MLCC}} = 3150$, bits tal como se muestra en la figura 4, en $N_{\text{MLCC}} = 988$ símbolos PAM cuando se utiliza el BCH (1976, 1668) tal como se ha ejemplificado anteriormente. Además, F_s es ventajosamente igual a 325 MHz, $\eta = 3,31883$ bits/s/Hz/dim y $\xi = 3,5$ bits/dim.

La figura 17 muestra un decodificador 1700 de múltiples etapas de ejemplo que puede utilizarse para decodificar la señal codificada tal como se ha descrito anteriormente. Primero, la señal digital codificada (16-PAM) que tiene una longitud N_{MLCC} por palabra de código y tasa de baudios F_s , se demodula y se demultiplexa 1710 para obtener una palabra de código de símbolos bidimensionales con una longitud $N_{\text{MLCC}}/2$ y $F_s/2$. El símbolo demodulado se transforma después mediante una transformación de red inversa de segunda etapa 1720 (que corresponde a la transformación de red 470 de segunda etapa del codificador) y se decodifica con un decodificador de dos etapas. El decodificador de dos etapas aplica en el primer nivel otra transformación de red inversa de primera etapa 1730 (que corresponde a la transformación de red 440 en el codificador) y decisión por hardware 1735, después extrae una primera parte de la palabra codificada transformada aplicando 1740 una operación de módulo ($\text{mod}-\Lambda_1$) al símbolo demodulado. Después, todavía en el primer nivel, la primera parte extraída se desasigna 1745 (se corresponde con la asignación 430 en el codificador con 16-QAM) para obtener una palabra de código BCH de $n_c(1)$ bits de largo, que se decodifica con un decodificador BCH (que corresponde con el codificador BCH 420 en el codificador) para obtener $kc(1)$ bits de información.

La palabra de código decodificada de la primera parte con $n_c(1)$ bits selecciona una primera clase lateral. La palabra de código decodificada de la primera parte se asigna de nuevo 430 de manera similar y se transforma mediante una transformación de red correspondiente a 440. La clase lateral de primer nivel resultante se resta 1750 de la palabra de código de símbolo recibida y la segunda parte se obtiene en el segundo nivel por aplicando una operación de módulo ($\text{mod}-\Lambda_2$) a la misma 1770 después de una transformación de red inversa 1760 y decisión por hardware

1765, que son similares a los bloques funcionales descritos para la primera etapa. La segunda parte se desasigna 1775 (se corresponde con la asignación 450 en el codificador) para obtener una palabra de código sin codificar de $n_c(2) = k_c(2)$ bits de largo. La palabra de código se decodifica finalmente multiplexando 1780 (MLCC mux) las dos partes descodificadas obtenidas en dos niveles del decodificador para obtener la palabra descodificada de longitud α_{MLCC} .

El decodificador, tal como se muestra en la figura 17, incluye tres FIFOs, concretamente FIFO1,2; FIFO1 y FIFO2. La tasa de entrada del decodificador es 1 símbolo (16-PAM) para el ciclo mientras que la tasa de salida corresponde a la tasa de entrada del codificador $3150/988 = 3,1883$ bits por ciclo a 325 MHz. La latencia es introducida principalmente por los FIFOs y por el decodificador BCH. Los bloques restantes tienen una implementación más simple con casi ninguna latencia.

Para minimizar el tamaño de FIFO1,2 sin afectar la BER de ninguno del 1º y 2º nivel, la salida del decodificador de BCH se envía de nuevo ventajosamente a la segunda etapa tan pronto como se ha llevado a cabo la corrección de errores (Berlekamp, Chien) sin esperar a la verificación de fallo de descodificación. La búsqueda de Chien se ejecuta calculando las raíces del polinomio localizador de errores (ELP) en paralelo a la salida, volteando los bits de los cuales la ubicación evalúa el ELP a cero. Después de que se han calculado todas las raíces del ELP, el decodificador BCH compara el número de raíces encontradas durante la búsqueda de Chien con el grado de ELP. En caso de ser diferente, se confirma el fallo de decodificación, lo que indica que se ha excedido la capacidad de corrección de errores del decodificador. Se utiliza una arquitectura de ocho búsquedas de Chien paralelas para acelerar este proceso, reduciendo todavía más la latencia.

FIFO1,2 se encuentra situado entre los dos niveles (etapas) de decodificación para almacenar los símbolos recibidos del canal a la espera de la decodificación del primer nivel. El tamaño del FIFO1,2 en número de símbolos se determina mediante el retardo del decodificador BCH (en número de ciclos) para la corrección de errores. Por lo tanto, FIFO1,2 se realiza con un nivel de clasificación constante que es la tasa de entrada igual a la tasa de salida en estado estable de 0,5 símbolos 2D por ciclo, después del incremento.

FIFO1 y FIFO2 están a cargo de la correspondencia de tasa entre la entrada y la salida del decodificador de múltiples etapas. El retardo de procesamiento requerido por la detección de fallos de decodificación BCH va a ser soportado por FIFO1. Por lo tanto, puede implementarse un stock adicional en FIFO1 para sincronizar los datos de información decodificados del primer nivel con el final del procesamiento de detección de errores por el decodificador BCH que valida el indicador de fallo. La latencia de FIFO1 y FIFO2 en el decodificador se muestran en las respectivas figuras 19A y 19B. Tal como puede apreciarse a partir de las figuras, la latencia del decodificador es de 1440 ciclos, correspondiente a 4,43 microsegundos (us) para $F_s = 325$ MHz. Los requisitos de memoria son 599 bits para FIFO1, 493 bits para FIFO2 y 1193 símbolos para FIFO1,2. Puede considerarse que hay 8 bits por símbolo, teniendo en cuenta que debe asignarse la expansión de la constelación producida por THP. Con esta suposición, son necesarios 9544 bits para FIFO1,2.

En resumen, la latencia del codificador 16-PAM MLCC codificado es 0,27 us, mientras que la latencia del decodificador correspondiente es 4,43 us. La latencia total es 4,71 us. La latencia del resto de la capa física (estructura de transmisión, equalizadores, etc.) se calcula como $<1,3$ us. En consecuencia, la latencia PHY GMII-a-GMII queda por debajo de 6 us. En base a lo anterior, los requisitos de memoria para el codificador son aproximadamente 300 bits mientras que los requisitos de memoria para el decodificador son aproximadamente 10,6 kbits. Estos números sólo tienen en cuenta los FIFOs. No se consideran memorias internas del decodificador BCH, pero su tamaño se estima aproximadamente de un orden de magnitud más pequeño que los FIFOs. Tal como puede apreciarse anteriormente, FIFO1,2 es el bloque con la mayor demanda de memoria del decodificador.

El rendimiento de la MLCC que se ha descrito anteriormente utilizando el BCH (1976, 1668) se ilustra en la figura 21, que muestra la tasa de error de bits (BER) sobre la relación señal/ruido (SNR) que obtiene la MLCC. Tasa de errores de bits: es la relación entre el número de bits de información con error recibidos y el número total de bits de información recibidos (correctos y con errores) en promedio. Tal como puede apreciarse en la figura, para la BER de $10e-12$, la ganancia de codificación lograda por la MLSS es de 6,35 dB, por lo tanto, bastante elevada.

La figura 22 muestra la estimación de enlace, la MTTFFPA y el MTBE (tiempo medio entre errores) como una función de BER. El MTEB se define para un sistema con FEC como el tiempo medio entre descargas, que corresponde con la magnitud que puede medirse en el laboratorio.

Se observa que la decisión por hardware puede implementarse para la detección de símbolos en cada nivel de decodificación. Para separar la información recibida correspondiente a cada nivel, los operadores de módulo pueden implementarse tal como se define en G. D. Fomey y otros, "Sphere-bound-achieving coset codes and multilevel coset codes", *IEEE Trans. on Information Theory*, vol. 46, nº 3, mayo de 2000, págs. 820-850. La decodificación de distancia limitada tal como el algoritmo Berlekamp-Massey (BMA), puede utilizarse para

decodificación de BCH. El BMA se utiliza ampliamente para la decodificación de BCH en implementaciones de hardware.

5 La MLCC descrita anteriormente con BCH (1976, 1668) diseñada para el canal de POF proporciona ventajas de una latencia bastante pequeña, ya que el sistema requiere FIFOs más pequeñas en transmisor y receptor, en particular gracias al multiplexor intercalado y al bajo número de niveles (sólo 2) Además, el empleo de BCH en lugar de LDPC simplifica la codificación y decodificación y también reduce el consumo de energía y el área de silicio necesaria para la implementación. Además, los códigos BCH no tienen una base de error, típicamente producida por códigos probabilísticos como LDPC. Las capacidades de detección de errores (además de la corrección) de BCH son bien
10 conocidas en el estado de la técnica, para proporcionar un tiempo medio elevado para aceptación de paquetes falsos (MTTFPA).

Resumiendo, la presente invención se refiere a un sistema de codificación y modulación eficiente para transmisión de datos digitales en fibras ópticas plásticas con baja latencia. En particular, la señal digital se codifica por medio de una codificación de clases laterales de dos niveles. El primer nivel aplica a los datos digitales una codificación de BCH acortada binaria y realiza una división de clases laterales mediante asignación de constelación y transformaciones de red. El segundo nivel no está codificado, pero se somete a asignación y transformación de red. Después de una adición de los dos niveles, se realiza una transformación de red de segunda etapa para obtener una constelación de media cero. Los símbolos enviados desde dicho codificador clase lateral de tres niveles se modulan después adicionalmente.
15
20

Otra realización de la invención se refiere a la implementación de las diversas realizaciones descritas anteriormente utilizando hardware y software. Se reconoce que las diversas realizaciones de la invención pueden implementarse o realizarse utilizando dispositivos informáticos (procesadores). Un dispositivo o procesador informático puede ser, por ejemplo, procesadores de propósito general, procesadores de señal digital (DSP), circuitos integrados para aplicaciones específicas (ASIC), matrices de puertas programables en campo (FPGA) u otros dispositivos lógicos programables, etc. Las diversas realizaciones de la invención también pueden realizarse o materializarse mediante una combinación de estos dispositivos.
25

Además, las diversas realizaciones de la invención también pueden implementarse por medio de módulos de software, que se ejecutan mediante un procesador o directamente en hardware. También es posible una combinación de módulos de software y una implementación de hardware. Los módulos de software pueden almacenarse en cualquier tipo de medio de almacenamiento legible por ordenador, por ejemplo, RAM, EPROM, EEPROM, memoria flash, registros, discos duros, CD-ROM, DVD, etc.
30
35

REIVINDICACIONES

1. Procedimiento para codificar datos digitales para transmisión en una fibra óptica plástica (150), comprendiendo el procedimiento las etapas de:
- 5 codificar datos digitales de entrada mediante una codificación clase lateral de dos niveles que incluye:
- separar (410) los datos digitales de entrada solamente en una primera parte y una segunda parte de datos, cada una con un número predeterminado de bits incluyendo asignar cíclicamente un primer número predeterminado de bits a la primera parte y un segundo número predeterminado de bits a la segunda parte;
- 10 codificar (420) la primera parte de datos con un primer código BCH acortado en un primer nivel;
- en el primer nivel, asignar (430) la primera parte codificada sobre símbolos de una primera constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida y realizar (440) una transformación de red de primera etapa de los símbolos asignados para lograr la separación de clases laterales;
- 15 en el segundo nivel, asignar (450) la segunda parte en símbolos de una segunda constelación de modulación por amplitud en cuadratura predefinida de múltiples niveles y realizar (460) la transformación de red de primera etapa de los símbolos asignados;
- 20 añadir los símbolos transformados del primer y segundo nivel;
- realizar (470) una transformación de red de segunda etapa para lograr una constelación de media cero, y
- 25 modular (480) los símbolos codificados con la codificación de clases laterales de dos niveles utilizando una modulación por amplitud de pulso de múltiples niveles que incluye multiplexar en tiempo la salida en fase y en cuadratura de la transformación de red de segunda etapa en dominio de tiempo
- 30 en el que
- la primera constelación de modulación por amplitud de pulso en cuadratura de múltiples niveles predefinida es 16-QAM con asignación de Gray mientras que la segunda constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida es 8-QAM con asignación de red RZ^2 .
- 35 2. Procedimiento de acuerdo con la reivindicación 1, en el que las transformaciones de red de primera etapa incluyen traslación, escalado y/o rotación de un símbolo, y/o
- la transformación de red de segunda etapa incluye rotación de la constelación; y/u operación de módulo para restringir los símbolos de constelación a una región cuadrada en un primer cuadrante 2D; y/o centrando y escalado.
- 40 3. Procedimiento de acuerdo con la reivindicación 1 o 2, en el que la modulación por amplitud de pulso de múltiples niveles es 16 - PAM.
- 45 4. Procedimiento de acuerdo con cualquiera de las reivindicaciones 1 a 3, en el que, para un bloque de bits de datos de entrada, la primera parte de datos tiene una longitud de 1668 bits y la segunda parte tiene una longitud de 1482 bits,
- 50 en el que el primer número predeterminado de bits es 4 y el segundo número predeterminado de bits es 3, y el codificador BCH genera palabras de código con 1976 bits basados en 1668 bits de información de entrada.
- 55 5. Procedimiento de acuerdo con cualquiera de las reivindicaciones 1 a 4, que comprende, además, una etapa de codificación previa de Tomlinson-Harashima aplicada a los símbolos modulados.
- 60 6. Procedimiento para decodificar una señal digital codificada con un codificador de clases laterales de dos niveles y recibida a través de una fibra óptica plástica (150), comprendiendo el procedimiento las etapas de:
- demodular la señal digital codificada con una modulación por amplitud de pulso de múltiples niveles en dominio de tiempo para obtener palabras de código de símbolos y transformarlas (1720) con una transformación de red inversa de segunda etapa,

decodificar los símbolos demodulados y transformados con un decodificador de dos etapas que incluye las etapas de:

5 extraer una primera parte de una palabra de código aplicando una transformación de red inversa de primera etapa (1730), un detector de símbolos (1735) para una primera constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida, y una operación de módulo (1740) a un símbolo demodulado;

10 decodificar (1745) en una primera etapa la primera parte con un desmapeador de símbolos y un decodificador de BCH acortado y, en base a la primera parte decodificada, seleccionar una primera clase lateral;

retroalimentar la primera parte decodificada asignando la primera parte decodificada sobre símbolos de la primera constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida y realizar la transformación de red de la primera etapa de los símbolos asignados;

15 obtener (1750) una segunda parte restando la primera parte descodificada y retroalimentar una primera parte desde el símbolo demodulado y aplicando la transformación de red inversa de primera etapa (1760), un detector de símbolos (1765), una operación de módulo (1770), y un desmapeador de símbolos (1775);

20 y multiplexar (1780) solamente los bits de la primera y la segunda parte decodificada incluyendo enviar un primer número predeterminado de bits de la primera parte y un segundo número predeterminado de bits de la segunda parte,

25 en el que la primera constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida es 16-QAM con asignación de Gray mientras que la segunda constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida es 8-QAM con asignación de red RZ².

7. Aparato para codificar datos digitales para transmisión en una fibra óptica plástica (150), comprendiendo el aparato:

30 un codificador de clases laterales de dos niveles para codificar datos digitales de entrada mediante una codificación de clases laterales de dos niveles que incluye:

35 un demultiplexor (410) para separar los datos digitales de entrada solamente en una primera parte y una segunda parte de datos, cada una con un número predeterminado de bits incluyendo asignar cíclicamente un primer número predeterminado de bits a la primera parte y un segundo número predeterminado de bits a la segunda parte;

un codificador BCH (420) para codificar la primera parte de datos con un primer código BCH acortado en un primer nivel;

40 un primer mapeador (430) para, en el primer nivel, asignar la primera parte codificada sobre símbolos de una primera constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida y realizar (440) una transformación de red de primera etapa de los símbolos asignados para lograr la separación de clases laterales;

45 un segundo mapeador (450) para, en el segundo nivel, asignar la segunda parte en símbolos de una segunda constelación de modulación por amplitud en cuadratura predefinida de múltiples niveles y realizar (460) la transformación de red de primera etapa de los símbolos asignados;

un sumador para añadir los símbolos transformados del primer y segundo nivel;

50 una unidad de transformación (470) para realizar una transformación de red de segunda etapa para lograr una constelación de media cero, y

55 un modulador (480) para modular los símbolos codificados con la codificación de clases laterales de dos niveles utilizando una modulación por amplitud de pulso de múltiples niveles incluyendo multiplexar en tiempo la salida en fase y en cuadratura de la transformación de red de segunda etapa en dominio de tiempo

en el que

60 la primera constelación de modulación por amplitud de pulso en cuadratura de múltiples niveles predefinida es 16-QAM con asignación de Gray mientras que la segunda constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida es 8-QAM con asignación de red RZ².

8. Aparato de acuerdo con la reivindicación 7, en el que las transformaciones de red de primera etapa incluyen traslación, escalado y/o rotación de un símbolo, y/o
- 5 la transformación de red de segunda etapa incluye rotación de la constelación; y/u operación de módulo para restringir los símbolos de constelación a una región cuadrada en un primer cuadrante 2D; y/o centrando y escalado.
9. Aparato de acuerdo con cualquiera de las reivindicaciones 7 a 8, en el que la modulación por amplitud de pulso de múltiples niveles es 16 - PAM.
- 10 10. Aparato de acuerdo con cualquiera de las reivindicaciones 7 a 9, en el que, para un bloque de bits de datos de entrada, la primera parte de datos tiene una longitud de 1668 bits y la segunda parte tiene una longitud de 1482 bits,
- en el que el primer número predeterminado de bits es 4 y el segundo número predeterminado de bits es 3, y
- 15 el codificador BCH genera palabras de código con 1976 bits basados en 1668 bits de información de entrada.
11. Aparato de acuerdo con cualquiera de las reivindicaciones 7 a 10, que comprende, además, un pre-codificador de Tomlinson-Harashima para codificar previamente los símbolos modulados por el modulador.
- 20 12. Aparato para decodificar una señal digital codificada con un codificador de clases laterales de dos niveles y recibida a través de una fibra óptica plástica (150), comprendiendo el aparato:
- un demodulador para demodular la señal digital codificada con una modulación por amplitud de pulso de múltiples niveles en dominio de tiempo para obtener palabras de código de símbolos;
- 25 una primera unidad de transformación (1720) para transformar los símbolos demodulados con una transformación de red inversa de segunda etapa,
- un decodificador de múltiples niveles para decodificar los símbolos demodulados y transformados con un
- 30 decodificador de dos etapas que incluye:
- un primer extractor para extraer una primera parte de una palabra de código aplicando una transformación de red inversa de primera etapa (1730), un detector de símbolos (1735) para una primera constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida, y una operación de módulo (1740) a un símbolo
- 35 demodulado;
- un desmapeador (1745) para decodificar en una primera etapa la primera parte con un decodificador BCH acertado y, en base a la primera parte decodificada, seleccionar una primera clase lateral;
- 40 un primer mapeador para asignar la primera parte decodificada sobre símbolos de la primera constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida y realizar la transformación de red de primera etapa de los símbolos asignados;
- un segundo extractor para obtener (1750) una segunda parte restando la primera parte decodificada y asignada del
- 45 símbolo demodulado y aplicar la transformación de red inversa de primera etapa (1760), un detector de símbolos (1765), una operación de módulo (1770), y un desmapeador de símbolos (1775);
- un multiplexor para multiplexar (1780) solamente los bits de la primera y la segunda parte decodificada incluyendo
- 50 enviar un primer número predeterminado de bits de la primera parte y un segundo número predeterminado de bits de la segunda parte,
- en el que la primera constelación de modulación por amplitud de pulso en cuadratura de múltiples niveles predefinida es 16-QAM con asignación de Gray mientras que la segunda constelación de modulación por amplitud en cuadratura de múltiples niveles predefinida es 8-QAM con asignación de red RZ^2 .
- 55 13. Circuito integrado que incorpora el aparato de acuerdo con cualquiera de las reivindicaciones 7 a 12.

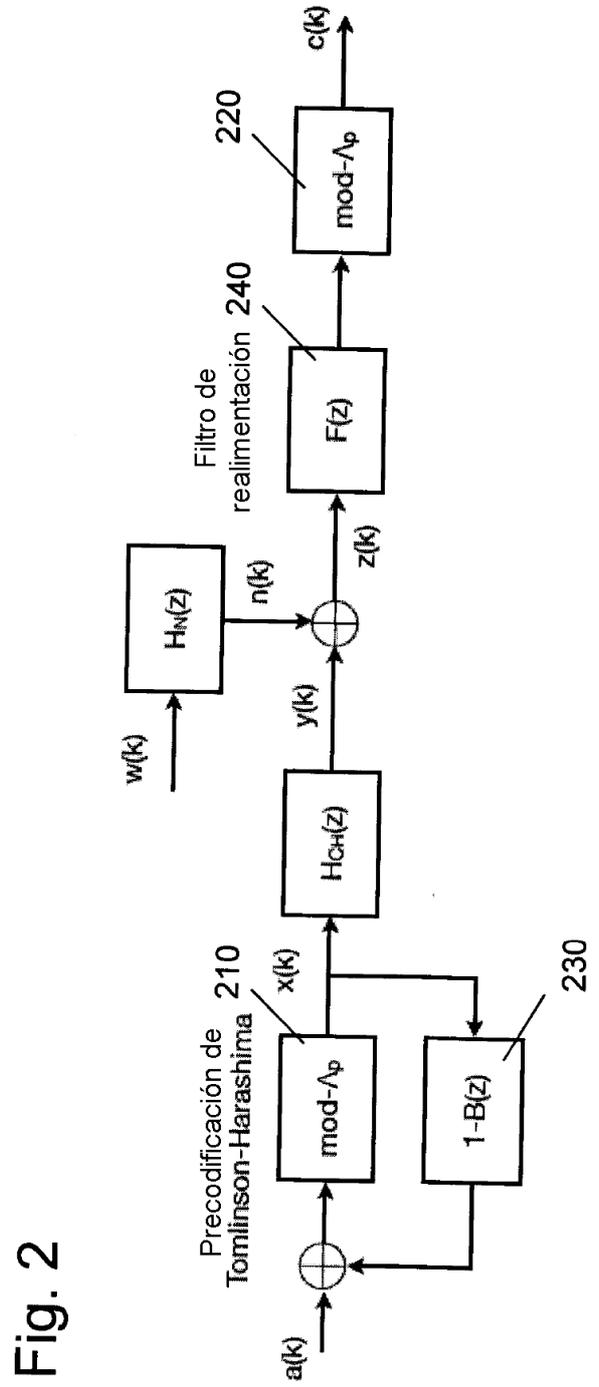
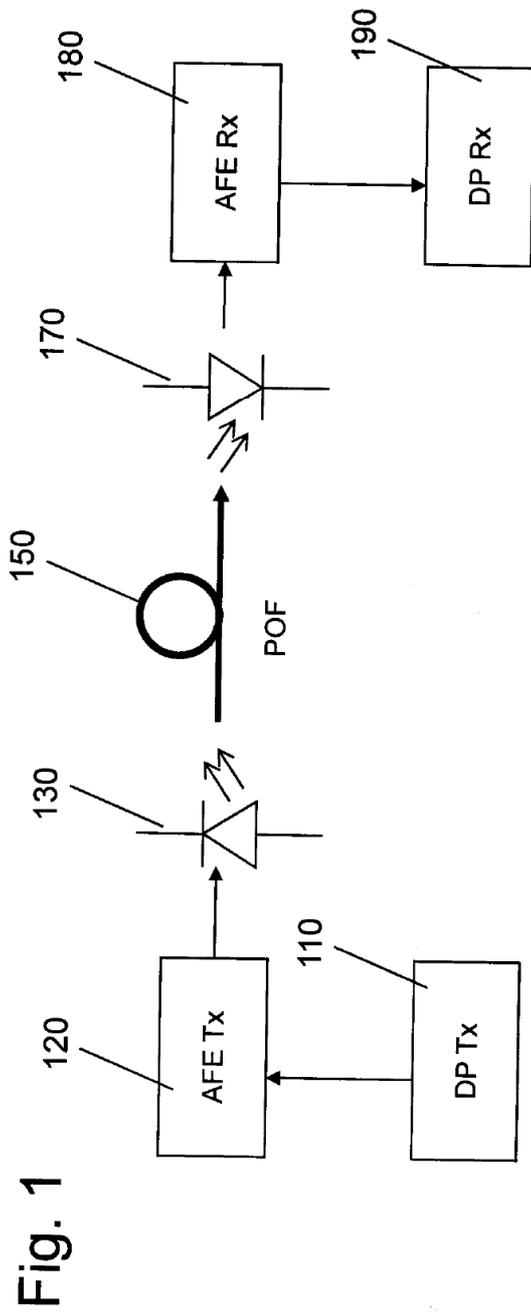


Fig. 3A

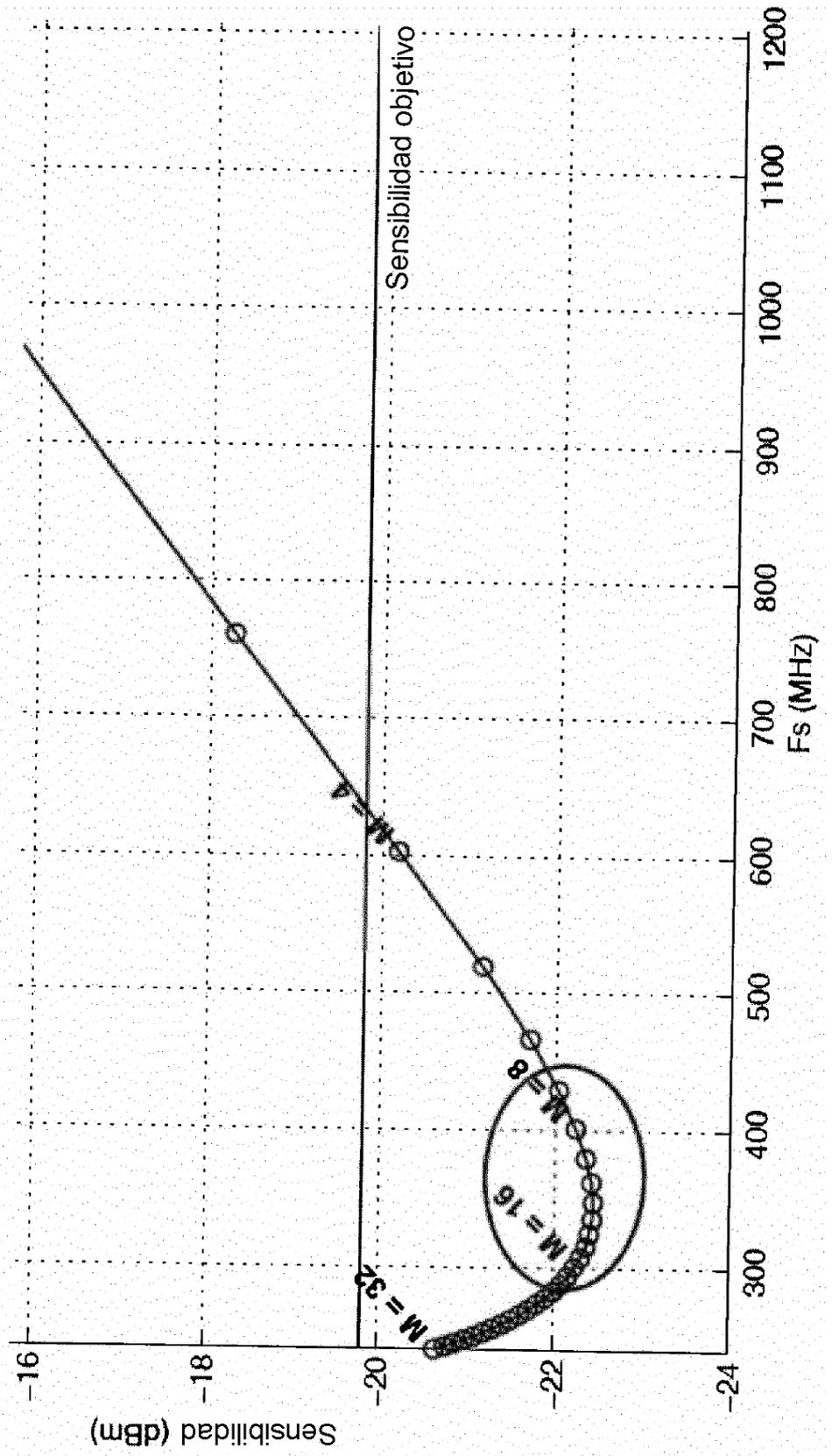
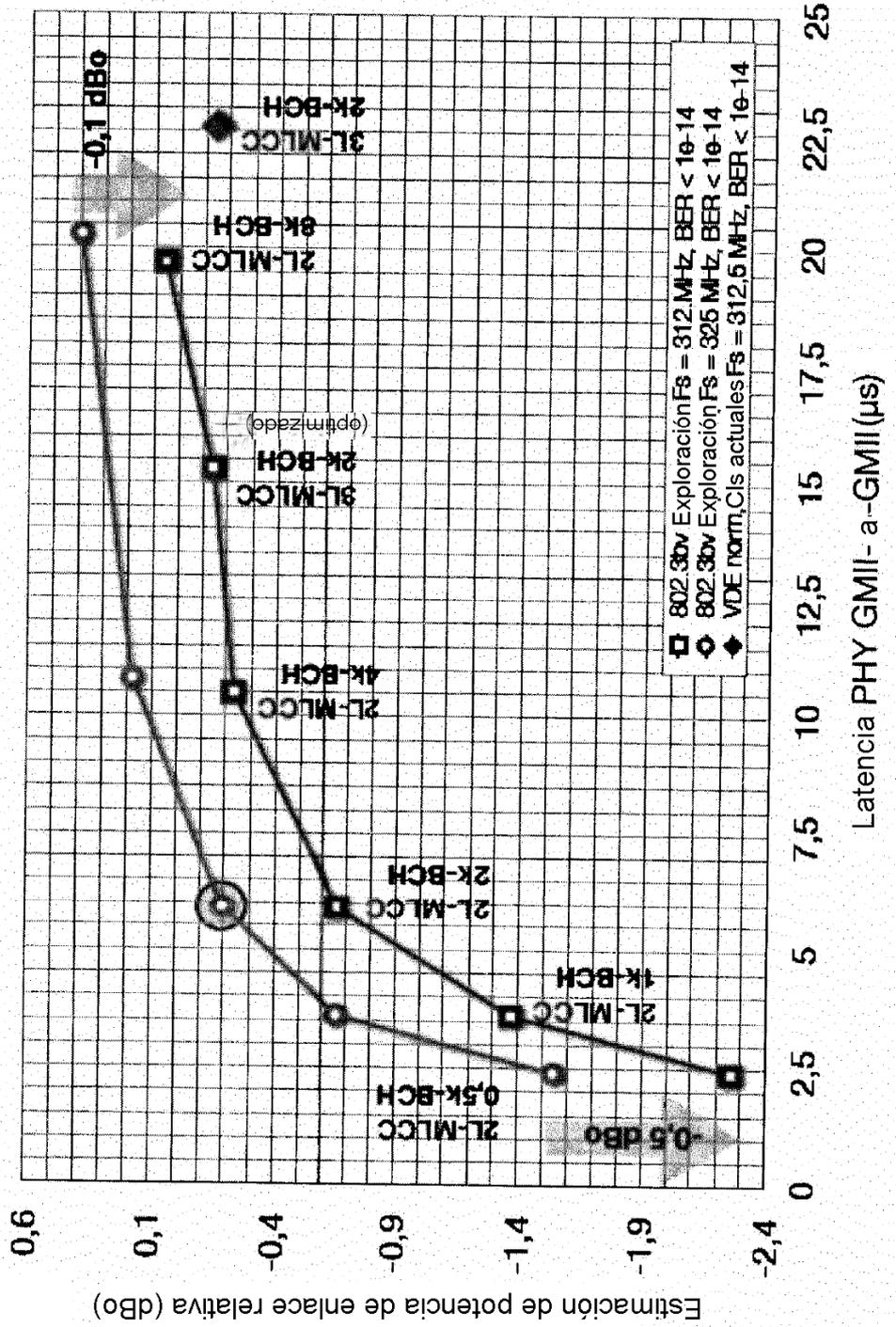


Fig. 3C



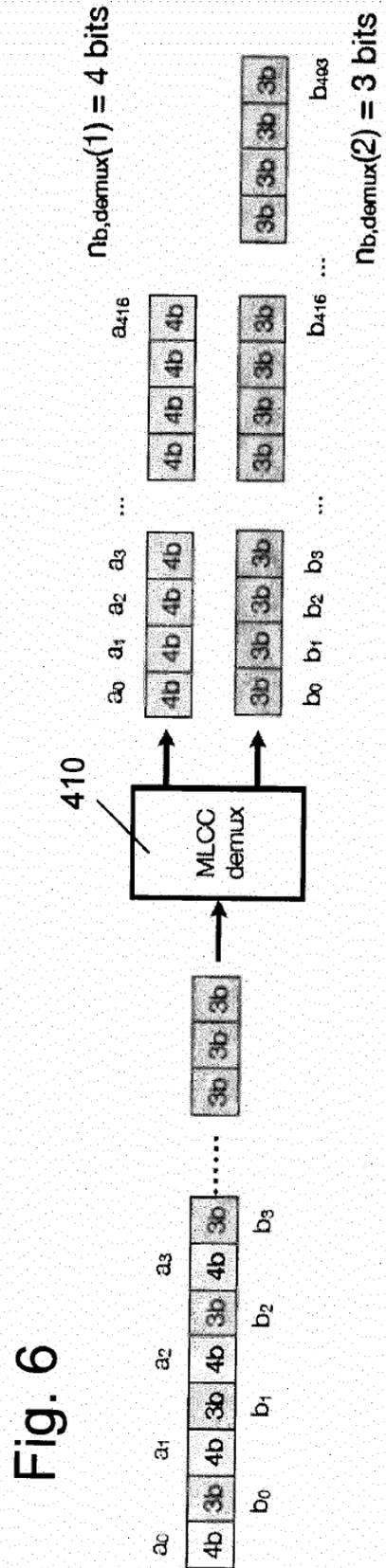
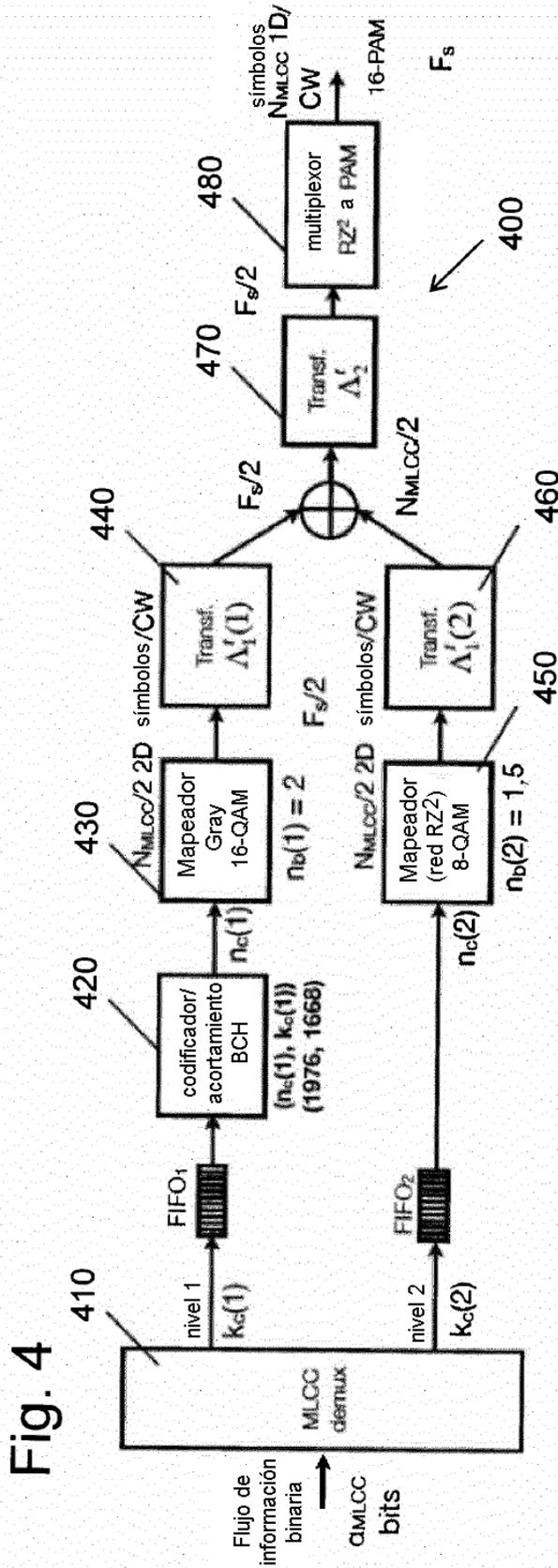


Fig. 5A

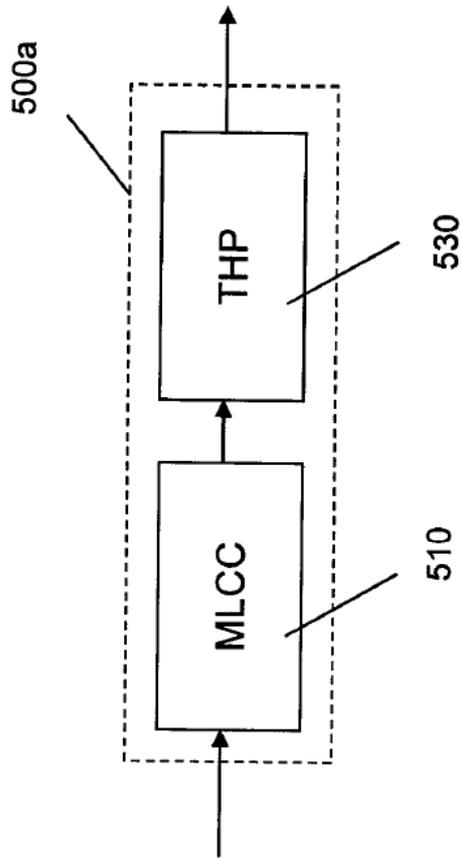


Fig. 5B

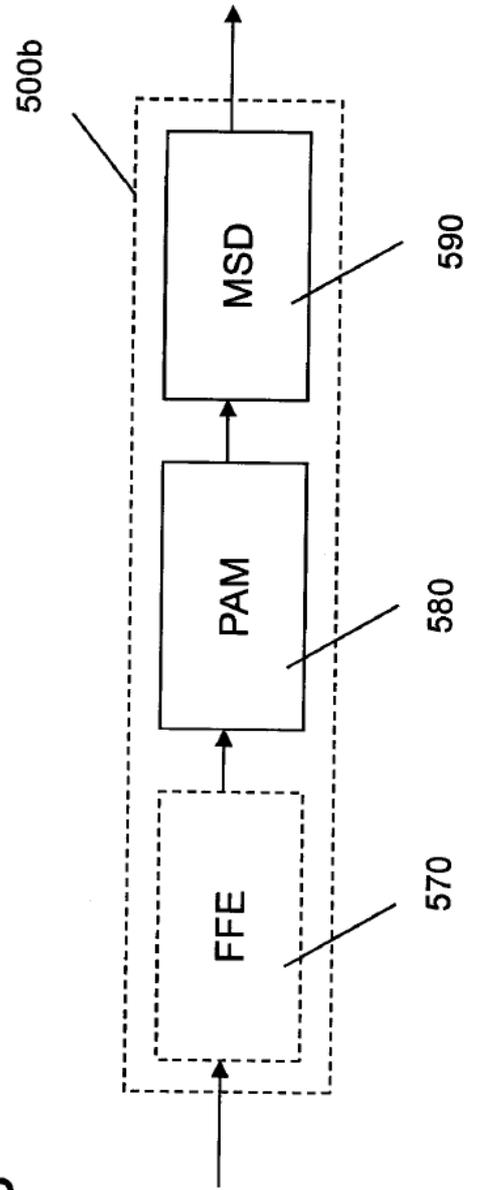


Fig. 7

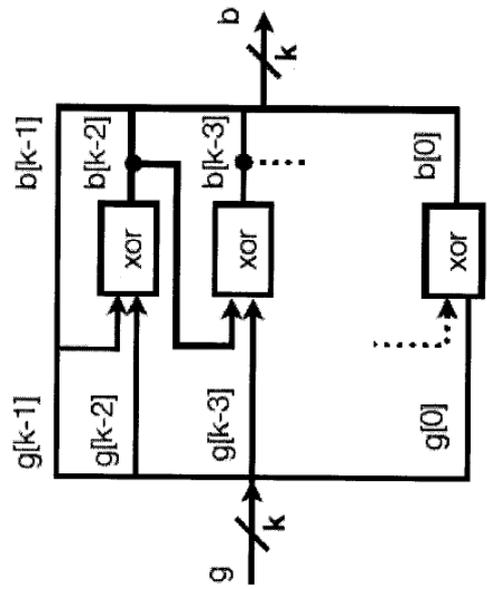
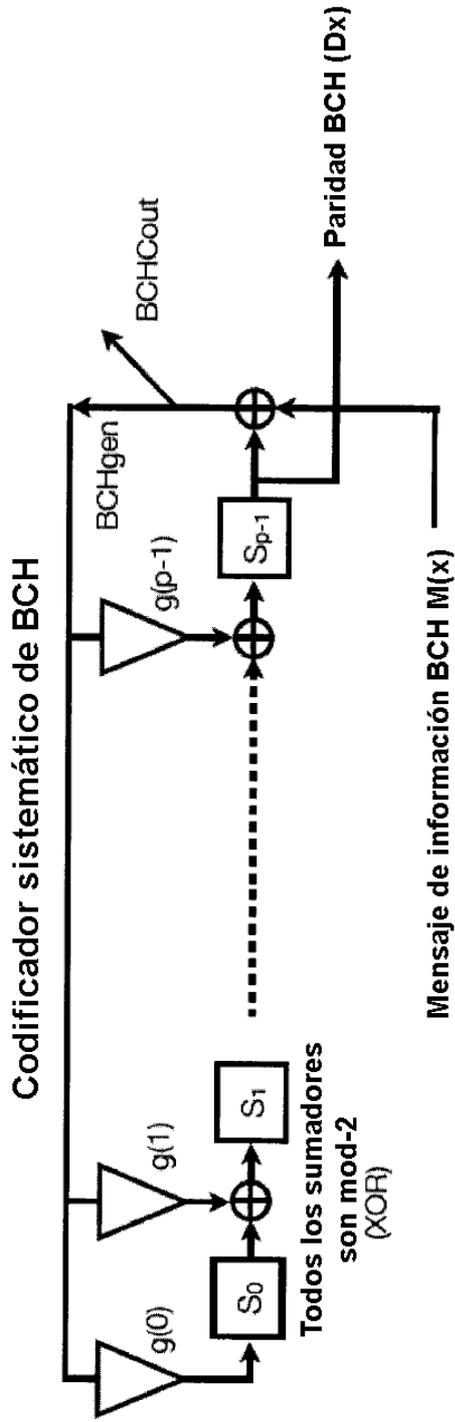


Fig. 8B

Fig. 8A

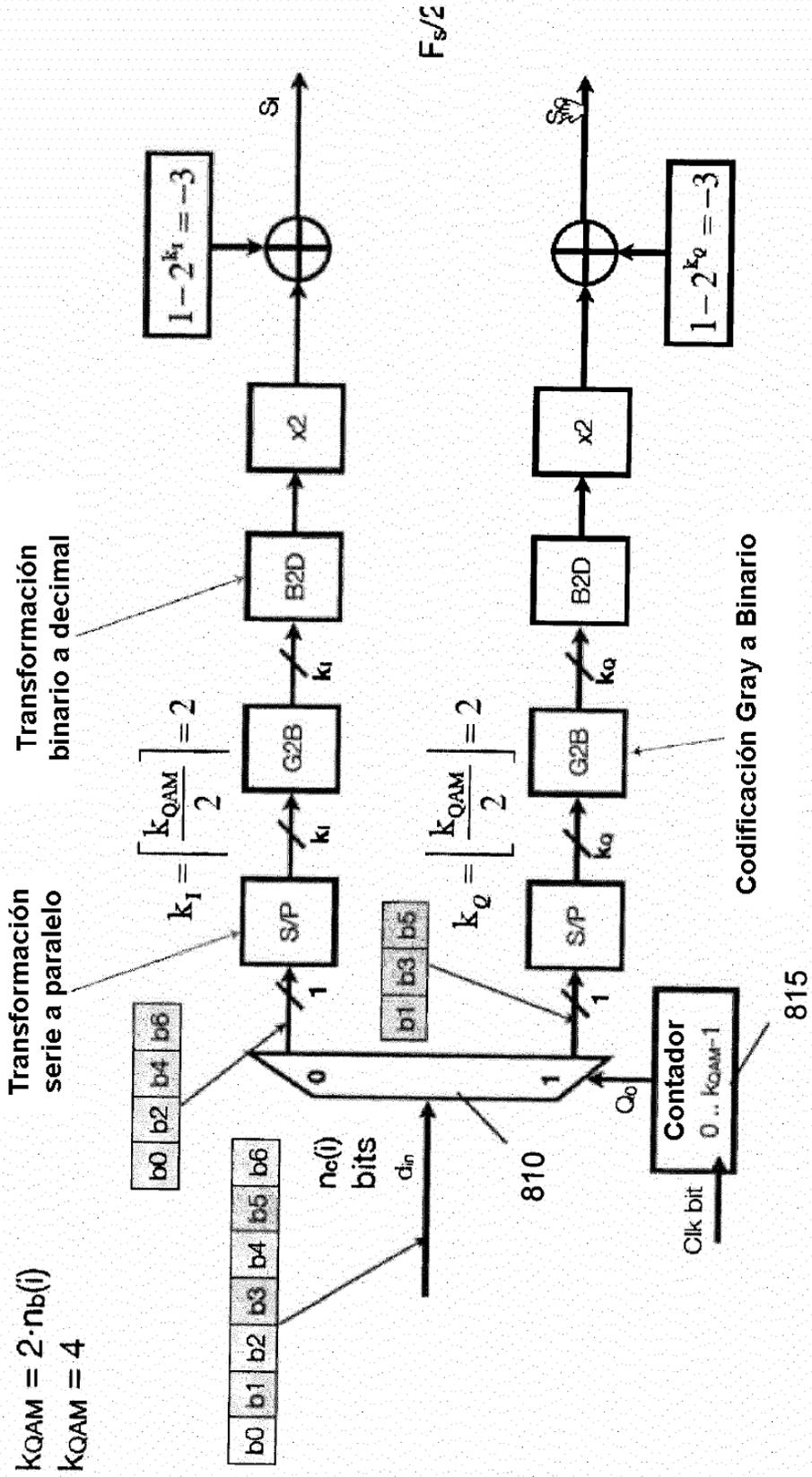


Fig. 9

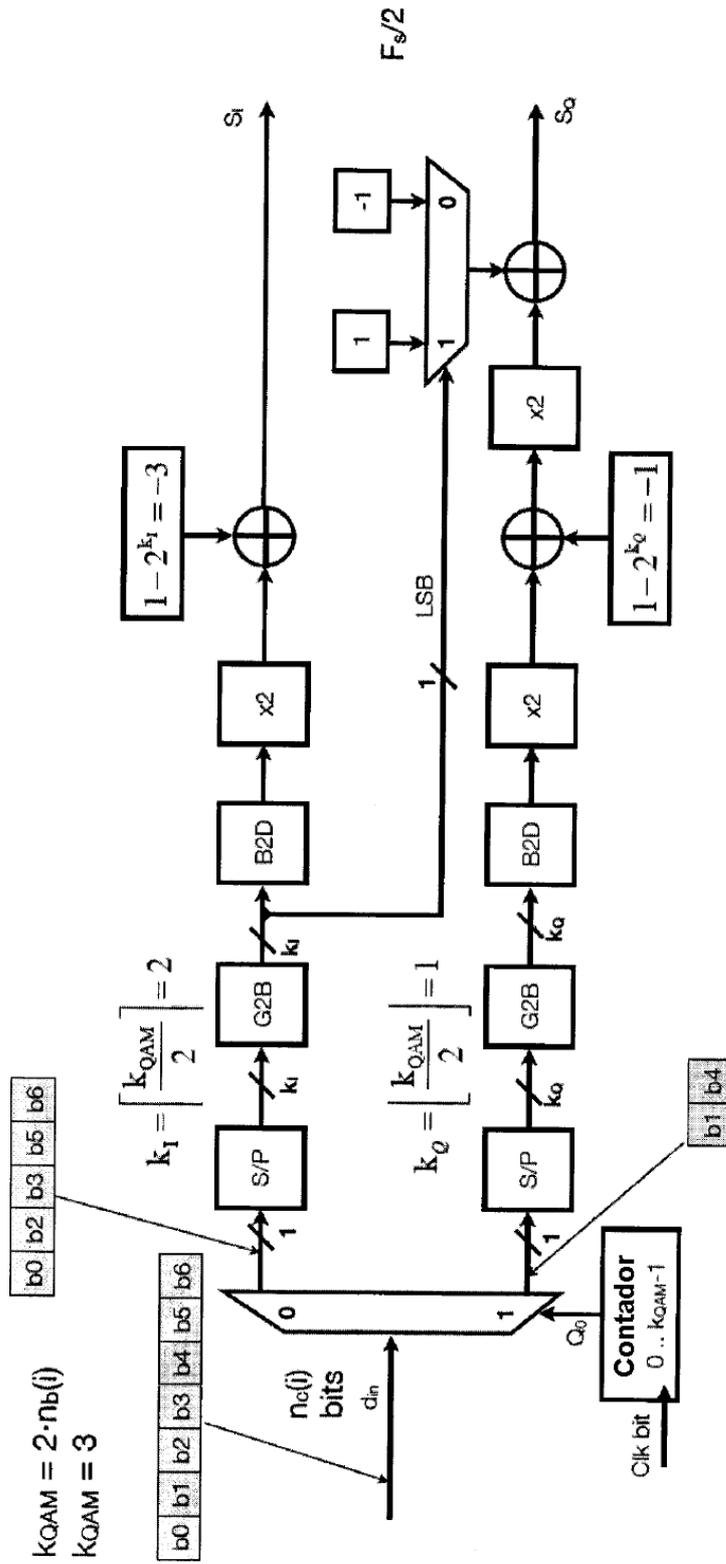


Fig. 10

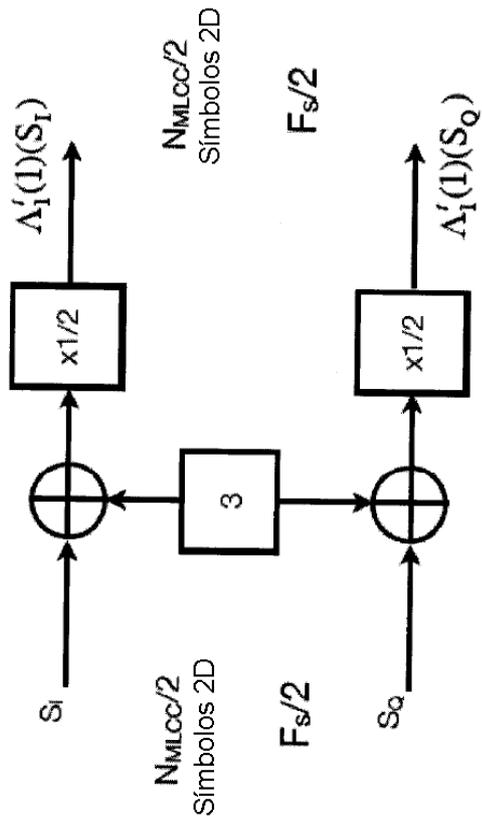


Fig. 11

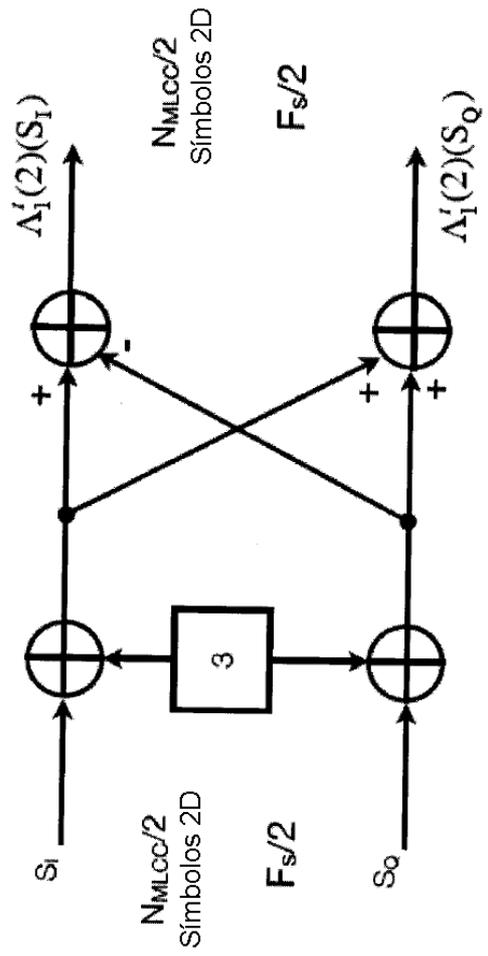
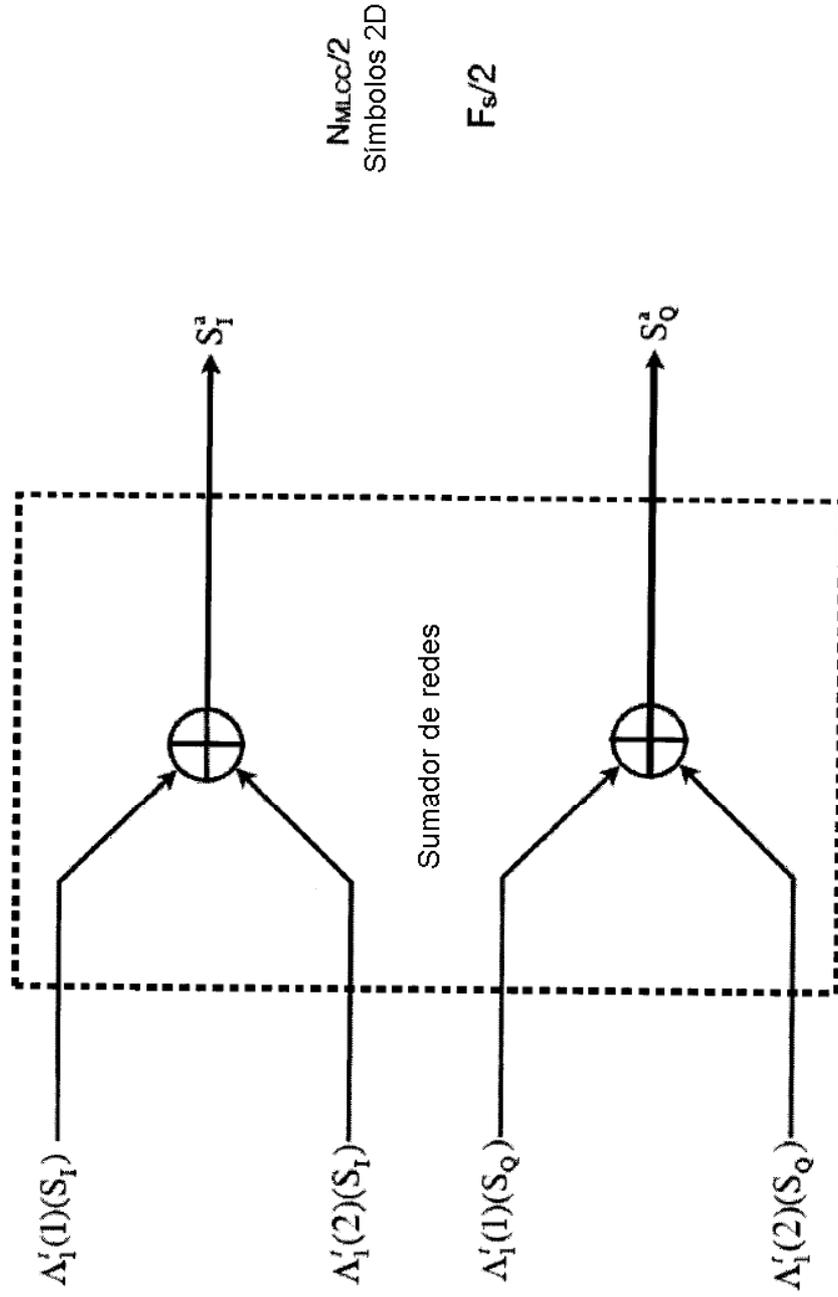


Fig. 12



N_{MILCC}/2
Símbolos 2D

F_s/2

N_{MILCC}/2
Símbolos 2D

F_s/2

Fig. 13

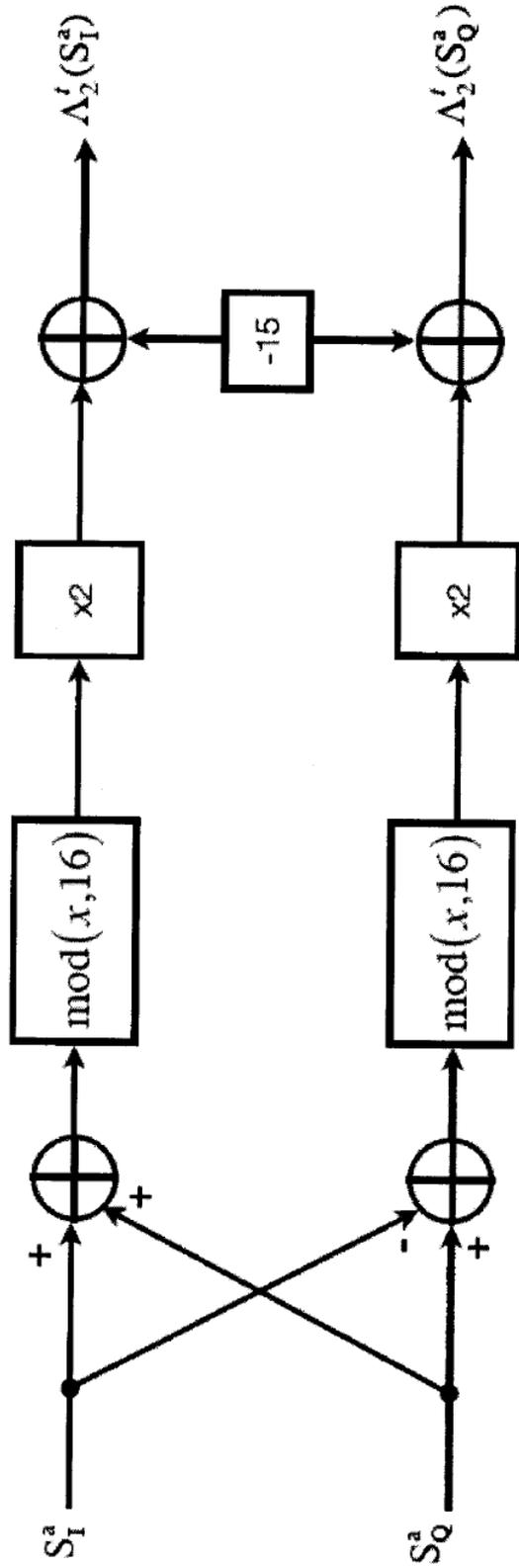


Fig. 14

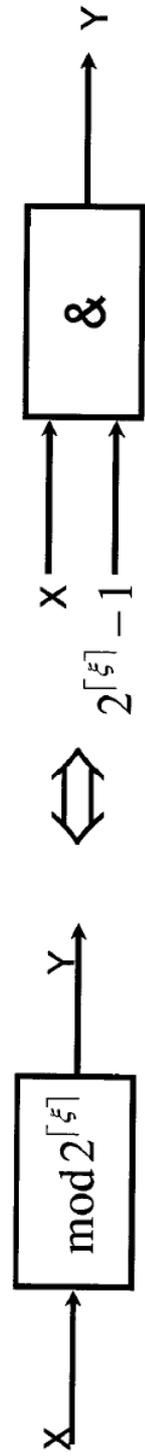
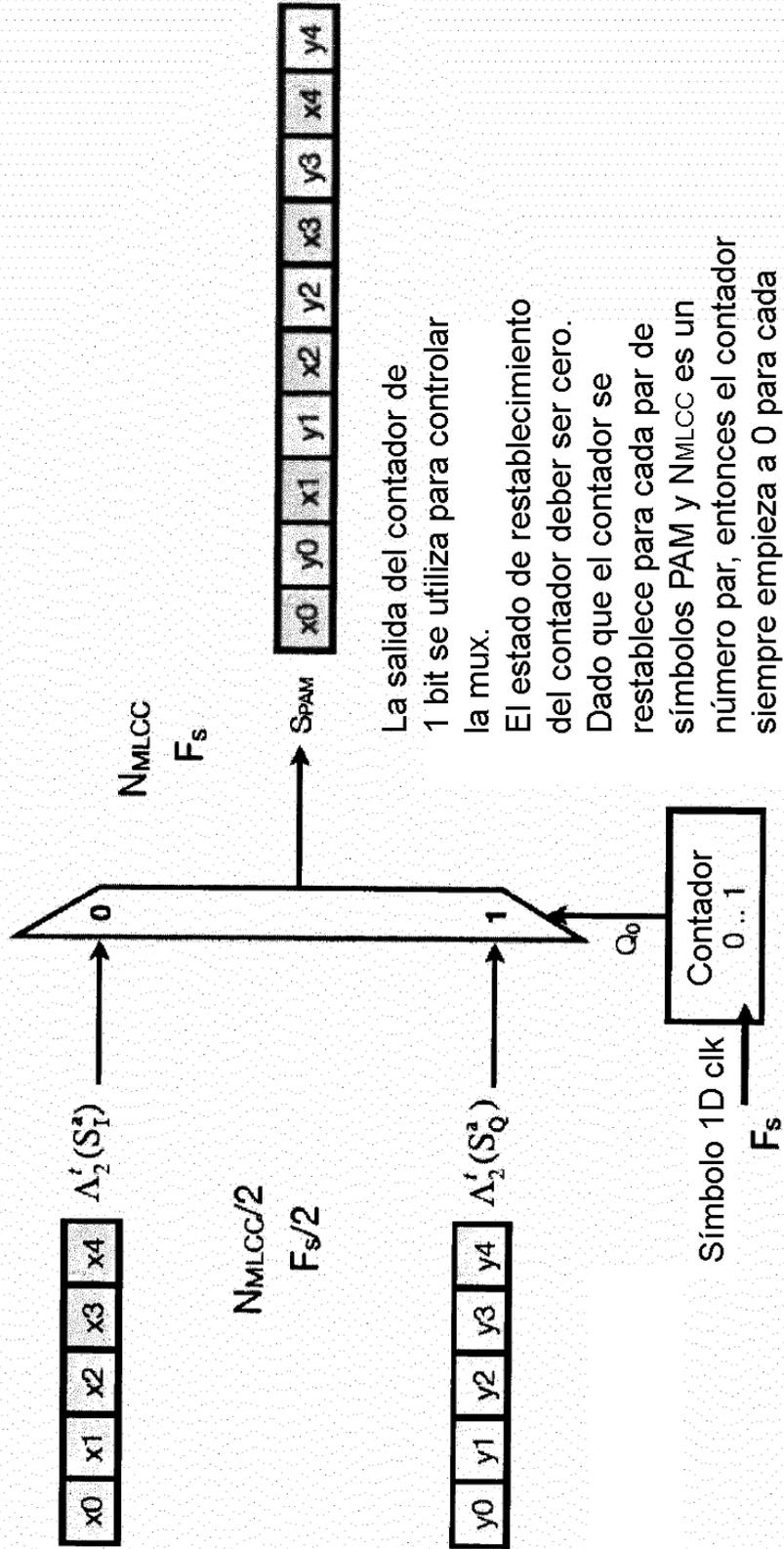


Fig. 15



La salida del contador de 1 bit se utiliza para controlar la mux.
 El estado de restablecimiento del contador debe ser cero.
 Dado que el contador se restablece para cada par de símbolos PAM y N_{MLCC} es un número par, entonces el contador siempre empieza a 0 para cada nueva codificación CW

Fig. 16A

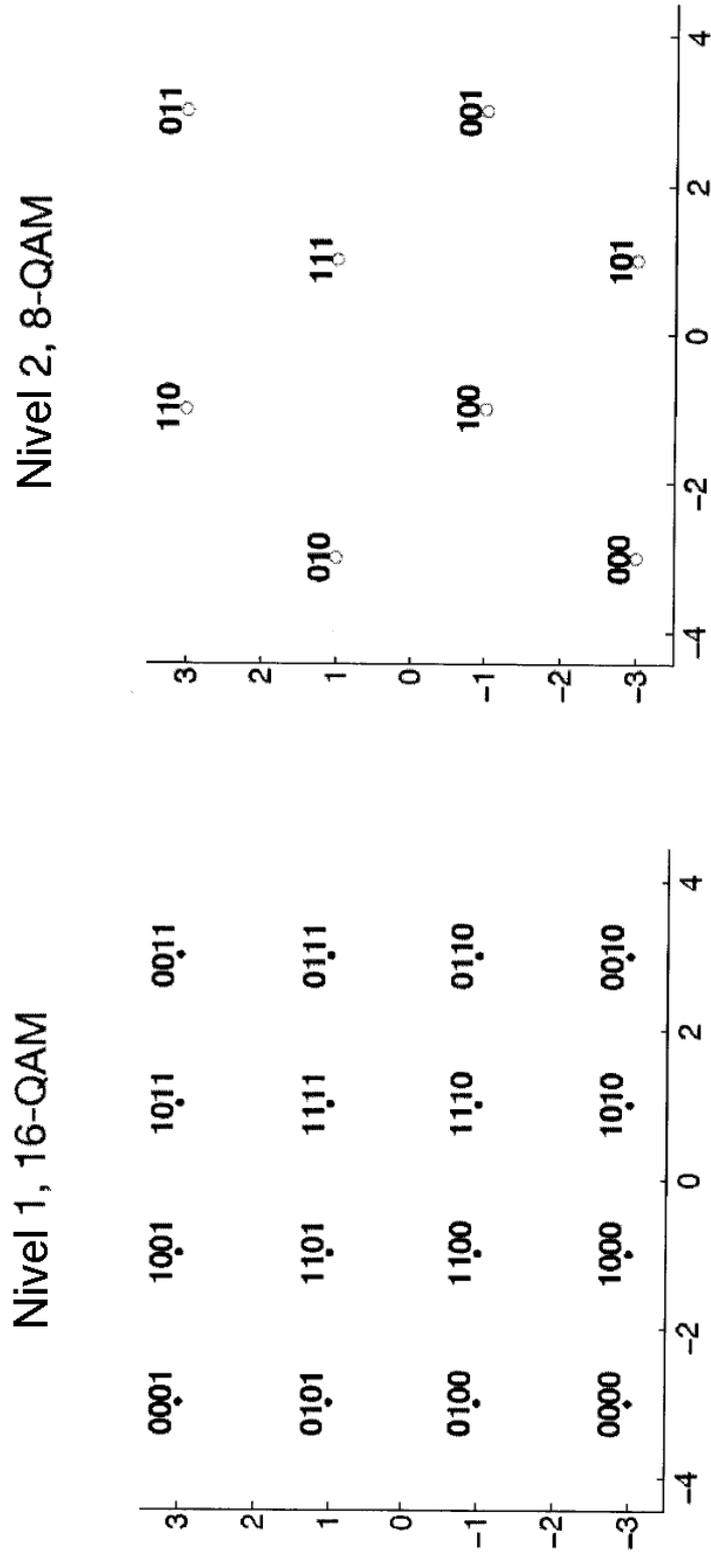


Fig. 16B

Después de Λ_2^T , 128-QAM

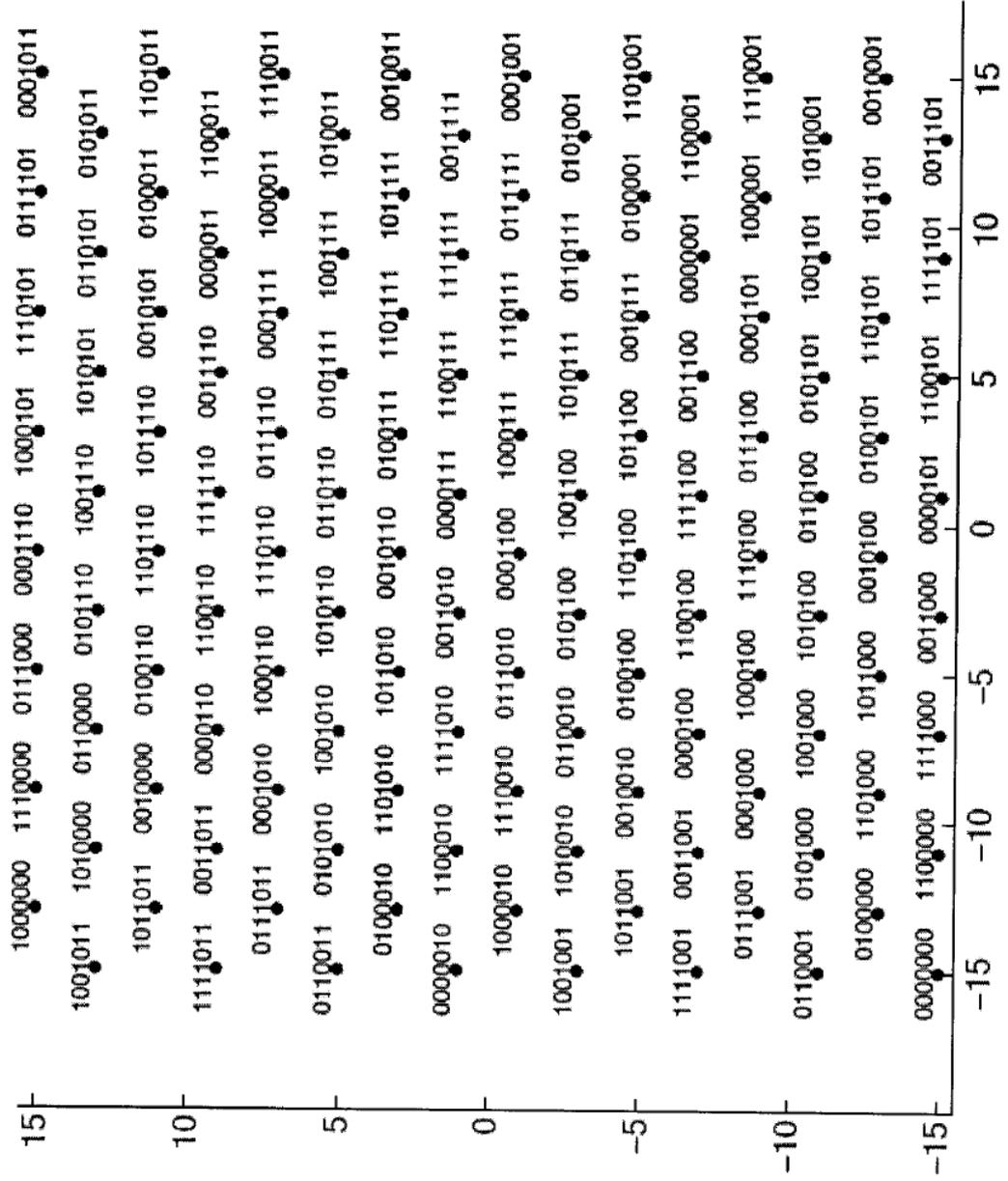


Fig. 17

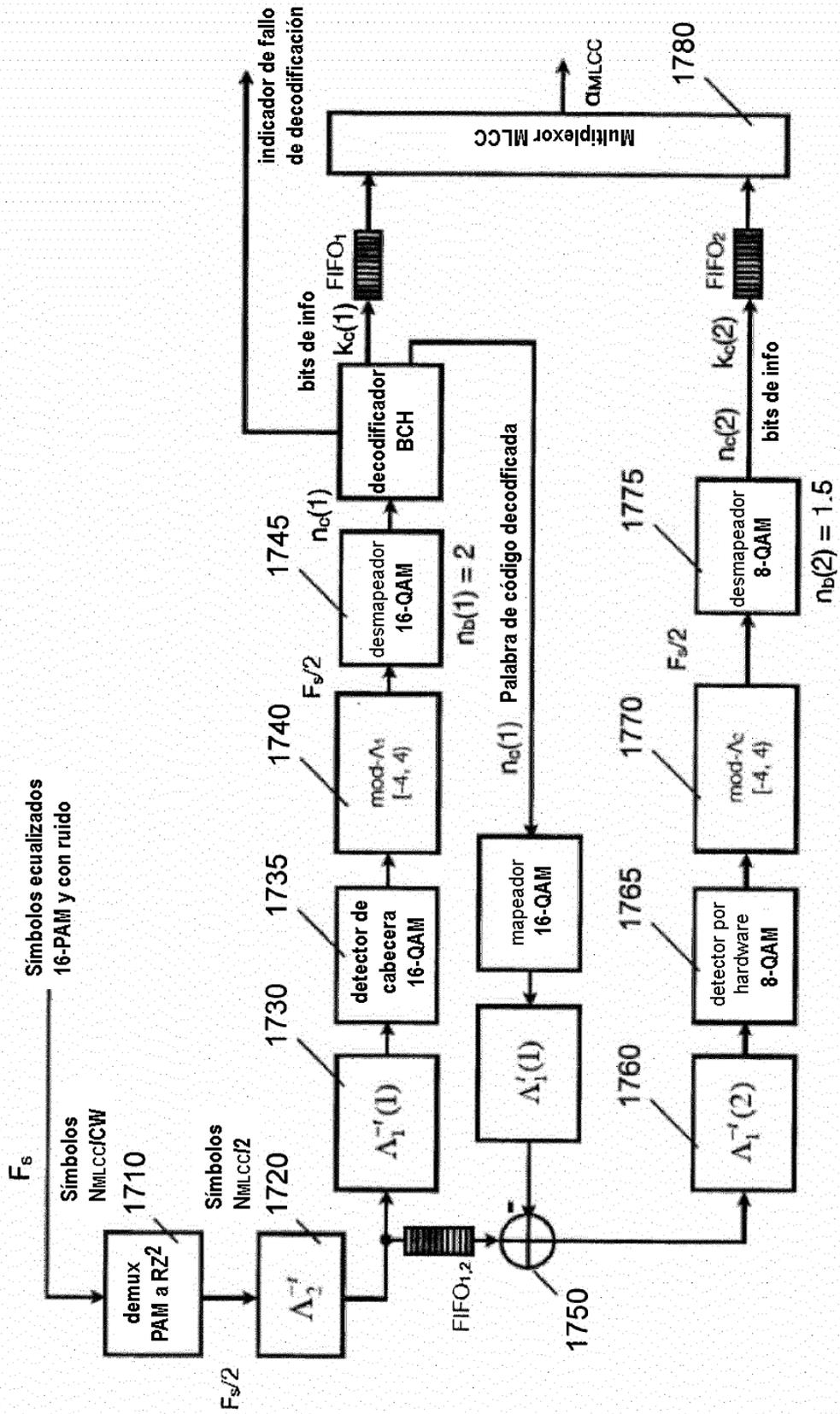


Fig. 18A

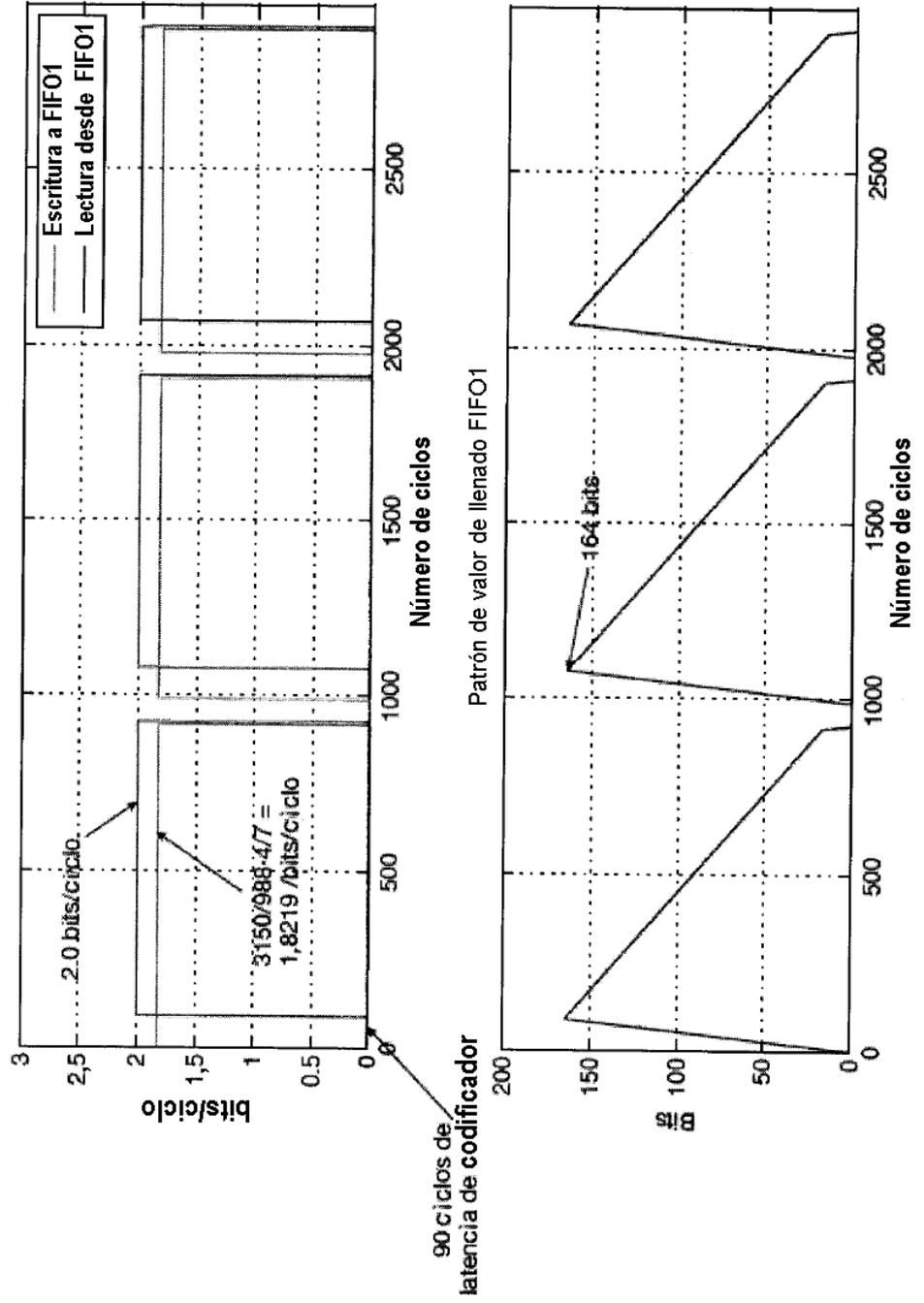


Fig. 18B

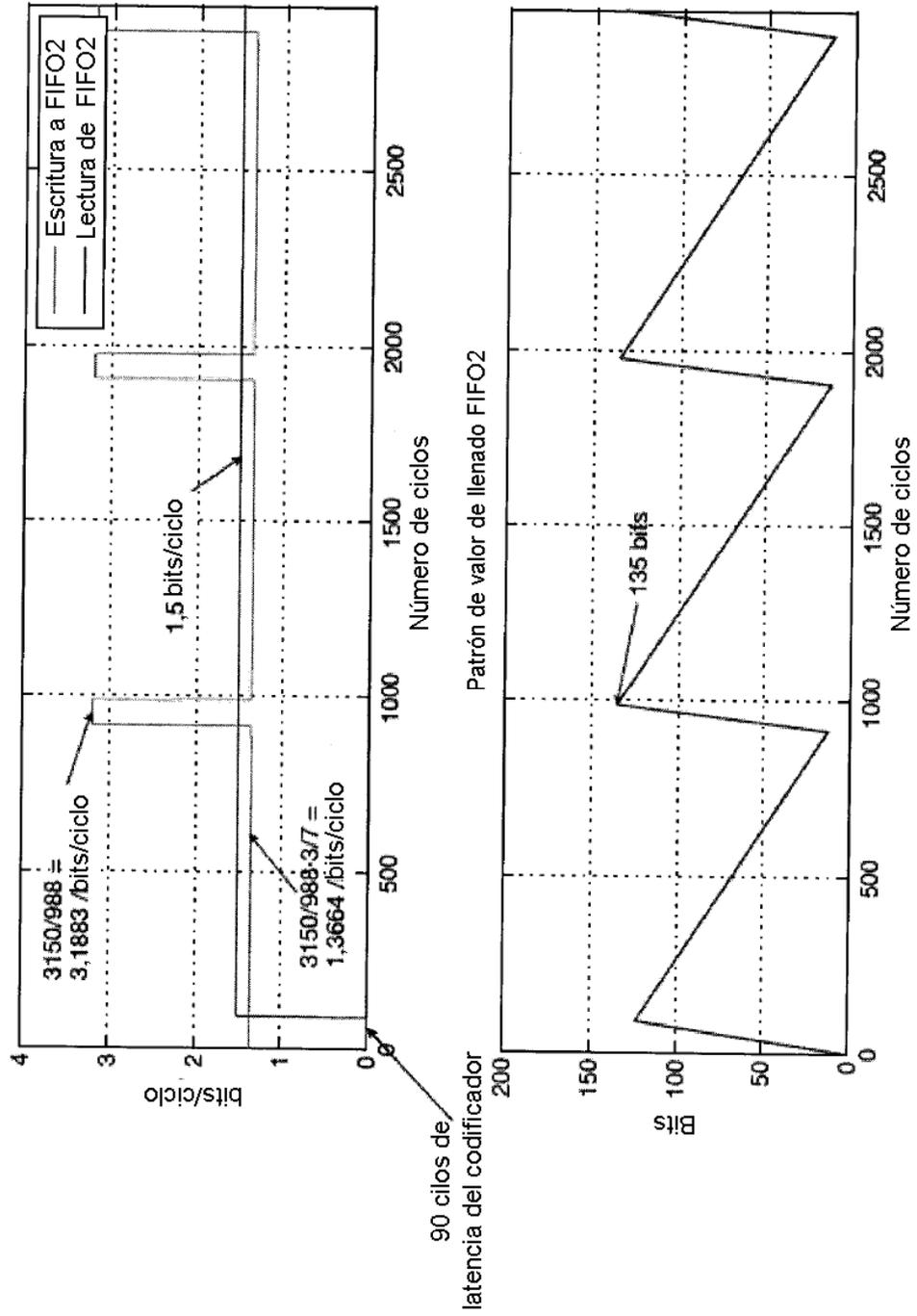


Fig. 19A

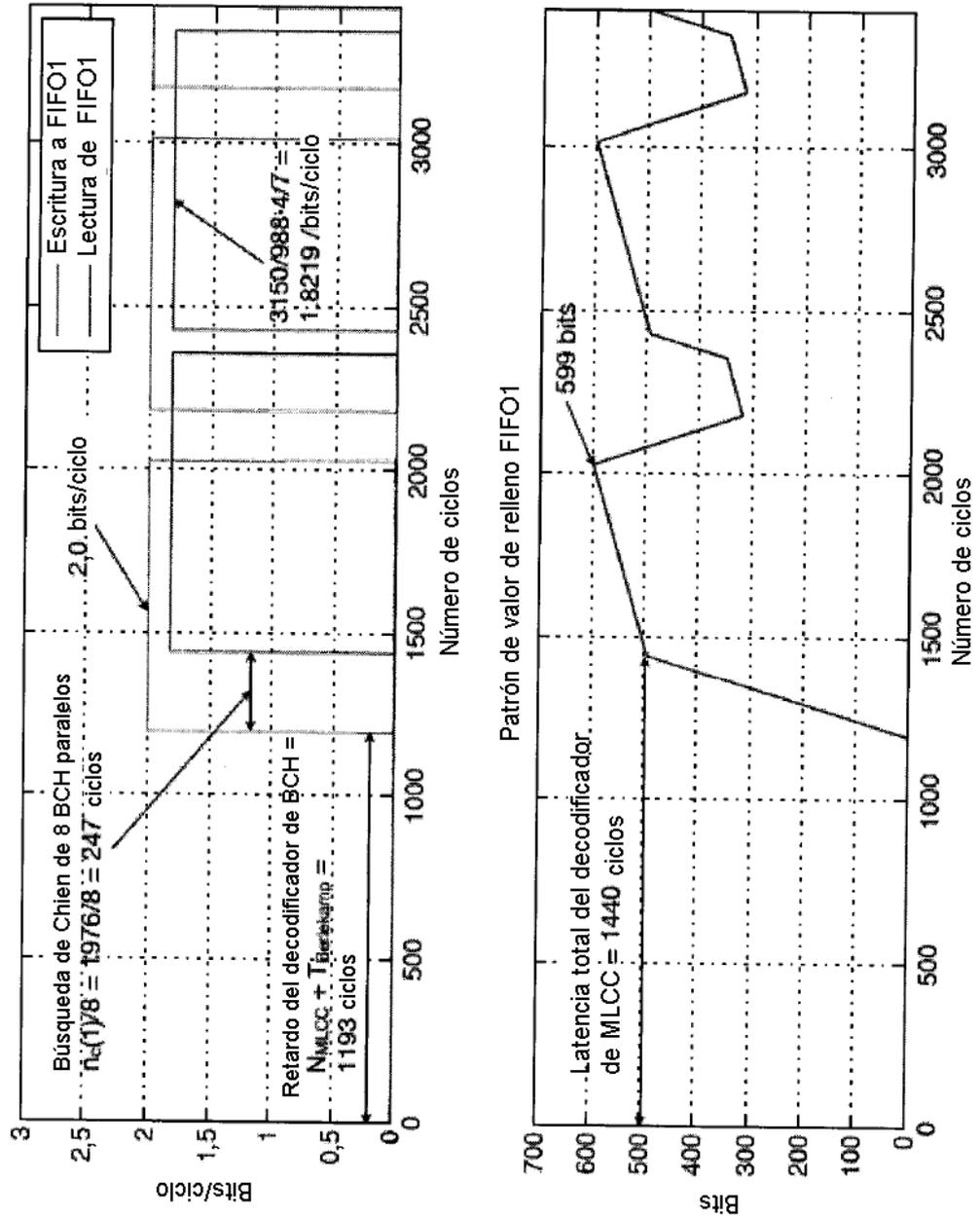


Fig. 19B

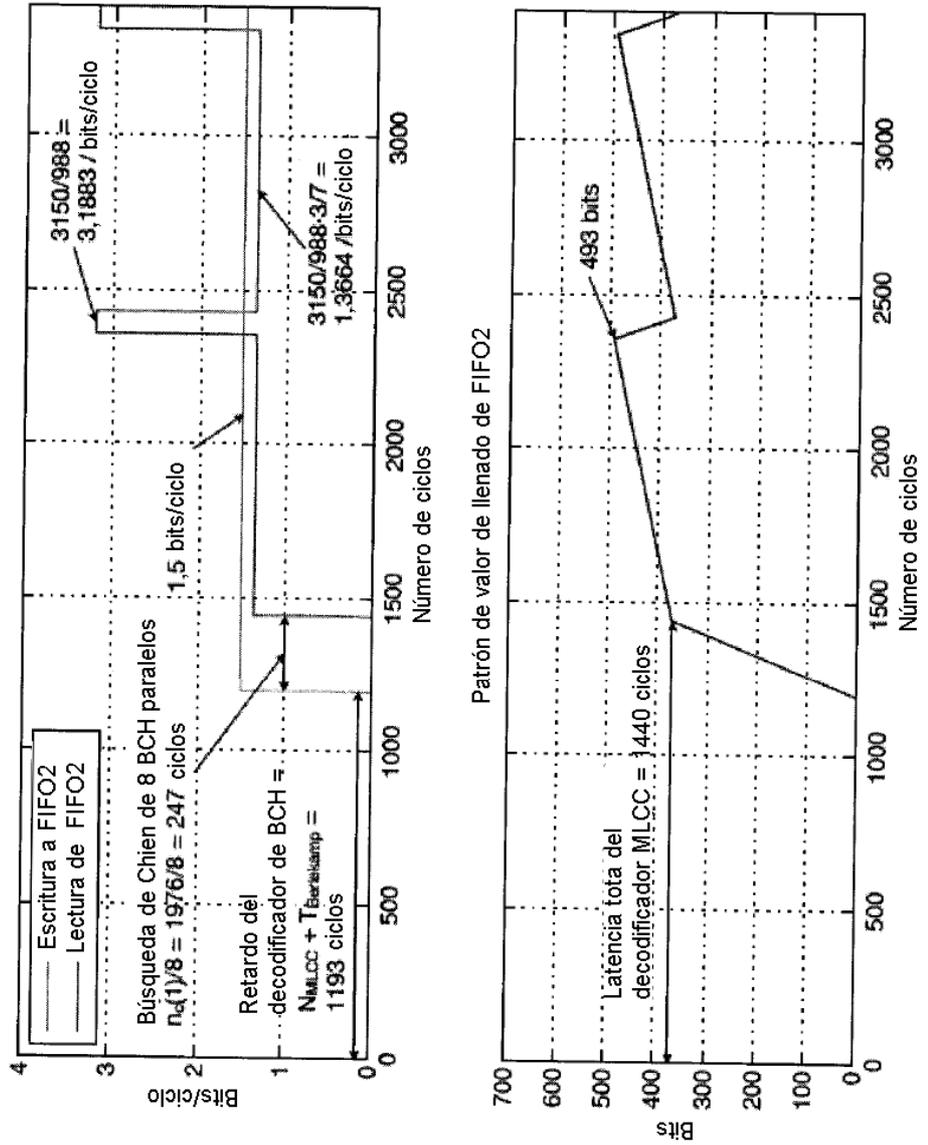


Fig. 20

La distribución de peso para todos los códigos BCH primitivos binarios de corrección de errores dobles es conocida, y entonces pueden calcularse sus probabilidades exactas de error no detectado

La estimación de Peterson es buena!!!

Código BCH (n, k, t)	p	P_{ue} por (1)	P_{ue} por (1) + (3)	P_{ue} por (2) + (3)	P_{ue} por (4)
(31, 21, 2)	1,26e-8	3,7e-21	4,6e-21	3,3e-21	4,4e-21
(127, 113, 2)	1,26e-8	3,2e-19	3,3e-19	3,1e-19	3,3e-19
(511, 493, 2)	1,26e-8	2,2e-17	2,2e-17	2,2e-17	2,2e-17
(511, 250, 31)	4,4e-3	-	1,6e-60	1,9e-61	1,6e-60
(1023, 708, 34)	4,4e-3	-	1,1e-58	3,3e-59	1,1e-58
(1023, 443, 73)	4,4e-3	-	1,2e-169	3,7e-172	1,2e-169

La ecuación (4) da una buena estimación de la probabilidad de error no detectado

Fig. 21

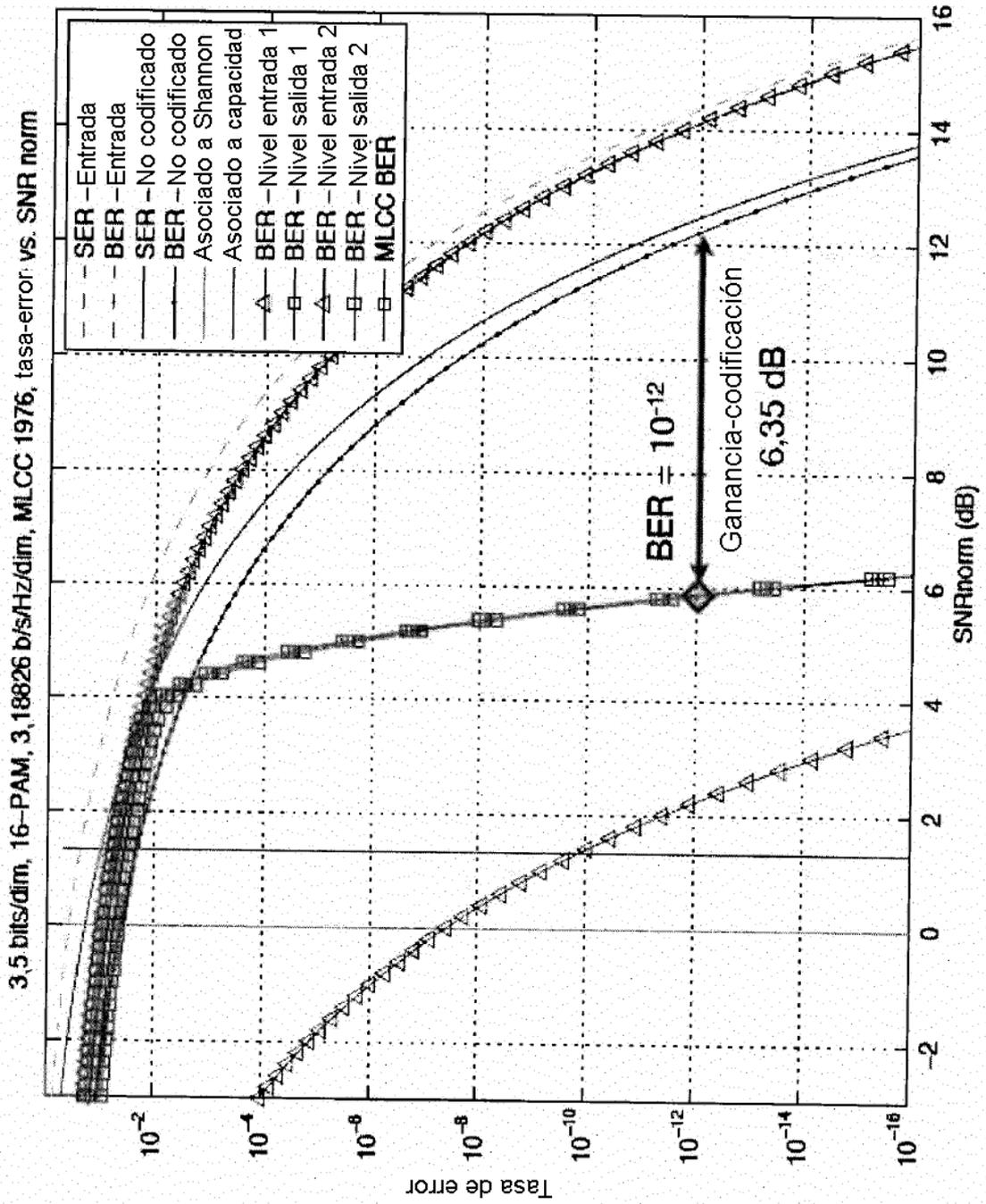


Fig. 22

	BER ≤ 10 ⁻¹⁰	BER ≤ 10 ⁻¹¹	BER ≤ 10 ⁻¹²	BER ≤ 10 ⁻¹³	BER ≤ 10 ⁻¹⁴
Estimación de enlace relativa (dBo)	0,13	0,05	-0,03	-0,12	-0,19
MTBE	5m:45s	57m:28s	9h:32m	4 days	39 days
MTTFPA -PHY + FCS- (años)	6,9·10 ¹⁸	3,2·10 ¹⁹	1,4·10 ²⁰	6,0·10 ²⁰	2,4·10 ²¹
MTTFPA -sólo PHY- (años)	1,6·10 ⁹	7,4·10 ⁹	3,3·10 ¹⁰	1,4·10 ¹⁰	5,7·10 ¹¹