

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 668 400**

51 Int. Cl.:

**H03F 1/56** (2006.01)

**H03F 3/45** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **18.08.2009 PCT/US2009/054214**

87 Fecha y número de publicación internacional: **25.02.2010 WO10022093**

96 Fecha de presentación y número de la solicitud europea: **18.08.2009 E 09791629 (0)**

97 Fecha y número de publicación de la concesión europea: **28.03.2018 EP 2327152**

54 Título: **Receptor de bajo ruido de alta linealidad con conmutación de carga**

30 Prioridad:

**18.08.2008 US 193695**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**17.05.2018**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
Attn: International IP Administration, 5775  
Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:

**LIU, LI y  
GUDEM, PRASAD, S.**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

ES 2 668 400 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Receptor de bajo ruido de alta linealidad con conmutación de carga

5 **ANTECEDENTES**

**I. Campo**

10 **[1]** La presente divulgación se refiere en general a la electrónica y, más específicamente, a un receptor para comunicación inalámbrica.

**II. Antecedentes**

15 **[2]** Los receptores se usan ampliamente en diversos sistemas de comunicación inalámbrica para acondicionar (por ejemplo, amplificar, filtrar y reducir en frecuencia) las señales recibidas de radiofrecuencia (RF) y proporcionar señales de banda base. Típicamente se requiere que los receptores cumplan con diversos requisitos de linealidad y ruido, que pueden ser estrictos para algunos sistemas de comunicación inalámbricos. Un receptor puede diseñarse con muchos componentes reactivos (por ejemplo, inductores) y con una alta corriente de polarización para cumplir con los estrictos requisitos de linealidad y ruido en las peores condiciones de funcionamiento. Los componentes reactivos pueden aumentar el tamaño y el coste del receptor, y la alta corriente de polarización puede aumentar el consumo de energía, todos los cuales son indeseables.

20 **[3]** Se llama la atención sobre el documento US2003/064695 A1 que describe un receptor de Radiofrecuencia (RF) que incluye un amplificador de bajo ruido (LNA) y un mezclador acoplado a la salida del LNA. La ganancia del LNA se ajusta para maximizar la relación señal-ruido del mezclador y forzar el funcionamiento del mezclador dentro de su región lineal cuando esté presente un componente de interferencia de intermodulación. El receptor de RF incluye un primer indicador de intensidad de señal recibida (RSSI\_A) acoplado a la salida del mezclador que mide la intensidad de la señal de banda ancha en ese punto. Un segundo indicador de intensidad de señal recibida (RSSI\_B) se acopla después del BPF y mide la intensidad de la señal de banda estrecha. La ganancia del LNA se establece en función de estas intensidades de señal. Alterando la ganancia del LNA en un paso y midiendo la diferencia entre una lectura de RSSI\_B previa y una lectura de RSSI\_B' posterior indicará si hay interferencia de intermodulación presente. El documento US2003/0186669 A1 describe un receptor similar que comprende un LNA en el que múltiples mezcladores conectados en paralelo se activan/desactivan selectivamente sobre la base de un nivel de señal recibido.

35 **SUMARIO**

**[4]** De acuerdo con la presente invención, se proporciona un procedimiento y un aparato, como se expone en las reivindicaciones independientes, respectivamente. Los modos de realización preferidos de la invención se describen en las reivindicaciones dependientes.

40 **[5]** En el presente documento, se describe un receptor que tiene una buena linealidad y un buen rendimiento de ruido. En un diseño, el receptor incluye un amplificador de bajo ruido (LNA) y múltiples pares de mezcladores que tienen sus salidas acopladas entre sí. El LNA recibe y amplifica una señal de entrada de LNA y proporciona al menos una señal de salida de LNA. Cada par de mezcladores incluye un mezclador para componente en fase (I) y otro mezclador para componente en cuadratura (Q). Los múltiples pares de mezcladores pueden implementarse con transistores del mismo o diferentes tamaños, polarizados con la misma o diferentes cantidades de corriente, polarizados con el mismo o diferentes voltajes de polarización y accionados con señales del oscilador local (LO) del mismo o diferentes niveles de señal. Cada par de mezcladores convierte una de la al menos una señal de salida de LNA cuando está activada. Cada par de mezcladores puede activarse o desactivarse selectivamente, por ejemplo, en base a un modo seleccionado entre múltiples modos.

50 **[6]** En un diseño, los modos múltiples incluyen un modo de alta linealidad que se puede seleccionar cuando se detecte un bloqueador grande y un modo de baja linealidad que se puede seleccionar cuando no se detecte un bloqueador grande. Los primer y segundo pares de mezcladores pueden activarse para el modo de alta linealidad. El primer par de mezcladores puede activarse y el segundo par de mezcladores puede desactivarse para el modo de baja linealidad.

60 **[7]** En un diseño, no reivindicado pero útil para la comprensión de la invención, el LNA incluye una etapa de entrada y una etapa de salida y puede implementarse con un diseño de terminación única o diferencial. La etapa de entrada recibe y amplifica la señal de entrada de LNA y proporciona una señal amplificada, que puede ser de voltaje o de corriente. La etapa de salida almacena la señal amplificada y proporciona al menos una señal de salida de LNA. La etapa de salida incluye múltiples secciones de carga acopladas en paralelo. Cada sección de carga puede activarse o desactivarse selectivamente, por ejemplo, en base al modo seleccionado. Cada sección de carga puede comprender un par de transistores del semiconductor de óxido de metal de canal P (PMOS) acoplados a un par de transistores del semiconductor de óxido de metal de canal N (NMOS) y/o pueden comprender resistores. Las

secciones de carga múltiple pueden implementarse con transistores de los mismos o diferentes tamaños y pueden estar predispuestos con las mismas o diferentes cantidades de corriente.

5 [8] En un diseño, no reivindicado pero útil para la comprensión de la invención, el LNA proporciona múltiples señales de salida de LNA, y cada par de mezcladores reduce en frecuencia una señal de salida de LNA diferente cuando está activada. En un diseño, el LNA incluye (i) una primera sección de carga que proporciona una primera señal de salida de LNA para un primer par de mezcladores y (ii) una segunda sección de carga que proporciona una segunda señal de salida de LNA para un segundo par de mezcladores. Ambas secciones de carga y ambos pares de mezcladores pueden activarse para el modo de alta linealidad. La primera sección de carga y el primer par de mezcladores pueden activarse y la segunda sección de carga y el segundo par de mezcladores pueden desactivarse para el modo de baja linealidad.

15 [9] En general, un LNA puede incluir cualquier cantidad de secciones de carga, y un conversor reductor en cuadratura puede incluir cualquier cantidad de pares de mezcladores. Se pueden seleccionar más secciones de carga, más pares de mezcladores y/o secciones de carga y mezcladores con transistores más grandes cuando se desee una alta linealidad. Se pueden seleccionar menos secciones de carga, menos pares de mezcladores y/o secciones de carga y mezcladores con transistores más pequeños cuando no se necesite una alta linealidad para mejorar el rendimiento del ruido.

20 [10] A continuación, se describen en más detalle diversos aspectos y características de la divulgación.

#### BREVE DESCRIPCIÓN DE LOS DIBUJOS

25 [11]

La FIG. 1 muestra un diagrama de bloques de un dispositivo inalámbrico.

La FIG. 2A muestra un espectro de señal de entrada de LNA.

30 La FIG. 2B muestra un espectro de señal de salida de LNA.

La FIG. 3 muestra gráficas de la corriente de señal deseada y de la corriente de distorsión de un LNA frente a la carga presentada por un mezclador.

35 La FIG. 4 muestra un diagrama de bloques de un LNA y múltiples pares de mezcladores.

La FIG. 5 muestra un diagrama esquemático de un diseño del LNA.

40 La FIG. 6 muestra otro diagrama de bloques del LNA y múltiples pares de mezcladores.

La FIG. 7 muestra un diagrama esquemático de otro diseño del LNA.

Las FIGS. 8A y 8B muestran diagramas esquemáticos de dos diseños de un mezclador.

45 La FIG. 9 muestra un proceso para hacer funcionar un receptor.

#### DESCRIPCIÓN DETALLADA

50 [12] El receptor descrito en el presente documento puede usarse para diversos sistemas de comunicación tales como sistemas de Acceso Múltiple por División de Código (CDMA), sistemas de Acceso Múltiple por División de Tiempo (TDMA), sistemas de Acceso Múltiple por División de Frecuencia (FDMA), sistemas FDMA Ortogonales (OFDMA), sistemas FDMA de un Solo Portador (SC-FDMA), redes inalámbricas de área local (WLAN), sistemas de difusión, sistemas de posicionamiento por satélite, etc. Para mayor claridad, ciertos aspectos del receptor se describen a continuación para un sistema CDMA.

55 [13] La FIG. 1 muestra un diagrama de bloques de un diseño de un dispositivo inalámbrico 100 que incluye un receptor 120 y un transmisor 122. En general, el dispositivo inalámbrico 100 puede incluir cualquier cantidad de transmisores y cualquier cantidad de receptores para cualquier cantidad de sistemas de comunicación y para cualquier cantidad de bandas de frecuencia.

60 [14] Se puede implementar un transmisor o un receptor con una arquitectura superheterodina o con una arquitectura de conversión directa. En la arquitectura superheterodina, una señal se convierte de frecuencia entre RF y banda base en múltiples etapas, por ejemplo, desde RF en una frecuencia intermedia (IF) en una etapa y luego desde IF en banda base en otra etapa para un receptor. En la arquitectura de conversión directa, que también se conoce como arquitectura zero-IF, una señal se convierte de frecuencia entre RF y banda base en una etapa. Las arquitecturas superheterodinias y de banda directa pueden usar diferentes bloques de circuitos y/o tener diferentes

requisitos. En el diseño mostrado en la FIG. 1, el receptor 120 está implementado con la arquitectura de conversión directa.

[15] En la ruta de recepción, una antena 110 recibe señales de enlace descendente desde estaciones base, satélites y/u otras estaciones transmisoras y proporciona una señal RF recibida a un duplexor 112. En el diseño mostrado en la FIG. 1, el duplexor 112 convierte la señal RF de un solo extremo recibida en diferencial y proporciona una señal de entrada de LNA diferencial a un LNA 130. El LNA 130 amplifica la señal de entrada de LNA diferencial y proporciona una señal de salida de LNA diferencial a un convertidor reductor I 140 y a un convertidor reductor Q 150. El convertidor reductor 140 reduce en frecuencia la señal de salida de LNA diferencial con una señal diferencial I LO de un generador LO 160 y proporciona una señal reducida en frecuencia I diferencial. Un filtro de paso bajo 142 filtra la señal reducida en frecuencia I diferencial y proporciona una señal de banda de base I diferencial (I<sub>bb</sub>) a un procesador de datos 170. De manera similar, el convertidor reductor 150 reduce en frecuencia la señal de salida de LNA diferencial con una señal Q LO diferencial del generador LO 160 y proporciona una señal reducida en frecuencia Q diferencial. Un filtro de paso bajo 152 filtra la señal reducida en frecuencia Q diferencial y proporciona una señal de banda de base Q diferencial (Q<sub>bb</sub>) al procesador de datos 170.

[16] El generador LO 160 genera la señal I LO para el convertidor reductor 140 y la señal Q LO para el convertidor reductor 150. El generador LO 160 puede incluir uno o más osciladores controlados por voltaje (VCO), bucles de fase bloqueada (PLL), osciladores de referencia, divisores, memorias intermedias, etc.

[17] La FIG. 1 muestra un ejemplo de diseño de receptor. En general, el acondicionamiento de las señales en un receptor puede realizarse mediante uno o más amplificadores, filtros, convertidores reductores, etc. Estos bloques de circuitos pueden funcionar en señales de un solo extremo o en señales diferenciales. Estos bloques de circuitos también pueden estar dispuestos de forma diferente a la configuración mostrada en la FIG. 1. Además, otros bloques de circuitos no mostrados en la FIG. 1 se pueden usar para condicionar las señales en el receptor. Todo o parte del receptor puede implementarse en uno o más circuitos integrados de RF (RFIC), IC analógicos, IC de señal mixta, etc. Por ejemplo, el LNA 130 y los convertidores reductores 140 y 150 pueden implementarse en un RFIC.

[18] En la ruta de transmisión, el procesador de datos 170 procesa los datos que se vayan a transmitir y proporciona señales analógicas I y Q al transmisor 122. Los transmisores 122 procesan (por ejemplo, amplifican, filtran y reducen en frecuencia) las señales analógicas I y Q para generar una señal de transmisión de RF. La señal de transmisión de RF se enruta a través del duplexor 112 y se transmite a través de la antena 110.

[19] El procesador de datos 170 puede incluir diversas unidades de procesamiento para la transmisión y recepción de datos así como otras funciones. Por ejemplo, el procesador de datos 170 puede incluir un convertidor analógico-digital (ADC), un convertidor digital-analógico (DAC), un procesador de señales digitales (DSP), un procesador informático de juego de instrucciones reducido (RISC), una unidad de procesamiento central (CPU), etc. Un controlador/procesador 180 puede controlar el funcionamiento en el dispositivo inalámbrico 100. La memoria 182 puede almacenar códigos de programa y datos para el dispositivo inalámbrico 100. El procesador de datos 170, el controlador/procesador 180 y/o la memoria 182 se pueden implementar en uno o más circuitos integrados específicos de la aplicación (ASIC) y/o en otros IC.

[20] La FIG. 2A muestra un espectro de la señal de entrada de LNA proporcionada al LNA 130. Como se muestra en la FIG. 2A, la señal de entrada de LNA puede incluir una señal 212 deseada en una frecuencia de recepción de  $f_{RX}$ , un bloqueador 214 a una frecuencia de  $f_I$  y una señal de fuga TX 216 a una frecuencia de transmisión de  $f_{TX}$ . Un bloqueador es una señal no deseada de gran amplitud que tiene una frecuencia cercana a una señal deseada. Un bloqueador puede provenir de otro sistema de comunicación que funcione en la misma área. La señal deseada y el bloqueador pueden incluirse en la señal RF recibida proporcionada por la antena 110. La señal de fuga de TX es una porción de la señal de transmisión de RF que se acopla o se fuga desde el transmisor 122 a través del duplexor 112 hasta el LNA 130. La cantidad de fuga de TX depende de la cantidad de aislamiento entre los puertos de transmisión y de recepción del duplexor 112. La señal de transmisión de RF puede ser mucho más grande que la señal recibida de RF. La señal de fuga de TX puede por tanto ser mucho más grande que la señal deseada incluso con un buen aislamiento entre los puertos de transmisión y de recepción del duplexor 112.

[21] La FIG. 2B muestra un espectro de la señal de salida de LNA proporcionada por el LNA 130. La no linealidad del LNA 130 puede provocar que la modulación en la señal de fuga de TX 216 se transfiera al bloqueador de banda estrecha 214, lo que da como resultado entonces un espectro ensanchado 218 alrededor del bloqueador. Este ensanchamiento espectral se denomina intermodulación o modulación cruzada. Como se muestra en la FIG. 2B, una porción 220 del espectro ensanchado 218 cae dentro de la banda de señal deseada. La porción 220 (que se muestra con sombreado) actúa como ruido adicional que degrada el rendimiento del dispositivo inalámbrico. Este ruido también degrada la sensibilidad del receptor de modo que la señal deseada más pequeña que pueda detectarse con fiabilidad por el receptor necesitaría tener una amplitud mayor.

[22] Se puede obtener un buen rendimiento del receptor manteniendo baja la distorsión de intermodulación (IM). Un receptor muy lineal puede lograr una distorsión IM baja al usar muchos inductores en chip. Sin embargo, los inductores en chip ocupan una gran área de silicio, lo que aumenta entonces el coste de la matriz. Por tanto, es

deseable minimizar el uso de inductores en chip. El LNA 130 puede usar transistores en lugar de inductores en chip como carga. Sin embargo, los transistores de carga pueden generar una distorsión IM excesiva, lo que puede dificultar el cumplimiento de los estrictos requisitos de linealidad de CDMA y otros sistemas de alto rendimiento.

5 **[23]** En un aspecto, la carga externa presentada al LNA 130 puede variarse en función de las condiciones de funcionamiento para lograr un buen rendimiento. El LNA 130 puede usar transistores PMOS como carga interna y puede funcionar con un bajo voltaje de alimentación (por ej., 1,3 voltios). Los transistores PMOS pueden preferirse a los inductores en chip debido un área de matriz más pequeña y pueden preferirse a los resistores debido al bajo margen de suministro. La distorsión debida a los transistores PMOS puede combatirse cambiando la carga externa con el fin de cumplir con los estrictos requisitos de linealidad.

**[24]** La distorsión puede estar relacionada con la carga del LNA 130 así como con la etapa de entrada del LNA 130. La distorsión generada por la carga del LNA puede deberse, por ejemplo, a transistores PMOS, y la corriente de salida del LNA 130 puede expresarse como una función del voltaje de salida, de la siguiente manera:

$$i_{out} = g_1 \cdot V_{out} + g_2 \cdot V_{out}^2 + g_3 \cdot V_{out}^3 + \dots , \quad \text{Ec (1)}$$

donde  $V_{out}$  es un voltaje de salida proporcionado por el LNA 130,  
 $i_{out}$  es una corriente de salida proporcionada por el LNA 130, y  
 $g_1$ ,  $g_2$  y  $g_3$  son coeficientes que definen la linealidad del LNA 130.

La ecuación (1) puede reescribirse en función del voltaje de entrada  $V_{in}$  para el LNA 130 usando coeficientes diferentes de  $g_1$ ,  $g_2$  y  $g_3$ .

**[25]** El voltaje de salida LNA puede expresarse como:

$$V_{out} = V_{deseado} \cdot \cos(\omega_{deseada}t) + V_{TX} \cdot (\cos(\omega_{TX1}t) + \cos(\omega_{TX2}t)) + V_J \cdot \cos(\omega_Jt) , \quad \text{Ec (2)}$$

donde  $V_{deseado}$  es un voltaje de señal deseado a la frecuencia  $\omega_{deseada}$  (en radianes/segundo),  
 $V_{TX}$  es una tensión de señal de fuga de TX a las frecuencias  $\omega_{TX1}$  y  $\omega_{TX2}$  y  
 $V_J$  es un voltaje de bloqueador a la frecuencia  $\omega_J$ .

Las componentes de fuga de TX en  $\omega_{TX1}$  y  $\omega_{TX2}$  pueden representar una fuga de TX modulada.

**[26]** La corriente de salida LNA incluye una corriente deseada así como también corrientes de intermodulación o de distorsión por modulación cruzada (CMD) a la frecuencia  $\omega_{TX1} - \omega_{TX2} + \omega_J$ . La distorsión de modulación cruzada (CMD) es de interés principal ya que incluye el espectro ensanchado 218 en la FIG. 2B cuando se considera la fuga de TX modulada. La corriente para CMD, que también se denomina corriente de triple latido, se puede expresar como:

$$i_{CMD} = \frac{3}{2} g_3 \cdot V_{TX}^2 \cdot V_J = \frac{3}{2} g_3 \cdot (i_{TX} \cdot Z_{mezclador})^2 \cdot (i_J \cdot Z_{mezclador}) = \frac{3}{2} g_3 \cdot \alpha^2 \cdot i_J^3 \cdot Z_{mezclador}^3 , \quad \text{Ec (3)}$$

donde  $i_{TX}$  es la corriente de señal de fuga TX,  $i_J$  es la corriente de bloqueador,  $i_{CMD}$  es la corriente CMD,  $\alpha = i_{TX} / i_J$  es una relación fija especificada por un estándar de comunicación inalámbrica para el LNA 130, y el  $Z_{mezclador}$  es la carga externa observada por la salida del LNA 130.

**[27]** En el diseño mostrado en la FIG. 1, la carga externa del LNA 130 es igual a la impedancia de entrada de los convertidores reductores 140 y 150. Por tanto, los términos "carga externa" e "impedancia de entrada de mezclador" se usan indistintamente en el presente documento.

**[28]** La ecuación (3) asume que la carga externa domina la carga interna del LNA 130. Este es a menudo el caso de una configuración en cascada. Por ejemplo, la impedancia de entrada de mezclador puede ser inferior a 100 ohmios, mientras que la carga interna del LNA puede ser de 1 kilohmio o más.

**[29]** Como se muestra en la ecuación (3), la cantidad de corriente CMD depende de la cantidad de corriente de bloqueador así como del mezclador de impedancia de entrada de mezclador  $Z_{mezclador}$ . Además, la corriente CMD es proporcional al  $Z_{mezclador}$  elevado a una potencia de tres. Por tanto, si el  $Z_{mezclador}$  se reduce por un factor de dos, entonces la corriente CMD se reduce por un factor de ocho. La cantidad de corriente CMD puede por tanto controlarse variando el  $Z_{mezclador}$ .

**[30]** La FIG. 3 muestra un gráfico 310 de la corriente de señal deseada  $i_{deseada}$  y un gráfico 312 de la corriente CMD  $i_{CMD}$  frente a la impedancia de entrada de mezclador  $Z_{mezclador}$ . El eje vertical muestra la corriente en escala

logarítmica, y el eje horizontal muestra el  $Z_{mezclador}$  en escala lineal. La corriente de señal deseada tiene una pendiente de 1:1 y disminuye 6 dB cuando el  $Z_{mezclador}$  se reduce en un factor de dos. La corriente CMD tiene una pendiente de 3:1 y disminuye 18 dB cuando el  $Z_{mezclador}$  se reduce en un factor de dos. La corriente CMD cae por tanto a una velocidad mucho más rápida que la corriente de señal deseada cuando se reduce el  $Z_{mezclador}$ .

5 **[31]** La FIG. 4 muestra un diagrama de bloques de un diseño de convertidores reductores 140a y 150a y del generador LO 160. Los convertidores reductores 140a y 150a tienen una impedancia de entrada variable y son un diseño de convertidores reductores 140 y 150, respectivamente, en la FIG. 1.

10 **[32]** En el diseño mostrado en la FIG. 4, el convertidor reductor 140a incluye un primer mezclador 440 acoplado en paralelo con un segundo mezclador I 442. El convertidor reductor 150a incluye un primer mezclador Q 450 acoplado en paralelo con un segundo mezclador Q 452. El generador LO 160 incluye un generador de señal LO 458 y cuatro memorias intermedias 460, 462, 470 y 472. El generador 458 genera la señal I LO y la señal Q LO. Las memorias intermedias 460 y 462 reciben y almacenan la señal I LO y proporcionan las primera y segunda señales I LO a los mezcladores 440 y 442, respectivamente. Las memorias intermedias 470 y 472 reciben y almacenan la señal Q LO y proporcionan las primera y segunda señales Q LO a los mezcladores 450 y 452, respectivamente.

15 **[33]** Cuando está activado, el mezclador 440 reduce en frecuencia la señal de salida de LNA con la primera señal I LO de la memoria intermedia 460 y proporciona una primera señal reducida en frecuencia I. Cuando está activado, el mezclador 442 reduce en frecuencia la señal de salida de LNA con la segunda señal I LO de la memoria intermedia 462 y proporciona una segunda señal reducida en frecuencia I. Las primera y segunda señales reducidas en frecuencia I se suman y proporcionan al filtro 142. Cuando está activado, el mezclador 450 reduce en frecuencia la señal de salida de LNA con la primera señal Q LO de la memoria intermedia 470 y proporciona una primera señal reducida en frecuencia Q. Cuando está activado, el mezclador 452 reduce en frecuencia la señal de salida del LNA con la segunda señal Q LO de la memoria intermedia 472 y proporciona una segunda señal reducida en frecuencia Q. Las primera y segunda señales reducidas en frecuencia Q se suman y se proporcionan al filtro 152. Los mezcladores 440 y 442 pueden activarse o desactivarse controlando sus corrientes de polarización Bias\_I1 y Bias\_I2, respectivamente. Los mezcladores 450 y 452 pueden activarse o desactivarse controlando sus corrientes de polarización Bias\_Q1 y Bias\_Q2, respectivamente.

20 **[34]** En un diseño, los mezcladores 440 y 442 se implementan con transistores del mismo tamaño. En otro diseño, los mezcladores 440 y 442 se implementan con transistores de diferentes tamaños. Por ejemplo, el mezclador 440 puede implementarse con transistores más pequeños, y el mezclador 442 puede implementarse con transistores más grandes. En un diseño, los mezcladores 440 y 442 están polarizados con la misma cantidad de corriente y/o con el mismo voltaje de polarización cuando están activados. En otro diseño, los mezcladores 440 y 442 están polarizados con diferentes cantidades de corriente y/o con diferentes voltajes de polarización cuando están activados. Por ejemplo, el mezclador 440 puede estar polarizado con menos corriente o menor voltaje de polarización cuando está activado, y el mezclador 442 puede estar polarizado con más corriente o mayor voltaje de polarización cuando está activado. En un diseño, los mezcladores 440 y 442 se accionan con señales LO de nivel de señal similar. En otro diseño, los mezcladores 440 y 442 se accionan con señales LO de diferentes niveles de señal. Por ejemplo, el mezclador 440 puede accionarse con una señal LO más pequeña, y el mezclador 442 puede accionarse con una señal LO más grande. De manera similar, los mezcladores 450 y 452 pueden implementarse con transistores del mismo o diferentes tamaños, polarizados con la misma o diferentes cantidades de corriente y con el mismo o diferentes voltajes de polarización cuando estén activados y accionados con señales LO de niveles de señal similares o diferentes. Las memorias intermedias LO 460, 462, 470 y 472 pueden escalarse de acuerdo con los tamaños de transistor de los mezcladores 440, 442, 450 y 452, respectivamente.

25 **[35]** La impedancia de entrada de mezclador  $Z_{mezclador}$  puede hacerse variar de varias maneras. En un modo de realización,  $Z_{mezclador}$  se varía seleccionando el mezclador 440 o el mezclador 442, o ambos mezcladores 440 y 442 para la ruta I. Se obtiene un  $Z_{mezclador}$  inferior activando más mezcladores, seleccionando uno o más mezcladores con transistores más grandes, etc. En otro modo de realización,  $Z_{mezclador}$  se varía ajustando la condición de polarización del/de los mezclador(es) seleccionado(s). Se puede obtener un  $Z_{mezclador}$  más bajo con un voltaje de polarización más alto. En otro modo de realización más, el  $Z_{mezclador}$  se varía ajustando el nivel de señal de la señal LO. Esto se logra cambiando las memorias intermedias LO 460 y 462 (por ejemplo, activando más etapas en las memorias intermedias 460 y 462), cambiando el voltaje de alimentación VDD para las memorias intermedias 460 y 462, etc. Se puede obtener un  $Z_{mezclador}$  más bajo con un nivel de señal LO más grande.

30 **[36]** En un modo de realización, se admite un modo de alta linealidad y un modo de baja linealidad. El modo de alta linealidad se selecciona cuando se detecta un bloqueador grande y/o una alta fuga de TX. Los convertidores reductores 140 y 150 se hacen funcionar como se muestra en la Tabla 1 para obtener un  $Z_{mezclador}$  bajo para el LNA 130 en el modo de alta linealidad. Esto reduce la oscilación de la señal en la salida del LNA de modo que se reduce la distorsión de la carga del transistor PMOS. El modo de baja linealidad se selecciona cuando no se detecta un bloqueador grande y/o una alta fuga de TX. Los convertidores reductores 140 y 150 se hacen funcionar como se muestra en la Tabla 1 para obtener un  $Z_{mezclador}$  más alto para el LNA 130 en el modo de baja linealidad. Esto reduce la capacitancia parásita presentada por el LNA 130, lo que puede mejorar la figura de ruido general del receptor.

Tabla 1

Modo	Descripción
Modo de alta linealidad	<ul style="list-style-type: none"> <li>• Active ambos mezcladores o el mezclador con transistores más grandes,</li> <li>• use un voltaje de polarización mayor para el(los) mezclador(es) activado(s) y/o</li> <li>• use un nivel de señal LO más grande.</li> </ul>
Modo de baja linealidad	<ul style="list-style-type: none"> <li>• Active un mezclador con transistores más pequeños,</li> <li>• use un voltaje de polarización más pequeño para el mezclador activado, y/o</li> </ul>
	<ul style="list-style-type: none"> <li>• use un nivel de señal LO más pequeño.</li> </ul>

5 [37] En otro aspecto, la carga interna de LNA 130 puede variarse en base a las condiciones de funcionamiento con el fin de lograr un buen rendimiento. La carga interna del LNA 130 puede dividirse en múltiples secciones, que pueden activarse selectivamente en base a si se detectan grandes bloqueadores y/o altas fugas de TX.

10 [38] La FIG. 5 muestra un diagrama esquemático de un LNA 130a, que es un diseño del LNA 130 en las FIGS. 1 y 4. El LNA 130a incluye una etapa de entrada 510 que proporciona una amplificación de señal y una etapa de salida 520 que proporciona una carga activa para la etapa de entrada 510. Dentro de la etapa de entrada 510, un transistor NMOS 512a tiene su fuente acoplada a un extremo de un inductor 514a, recibiendo su puerta una señal de entrada de LNA,  $V_{inp}$ , y su drenaje acoplado al nodo Ap. Un transistor NMOS 512b tiene su fuente acoplada a un extremo de un inductor 514b, recibiendo su puerta una señal de entrada de LNA complementaria,  $V_{inn}$ , y su drenaje acoplado al nodo An. Los otros extremos de los inductores 514a y 514b están acoplados a tierra del circuito. Los transistores NMOS 512a y 512b proporcionan una amplificación de señal para la señal de entrada de LNA diferencial,  $V_{inp}$  y  $V_{inn}$ . El voltaje de polarización, la corriente de polarización y el tamaño de los transistores NMOS 512a y 512b se pueden seleccionar para obtener la ganancia y la linealidad deseadas para la etapa de entrada 510. Los inductores 514a y 514b proporcionan la degeneración de la fuente para los transistores NMOS 512a y 512b y también pueden proporcionar una adaptación de impedancia que mire dentro de las puertas de los transistores NMOS 512a y 512b.

25 [39] La etapa de salida 520 incluye una primera sección de carga 524 y una segunda sección de carga 526. Dentro de la etapa de salida 520, los transistores NMOS 532a y 534a están acoplados en paralelo y tienen sus fuentes acopladas al nodo Ap, recibiendo sus puertas voltajes de polarización  $V_{biasn1}$  y  $V_{biasn2}$ , respectivamente, y sus drenajes acoplados al nodo Bp. Los transistores PMOS 542a y 544a también se conectan en paralelo y tienen sus fuentes acopladas a la tensión de alimentación  $V_{DD}$ , recibiendo sus puertas voltajes de polarización  $V_{biasp1}$  y  $V_{biasp2}$ , respectivamente, y sus drenajes acoplados al nodo Bp. Los transistores NMOS 532b y 534b están acoplados en paralelo y tienen sus fuentes acopladas al nodo An, recibiendo sus puertas los voltajes de polarización  $V_{bias1}$  y  $V_{bias2}$ , respectivamente, y sus drenajes acoplados al nodo Bn. Los transistores PMOS 542b y 544b también están acoplados en paralelo y tienen sus fuentes acopladas al voltaje de alimentación  $V_{DD}$ , recibiendo sus puertas los voltajes de polarización  $V_{biasp1}$  y  $V_{biasp2}$ , respectivamente, y sus drenajes acoplados al nodo Bn. Los transistores NMOS 532a, 532b, 534a y 534b proporcionan un aislamiento de carga para los transistores NMOS 512a y 512b. Los transistores PMOS 542a, 542b, 544a y 544b proporcionan la carga activa para la etapa de entrada 510. Los voltajes de polarización  $V_{bias1}$  y  $V_{bias2}$  pueden seleccionarse para polarizar los transistores NMOS 532a, 534a, 532b y 534b en un punto de funcionamiento deseado. Los voltajes de polarización  $V_{biasp1}$  y  $V_{biasp2}$  pueden seleccionarse para polarizar los transistores PMOS 542a, 544a, 542b y 544b en un punto de funcionamiento deseado.

40 [40] El LNA 130a genera una señal diferencial de salida LNA,  $V_{outp}$  y  $V_{outn}$ . Los drenajes de los transistores MOS 532a, 534a, 542a y 544a proporcionan la señal  $V_{outp}$ . Los drenajes de los transistores MOS 532b, 534b, 542b y 544b proporcionan la señal  $V_{outn}$ .

45 [41] En el diseño mostrado en la FIG. 5, los transistores MOS 532a, 532b, 542a y 542b tienen un tamaño de 1, y los transistores MOS 534a, 534b, 544a y 544b tienen un tamaño de K. En otro diseño que no se muestra en la FIG. 5, todos los transistores MOS tienen el mismo tamaño.

50 [42] La primera sección de carga 524 de la etapa de salida 520 incluye transistores MOS 532a, 532b, 542a y 542b. La segunda sección de carga 526 de la etapa de salida 520 incluye transistores MOS 534a, 534b, 544a y 544b. La primera sección de carga 524 puede activarse proporcionando los voltajes de polarización  $V_{bias1}$  y  $V_{biasp1}$  apropiados para los transistores MOS 532a, 532b, 542a y 542b. La segunda sección de carga 526 puede activarse

proporcionando los voltajes de polarización  $V_{biasn2}$  y  $V_{biasp2}$  apropiados para los transistores MOS 534a, 534b, 544a y 544b.

**[43]** En el modo de alta linealidad, la segunda sección de carga 526 con transistores MOS más grandes o tanto la primera sección de carga 524 como la segunda sección de carga 526 pueden activarse para lograr una distorsión baja. En el modo de baja linealidad, solo la primera sección de carga 524 con transistores MOS más pequeños puede activarse para lograr una cifra de bajo ruido.

**[44]** La FIG. 5 muestra un diseño de ejemplo de LNA 130. Un LNA también puede implementarse con otros diseños.

**[45]** En otro aspecto más, tanto las cargas internas como externas del LNA 130 pueden variarse en base a las condiciones de funcionamiento con el fin de lograr un buen rendimiento. Esto se puede lograr dividiendo la carga interna en varias secciones y dividiendo también la carga externa en varias secciones. Las múltiples secciones de las cargas internas y externas pueden activarse selectivamente en base a si se detectan grandes bloqueadores y/o altas fugas de TX.

**[46]** La FIG. 6 muestra un diagrama de bloques de un diseño de LNA 130b y de convertidores reductores 140b y 150b con impedancia de entrada variable. El LNA 130b es otro diseño del LNA 130 en la FIG. 1. Los convertidores reductores 140b y 150b son otro diseño de convertidores reductores 140 y 150, respectivamente, en la FIG. 1.

**[47]** En el diseño mostrado en la FIG. 6, el LNA 130b recibe la señal de entrada de LNA y proporciona las primera y segunda señales de salida LNA. El convertidor reductor 140b incluye un primer mezclador I 640 acoplado en paralelo con un segundo mezclador I 642. El convertidor reductor 150b incluye un primer mezclador Q 650 acoplado en paralelo con un segundo mezclador Q 652. Cuando está activado, el mezclador 640 reduce en frecuencia la primera señal de salida de LNA con la primera señal I LO de la memoria intermedia 460 y proporciona una primera señal reducida en frecuencia I. Cuando está activado, el mezclador 642 reduce en frecuencia la segunda señal de salida de LNA con la segunda señal I LO de la memoria intermedia 462 y proporciona una segunda señal reducida en frecuencia I. Las primera y segunda señales reducidas en frecuencia I se suman y proporcionan al filtro 142. Cuando está activado, el mezclador 650 reduce en frecuencia la primera señal de salida de LNA con la primera señal Q LO de la memoria intermedia 470 y proporciona una primera señal reducida en frecuencia Q. Cuando está activado, el mezclador 652 reduce en frecuencia la segunda señal de salida de LNA con la segunda señal Q LO de la memoria intermedia 472 y proporciona una segunda señal reducida en frecuencia Q. Las primera y segunda señales reducidas en frecuencia Q se suman y se proporcionan al filtro 152.

**[48]** La FIG. 7 muestra un diagrama esquemático de un diseño de LNA 130b en la FIG. 6. El LNA 130b incluye todos los componentes del circuito en el LNA 130a en la FIG. 5 con las siguientes diferencias. Una etapa de salida 522 incluye la primera sección de carga 524 y la segunda sección de carga 526. Dentro de la primera sección de carga 524, los drenajes de los transistores MOS 532a y 542a están acoplados al nodo Bp y proporcionan una señal  $V_{outp1}$ . Los drenajes de los transistores MOS 532b y 542b están acoplados al nodo Bn y proporcionan una señal  $V_{outn1}$ . Dentro de la segunda sección de carga 526, los drenajes de los transistores MOS 534a y 544a están acoplados al nodo Cp y proporcionan una señal  $V_{outp2}$ . Los drenajes de los transistores MOS 534b y 544b están acoplados al nodo Cn y proporcionan una señal  $V_{outn2}$ . La primera señal de salida de LNA se compone de  $V_{outp1}$  y  $V_{outn1}$ . La segunda señal de salida de LNA se compone de  $V_{outp2}$  y  $V_{outn2}$ .

**[49]** En los diseños mostrados en las FIG. 6 y 7, cada sección de carga dentro de la etapa de salida genera una señal de salida de LNA, que acciona un par de mezcladores. En particular, la primera señal de salida de LNA,  $V_{outp1}$  y  $V_{outn1}$ , desde la primera sección de carga 524, acciona el primer par de mezcladores 640 y 650. La segunda señal de salida de LNA,  $V_{outp2}$  y  $V_{outn2}$ , de la segunda sección de carga 526 acciona el segundo par de mezcladores 642 y 652.

**[50]** En un diseño, las primera y segunda secciones de carga del LNA 130b y los primer y segundo pares de mezcladores se activan en el modo de alta linealidad. En otro diseño, solo la segunda sección de carga del LNA 130b con transistores MOS más grandes y solo el segundo par de mezcladores 642 y 652 con transistores MOS más grandes se activan en el modo de alta linealidad. Para ambos diseños, se puede proporcionar una menor impedancia de carga para el LNA 130b, que puede reducir entonces la oscilación de la señal en la salida del LNA y reducir la distorsión de los transistores PMOS.

**[51]** En un diseño, solo la primera sección de carga del LNA 130b con transistores MOS más pequeños y solo el primer par de mezcladores 640 y 650 con transistores MOS más pequeños se activan en el modo de baja linealidad. Los mezcladores activados observan una mayor impedancia de entrada y menor capacitancia parásita presentada por el LNA 130b, lo que puede mejorar la cifra de ruido general. Además, como parte de la carga interna del LNA 130b está desactivada, el ruido aportado por el LNA se reduce.

**[52]** La simulación por ordenador muestra una mejora en la cifra de ruido al desactivar los transistores PMOS para parte de la etapa de salida con la misma ganancia del LNA. La desactivación de parte de la etapa de salida



puede ser factible en el modo de baja linealidad porque se usa una corriente de polarización más baja y los transistores PMOS que están activados pueden funcionar con un voltaje de saturación  $V_{dsat}$  adecuado incluso con un voltaje de alimentación bajo.

5 **[53]** En el modo de baja linealidad, la capacitancia parásita del LNA 130b es menor porque solo se activa una sección de carga de la etapa de salida. Por consiguiente, los condensadores de acoplamiento de CA entre el LNA 130b y los mezcladores 640 y 650 pueden escalarse. Además, puesto que solo se activa un par de mezcladores 640 y 650, la capacitancia de entrada total  $C_{par}$  en la entrada del mezclador puede reducirse. Esta capacitancia de entrada de mezclador inferior puede mejorar la figura general de ruido del receptor.

10 **[54]** La FIG. 8A muestra un diagrama esquemático de un diseño de un mezclador 800, que puede usarse para cada uno de los mezcladores 440, 442, 450 y 452 en la FIG. 4 y para cada uno de los mezcladores 640, 642, 650 y 652 en la FIG. 6.

15 **[55]** Dentro del mezclador 800, los transistores NMOS 812 y 814 forman un primer par diferencial y tienen sus fuentes acopladas entre sí, recibiendo sus puertas señales  $V_{LOp}$  y  $V_{LOn}$  LO a través de los condensadores 816 y 836, respectivamente, y proporcionando sus drenajes una señal de salida de mezclador diferencial,  $I_{mezcladorp}$  y  $I_{mezcladorn}$ . Los transistores NMOS 832 y 834 forman un segundo par diferencial y tienen sus fuentes acopladas entre sí, recibiendo sus puertas las señales  $V_{LOn}$  y  $V_{LOp}$  LO a través de los condensadores 836 y 816, respectivamente, y proporcionando sus drenajes las señales  $I_{mezcladorp}$  y  $I_{mezcladorn}$ , respectivamente. Un condensador 810 tiene un extremo que recibe una señal  $I_{outp}$  del LNA 130 y el otro extremo acoplado a las fuentes de los transistores NMOS 812 y 814. Un condensador 830 tiene un extremo que recibe una señal  $I_{outn}$  del LNA 130 y el otro extremo acoplado a las fuentes de los transistores NMOS 832 y 834. Las señales  $I_{outp}$  y  $I_{outn}$  pueden corresponder a las señales  $V_{outp}$  y  $V_{outn}$  en la FIG. 4, a las señales  $V_{outp1}$  y  $V_{outn1}$  en la FIG. 6 o a las señales  $V_{outp2}$  y  $V_{outn2}$  en la FIG. 6.

20 **[56]** El condensador 816 tiene un extremo que recibe la señal  $V_{LOp}$  LO y el otro extremo acoplado a las puertas de los transistores NMOS 812 y 834. El condensador 836 tiene un extremo que recibe la señal  $V_{LOn}$  LO y el otro extremo acoplado a las puertas de los transistores NMOS 814 y 832. Las señales  $V_{LOp}$  y  $V_{LOn}$  LO pueden corresponder a una señal LO diferencial de la memoria intermedia 460, 462, 470 o 472 en la FIG. 4 o de la memoria intermedia 660, 662, 670 o 672 en la FIG. 6.

25 **[57]** Los resistores 818 y 838 tienen un extremo acoplado a un voltaje de polarización  $V_{b1}$  y el otro extremo acoplado a las puertas de los transistores NMOS 812 y 814, respectivamente. Los resistores 822 y 824 tienen un extremo acoplado a un voltaje de polarización  $V_{b2}$  y el otro extremo acoplado a los drenajes de los transistores NMOS 812 y 814, respectivamente. Los resistores 842 y 844 tienen un extremo acoplado al voltaje de polarización  $V_{b2}$  y el otro extremo acoplado a los drenajes de los transistores NMOS 832 y 834, respectivamente.

30 **[58]** La FIG. 8B muestra un diagrama esquemático de un diseño de un mezclador 802, que también se puede usar para cada uno de los mezcladores 440, 442, 450 y 452 en la FIG. 4 y para cada uno de los mezcladores 640, 642, 650 y 652 en la FIG. 6. El mezclador 802 incluye todos los elementos de circuito en el mezclador 800 en la FIG. 8A. El mezclador 802 incluye además una memoria intermedia de entrada de corriente para cada una de las señales  $I_{outp}$  y  $I_{outn}$ . La memoria intermedia de corriente de entrada para la señal  $I_{outp}$  incluye una etapa de entrada compuesta de un transistor NMOS 852 acoplado en serie con una carga PMOS compuesta de un transistor PMOS 854. La memoria intermedia de entrada de corriente para la señal  $I_{outn}$  incluye una etapa de entrada compuesta de un transistor NMOS 862 acoplado en serie con una carga PMOS compuesta de un transistor PMOS 864. También se puede implementar una memoria intermedia de corriente de entrada con una etapa de entrada PMOS y una carga NMOS. Se puede usar un voltaje de polarización  $V_{b3}$  para ajustar la corriente de polarización y la impedancia de entrada de los transistores NMOS 852 y 862. Se puede usar un voltaje de polarización  $V_{b4}$  para ajustar la tensión de polarización para los transistores PMOS 854 y 864.

35 **[59]** Las FIGS. 8A y 8B muestran dos diseños de ejemplo de los mezcladores 800 y 802, respectivamente. Un mezclador también puede implementarse con otros diseños.

40 **[60]** Como se muestra en las FIGS. 1, 4 y 6, los filtros de paso bajo 142 y 152 pueden filtrar las señales reducidas en frecuencia I y Q desde los convertidores reductores 140 y 150, respectivamente. En un diseño, cada filtro de paso bajo incluye un filtro de paso bajo de transmisión seguido de un filtro de banda de base. El filtro de paso bajo de transmisión puede hacer pasar la señal deseada y atenuar la señal de fuga de TX. El ancho de banda del filtro de paso bajo de transmisión puede ser mucho más ancho que el ancho de banda de señal deseado para evitar afectar la respuesta de banda de paso. El filtro de banda base puede coincidir con el ancho de banda de la señal deseada.

45 **[61]** En los diseños descritos anteriormente, la carga interna del LNA se divide en dos secciones de carga, y dos pares de mezcladores I-Q se utilizan para un convertidor reductor en cuadratura. En general, la carga interna del LNA se puede dividir en cualquier cantidad de secciones de carga. Estas secciones de carga múltiple pueden implementarse con los mismos o diferentes tamaños de transistores, polarizados con las mismas o diferentes cantidades de corriente y polarizados con los mismos o diferentes voltajes de polarización. El convertidor reductor en

cuadratura también se puede implementar con cualquier cantidad de pares de mezcladores I-Q. Estos múltiples pares de mezcladores I-Q pueden implementarse con el mismo o diferentes tamaños de transistores, polarizados con la misma o diferentes cantidades de corriente, polarizados con el mismo o diferentes voltajes de polarización y accionados con señales LO del mismo o diferentes niveles de señal.

5  
**[62]** En general, puede soportarse cualquier cantidad de modos. Cada modo puede seleccionarse para ciertas condiciones de funcionamiento. Las condiciones de funcionamiento pueden cuantificarse por la intensidad del bloqueador, por la intensidad de la señal de fuga de TX y/o por otros parámetros. Cada modo también puede estar asociado con una o más secciones de carga y con uno o más pares de mezcladores I-Q. Se puede seleccionar un modo adecuado en base a las condiciones de funcionamiento detectadas. La una o más secciones de carga y el uno o más pares de mezcladores I-Q para el modo seleccionado se pueden activar y usar para lograr un buen rendimiento. Por tanto, la carga de LNA puede conmutarse de acuerdo con las condiciones de funcionamiento, por ejemplo, de acuerdo con la intensidad del bloqueador, con la intensidad de la señal de fuga de TX, etc.

15  
**[63]** El bloqueador puede detectarse de diversas maneras. En un diseño, la potencia de la señal reducida en frecuencia puede medirse antes del filtro de banda de base y también después del filtro de banda de base. La presencia y la intensidad del bloqueador se pueden determinar en base a la relación entre la potencia medida antes del filtro de banda base y la potencia medida después del filtro de banda base. También se puede detectar el bloqueador realizando una transformada de Fourier rápida (FFT) en la señal reducida en frecuencia antes del filtro de banda de base y examinando la respuesta espectral de la FFT para determinar la presencia y la intensidad del bloqueador. El bloqueador también puede detectarse de otras maneras.

20  
**[64]** La FIG. 9 muestra un diseño de un proceso 900 realizado para hacer funcionar un receptor. Se puede seleccionar un modo entre múltiples modos en base a las condiciones de funcionamiento detectadas (bloque 912). En un diseño, se puede seleccionar un modo de alta linealidad si se detecta un bloqueador grande y se puede seleccionar un modo de baja linealidad si no se detecta un bloqueador grande. Pueden soportarse también otros modos. Se puede seleccionar un modo adecuado en base al bloqueador, a la señal de fuga de TX y/o a otros parámetros.

30  
**[65]** Al menos un par de mezcladores entre múltiples pares de mezcladores está activado en base al modo seleccionado (bloque 914). Los restantes de los múltiples pares de mezcladores, si los hay, se desactivan en base al modo seleccionado (bloque 916). Se activa al menos una sección de carga entre múltiples secciones de carga de un LNA en base al modo seleccionado (bloque 918). Las restantes de las múltiples secciones de carga, si las hay, se desactivan en base al modo seleccionado (bloque 920). En un modo de realización, los múltiples pares de mezcladores incluyen unos primer y segundo pares de mezcladores y las múltiples secciones de carga incluyen unas primera y segunda secciones de carga. Ambos pares de mezcladores y ambas secciones de carga se activan si se selecciona el modo de alta linealidad. El primer par de mezcladores y la primera sección de carga se activan y el segundo par de mezcladores y la segunda sección de carga se desactivan si se selecciona el modo de baja linealidad. En general, puede estar disponible cualquier cantidad de pares de mezcladores y cualquier cantidad de secciones de carga, y se puede soportar cualquier cantidad de modos. Cada modo está asociado con al menos un par de mezcladores y con al menos una sección de carga para activar ese modo.

45  
**[66]** El LNA y los mezcladores descritos en el presente documento pueden proporcionar ciertas ventajas. En primer lugar, se puede lograr una alta linealidad sin usar inductores en chip como carga de LNA, lo que puede proporcionar un importante ahorro de costes, especialmente para un dispositivo inalámbrico que soporte múltiples sistemas y/o múltiples bandas de frecuencia. En segundo lugar, las técnicas pueden permitir la eliminación de un filtro de onda acústica superficial (SAW) entre el LNA y los mezcladores, lo que también puede proporcionar ahorro de costes y otros beneficios. Los filtros SAW se usan comúnmente entre el LNA y los mezcladores en dispositivos inalámbricos para el CDMA con el fin de atenuar la señal de fuga de TX. La linealidad mejorada con las técnicas descritas en el presente documento puede permitir que el LNA se acople directamente a los mezcladores, como se muestra en las FIGS. 1, 4 y 6. En tercer lugar, las técnicas pueden reducir la rerradiación de LO debido a la eliminación de los inductores en chip para la carga de LNA.

55  
**[67]** El LNA y los mezcladores descritos en el presente documento pueden implementarse en un IC, en un IC analógico, en un RFIC, en un IC de señal mixta, en un ASIC, en una placa de circuito impreso (PCB), en un dispositivo electrónico, etc. El LNA y los mezcladores también pueden fabricarse con diversas tecnologías de procesos de IC tales como semiconductor complementario de óxido metálico (CMOS), NMOS, PMOS, transistor de unión bipolar (BJT), CMOS bipolar (BiCMOS), silicio germanio (SiGe), arseniuro de galio (GaAs), etc.

60  
**[68]** Un aparato que implemente el LNA y los mezcladores descritos en el presente documento puede ser un dispositivo independiente o puede formar parte de un dispositivo más grande. Un dispositivo puede ser (i) un IC autónomo, (ii) un conjunto de uno o más IC que pueden incluir IC de memoria para almacenar datos y/o instrucciones, (iii) un RFIC tal como un receptor de RF (RFR) o un transmisor/receptor de RF (RTR), (iv) un ASIC tal como un módem de estación móvil (MSM), (v) un módulo que puede estar integrado dentro de otros dispositivos, (vi) un receptor, un teléfono móvil, un dispositivo inalámbrico, un equipo manual, o una unidad móvil, (vii) etc.

65

**[69]** En uno o más diseños a modo de ejemplo, las funciones descritas pueden implementarse en hardware, software, firmware o en cualquier combinación de los mismos. Si se implementan en software, las funciones, como una o más instrucciones o códigos, se pueden almacenar en o transmitir por un medio legible por ordenador. Los medios legibles por ordenador incluyen tanto medios de almacenamiento informáticos como medios de comunicación, incluyendo cualquier medio que facilite la transferencia de un programa informático de un lugar a otro. Un medio de almacenamiento puede ser cualquier medio disponible al que pueda accederse mediante un ordenador. A modo de ejemplo, y no de manera limitativa, dichos medios legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM u otros dispositivos de almacenamiento de disco óptico, almacenamiento de disco magnético u otros dispositivos de almacenamiento magnético, o cualquier otro medio que pueda usarse para transportar o almacenar el código de programa deseado en forma de instrucciones o estructuras de datos y al que pueda accederse mediante un ordenador. Además, cualquier conexión recibe apropiadamente la denominación de medio legible por ordenador. Por ejemplo, si el software se transmite desde una página web, un servidor u otra fuente remota, usando un cable coaxial, un cable de fibra óptica, un par trenzado, una línea de abonado digital (DSL) o tecnologías inalámbricas tales como infrarrojos, radio y microondas, entonces el cable coaxial, el cable de fibra óptica, el par trenzado, el DSL o las tecnologías inalámbricas, tales como infrarrojos, radio y microondas, se incluyen en la definición de medio. Los discos, tal como se usa en el presente documento, incluyen un disco compacto (CD), un disco láser, un disco óptico, un disco versátil digital (DVD), un disco flexible y un disco Blu-ray, donde algunos discos habitualmente reproducen los datos magnéticamente, mientras que otros discos reproducen los datos ópticamente con láseres. Las combinaciones de lo anterior deberían incluirse también dentro del alcance de los medios legibles por ordenador.

**[70]** La descripción previa de la divulgación se proporciona para permitir que cualquier experto en la técnica realice o use la divulgación. Diversas modificaciones para la divulgación resultarán inmediatamente evidentes para los expertos en la técnica, y los principios genéricos definidos en el presente documento pueden aplicarse a otras variantes sin apartarse del alcance de la divulgación. Por tanto, la divulgación no pretende limitarse a los ejemplos y diseños descritos en el presente documento, sino que se le ha de conceder el alcance más amplio compatible con los principios y las características novedosas divulgados en el presente documento.

**REIVINDICACIONES**

1. Un aparato que comprende:
- 5 un amplificador de bajo ruido (LNA) (130, 130a, 130b) configurado para recibir una señal de entrada de LNA y proporcionar al menos una señal de salida de LNA; y
- 10 múltiples pares de mezcladores (440, 442, 450, 452, 640, 642, 650, 652) acoplados al LNA, cada par de los múltiples pares de mezcladores tiene una impedancia de entrada de mezclador diferente, en el que cada par de mezcladores está configurado para reducir en frecuencia una de al menos una señal de salida de LNA cuando esté activada, estando cada par de mezcladores activados o desactivados selectivamente;
- 15 en el que los múltiples pares de mezcladores (440, 442, 450, 452, 640, 642, 650, 652) comprenden un primer par de mezcladores activados y desactivados por una corriente y/o voltaje de polarización en fase y por un segundo par de mezcladores activados y desactivados por una corriente y/o voltaje de polarización en fase de cuadratura;
- 20 en el que los múltiples pares de mezcladores (440, 442, 450, 452, 640, 642, 650, 652) están configurados para activarse y desactivarse selectivamente para:
- funcionar en un modo de alta linealidad y obtener una impedancia baja de mezclador para el LNA (130, 130a, 130b); o
- 25 funcionar en un modo de baja linealidad y obtener una alta impedancia del mezclador para el LNA (130, 130a, 130b).
2. El aparato de la reivindicación 1, en el que los múltiples pares de mezcladores comprenden unos primer y segundo pares de mezcladores implementados con transistores de diferentes tamaños; y/o
- 30 en el que los múltiples pares de mezcladores comprenden unos primer y segundo pares de mezcladores cargados con diferentes cantidades de corriente o diferentes voltajes de polarización; y/o
- 35 en el que los múltiples pares de mezcladores comprenden unos primer y segundo pares de mezcladores accionados con señales de oscilador local (LO) de diferentes niveles de señal; y/o
- en el que los múltiples pares de mezcladores tienen salidas acopladas entre sí y que proporcionan una señal reducida en frecuencia.
- 40 3. Aparato según la reivindicación 1, en el que cada par de mezcladores está activado o desactivado en base a un modo seleccionado del modo de alta linealidad y del modo de baja linealidad, estando asociado cada modo a un conjunto diferente de al menos un par de mezcladores, y en el que al menos un par de mezcladores asociados con el modo seleccionado está activado y todos los pares restantes de mezcladores, si los hay, están desactivados.
- 45 4. Aparato según la reivindicación 1, en el que los múltiples pares de mezcladores comprenden unos primer y segundo pares de mezcladores, en los que los primer y segundo pares de mezcladores se activan para el modo de alta linealidad, y en el que el primer par de mezcladores se activa y el segundo par de mezcladores se desactiva para el modo de baja linealidad.
- 50 5. El aparato según la reivindicación 1, en el que la al menos una señal de salida de LNA proporcionada por el LNA es una única señal de salida de LNA, y en el que cada par de mezcladores está configurado para reducir en frecuencia la señal de salida de LNA cuando esté activada; o
- 55 en el que la al menos una señal de salida de LNA proporcionada por el LNA son múltiples señales de salida LNA, una señal de salida de LNA para cada par de mezcladores, y en el que cada par de mezcladores está configurado para reducir en frecuencia una respectiva señal de salida de LNA cuando esté activada.
- 60 6. Aparato según la reivindicación 1, en el que los múltiples pares de mezcladores comprenden unos primer y segundo pares de mezcladores, en el que la al menos una señal de salida de LNA proporcionada por el LNA son unas primera y segunda señales de salida LNA, en el que el primer par de mezcladores está configurado para reducir en frecuencia la primera señal de salida de LNA cuando esté activada, y en la que el segundo par de mezcladores está configurado para reducir en frecuencia la segunda señal de salida de LNA cuando esté activada.
- 65

7. El aparato según la reivindicación 1, en el que la al menos una señal de salida de LNA proporcionada por un amplificador de bajo nivel de ruido (LNA) son señales de salida múltiples de LNA; y
- 5 cada par de mezcladores está configurado para reducir en frecuencia una diferente de las múltiples señales de salida LNA cuando esté activado.
8. Aparato según la reivindicación 7, en el que cada par de mezcladores está activado o desactivado en base a un modo seleccionado entre el modo de alta linealidad y el modo de baja linealidad; y preferentemente
- 10 en el que el LNA comprende múltiples secciones de carga configuradas para proporcionar las múltiples señales de salida LNA, estando cada sección de carga activada o desactivada en base al modo seleccionado.
9. Aparato según la reivindicación 7, en el que los múltiples pares de mezcladores comprenden unos primer y segundo pares de mezcladores, y en el que el LNA comprende unas primera y segunda secciones de carga configuradas para proporcionar las múltiples señales de salida LNA, donde las múltiples señales de salida LNA son unas primera y segunda señales de salida LNA para los primer y segundo pares de mezcladores, respectivamente; y preferentemente
- 15 en el que las primera y segunda secciones de carga y los primer y segundo pares de mezcladores se activan para el modo de alta linealidad, y en el que la primera sección de carga y el primer par de mezcladores se activan y la segunda sección de carga y el segundo par de mezcladores se desactivan para el modo de baja linealidad.
- 20 10. Un procedimiento (900) para hacer funcionar un receptor, que comprende:
- 25 seleccionar (912) un modo de entre múltiples modos de un amplificador de bajo ruido (LNA) (130, 130a, 130b) en base a las condiciones de funcionamiento detectadas;
- 30 activar (914) al menos un par de mezcladores (440, 442, 450, 452, 640, 642, 650, 652) entre múltiples pares de mezcladores en base al modo seleccionado, en el que cada par de los múltiples pares de mezcladores tiene una impedancia de entrada diferente del mezclador; y
- 35 desactivar (916) los restantes de los múltiples pares de mezcladores, si los hubiera, en base al modo seleccionado;
- en el que la selección (912) comprende seleccionar entre un modo de funcionamiento de alta linealidad y un modo de funcionamiento de baja linealidad;
- 40 en el que la activación (914) y la desactivación (916) comprenden activar y desactivar selectivamente los múltiples pares de mezcladores para obtener una impedancia baja de mezclador para el LNA (130, 130a, 130b) cuando se seleccione el modo de alta linealidad y una impedancia alta de mezclador para el LNA (130, 130a, 130b) cuando se seleccione el modo de baja linealidad.
- 45 11. El procedimiento de la reivindicación 10, en el que los múltiples pares de mezcladores comprenden unos primer y segundo pares de mezcladores, y en el que la activación de al menos un par de mezcladores y los restantes inhibidores de los múltiples pares de mezcladores comprenden
- 50 activar los primer y segundo pares de mezcladores si se selecciona el modo de alta linealidad, y activar el primer par de mezcladores y desactivar el segundo par de mezcladores si se selecciona el modo de baja linealidad.
12. El procedimiento según la reivindicación 10, que comprende además:
- 55 activar (918) al menos una sección de carga entre múltiples secciones de carga del amplificador de bajo ruido (LNA) en base al modo seleccionado; y
- desactivar (920) las restantes de las secciones de carga múltiple, si las hubiera, en base al modo seleccionado.
- 60 13. El procedimiento de la reivindicación 12, en el que las secciones de carga múltiple comprenden unas primera y segunda secciones de carga, y en las que la activación de al menos una sección de carga y las restantes de la desactivación de las secciones de carga múltiple comprenden
- 65 activar las primera y segunda secciones de carga si se selecciona el modo de alta linealidad, y activar la primera sección de carga y desactivar la segunda sección de carga si se selecciona el modo de baja linealidad.

14. El procedimiento según la reivindicación 10, en el que los múltiples pares de mezcladores comprenden un primer par de mezcladores activados y desactivados por una corriente y/o un voltaje de polarización en fase y un segundo par de mezcladores activados y desactivados por una corriente y/o un voltaje de polarización en cuadratura de fase.
- 5
15. Un producto de programa informático, que comprende:
- un medio legible por ordenador que comprende:
- 10 código para provocar que al menos un ordenador lleve a cabo las etapas de cualquiera de las reivindicaciones 10 a 14.

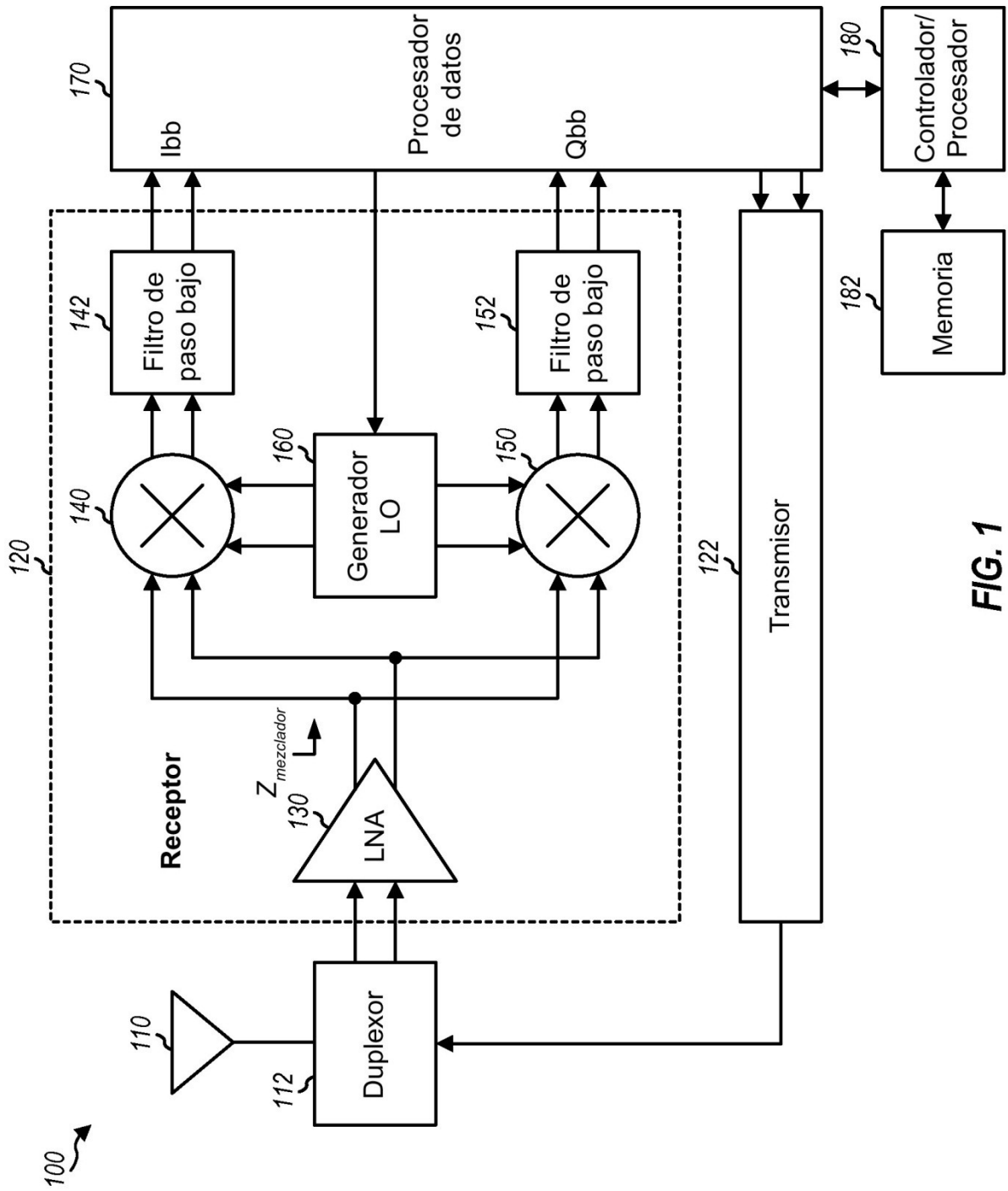
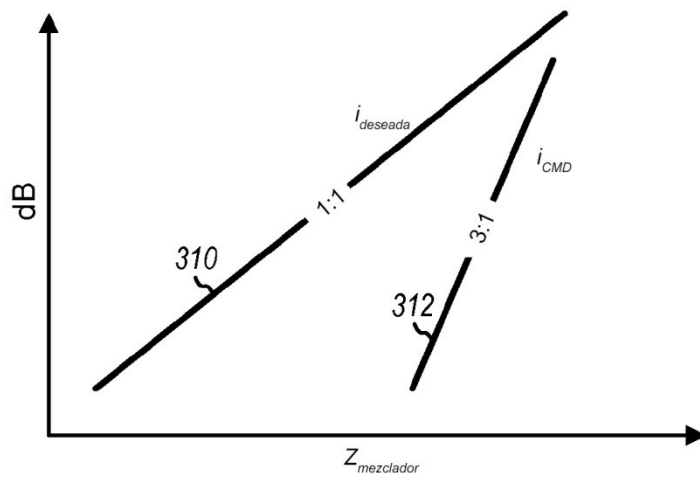
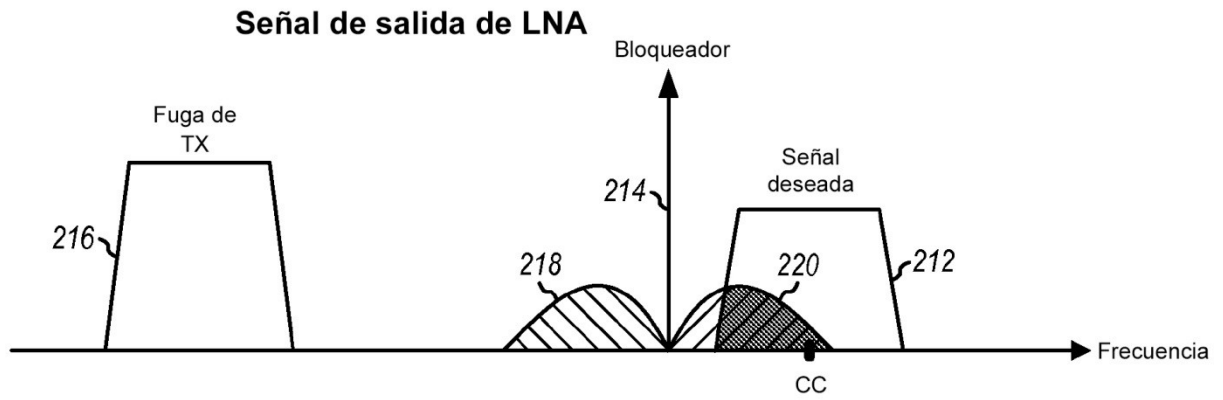
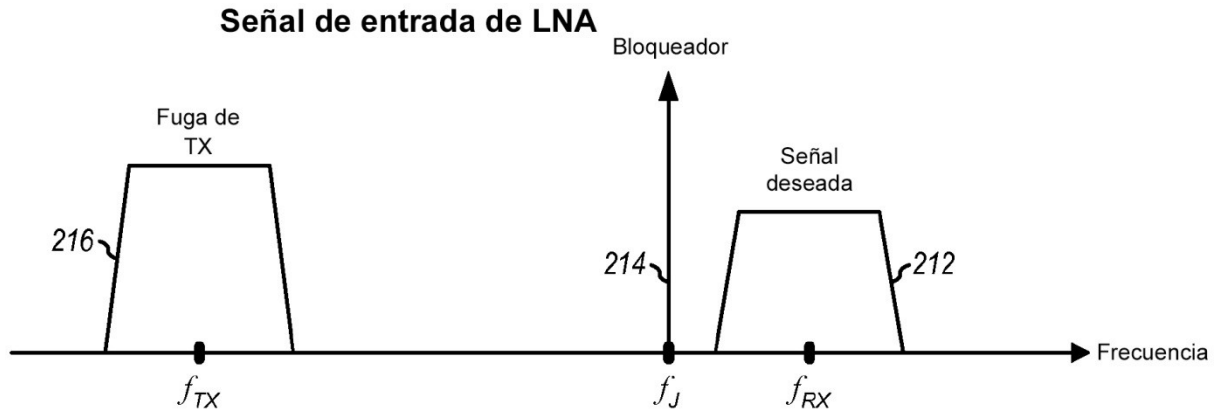


FIG. 1





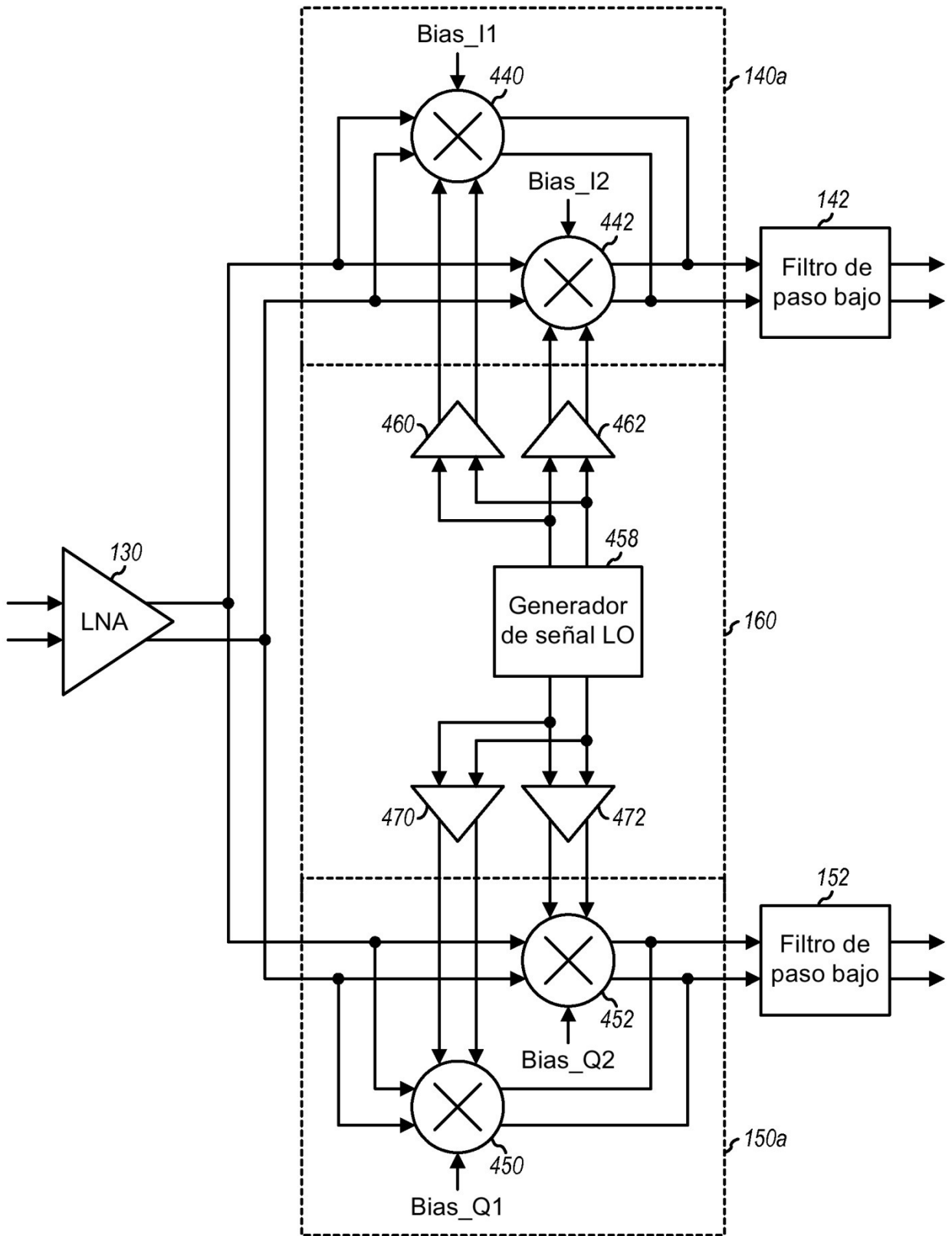


FIG. 4



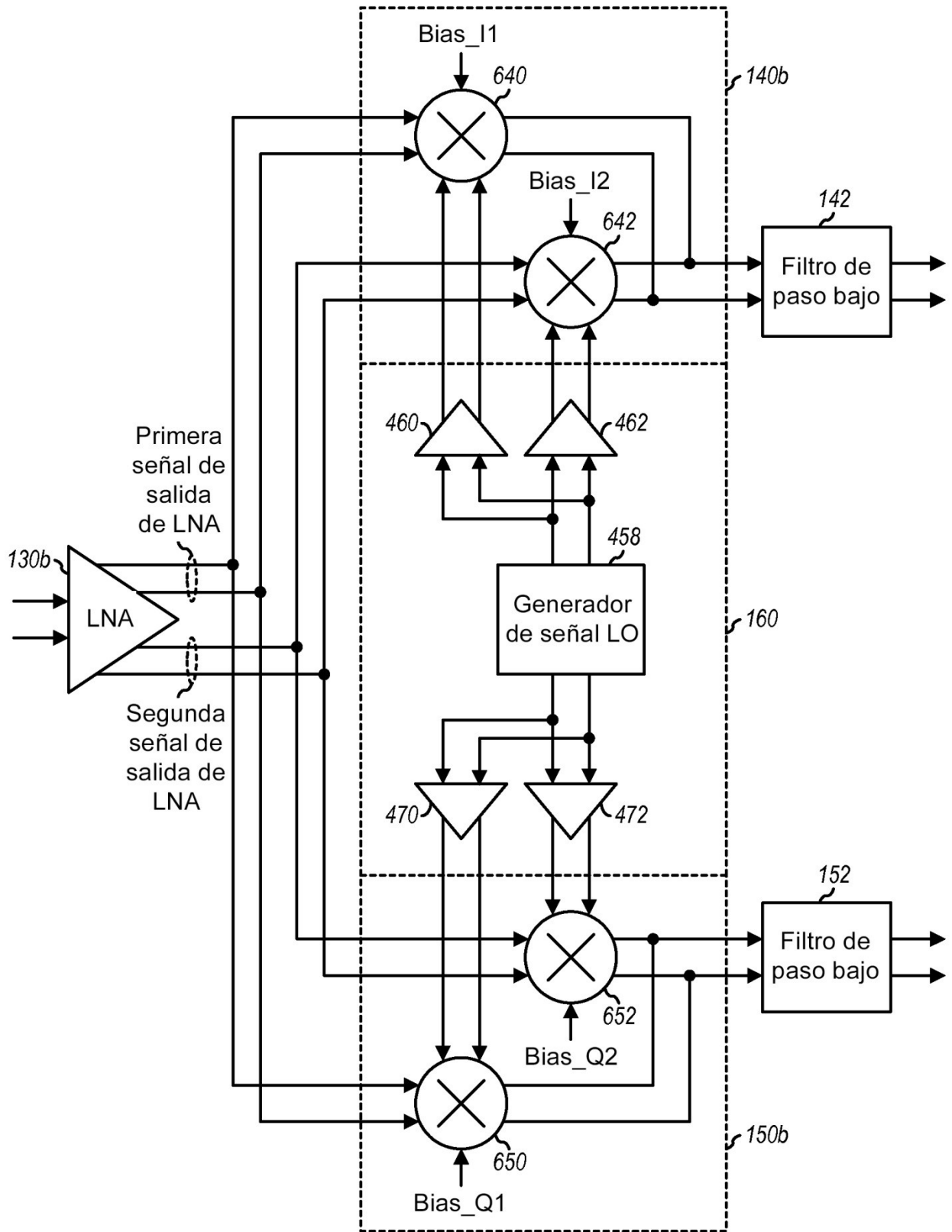


FIG. 6

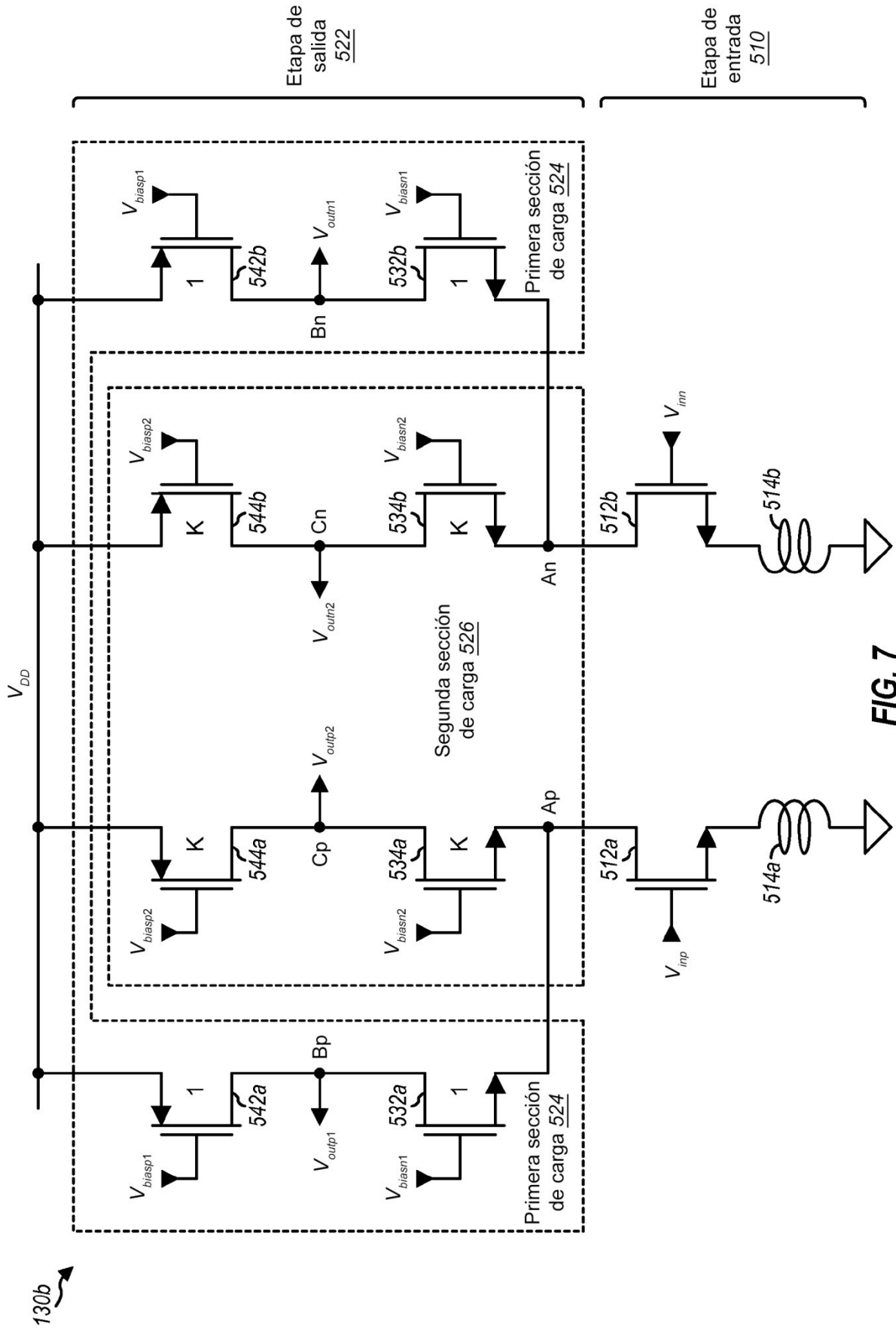


FIG. 7

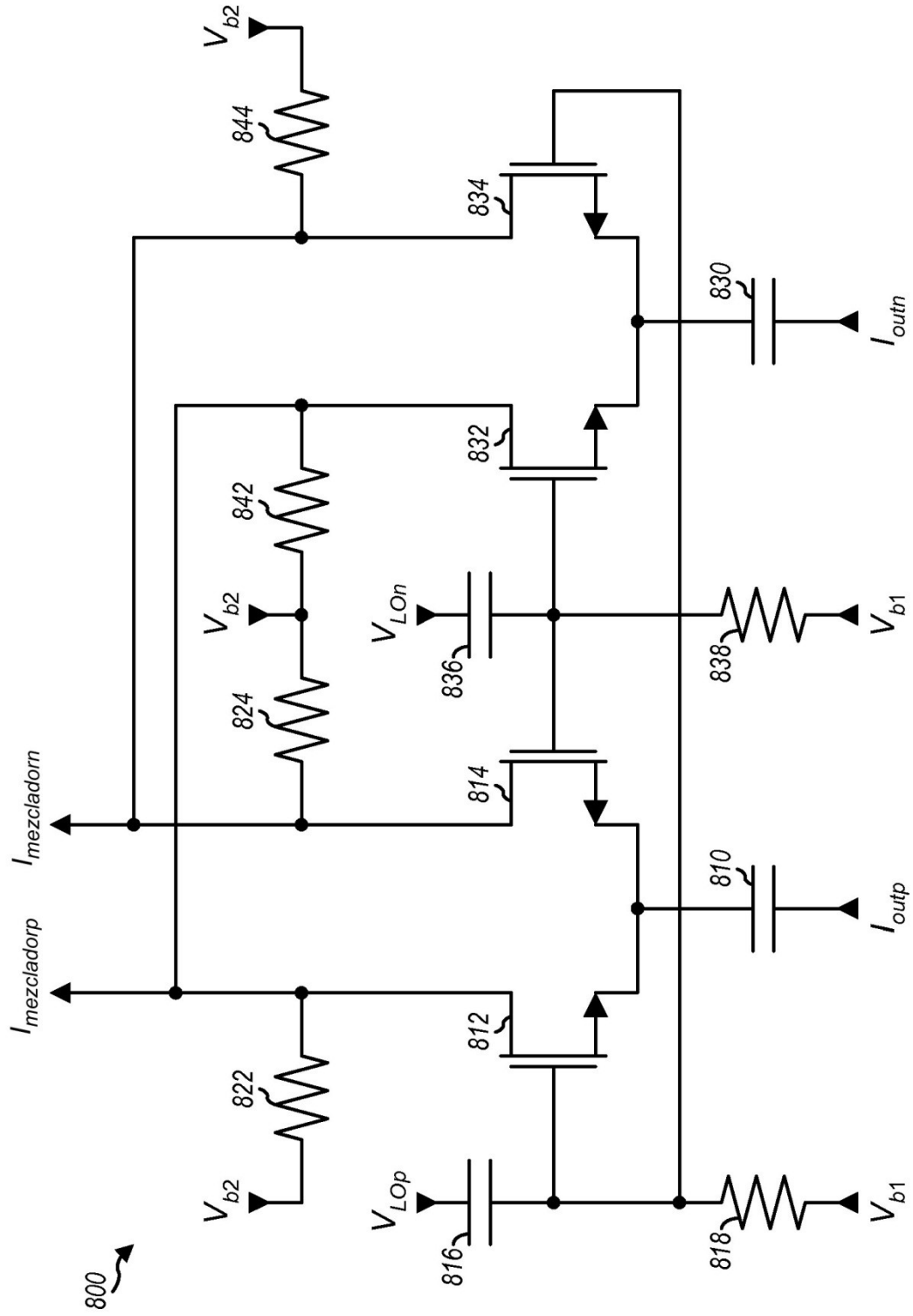


FIG. 8A

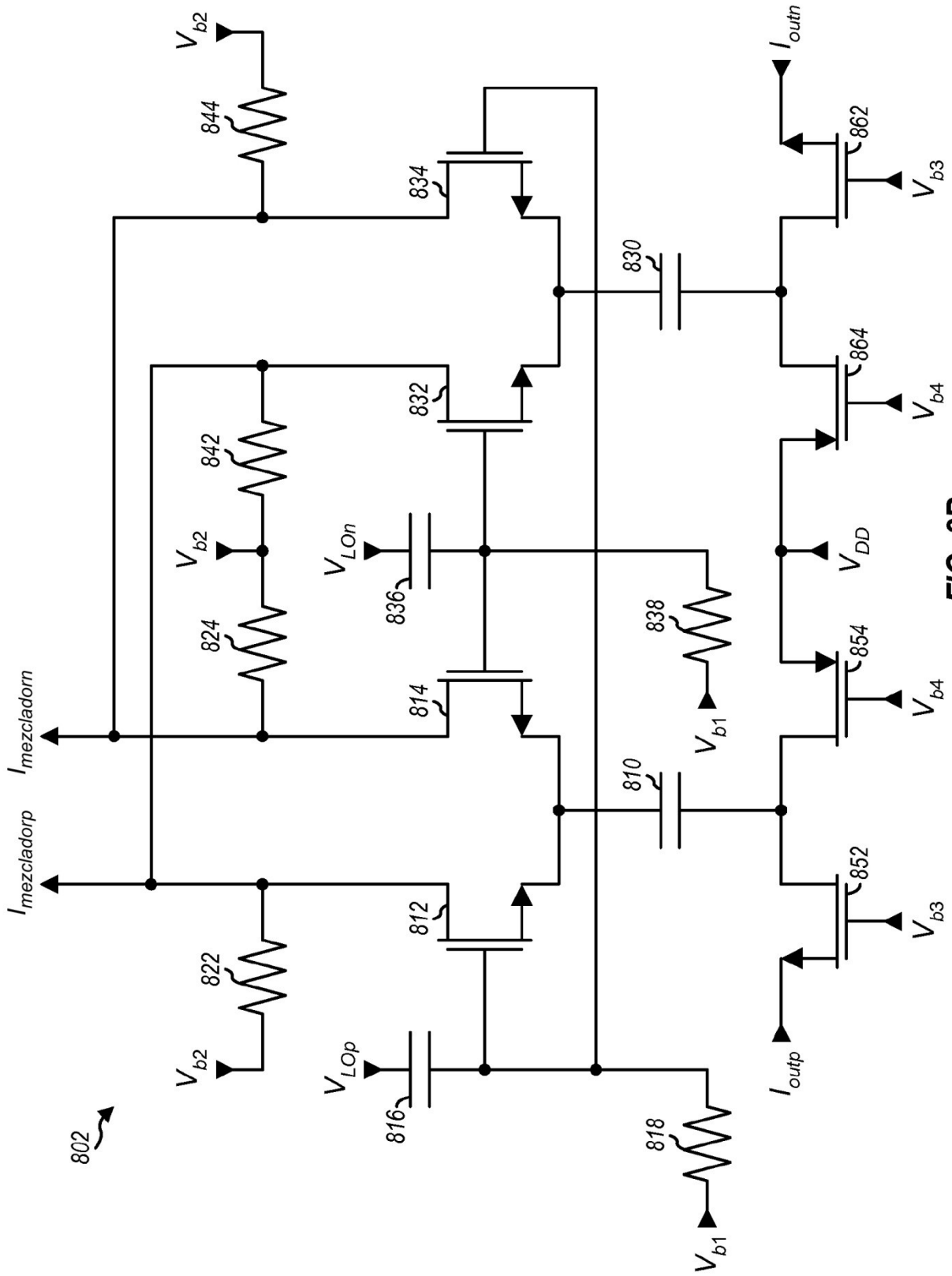
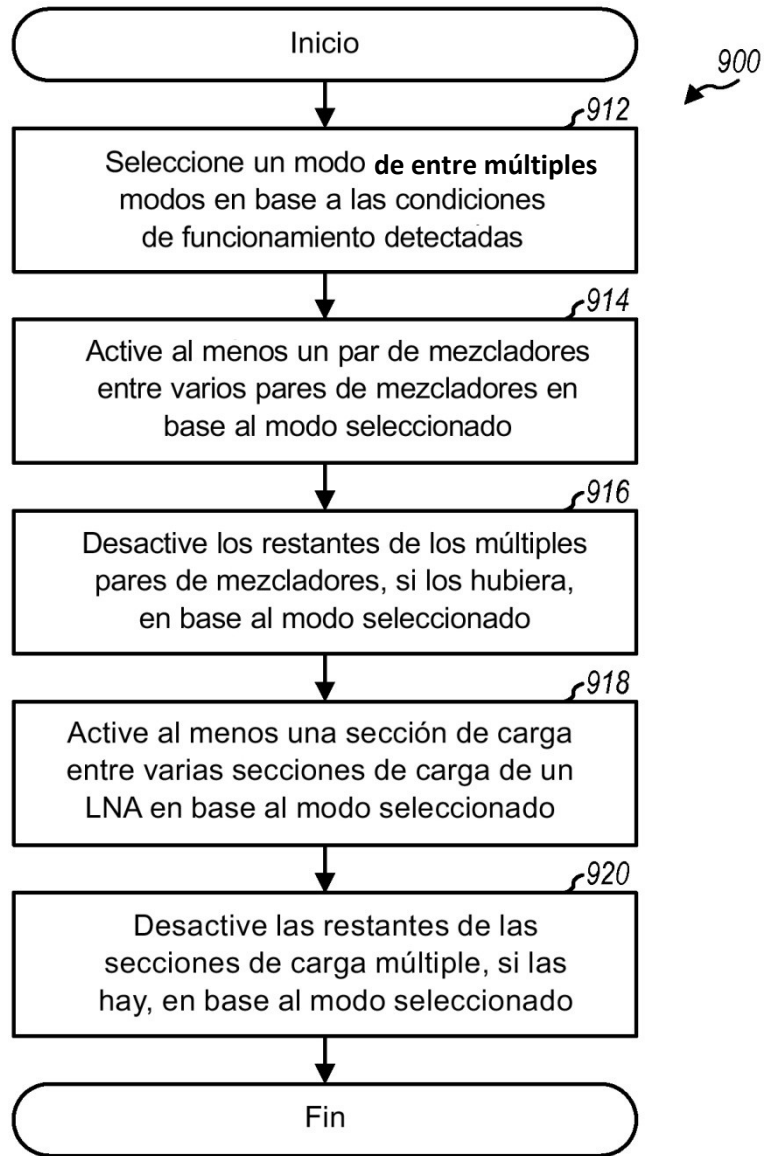


FIG. 8B



**FIG. 9**