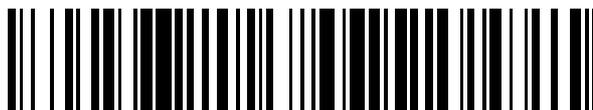


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 670 810**

51 Int. Cl.:

G06F 9/445 (2008.01)

G06F 13/30 (2006.01)

G06F 9/44 (2008.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **14.04.2014 PCT/CN2014/075294**

87 Fecha y número de publicación internacional: **09.07.2015 WO15100878**

96 Fecha de presentación y número de la solicitud europea: **14.04.2014 E 14877078 (7)**

97 Fecha y número de publicación de la concesión europea: **11.04.2018 EP 3091434**

54 Título: **Procedimiento de inicio de chip, chip de procesador multinúcleo y medio de almacenamiento**

30 Prioridad:

30.12.2013 CN 201310749809

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

01.06.2018

73 Titular/es:

**SANECHIPS TECHNOLOGY CO., LTD. (100.0%)
Plant No.1 Dameisha, Yantian District
Shenzhen, Guangdong 518085, CN**

72 Inventor/es:

**HONG, SIHUA y
WANG, BALING**

74 Agente/Representante:

SALVA FERRER, Joan

ES 2 670 810 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Procedimiento de inicio de chip, chip de procesador multinúcleo y medio de almacenamiento

5 **CAMPO TÉCNICO**

[0001] La descripción se refiere a la tecnología de diseño de chips de circuito integrado y, en particular, a un procedimiento de inicio de chip, un procesador multinúcleo y un medio de almacenamiento.

10 **ANTECEDENTES**

15 [0002] Diseñar el inicio de un chip es siempre una de las claves para diseñar el chip. Uno de los motivos principales por el cual muchos dispositivos fallan y se descartan es que el fallo en el inicio de un chip produce el fallo del propio chip y finalmente hace que se descarte el dispositivo entero. Cuando se inicia un chip, se requiere la implementación de algunas operaciones de inicialización y gestiones de configuración en el chip. Cuando el chip se encuentra en una escala pequeña, la inicialización y configuración del chip están directamente incluidas en un diseño de reinicio por reloj del chip. El proceso de la operación de reinicio por reloj se completa mientras el chip se pone en marcha, es decir, el proceso de inicio de chip se completa. Después de que se completa el reinicio por reloj, el chip puede funcionar normalmente.

20 [0003] A continuación, la escala de chip se extiende, por ejemplo, se añaden procesadores. La información de configuración sobre el inicio del chip por lo general se almacena en una Memoria de Solo Lectura (ROM, por su sigla en inglés) en chip; cuando el chip se está iniciando, se busca la información de configuración en la memoria ROM para llevar a cabo la configuración inicial del chip.

25 [0004] Con el aumento progresivo en la escala de los chips y la diversificación de los escenarios de aplicación del chip, el chip tiene cada vez más contenidos para inicializar, y los contenidos inicializados requieren actualización, por lo que muchos chips almacenan programas de inicio en un modo ROM + flash o en un modo flash directo. En estos dos modos, los programas de inicialización de gran volumen que pueden ser actualizados se almacenan en la memoria flash.

30 [0005] Posteriormente, la actualización presenta algunas dificultades en el modo flash, por lo que se proporcionan una serie de soluciones en la técnica relacionada para mejorar la potencia y conveniencia de actualizar los programas de inicialización. Las soluciones de mejora actuales para el inicio de chips se centran en la optimización del software, tal como copia de seguridad de datos y de salto, pero rara vez implican la estructura de hardware, y mucho menos el chip multinúcleo y multicanal actual. El chip multinúcleo y multicanal ampliamente utilizado tiene un requisito muy estricto en cuanto a calidad de canales en el proceso de inicio, si un canal flash presenta problemas, el inicio del chip fallará indefectiblemente, lo cual produce el fallo del chip entero.

35 [0006] La publicación internacional WO 01/27753 A2 describe un procedimiento y aparato para cargar software en una pluralidad de procesadores.

RESUMEN

40 [0007] Teniendo en cuenta lo antedicho, para resolver los problemas de la técnica anterior, las realizaciones de la descripción proporcionan un procedimiento de inicio de chip, un chip de procesador multinúcleo y un medio de almacenamiento, que pueden llevar a cabo una optimización estructural en un chip multinúcleo y multicanal, mejorando de este modo la potencia y rendimiento del chip.

45 [0008] Las soluciones técnicas de las realizaciones de la descripción se implementan como se indica a continuación.

50 [0009] Se proporciona un procedimiento de inicio de chip para uso en un chip de procesador multinúcleo; el procesador multinúcleo incluye al menos más de dos procesadores y más de dos unidades de almacenamiento; el procedimiento incluye: definir una primera cola de prioridades de inicio de más de dos procesadores, y definir una segunda cola de prioridades de inicio de cada una de las más de dos unidades de almacenamiento para cada procesador; el procedimiento además incluye que:

55 un primer procesador que se ha de iniciar y tiene la prioridad más alta se determine según la primera cola de prioridades;

60 el primer procesador sucesivamente cargue un programa de inicio a partir de cada unidad de almacenamiento según

la segunda cola de prioridades correspondiente al primer procesador, y ejecute el programa de inicio para llevar a cabo una operación de inicialización;

5 la carga del programa del primer procesador termine cuando la carga del programa de inicio a partir de cualquiera de las más de dos unidades de almacenamiento se lleve a cabo con éxito, o la carga del programa de inicio a partir de todas las más de dos unidades de almacenamiento falle; y

la carga del programa del segundo procesador se inicie hasta que se complete la carga del programa de los más de dos procesadores.

10 **[0010]** En una realización, el chip de procesador multinúcleo además puede incluir un controlador de arranque, y el procedimiento además puede incluir:

15 que el primer procesador envíe un mensaje de inicio con éxito al controlador de arranque cuando la carga del programa de inicio a partir de cualquiera de las más de dos unidades de almacenamiento se lleve a cabo con éxito; y

en consecuencia, el paso de que la carga del programa del segundo procesador se inicie incluye:

20 que el controlador de arranque determine el segundo procesador que se ha de iniciar y tiene una segunda prioridad más alta según la primera cola de prioridades cuando el mensaje sobre el inicio con éxito enviado por el primer procesador se reciba o se determine que el primer procesador falla al cargar el programa de inicio a partir de una unidad de almacenamiento con la prioridad más baja en la segunda cola de prioridades correspondiente al primer procesador.

25 **[0011]** En una realización, el chip de procesador multinúcleo además puede incluir un controlador de arranque;

en la presente memoria, el paso de que el primer procesador que se ha de iniciar y tiene la prioridad más alta se determine según la primera cola de prioridades puede incluir:

30 que el controlador de arranque determine el primer procesador según la primera cola de prioridades y determine, para el primer procesador, una unidad de almacenamiento actual a partir de la cual se ha de cargar el programa de inicio según la segunda cola de prioridades correspondiente al primer procesador; y

35 el paso de que el primer procesador sucesivamente cargue el programa de inicio a partir de cada unidad de almacenamiento según la segunda cola de prioridades correspondiente al primer procesador y ejecute el programa de inicio para llevar a cabo la operación de inicialización puede incluir los pasos que se indican a continuación;

el primer procesador carga el programa de inicio a partir de la unidad de almacenamiento actual;

40 cuando determina que la carga se ha llevado a cabo con éxito, el primer procesador ejecuta el programa de inicio para realizar la operación de inicialización;

45 cuando determina que la carga falla, el controlador de arranque determina para el primer procesador una próxima unidad de almacenamiento como unidad de almacenamiento actual a partir de la cual se ha de cargar el programa de inicio según la segunda cola de prioridades correspondiente al primer procesador; y

50 los pasos de cargar, ejecutar y determinar se repiten hasta que el primer procesador carga el programa de inicio a partir de la unidad de almacenamiento con la prioridad más baja en la segunda cola de prioridades correspondiente al primer procesador.

[0012] En una realización, la determinación de que la carga falla puede incluir:

55 cuando el programa de inicio se carga a partir de la unidad de almacenamiento actual, el primer procesador envía un mensaje de comienzo de inicio al controlador de arranque;

se mide el tiempo transcurrido a partir de la recepción del mensaje de comienzo de inicio; si el mensaje de inicio con éxito enviado por el primer procesador no se recibe cuando se excede un umbral de temporización, se determina que el primer procesador falla al cargar el programa de inicio a partir de la unidad de almacenamiento actual.

60 **[0013]** En una realización, el procedimiento además puede incluir:

un procesador que ajusta la frecuencia de un reloj del sistema más rápidamente se determina como el primer procesador con la prioridad más alta.

5 **[0014]** En una realización, el chip de procesador multinúcleo además puede incluir una unidad de Acceso Directo a Memoria (DMA, por su sigla en inglés) y una unidad de almacenamiento en chip, y el procedimiento además puede incluir:

10 cuando el primer procesador carga el programa de inicio con éxito y ejecuta el programa de inicio para llevar a cabo la operación de inicialización, la unidad de DMA mueve los programas de inicio de otros procesadores cuyas prioridades son más bajas que la del primer procesador a la unidad de almacenamiento en chip según la primera cola de prioridades.

15 En una realización, cuando el chip de procesador multinúcleo adopta una unidad de almacenamiento ROM y una unidad de almacenamiento de un canal flash, una primera unidad de almacenamiento del primer procesador puede incluir la unidad de almacenamiento ROM y la unidad de almacenamiento del canal flash;

el paso de que el programa de inicio se ejecute para llevar a cabo la operación de inicialización puede incluir:

20 que el primer procesador lea una primera parte del programa de inicio de la unidad de almacenamiento ROM y ejecute la primera parte del programa de inicio y lea, según una instrucción de salto al final de la primera parte del programa de inicio, una segunda parte del programa de inicio de la unidad de almacenamiento del canal flash y ejecute la segunda parte del programa de inicio.

25 **[0015]** En una realización, cuando el chip de procesador multinúcleo puede incluir un microcontrolador (MCU, por su sigla en inglés), una Unidad de Procesamiento Central (CPU, por su sigla en inglés) y un Procesador Digital de Señales (DSP, por su sigla en inglés), estos se clasifican en orden descendente de prioridad en la primera cola de prioridades como; MCU, CPU y DSP.

30 **[0016]** Se proporciona un chip de procesador multinúcleo, que incluye al menos: un controlador de arranque, más de dos procesadores y más de dos unidades de almacenamiento; el controlador de arranque está conectado de manera comunicativa con cada procesador, y los más de dos procesadores están conectados en secuencia según un orden definido de una primera cola de prioridades; el controlador de arranque está configurado para determinar un procesador actual según la primera cola de prioridades de inicio de los más de dos procesadores, y determinar, para el procesador actual, unidades de almacenamiento actuales a partir de las cuales se ha de cargar un programa de inicio según la segunda cola de prioridades correspondiente al procesador actual; el procesador actual está configurado para cargar el programa de inicio a partir de cada unidad de almacenamiento actual según la segunda cola de prioridades correspondiente al procesador actual y ejecutar el programa de inicio para llevar a cabo la operación de inicialización; el procesador actual además está configurado para salir de la carga del programa de inicio cuando la carga del programa de inicio a partir de cualquiera de las más de dos unidades de almacenamiento se lleve a cabo con éxito, o la carga del programa de inicio a partir de todas las más de dos unidades de almacenamiento falle.

35 **[0017]** En una realización, el chip de procesador multinúcleo además puede incluir una unidad de DMA; la unidad de DMA está configurada para, cuando el procesador actual carga el programa de inicio con éxito y ejecuta el programa de inicio para llevar a cabo la operación de inicialización, mover los programas de inicio de otros procesadores cuyas prioridades son más bajas que la del procesador actual a la unidad de almacenamiento en chip según la primera cola de prioridades.

45 **[0018]** Se proporciona un medio de almacenamiento en ordenador que almacena una instrucción ejecutable por ordenador para llevar a cabo el procedimiento de inicio de chip antes mencionado.

50 **[0019]** En la realización de la descripción, la primera cola de prioridades se define para más de dos procesadores, y la segunda cola de prioridades de inicio de cada una de las más de dos unidades de almacenamiento se define para cada procesador; el primer procesador que se ha de iniciar y tiene la prioridad más alta se determina según la primera cola de prioridades; el primer procesador sucesivamente carga el programa de inicio a partir de cada unidad de almacenamiento según la segunda cola de prioridades correspondiente al primer procesador, y ejecuta el programa de inicio para llevar a cabo la operación de inicialización; la carga del programa del primer procesador termina cuando la carga del programa de inicio a partir de cualquiera de las más de dos unidades de almacenamiento se lleva a cabo con éxito, o cuando la carga del programa de inicio a partir de todas las más de dos unidades de almacenamiento falla; y la carga del programa del segundo procesador se inicia hasta que se completa la carga del programa de los más de dos procesadores; de esta forma, se puede llevar a cabo una optimización estructural en el chip multinúcleo y

multicanal, mejorando de este modo la potencia y el rendimiento del chip.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

5 **[0020]**

La **Figura 1** es un diagrama de flujo de un procedimiento de inicio de chip según una realización de la descripción;
 La **Figura 2** es un diagrama de flujo de la Etapa 101 en una primera realización de la descripción;
 La **Figura 3** es un diagrama de estructura de un chip de procesador multinúcleo según una cuarta realización de la descripción;
 La **Figura 4** es un diagrama de flujo del inicio de un chip de procesador multinúcleo según una realización de la descripción; y
 La **Figura 5** es un diagrama esquemático de procesos de asignación de direcciones de distintos procesadores en un mismo canal según una realización de la descripción.

DESCRIPCIÓN DETALLADA

[0021] Las soluciones técnicas de la descripción se detallan a continuación en combinación con los dibujos que la acompañan y realizaciones específicas.

Realización 1

[0022] Un procedimiento de inicio de chip que se proporciona mediante una realización de la descripción se utiliza en un chip de procesador multinúcleo, en la presente memoria el chip de procesador multinúcleo incluye al menos más de dos procesadores y más de dos unidades de almacenamiento. La Figura 1 es un diagrama de flujo de un procedimiento de inicio de chip según una realización de la descripción; como se muestra en la Figura 1, el procedimiento de inicio de chip incluye las siguientes etapas:

Etapa 101: se define una primera cola de prioridades de inicio de los más de dos procesadores y se define una segunda cola de prioridades de inicio de cada una de las más de dos unidades de almacenamiento para cada procesador;

Etapa 102: un primer procesador que se ha de iniciar y tiene una prioridad más alta se determina según la primera cola de prioridades; el primer procesador sucesivamente carga un programa de inicio a partir de cada unidad de almacenamiento según la segunda cola de prioridades correspondiente al primer procesador, y ejecuta el programa de inicio para llevar a cabo una operación de inicialización;

Etapa 103: la carga del programa del primer procesador termina cuando la carga del programa de inicio a partir de cualquier unidad de almacenamiento en las más de dos unidades de almacenamiento se lleva a cabo con éxito, o la carga del programa de inicio a partir de todas las más de dos unidades de almacenamiento falla; y

Etapa 104: la carga del programa del segundo procesador se inicia hasta que se completa la carga del programa de los más de dos procesadores.

[0023] En la realización de la descripción, existen varios tipos de núcleos internos del chip de procesador multinúcleo existente, especialmente un chip de banda base de procesador multinúcleo, que principalmente incluye: un DSP intensivo informáticamente, y una CPU con control intensivo y un MCU de configuración de programación sencilla. La cantidad requerida de cada tipo de procesador varía según los distintos requisitos de escenarios de aplicación. Al mismo tiempo, debido a la diversidad de escenarios de aplicación del chip de procesador multinúcleo, existe una gran diversidad de canales para que el chip se comunique con el exterior, incluyendo un canal flash, un canal de Entrada/Salida Rápida en Serie (SRIO, por su sigla en inglés), un canal de Interfaz Independiente de Medios de Gigabits en Serie (SGMII), un canal de Bus Serie Universal (USB, por su sigla en inglés), un canal de Entrada/Salida de Propósito General (GPIO, por su sigla en inglés), etc.

[0024] Cuando el chip de procesador multinúcleo incluye cualquiera de dos o tres de los DSP, CPU y MCU, el MCU puede tener la prioridad más alta en la primera cola de prioridades, la CPU tiene la segunda prioridad más alta, y el DSP tiene la tercera prioridad más alta; la razón por la que el MCU se selecciona como el primer procesador es que el MCU puede cambiar la frecuencia dominante de un sistema para habilitar al sistema para que entre en un estado de procesamiento de alta velocidad en el menor tiempo posible de manera que se reduzca el tiempo que les lleva a otros procesadores iniciarse.

[0025] En la realización de la descripción, las unidades de almacenamiento incluyen unidades de almacenamiento

ROM en el chip, y un canal o canales externos. Cuando se define la segunda cola de prioridades, las unidades de almacenamiento ROM tienen la prioridad más alta; cuando el chip de procesador multinúcleo se comunica con el exterior mediante el canal flash, el canal SRIO, el canal SGMII, el canal USB y el canal GPIO, estos pueden definirse en orden descendente de prioridad en la segunda cola de prioridades como: canal flash, canal USB, canal SGMII, canal SRIO y canal GPIO.

[0026] En la realización de la descripción, el procedimiento además incluye: que el primer procesador envíe un mensaje de inicio con éxito a un controlador de arranque cuando la carga del programa de inicio a partir de cualquiera de las más de dos unidades de almacenamiento se lleve a cabo con éxito;

en consecuencia, el paso de que la carga del programa del segundo procesador se inicie incluye:

que el controlador de arranque determine el segundo procesador que se ha de iniciar y tiene una segunda prioridad más alta según la primera cola de prioridades cuando se reciba el mensaje sobre el inicio con éxito enviado por el primer procesador o se determine que el primer procesador falla al cargar el programa de inicio a partir de la unidad de almacenamiento con la prioridad más baja en la segunda cola de prioridades correspondiente al primer procesador.

[0027] En la realización de la descripción, el chip de procesador multinúcleo también incluye una unidad de DMA y una unidad de almacenamiento en chip. El procedimiento además incluye: cuando el primer procesador carga el programa de inicio con éxito y ejecuta el programa de inicio para llevar a cabo la operación de inicialización, la unidad de DMA mueve programas de inicio de otros procesadores cuyas prioridades son más bajas que la del primer procesador a la unidad de almacenamiento en chip según la primera cola de prioridades.

[0028] En la realización de la descripción, cuando el chip de procesador multinúcleo adopta una unidad de almacenamiento ROM y una unidad de almacenamiento de un canal flash, la primera unidad de almacenamiento del primer procesador incluye la unidad de almacenamiento ROM y la unidad de almacenamiento del canal flash; la etapa de que el programa de inicio se ejecute para llevar a cabo la operación de inicialización incluye: que el primer procesador lea una primera parte del programa de inicio de la unidad de almacenamiento ROM y ejecute la primera parte del programa de inicio, y lea, según una instrucción de salto al final de la primera parte del programa de inicio, una segunda parte del programa de inicio de la unidad de almacenamiento del canal flash y ejecute la segunda parte del programa de inicio.

[0029] Al combinar las características de los procesadores en el chip de procesador multinúcleo y la diversidad de interfaces para que el chip se comunique con el exterior, un procedimiento de inicio de chip proporcionado por la realización de la descripción asegura la potencia del inicio del chip, reduce la probabilidad sin conexión de una red inalámbrica y mejora la calidad de la seguridad en la comunicación monitorizando y programando el inicio.

Realización 2

[0030] Basándose en el procedimiento de inicio de chip proporcionado por la realización 1 de la descripción, en la presente realización de la descripción, el chip de procesador multinúcleo también incluye un controlador de arranque. La Figura 2 es un diagrama de flujo de la Etapa 101 en la realización 1 de la descripción; como se muestra en la Figura 2, la Etapa 101 incluye las siguientes etapas:

Etapa 201: el controlador de arranque determina el primer procesador según la primera cola de prioridades y determina, para el primer procesador, una unidad de almacenamiento actual a partir de la cual se ha de cargar el programa de inicio según la segunda cola de prioridades correspondiente al primer procesador;

Etapa 202: el primer procesador carga el programa de inicio a partir de la unidad de almacenamiento actual;

Etapa 203: cuando determina que la carga se produce con éxito, el primer procesador ejecuta el programa de inicio para llevar a cabo la operación de inicialización; cuando determina que la carga falla, el controlador de arranque determina para el primer procesador una próxima unidad de almacenamiento como unidad de almacenamiento actual a partir de la cual se ha de cargar el programa de inicio según la segunda cola de prioridades correspondiente al primer procesador; y

Etapa 204: los pasos de cargar, ejecutar y determinar se repiten hasta que el primer procesador carga el programa de inicio a partir de la unidad de almacenamiento con una prioridad más baja en la segunda cola de prioridades correspondiente al primer procesador.

[0031] En la realización de la descripción, el controlador de arranque puede determinar que la carga falla según un

mensaje acerca del fallo de carga que se envía desde el primer procesador. En este modo, puesto que el procesador puede estar en un estado incontrolable cuando la carga falla, es probable que el controlador de arranque no determine que el primer procesador falla al cargar debido a la posibilidad de no recibir el mensaje acerca del fallo en la carga.

5 **[0032]** En la realización de la descripción, la determinación de que la carga falla se puede implementar mediante las siguientes etapas:

cuando el programa de inicio se carga a partir de la unidad de almacenamiento actual, el primer procesador envía un mensaje de comienzo de inicio al controlador de arranque;

10 se mide el tiempo transcurrido a partir de la recepción del mensaje de comienzo de inicio; si el mensaje de inicio con éxito enviado por el primer procesador no se recibe cuando se excede un umbral de temporización, se determina que el primer procesador falla al cargar el programa de inicio a partir de la unidad de almacenamiento actual.

15 **[0033]** Este modo puede evitar el caso del modo anterior en el cual es imposible determinar que el primer procesador falla al cargar debido a la no recepción del mensaje acerca del fallo al cargar, mejorando de este modo la precisión.

20 **[0034]** En la realización de la descripción, puede haber uno o más procesadores del mismo tipo, dependiendo de los distintos escenarios de aplicación; cuando existen varios procesadores del mismo tipo, p. ej. la CPU, en el chip, también es necesario definir el orden de prioridades para estas CPU.

Realización 3

25 **[0035]** Basándose en las realizaciones 1 y 2, una realización de la descripción además proporciona un chip de procesador multinúcleo, que incluye al menos un controlador de arranque, más de dos procesadores y más de dos unidades de almacenamiento; específicamente, el controlador de arranque está conectado de manera comunicativa con cada procesador; los más de dos procesadores están conectados en secuencia según el orden definido de la primera cola de prioridades;

30 el controlador de arranque está configurado para determinar un procesador actual según la primera cola de prioridades de inicio de los más de dos procesadores, y determinar, para el procesador actual, unidades de almacenamiento actuales a partir de las cuales se ha de cargar un programa de inicio según la segunda cola de prioridades correspondiente al procesador actual;

35 el procesador actual está configurado para cargar el programa de inicio a partir de cada unidad de almacenamiento actual según la segunda cola de prioridades correspondiente al procesador actual y ejecutar el programa de inicio para llevar a cabo la operación de inicialización; el procesador actual además está configurado para salir de la carga del programa de inicio cuando la carga del programa de inicio a partir de cualquiera de las más de dos unidades de almacenamiento se lleve a cabo con éxito, o la carga del programa de inicio a partir de todas las más de dos unidades de almacenamiento falle.

45 **[0036]** En la realización de la descripción, el chip de procesador multinúcleo además incluye una unidad de DMA; la unidad de DMA está configurada para, cuando el procesador actual carga el programa de inicio con éxito y ejecuta el programa de inicio para llevar a cabo la operación de inicialización, mover los programas de inicio de otros procesadores cuyas prioridades son más bajas que la del procesador actual a la unidad de almacenamiento en chip según la primera cola de prioridades.

Realización 4

50 **[0037]** Basándose en la realización 3, la Figura 3 es un diagrama de estructura de un chip de procesador multinúcleo según la realización 4 de la descripción; como se muestra en la Figura 3, el chip de procesador multinúcleo adopta una estructura de bus. El chip incluye un controlador de arranque (301), y el controlador de arranque está conectado con tres tipos de procesadores, a saber, una CPU (303), un MCU (302) y un DSP (304). Para una mejor descripción, solo hay un procesador del mismo tipo; los tres procesadores están conectados en secuencia según el orden definido de la primera cola de prioridades, y cada procesador está conectado con una unidad de DMA (312) para iniciarse. Excepto la ROM interna (305) y la Memoria de Acceso Aleatorio (RAM, por su sigla en inglés) interna (313), el chip también incluye canales para comunicarse con el exterior que incluyen un canal flash (306), un canal USB (307), un canal SGMII (308), un canal SRIO (309), y un canal GPIO (310);

60 el controlador de arranque (301) está configurado para monitorizar el proceso de inicio de cada procesador. Se definen un temporizador y un umbral de temporización correspondientes para cada procesador. Cuando el

procesador correspondiente comienza a llevar a cabo una operación de inicio, el temporizador empieza a medir el tiempo transcurrido a partir de entonces; si el procesador correspondiente no proporciona información de feedback acerca del éxito del inicio al controlador de arranque cuando el valor de temporización alcanza el umbral de temporización correspondiente, el controlador de arranque determina que el procesador falla al iniciarse; entonces es posible reiniciar todos los procesadores y llevar a cabo una configuración de asignación de direcciones en un canal bus.

[0038] El MCU (302) puede programar algunas tareas de baja complejidad informática y de control. En la presente realización, el MCU (302) se inicia como el primer procesador. La CPU (303) puede realizar algunas operaciones universales y llevar a cabo un control complejo de las mismas. La prioridad de la CPU (303) es más baja que la del MCU (402). El DSP (304) puede procesar algunos programas de operaciones especiales intensivas informáticamente. La prioridad del DSP (304) es más baja que la de la CPU (303).

[0039] La unidad de almacenamiento ROM (305) está configurada para almacenar una primera parte del programa de inicio para que el primer procesador lleve a cabo una configuración básica en el momento del inicio; la unidad de almacenamiento del canal flash (306) está configurada para almacenar una segunda parte del programa de inicio del primer procesador, todos los programas de inicio de otros procesadores, software de sistema, aplicaciones informáticas, y otros programas y datos. La unidad de almacenamiento del canal USB (307) está configurada para almacenar programas de inicio de seguridad de todos los procesadores centrales para actualizar programas. El canal SGMII (308) está configurado para conectar con una unidad de control principal del sistema y su red central para establecer comunicación de datos hasta que el sistema se inicie en línea. El canal SRIO (309) está configurado para establecer comunicación interactiva con otros chips y apoyar el inicio del chip mediante otros chips. El canal GPIO (310) puede apoyar el inicio del chip desde el exterior y está configurado para comunicarse con el exterior a baja velocidad.

[0040] Una unidad de gestión de asignación de canales (asignación) (311) está configurada para gestionar conmutación de canales, y cambiar la conexión de canal según la primera cola de prioridades y la segunda cola de prioridades definidas por el controlador de arranque (301) para hacer que el procesador correspondiente se inicie en el canal específico. La unidad de DMA (312) está configurada para mover datos y programas y puede mejorar la velocidad de carga de programa en el proceso de inicio del sistema. La RAM (313) está configurada para almacenar el programa de inicio cargado desde el exterior; un software puede leer el programa de inicio directamente de la RAM.

Realización 5

[0041] Basándose en las realizaciones 1 a 4, el procedimiento para iniciar el chip de procesador multinúcleo proporcionado por la presente realización de la descripción está elaborado tomando, a modo de ejemplo, un chip de procesador multinúcleo que incluye un MCU, una CPU y un DSP, en los cuales excepto una ROM interna, el chip se comunica con el exterior mediante un canal flash, un canal SRIO, un canal SGMII, un canal USB y un canal GPIOM; y el procedimiento incluye las siguientes etapas.

[0042] Etapa A1: se clasifican los procesadores multinúcleo en el chip; se define la primera cola de prioridades de inicio de los tres tipos de procesadores, y se define la segunda cola de prioridades de las unidades de almacenamiento correspondientes para cada procesador; en esta etapa, debido a que el MCU puede cambiar la frecuencia dominante del sistema para habilitar al sistema para que entre en el estado de procesamiento de alta velocidad en el menor tiempo posible de manera que se reduzca el tiempo que les lleva a otros procesadores iniciarse, el MCU se selecciona como el primer procesador; se define la prioridad más alta para el MCU. Por ende, el orden de la primera cola de prioridades es MCU, CPU y DSP.

[0043] Cuando el MCU se considera el primer procesador, el sistema permanece a una frecuencia elevada durante un periodo de tiempo prolongado en el proceso de inicio. Después de que se completa la carga del programa de inicio del MCU, el reloj del sistema puede aumentar de 100 MHz a 600 MHz, y la velocidad de carga del inicio del sistema puede incrementarse seis veces.

[0044] En esta etapa, el chip se comunica con el exterior mediante el canal flash, el canal SRIO, el canal SGMII, el canal USB, y el canal GPIO; para una mejor descripción, se define la misma segunda cola de prioridades para cada tipo de procesadores; la segunda cola de prioridades específica con un orden descendente de prioridad es: el canal flash, el canal USB, el canal GMII, el canal SRIO, y el canal GPIO.

[0045] Etapa A2: el controlador de arranque determina el primer procesador según la primera cola de prioridades, y determina la primera unidad de almacenamiento para el procesador actual según la segunda cola de prioridades; la primera unidad de almacenamiento del primer procesador incluye una unidad de almacenamiento ROM y una unidad

de almacenamiento de un canal flash.

5 **[0046]** En el proceso de inicio normal, el primer procesador lee una parte del programa de inicio de la ROM interna, y ejecuta la primera parte del programa de inicio para llevar a cabo la operación de inicialización. Cuando ejecuta la primera parte del programa de inicio, el primer procesador ajusta la frecuencia del reloj del sistema para hacer que el sistema entre en un estado de alta frecuencia. Hay una instrucción de salto al final de la primera parte del programa de inicio, por lo que el primer procesador carga una segunda parte del programa de inicio desde una interfaz flash según la instrucción de salto.

10 Cuando ejecuta la primera parte del programa de inicio o la segunda parte del programa de inicio para llevar a cabo la operación de inicialización, el primer procesador puede iniciar la unidad de DMA para mover los programas de inicio de otros núcleos fuera del chip a la unidad de almacenamiento en chip, es decir, RAM, de manera que se pueda reducir el tiempo que lleva cargar el programa durante el inicio de otros núcleos, y la configuración de lectura-escritura en chip pueda llevarse a cabo directamente.

15 **[0047]** Etapa A3: la unidad de DMA mueve los programas continuamente, al mismo tiempo, otros procesadores realizan una configuración de inicio. Finalmente, la unidad de DMA mueve todos los programas, y otros procesadores completan la configuración de inicio; de esta forma, el chip completa un conjunto entero de operaciones de inicio en un flujo normal.

20 **[0048]** Etapa A4: el controlador de arranque monitoriza el flujo de inicio en el proceso de inicio; cada procesador necesita enviar un mensaje de estado de inicio al controlador al comienzo del inicio y después de que el inicio se lleva a cabo con éxito. Si el controlador descubre que el inicio falla, el controlador cambia un canal de inicio del núcleo correspondiente.

25 **[0049]** En la presente memoria, el mensaje de estado de inicio incluye un mensaje de comienzo de carga que indica que el procesador comienza a cargar el programa de inicio, un mensaje de inicio con éxito que indica que el procesador se ha iniciado con éxito, y un mensaje de fallo en la carga que indica que el procesador falla al cargar el programa de inicio.

30 **[0050]** Cuando la carga se lleva a cabo con éxito, el procesador actual ejecuta el programa de inicio para realizar la operación de inicialización, y envía el mensaje de inicio con éxito al controlador de arranque;

35 cuando la carga falla, el controlador de arranque determina para el procesador actual una próxima unidad de almacenamiento como la unidad de almacenamiento actual según la segunda cola de prioridades, y envía un mensaje de fallo en el inicio al controlador de arranque cuando el procesador actual falla al cargar la última unidad de almacenamiento.

40 **[0051]** Etapa A5: cuando el procesador actual falla al iniciarse por primera vez, el controlador de arranque cambia el canal de inicio mediante la asignación, y una dirección de inicio inicial cambia de la ROM a una dirección correspondiente en el canal flash.

45 **[0052]** Si el procesador actual falla al iniciarse por segunda vez, el controlador de arranque cambia el canal de inicio mediante la asignación, y la dirección de inicio inicial cambia de la dirección correspondiente en el canal flash a una dirección en el canal USB.

50 **[0053]** Si el procesador actual falla al iniciarse por tercera vez, el controlador de arranque cambia el canal de inicio mediante la asignación, y la dirección de inicio inicial cambia de la dirección correspondiente en el canal USB a una dirección en el canal SGMII.

[0054] Si el procesador actual falla al iniciarse por cuarta vez, el controlador de arranque cambia el canal de inicio mediante la asignación, y la dirección de inicio inicial cambia de la dirección correspondiente en el canal SGMII a una dirección en el canal SRIO.

55 **[0055]** Si el procesador actual falla al iniciarse por quinta vez, el controlador de arranque cambia el canal de inicio mediante la asignación, y la dirección de inicio inicial cambia de la dirección correspondiente en el canal SRIO a una dirección en el canal GPIO.

60 **[0056]** En la presente memoria, el canal GPIO usa un modo de multiplexación de pines. Antes de iniciarse desde el canal GPIO, el controlador de arranque redefine pines, es decir, el controlador de arranque define una parte de pines utilizados cuando el sistema funciona normalmente como pines de inicio, y el programa de inicio se carga a través de

esta parte de pines. Después de que el inicio se lleva a cabo con éxito, el controlador de arranque libera esta parte de pines. La presente realización ahorra recursos de pin multiplexando los pines del canal GPIO, lo cual reduce el coste del chip.

5 **[0057]** Etapa A6: si el controlador de arranque todavía no puede recibir el mensaje de inicio con éxito después de que todos los canales del procesador actual se sondean una vez, el controlador selecciona, según las prioridades de los núcleos, un núcleo con la prioridad más alta entre el resto de núcleos como el nuevo núcleo actual; pasa a la Etapa A2 para llevar a cabo un nuevo inicio normal.

10 **[0058]** Etapa A7: si ninguno de los procesadores del sistema consigue iniciarse después de que todos los núcleos se sondean una vez, el chip de procesador multinúcleo será descartado y no se reutilizará. El chip puede entrar en un estado operativo, siempre que haya un procesador que pueda funcionar normalmente, y los otros procesadores que fallan al iniciarse normalmente pueden iniciarse nuevamente aplicando parches, actualizándose en línea y mediante otras formas siempre que no se produzca ningún problema en el hardware.

15 **[0059]** En la presente realización, las etapas A1 a A7 se pueden llevar a cabo en cualquier orden.

Realización 6

20 **[0060]** Basándose en la realización 4, la Figura 4 es un diagrama de flujo que muestra que un chip de procesador multinúcleo se inicia según una realización de la descripción; como se muestra en la Figura 4, el diagrama de flujo representa procedimientos de procesamiento cuando el chip se inicia normalmente según el flujo de inicio del chip y procedimientos de procesamiento con salto en casos anormales. El flujo incluye las siguientes etapas.

25 **[0061]** Etapa 401: cuando un chip de sistema se pone en marcha o se reinicia de manera externa, un controlador de arranque determina un primer procesador según la primera cola de prioridades, en la presente memoria el primer procesador se considera el procesador actual y determina una primera unidad de almacenamiento para el procesador actual según una segunda cola de prioridades, en la que la primera unidad de almacenamiento se considera la unidad de almacenamiento actual.

30 **[0062]** Etapa 402: el procesador actual lee una primera parte del programa de inicio desde una ROM en chip y realiza una configuración inicial.

35 **[0063]** Etapa 403: después de realizar la configuración de la primera parte del programa de inicio, el procesador actual salta a una primera dirección flash_dirección1 de un canal flash para cargar una segunda parte del programa de inicio; cuando la carga se lleva a cabo con éxito, pasa a la Etapa 404; o bien pasa a la Etapa 405.

40 **[0064]** Etapa 404: el procesador actual determina si la frecuencia dominante del sistema ha aumentado; si no es así, la configuración se lleva a cabo para aumentar la frecuencia dominante del sistema; si el controlador de arranque recibe el mensaje de inicio con éxito en el tiempo especificado, pasa a la Etapa 406.

45 **[0065]** Etapa 405: el procesador actual salta, según la indicación del controlador de arranque, a una segunda dirección flash_dirección2 del canal flash para cargar un programa de inicio de seguridad; si la carga se lleva a cabo con éxito, el mensaje de inicio con éxito se envía al controlador de arranque, y pasa a la Etapa 406; o el mensaje de fallo en la carga se envía al controlador de arranque, y luego el controlador de arranque realiza la configuración de asignación de direcciones para habilitar al procesador para que se inicie desde el canal USB.

50 **[0066]** Etapa 406: el controlador de arranque selecciona un núcleo con la prioridad más alta entre los núcleos que no se han iniciado como el procesador actual, y el núcleo lleva a cabo una nueva ronda de inicios; se llevan a cabo la Etapa 405 y las Etapas 407 a 410, y la Etapa 411 se lleva a cabo al final.

55 **[0067]** Etapa 407: el procesador actual carga el programa de inicio desde el canal USB; si la carga se lleva a cabo con éxito, el mensaje de inicio con éxito se envía al controlador de arranque, y se lleva a cabo la Etapa 406; o el mensaje de fallo en la carga se envía al controlador de arranque, y luego el controlador de arranque realiza la configuración de asignación de direcciones para habilitar al procesador para que se inicie desde el canal SGMII.

60 **[0068]** Etapa 408: el procesador actual carga el programa de inicio desde el canal SGMII; si la carga se lleva a cabo con éxito, el mensaje de inicio con éxito se envía al controlador de arranque, y pasa a la Etapa 406; o el mensaje de fallo en la carga se envía al controlador de arranque, y luego el controlador de arranque realiza la configuración de asignación de direcciones para habilitar al procesador para que se inicie desde el canal SRIO.

[0069] Etapa 409: el procesador actual carga el programa de inicio desde el canal SRIO; si la carga se lleva a cabo con éxito, el mensaje de inicio con éxito se envía al controlador de arranque, y pasa a la Etapa 406; o el mensaje de fallo en la carga se envía al controlador de arranque, y luego el controlador de arranque realiza la configuración de asignación de direcciones para habilitar al procesador para que se inicie desde el canal GPIO.

[0070] Etapa 410: el procesador actual carga el programa de inicio desde el canal GPIO; si la carga se lleva a cabo con éxito, los pines del canal GPIO se liberan, al mismo tiempo, el mensaje de inicio con éxito se envía al controlador de arranque, y se lleva a cabo la Etapa 406; o el mensaje de fallo en la carga se envía al controlador de arranque, y luego pasa a la Etapa 406.

[0071] Etapa 411: después de que todos los procesadores completan el flujo de inicio, el controlador de arranque resume información de estados acerca del inicio, y envía información de estados acerca del inicio con éxito o con fallos al exterior. En este momento termina el flujo de inicio.

[0072] En la presente realización, la Figura 5 es un diagrama esquemático de procesos de asignación de direcciones de distintos procesadores en el mismo canal según una realización de la descripción. Como se muestra en la Figura 5, puesto que los programas de inicio en el mismo canal de los procesadores multinúcleo en el chip se almacenan en distintas direcciones, las direcciones de inicio asignadas mediante la unidad de gestión de asignación de canales son diferentes. Cuando los programas de inicio se almacenan en un modo ROM + flash, para el primer procesador, hay dos direcciones de inicio en el canal flash; la primera dirección de inicio corresponde a la segunda parte del programa de inicio, y la segunda dirección de inicio corresponde al programa de inicio de seguridad.

[0073] En la realización de la descripción, las unidades de almacenamiento incluyen unidades de almacenamiento ROM en el chip y canal externo. Cuando se define la segunda cola de prioridades, la unidad de almacenamiento ROM tiene la prioridad más alta; cuando el chip de procesador multinúcleo se comunica con el exterior mediante el canal flash, el canal SRIO, el canal SGMII, el canal USB y el canal GPIO, se puede definir la segunda cola de prioridades en orden descendente de prioridad como: canal flash, canal USB, canal SGMII, canal SRIO y canal GPIO.

[0074] En la realización de la descripción, si el procedimiento de inicio de chip se implementa mediante módulos de función de software, y los módulos de función de software se venden o utilizan como productos independientes, también se pueden almacenar en un medio de almacenamiento legible por ordenador. En función de esta premisa, las soluciones técnicas en las realizaciones de la descripción que sustancialmente o en parte ofrecen una contribución a la técnica tradicional se pueden realizar en forma de producto de software; el producto de software informático se almacena en un medio de almacenamiento e incluye distintas instrucciones para que un dispositivo informático (que puede ser un ordenador personal, un servidor o un dispositivo de red, etc.) realice todo o parte del procedimiento en cada realización de la descripción. El medio de almacenamiento antes mencionado incluye: un disco de unidad flash USB, un disco duro externo, una ROM, un disco magnético o CD, y otros medios que pueden almacenar códigos de programa. De esta forma, la descripción no está limitada a cualquier combinación particular de hardware o software.

[0075] En consecuencia, la realización de la descripción también proporciona un medio de almacenamiento en ordenador, que almacena una instrucción ejecutable por ordenador, en el que la instrucción ejecutable por ordenador se utiliza para llevar a cabo el procedimiento de inicio de chip.

[0076] Las detalladas más arriba son únicamente las implementaciones preferidas de la descripción y no pretenden limitar el alcance de protección de la descripción; cualquier cambio o sustitución que se les pueda ocurrir fácilmente a los expertos en la materia en el alcance de las tecnologías descritas en la descripción quedarán comprendidos dentro del alcance de protección de la descripción. Por consiguiente, el alcance de protección de la descripción está sujeto al alcance de protección de las reivindicaciones.

50 APLICACIÓN INDUSTRIAL

[0077] En las realizaciones de la descripción, se define una primera cola de prioridades para un chip de procesador multinúcleo, a saber, un chip que incluye más de dos procesadores; se selecciona determinado procesador como el procesador de primer núcleo de inicio, y la prioridad del procesador de primer núcleo se define como la más alta; a continuación se define una cola de prioridades de inicio de cada unidad de almacenamiento para cada procesador; en el proceso de inicio, los procesadores se inician en orden descendente de prioridad, el programa de inicio se carga desde unidades de almacenamiento según un orden descendente de prioridad, y el programa de inicio se ejecuta para llevar a cabo la operación de inicialización; de esta forma, la optimización estructural se puede llevar a cabo en el chip multinúcleo y multicanal, evitando de este modo el fallo del chip producido por el fallo en el inicio y mejorando entonces la potencia y rendimiento del chip; además, aplicar estos chips a dispositivos puede evitar que los dispositivos se descarten debido al fallo en el inicio de los chips.

REIVINDICACIONES

- 5 1. Un procedimiento de inicio de chip para uso en un chip de procesador que comprende al menos más de
dos procesadores y más de dos unidades de almacenamiento, que comprende: definir una primera cola de
prioridades de inicio de los más de dos procesadores, y definir una segunda cola de prioridades de inicio de cada
una de las más de dos unidades de almacenamiento para cada procesador (101); y que además comprende:
10 determinar, según la primera cola de prioridades, un primer procesador que se ha de iniciar y tiene una prioridad más
alta (102);
cargar sucesivamente, mediante el primer procesador, un programa de inicio a partir de cada unidad de
almacenamiento según la segunda cola de prioridades correspondiente al primer procesador, y ejecutar el programa
15 de inicio para llevar a cabo una operación de inicialización (102);
finalizar la carga del programa del primer procesador cuando la carga del programa de inicio a partir de cualquiera de
las más de dos unidades de almacenamiento se lleve a cabo con éxito, o la carga del programa de inicio a partir de
todas las más de dos unidades de almacenamiento falle (103); e
20 iniciar la carga del programa de un segundo procesador hasta que se complete la carga del programa de los más de
dos procesadores (104).
- 25 2. El procedimiento según la reivindicación 1, en el que el chip de procesador multinúcleo además comprende
un controlador de arranque, y el procedimiento además comprende:
enviar, mediante el primer procesador, un mensaje de inicio con éxito al controlador de arranque cuando la carga del
programa de inicio a partir de cualquiera de las más de dos unidades de almacenamiento se lleve a cabo con éxito; y
en el que iniciar la carga del programa del segundo procesador comprende:
30 determinar, mediante el controlador de arranque, el segundo procesador que se ha de iniciar y tiene una segunda
prioridad más alta según la primera cola de prioridades cuando se reciba el mensaje de inicio con éxito enviado por el
primer procesador o se determine que el primer procesador falla al cargar el programa de inicio a partir de una unidad
de almacenamiento con la prioridad más baja en la segunda cola de prioridades correspondiente al primer procesador.
- 35 3. El procedimiento según la reivindicación 1, en el que el chip de procesador multinúcleo además comprende
un controlador de arranque;
en el que determinar, según la primera cola de prioridades, el primer procesador que se ha de iniciar y que tiene la
prioridad más alta comprende:
40 que el controlador de arranque determine el primer procesador según la primera cola de prioridades, y determinar,
para el primer procesador, una unidad de almacenamiento actual a partir de la cual se ha de cargar el programa de
inicio según la segunda cola de prioridades correspondiente al primer procesador; y
45 en el que la carga sucesiva, por parte del primer procesador, del programa de inicio a partir de cada unidad de
almacenamiento según la segunda cola de prioridades correspondiente al primer procesador y la ejecución del
programa de inicio para llevar a cabo la operación de inicialización comprenden las etapas de:
carga, por parte el primer procesador, del programa de inicio a partir de la unidad de almacenamiento actual (202);
50 cuando se determina que la carga se ha llevado a cabo con éxito, ejecución, por parte del primer procesador, del
programa de inicio para llevar a cabo la operación de inicialización (203);
cuando se determina que la carga falla, que el controlador de arranque determine para el primer procesador una
próxima unidad de almacenamiento como unidad de almacenamiento actual a partir de la cual se ha de cargar el
55 programa de inicio según la segunda cola de prioridades correspondiente al primer procesador; y
que se repitan los pasos de cargar, ejecutar y determinar hasta que el primer procesador cargue el programa de inicio
a partir de una unidad de almacenamiento con la prioridad más baja en la segunda cola de prioridades correspondiente
al primer procesador (204).
- 60 4. El procedimiento según la reivindicación 3, en el que la determinación de que la carga falla comprende:

cuando el programa de inicio se carga a partir de la unidad de almacenamiento actual, que el primer procesador envíe un mensaje de comienzo de inicio al controlador de arranque;

5 medir el tiempo transcurrido a partir de la recepción del mensaje de comienzo de inicio; si el mensaje de inicio con éxito enviado por el primer procesador no se recibe cuando se excede un umbral de temporización, determinar que el primer procesador falla al cargar el programa de inicio a partir de la unidad de almacenamiento actual.

10 5. El procedimiento según la reivindicación 1, que además comprende:
determinar un procesador que ajusta la frecuencia de un reloj del sistema más rápidamente como el primer procesador con la prioridad más alta.

15 6. El procedimiento según la reivindicación 1, en el que el chip de procesador multinúcleo además comprende una unidad de Acceso Directo a Memoria, DMA, y una unidad de almacenamiento en chip, y el procedimiento además comprende:

20 cuando el primer procesador carga el programa de inicio con éxito y ejecuta el programa de inicio para llevar a cabo la operación de inicialización, que la unidad de DMA, según la primera cola de prioridades, mueva los programas de inicio de otros procesadores cuyas prioridades son más bajas que la del primer procesador a la unidad de almacenamiento en chip.

25 7. El procedimiento según cualquiera de las reivindicaciones 1 a 6, en el que cuando el chip de procesador multinúcleo adopta una unidad de almacenamiento de Memoria de Solo Lectura, ROM, y una unidad de almacenamiento de un canal flash, la primera unidad de almacenamiento del primer procesador comprende la unidad de almacenamiento ROM y la unidad de almacenamiento del canal flash; y en el que ejecutar el programa de inicio para llevar a cabo la operación de inicialización comprende:

30 que el primer procesador lea una primera parte del programa de inicio de la unidad de almacenamiento ROM y ejecute la primera parte del programa de inicio y lea, según una instrucción de salto al final de la primera parte del programa de inicio, una segunda parte del programa de inicio de la unidad de almacenamiento del canal flash y ejecute la segunda parte del programa de inicio.

35 8. El procedimiento según cualquiera de las reivindicaciones 1 a 6, en el que cuando el chip de procesador multinúcleo comprende un microcontrolador, MCU, una Unidad de Procesamiento Central, CPU, y un Procesador Digital de Señales, DSP, estos se clasifican en orden descendente de prioridad en la primera cola de prioridades como: MCU, CPU y DSP.

40 9. Un chip de procesador multinúcleo, que comprende al menos un controlador de arranque (301), más de dos procesadores (302, 303, 304) y más de dos unidades de almacenamiento (305, 313), en el que el controlador de arranque está conectado de manera comunicativa con cada procesador, y los más de dos procesadores están conectados en secuencia según un orden definido de una primera cola de prioridades;

45 el controlador de arranque (301) está configurado para determinar un procesador actual según la primera cola de prioridades de inicio de los más de dos procesadores (302, 303, 304), y determinar, para el procesador actual, unidades de almacenamiento actuales desde donde se ha de cargar un programa de inicio según una segunda cola de prioridades correspondiente al procesador actual;

50 el procesador actual está configurado para cargar el programa de inicio a partir de cada unidad de almacenamiento actual según la segunda cola de prioridades correspondiente al procesador actual y ejecutar el programa de inicio para llevar a cabo una operación de inicialización; el procesador actual además está configurado para salir de la carga del programa de inicio cuando la carga del programa de inicio a partir de cualquiera de las más de dos unidades de almacenamiento (305, 313) se lleve a cabo con éxito, o la carga del programa de inicio a partir de todas las más de dos unidades de almacenamiento (305, 313) falle.

55 10. El chip de procesador multinúcleo según la reivindicación 9, en el que el chip de procesador multinúcleo además comprende una unidad de Acceso Directo a Memoria, DMA, (312); la unidad de DMA (312) está configurada para, cuando el procesador actual carga el programa de inicio con éxito y ejecuta el programa de inicio para llevar a cabo la operación de inicialización, mover los programas de inicio de otros procesadores cuyas prioridades son más bajas que la del procesador actual a una unidad de almacenamiento en chip según la primera cola de prioridades.

11. Un medio de almacenamiento en ordenador que tiene instrucciones ejecutables por ordenador almacenadas, que cuando se ejecutan mediante un chip de procesador multinúcleo hacen que el chip de procesador multinúcleo lleve a cabo un procedimiento de inicio de chip según cualquiera de las reivindicaciones 1 a 8.

Fig. 1

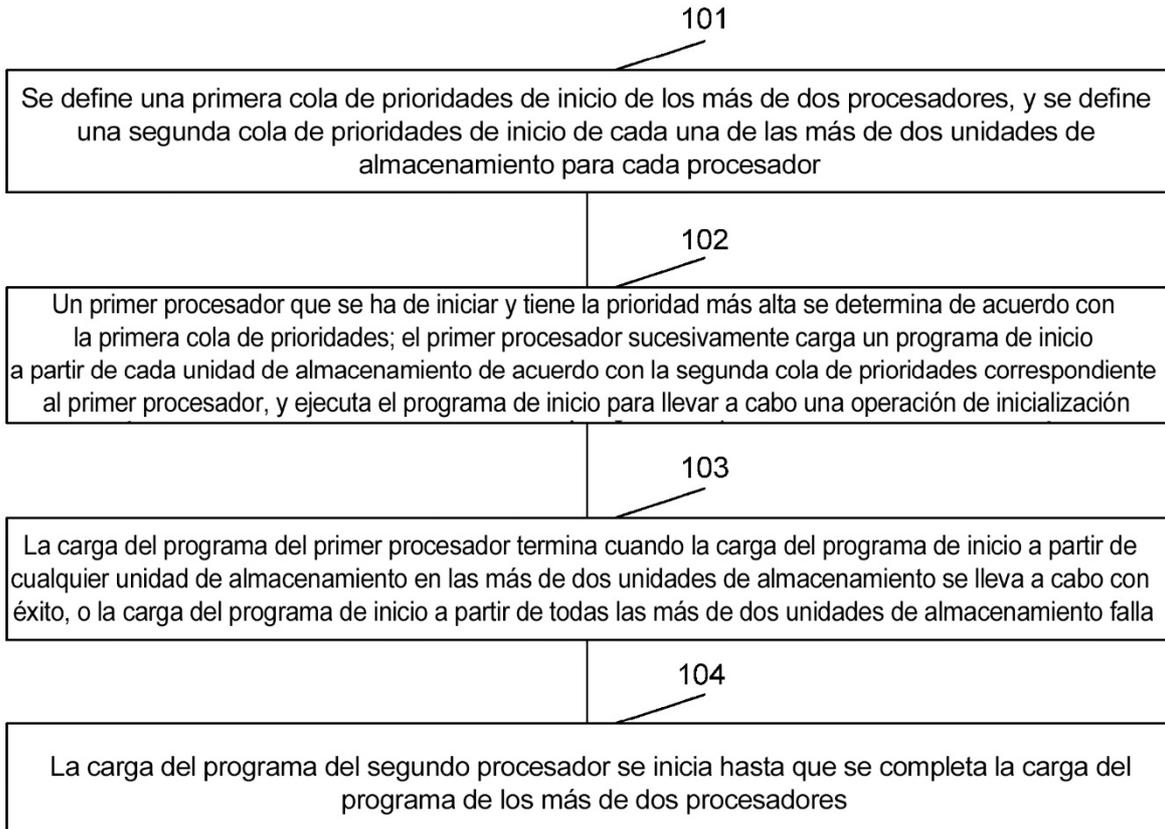


Fig. 2

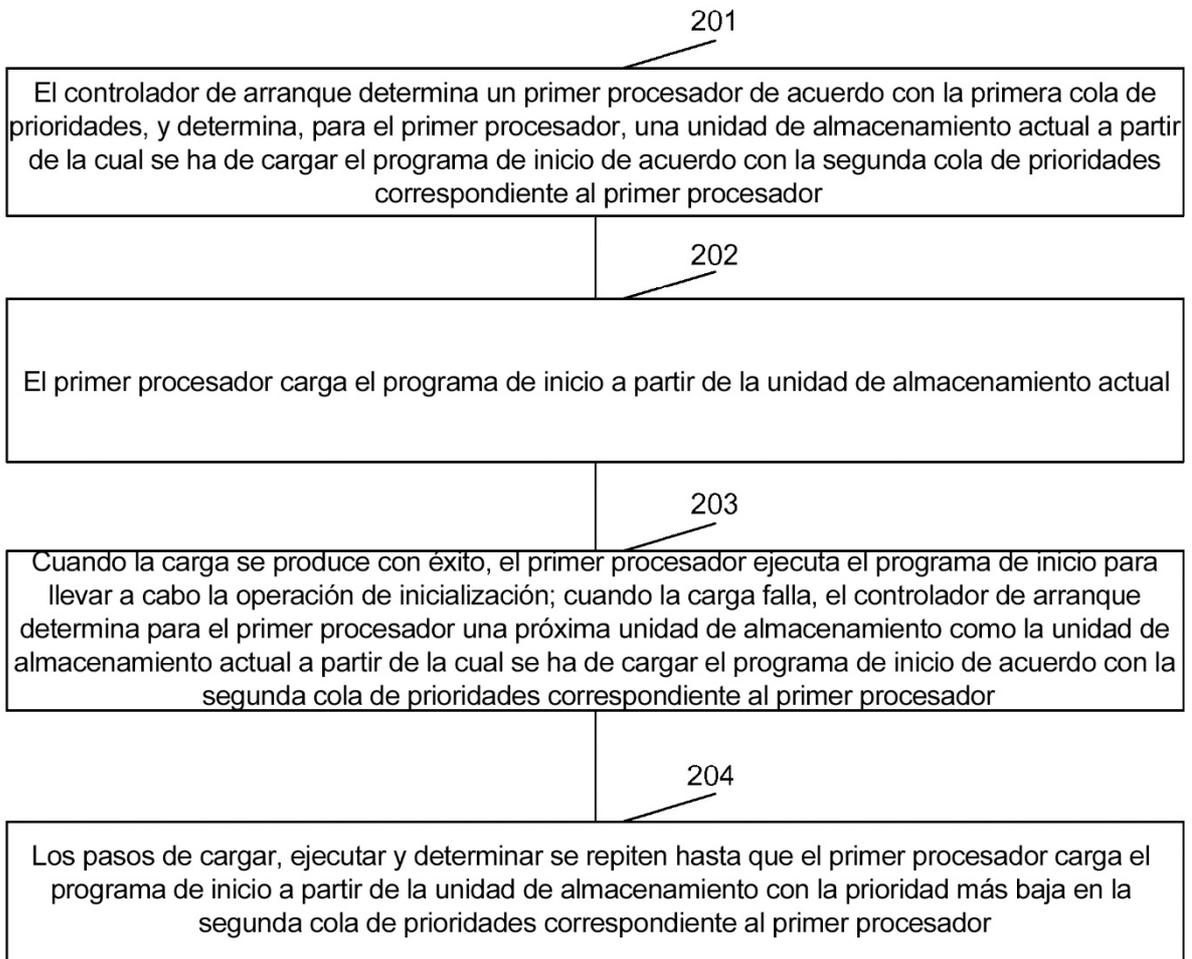


Fig. 3

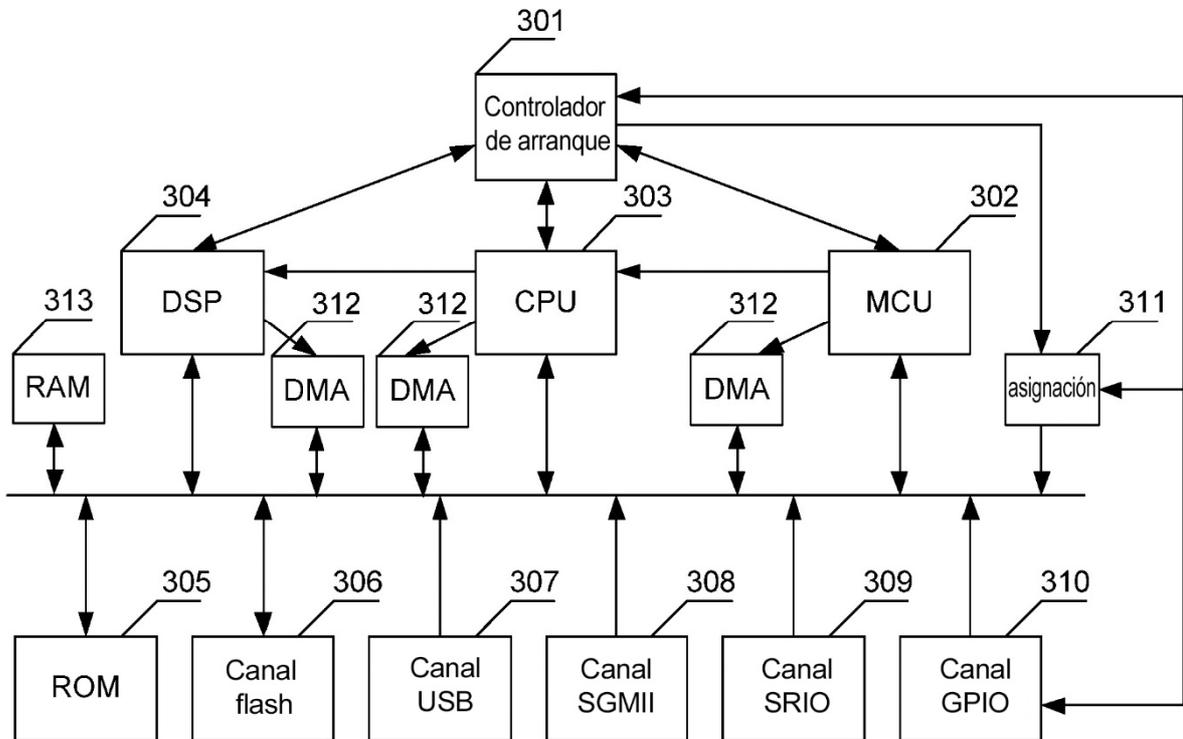


Fig. 4

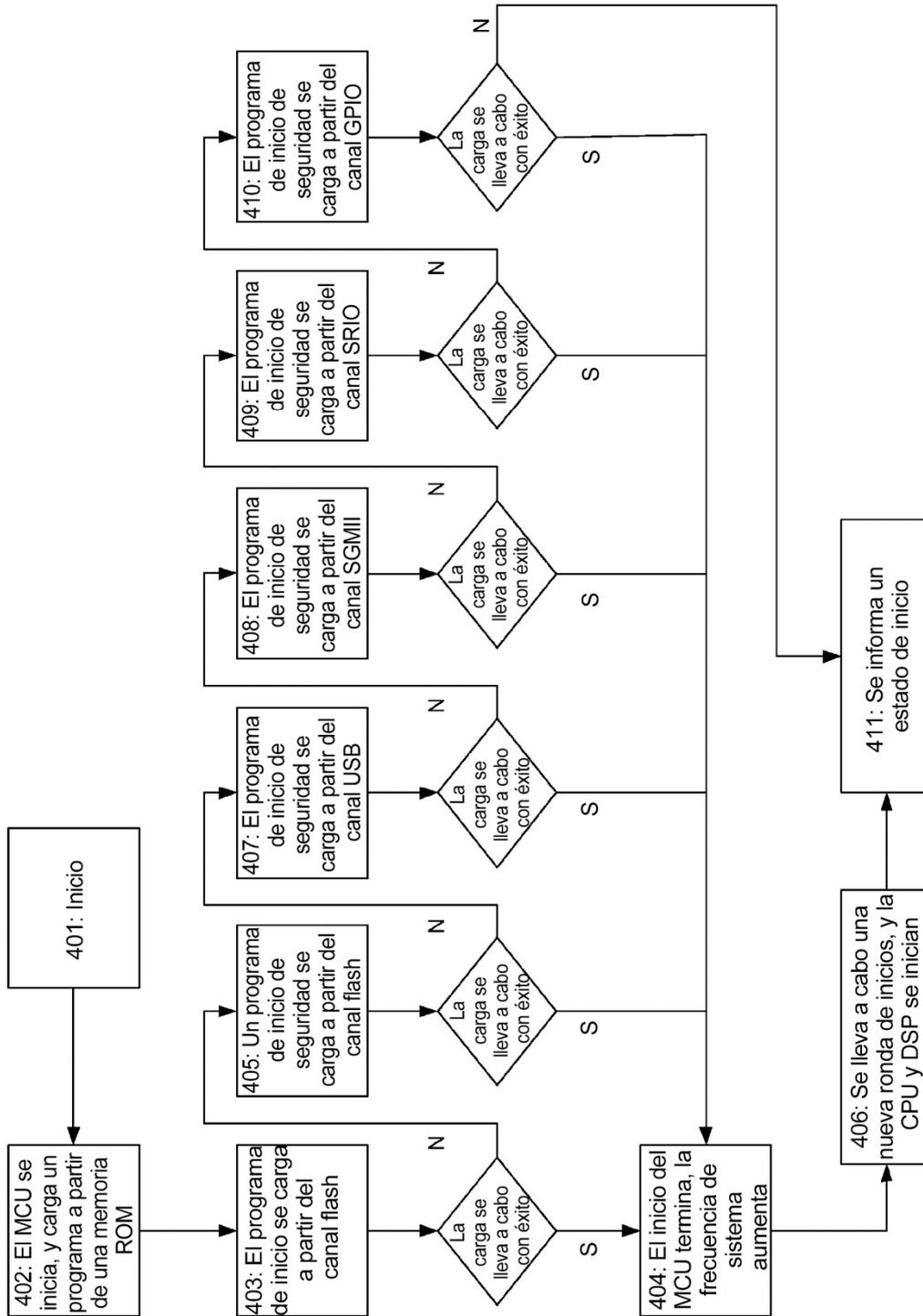


Fig. 5

