

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 672 237**

51 Int. Cl.:

H04B 1/00	(2006.01)
H04B 1/403	(2015.01)
H04L 5/00	(2006.01)
H04B 1/50	(2006.01)
H04B 1/54	(2006.01)
H04B 1/3827	(2015.01)
H04J 4/00	(2006.01)
H04L 5/14	(2006.01)
H04W 88/02	(2009.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **04.05.2015 PCT/US2015/029067**
- 87 Fecha y número de publicación internacional: **03.12.2015 WO15183478**
- 96 Fecha de presentación y número de la solicitud europea: **04.05.2015 E 15724135 (7)**
- 97 Fecha y número de publicación de la concesión europea: **04.04.2018 EP 3149859**

54 Título: **Transceptor multimodo reconfigurable**

30 Prioridad:

28.05.2014 US 201462004011 P
13.10.2014 US 201414513003

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

13.06.2018

73 Titular/es:

QUALCOMM INCORPORATED (100.0%)
5775 Morehouse Drive
San Diego, CA 92121-1714, US

72 Inventor/es:

NARATHONG, CHIEWCHARN;
LEUNG, LAI KAN;
PAN, DONGLING;
RANGARAJAN, RAJAGOPALAN;
WANG, KEVIN HSI-HUAI;
ASURI, BHUSHAN SHANTI y
TANG, YIWU

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 672 237 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Transceptor multimodo reconfigurable

5 ANTECEDENTES

Campo

10 **[1]** Esta invención se refiere en general a transceptores, y más específicamente, a un transceptor multimodo reconfigurable.

Antecedentes

15 **[2]** Un transceptor en un sistema de comunicación puede transmitir datos usando un transmisor y recibir datos usando un receptor para la comunicación bidireccional. El transceptor también puede soportar agregación de portadoras (CA), que es una operación simultánea en múltiples portadoras. Transceptores multimodo incluyendo Evolución a Largo Plazo (LTE) / Dúplex por División de Frecuencia (FDD), LTE / Dúplex por División de Tiempo (TDD), Fallback de Circuito Conmutado (CSFB), Voz Simultánea y LTE (SVLTE), GSM y LTE Simultáneos (SGLTE), Dual SIM Dual Standby (DSDS) y otros dispositivos configurados de manera similar coexisten en varias combinaciones diferentes en diferentes regiones del mundo. Además, la agregación de portadoras de LTE con 2, 3 y 4 enlaces descendentes ya está disponible o estará pronto disponible. Por lo tanto, se necesita un dispositivo que pueda controlar múltiples modos y bandas a la vez que proporciona interoperabilidad FDD y TDD sin problemas para satisfacer la creciente demanda de datos inalámbricos. Sin embargo, el soporte de las operaciones FDD y TDD complica las conexiones del oscilador local LO y el sintetizador con los enlaces de recepción (RX) y transmisión (TX) en el transceptor multimodo.

20 **[3]** Para abordar los problemas relacionados con la necesidad de dispositivos multibanda y multimodo, se puede utilizar una configuración de dos chips en la que un transceptor (por ejemplo, un transceptor FDD) reside en un primer chip y otro transceptor (por ejemplo, un transceptor TDD compatible con LTE -CA y otras tecnologías) reside en un segundo chip. Aunque esta configuración puede proporcionar las características necesarias, ocupará más área de chip, consumirá más corriente y soportará menos combinaciones de CA que una solución de un solo chip. En consecuencia, existe la necesidad de reconfigurar y reutilizar el transceptor de forma flexible con un hardware mínimo para proporcionar una solución de un solo chip para mejorar la interoperabilidad FDD y TDD y una mejor utilización del espectro.

25 **[4]** Se llama la atención sobre el documento US 2009/156135 A1 que describe un transceptor que incluye un oscilador y una pluralidad de bloques de comunicación. Cada uno de los bloques de comunicación incluye divisores de frecuencia y mezcladores. El número de división de frecuencia del divisor de frecuencia incluido en un bloque de comunicación se establece en un número par, y las señales locales de transmisión suministradas desde los divisores de frecuencia al mezclador se convierten en señales de cuadratura que tienen una diferencia de fase de 90 grados. El número de división de frecuencia de otro divisor de frecuencia en el otro bloque de comunicación se configura como no entero, y las señales locales de comunicación suministradas desde el divisor de frecuencia a los mezcladores se convierten en señales que no están en cuadratura que tienen una diferencia de fase en un ángulo de desviación predeterminado de 90 grados. El transceptor incluye además una unidad de conversión para proporcionar una cantidad compensatoria de desviación que tiene casi el mismo valor absoluto y que tiene una polaridad opuesta a la del ángulo de desviación con respecto a las señales analógicas de comunicación relacionadas con el mezclador del otro bloque de comunicación. Se puede reducir el aumento en el número de osciladores controlados por voltaje para la comunicación multibanda, la ampliación de la banda y el aumento del ruido de fase.

30 **[5]** De acuerdo con la presente invención, se proporciona un procedimiento y un circuito de transceptor reconfigurable, como se expone en las reivindicaciones independientes, respectivamente. Los modos de realización preferidos de la invención se describen en las reivindicaciones dependientes.

55 BREVE DESCRIPCIÓN DE LOS DIBUJOS

[6] Los detalles de la presente divulgación, tanto en cuanto a su estructura como a su funcionamiento, pueden recogerse parcialmente mediante el estudio de los dibujos adjuntos, en los cuales números de referencia similares se refieren a partes similares y en los cuales:

- 60 la FIG. 1A es un dispositivo inalámbrico que se comunica con un sistema de comunicación inalámbrica.
- la FIG. 1B es un diagrama de bloques de un diseño a modo de ejemplo del dispositivo inalámbrico mostrado en la FIG. 1A;
- 65 la FIG. 1C es un diagrama de flujo que ilustra un procedimiento para reconfigurar un diseño de transceptor para

maximizar el número de enlaces descendentes (DL) y enlaces ascendentes (UL) usando un número fijo de sintetizadores de acuerdo con un modo de realización de la presente divulgación;

5 la FIG. 2A ilustra un ejemplo de caso (LTE FDD(3DL+1UL) + LTE TDD(1DL+1UL)) de un transceptor FDD/TDD CA diseñado usando el procedimiento descrito en la FIG. 1C;

la FIG. 2B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor FDD/TDD CA mostrado en la FIG. 2A;

10 la FIG. 3A ilustra otro ejemplo de caso (LTE TDD(2DL/intra/no contigua+1UL+2DL/inter+1UL)) de un transceptor TDD CA diseñado usando el procedimiento descrito en la FIG. 1C;

la FIG. 3B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor TDD CA mostrado en la FIG. 3A;

15 la FIG. 4A ilustra otro ejemplo de caso (LTE FDD(4DL+1UL)) de un transceptor FDD CA diseñado usando el procedimiento descrito en la FIG. 1C;

la FIG. 4B ilustra las rutas de señal para las cadenas RX y TX de un transceptor FDD CA mostrado en la FIG. 4A;

20 la FIG. 5A ilustra otro ejemplo de caso (LTE FDD(2DL/intra+1UL+1DL+1UL)) de un transceptor FDD CA diseñado usando el procedimiento descrito en la FIG. 1C;

la FIG. 5B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor FDD CA mostrado en la FIG. 5A;

25 la FIG. 6A ilustra otro ejemplo de caso (LTE FDD(3DL+1UL) + GSM/TDD(1DL+1UL)) de un transceptor FDD/TDD/GSM CA diseñado usando el procedimiento descrito en la FIG. 1C;

30 la FIG. 6B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor FDD/TDD/GSM CA mostrado en la FIG. 6A;

la FIG. 7A ilustra otro ejemplo de caso (SVLTE TDD(3DL+1UL) + CDMA/FDD(1DL+1UL)) de un transceptor FDD/TDD/SVLTE CA diseñado usando el procedimiento descrito en la FIG. 1C;

35 la FIG. 7B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor FDD/TDD/SVLTE CA mostrado en la FIG. 7A;

la FIG. 8A ilustra otro ejemplo de caso (SVLTE FDD(2DL+1UL) + LTE TDD(1DL+1UL) + CDMA(1DL)) de un transceptor FDD/TDD/SVLTE+DSDS CA diseñado usando el procedimiento descrito en la FIG. 1C; y

40 la FIG. 8B ilustra rutas de señal para las cadenas Rx y Tx de un transceptor FDD/TDD/SVLTE+DSDS CA mostrado en la FIG. 8A.

DESCRIPCIÓN DETALLADA

45 **[7]** Como se describió anteriormente, el soporte de operaciones FDD y TDD complica la conexión del LO y del sintetizador a los enlaces de recepción (RX) y de transmisión (TX) en el transceptor multimodo.

50 **[8]** Los modos de realización descritos en el presente documento proporcionan la reconfiguración flexible y la reutilización del transceptor con hardware mínimo para proporcionar una solución de un solo chip para mejorar la interoperabilidad dúplex por división de frecuencia (FDD) y dúplex por división de tiempo (TDD) y una mejor utilización del espectro. Después de leer esta descripción, será evidente cómo implementar la invención en varias implementaciones y aplicaciones. Aunque se describirán en el presente documento diversas implementaciones de la presente divulgación, se entiende que estas implementaciones se presentan solo a modo de ejemplo, y no de limitación. Como tal, esta descripción detallada de varias implementaciones no debe interpretarse como que limita el alcance o amplitud de la presente divulgación.

60 **[9]** la FIG. 1A es un dispositivo inalámbrico 110 que se comunica con un sistema de comunicación inalámbrica 100. El sistema inalámbrico 100 puede ser un sistema de Evolución a Largo Plazo (LTE), un sistema de Acceso Múltiple por División de Código (CDMA), un Sistema global para comunicaciones móviles (GSM), un sistema de Red inalámbrica de área local (WLAN), o algún otro sistema inalámbrico. Un sistema CDMA puede implementar CDMA de banda ancha (WCDMA), CDMA 1X, optimización por datos de evolución (EVDO), CDMA síncrono con división temporal (TD-SCDMA), o alguna otra versión de CDMA. Para simplificar, la FIG. 1A muestra el sistema inalámbrico 100 incluyendo dos estaciones base 120 y 122 y un controlador del sistema 130. En general, un sistema inalámbrico puede incluir cualquier número de estaciones base y cualquier conjunto de entidades de red.

65

[10] El dispositivo inalámbrico 110 también puede denominarse un equipo de usuario (UE), una estación móvil, un terminal, un terminal de acceso, una unidad de abonado, una estación, etc. El dispositivo inalámbrico 110 puede ser un teléfono móvil, un teléfono inteligente, una tablet, un módem inalámbrico, un asistente digital personal (PDA), un dispositivo portátil, un ordenador portátil, un smartbook, un netbook, un teléfono inalámbrico, una estación de bucle local inalámbrico (WLL), un dispositivo Bluetooth, etc. El dispositivo 110 puede ser capaz de comunicarse con el sistema inalámbrico 100. El dispositivo inalámbrico 110 también puede recibir señales de estaciones de radiodifusión (por ejemplo, una estación de difusión 124), señales de satélites (por ejemplo, un satélite 140) en uno o más sistemas globales de navegación por satélite (GNSS), etc. El dispositivo inalámbrico 110 puede soportar una o más tecnologías de radio para la comunicación inalámbrica tales como LTE, WCDMA, CDMA 1X, EVDO, TD-SCDMA, GSM, 802.11, etc.

[11] El dispositivo inalámbrico 110 puede ser capaz de funcionar en la banda baja (LB) cubriendo frecuencias inferiores a 1000 megahercios (MHz), en la banda media (MB) cubriendo frecuencias desde 1000 MHz a 2300 MHz y/o en la banda alta (HB) cubriendo frecuencias superiores a 2300 MHz. Por ejemplo, la banda baja puede cubrir de 698 a 960 MHz, la banda media puede cubrir de 1475 a 2170 MHz, y la banda alta puede cubrir de 2300 a 2690 MHz y de 3400 a 3800 MHz. La banda baja, la banda media y la banda alta se refieren a tres grupos de bandas, incluyendo cada grupo de bandas varias bandas de frecuencias (o simplemente "bandas"). Cada banda puede cubrir hasta 200 MHz. La versión 11 de LTE soporta 35 bandas, que se denominan bandas LTE/UMTS y se enumeran en un documento disponible públicamente 3GPP TS 36. 101. En general, se puede definir cualquier número de grupos de banda. Cada grupo de bandas puede cubrir cualquier rango de frecuencias, que puede o no coincidir con cualquiera de los rangos de frecuencias indicados anteriormente. Cada grupo de bandas puede incluir cualquier cantidad de bandas.

[12] El dispositivo inalámbrico 110 puede soportar agregación de portadoras, que es funcionamiento en múltiples portadoras con múltiples enlaces descendentes (DL) y múltiples enlaces ascendentes (UL) para la tecnología LTE avanzada en los modos FDD y TDD. De este modo, la agregación de portadoras también se puede denominar funcionamiento de múltiples portadoras. Una portadora puede referirse a un intervalo de frecuencias usadas para la comunicación y puede asociarse a ciertas características. Por ejemplo, una portadora puede estar asociada a información del sistema y/o información de control que describe el funcionamiento de la portadora. También se puede hacer referencia a una portadora como una portadora de componentes (CC), un canal de frecuencia, una célula, etc. Una banda puede incluir una o más portadoras. Cada portadora puede cubrir hasta 20 MHz en LTE. El dispositivo inalámbrico 110 puede estar configurado con hasta 5 portadoras en una o dos bandas.

[13] El dispositivo inalámbrico 110 puede recibir múltiples señales transmitidas enviadas de forma concurrente a diferentes frecuencias. Estas señales transmitidas múltiples pueden ser enviadas por (i) una o más estaciones base en múltiples portadoras en diferentes frecuencias para la agregación de portadoras, o (ii) diferentes estaciones base en el mismo sistema inalámbrico para multipuntos coordinados (CoMP), o (iii) una o más estaciones base en uno o más sistemas inalámbricos para servicios concurrentes (por ejemplo, voz / voz concurrente, voz / datos, datos / datos, etc.), o (iv) una o más estaciones base para transmisiones concurrentes.

[14] La FIG. 1B es un diagrama de bloques de un diseño a modo de ejemplo del dispositivo inalámbrico 110 mostrado en la FIG. 1A. En este diseño a modo de ejemplo, el dispositivo inalámbrico 110 incluye un transceptor 220 acoplado a una antena principal 214, un transceptor 222 acoplado a una antena secundaria 212, y un procesador / controlador de datos 280. El transceptor 220 incluye múltiples (k) receptores de 230pa a 230pk y múltiples (k) transmisores de 250pa a 250pk para soportar múltiples bandas de frecuencias, múltiples tecnologías de radio, agregación de portadoras, etc. El transceptor 222 incluye múltiples (l) receptores de 230sa a 230sl y múltiples (l) transmisores 250sa a 250sl para soportar múltiples bandas de frecuencias, múltiples tecnologías de radio, agregación de portadoras, diversidad de recepción, transmisión de múltiples entradas y múltiples salidas (MIMO) desde múltiples antenas de transmisión a múltiples antenas de recepción, etc.

[15] En el diseño a modo de ejemplo mostrado en la FIG. 1B, cada receptor 230 incluye un LNA 240 y circuitos de recepción 242. Para la recepción de datos, la antena 214 recibe señales de estaciones base y/u otras estaciones transmisoras y proporciona una señal de RF recibida, que se encamina a través de un circuito de interfaz de antena 224 y se proporciona como una señal de RF de entrada a un receptor seleccionado. El circuito de interfaz de antena 224 puede incluir conmutadores, duplexores, filtros de transmisión, filtros de recepción, circuitos de adaptación, etc. La siguiente descripción supone que el receptor 230pa es el receptor seleccionado. Dentro del receptor 230pa, un LNA 240pa amplifica la señal de RF de entrada y proporciona una señal de RF de salida. Los circuitos de recepción 242pa convierten de forma descendente la señal de RF de salida de RF a banda base, amplifican y filtran la señal convertida de forma descendente, y proporcionan una señal analógica de entrada al procesador de datos 280. Los circuitos receptores 242pa pueden incluir mezcladores, filtros, amplificadores, circuitos de adaptación, un oscilador, un generador de oscilador local (LO), un bucle con bloqueo de fase (PLL), etc. Cada receptor restante 230 en los transceptores 220 y 222 puede funcionar de manera similar al receptor 230pa.

[16] En el diseño a modo de ejemplo mostrado en la FIG. 1B, cada transmisor 250 incluye circuitos de transmisión 252 y un amplificador de potencia (PA) 254. Para la transmisión de datos, el procesador de datos 280 procesa (por ejemplo, codifica y modula) los datos a transmitir y proporciona una señal de salida analógica a un

transmisor seleccionado. La siguiente descripción supone que el transmisor 250pa es el transmisor seleccionado. Dentro del transmisor 250pa, los circuitos de transmisión 252pa amplifican, filtran y convierten de forma ascendente la señal de salida analógica de la banda base a RF y proporcionan una señal de RF modulada. Los circuitos de transmisión 252pa pueden incluir amplificadores, filtros, mezcladores, circuitos de adaptación, un oscilador, un generador de LO, un PLL, etc. Un PA 254pa recibe y amplifica la señal de RF modulada y proporciona una señal de RF de transmisión que tiene el nivel de potencia de salida apropiado. La señal de RF de transmisión se encamina a través del circuito de interfaz de antena 224 y se transmite a través de la antena 214. Cada transmisor 250 restante en los transceptores 220 y 222 puede funcionar de manera similar que el transmisor 250pa.

[17] La FIG. 1B también muestra un diseño a modo de ejemplo del receptor 230 y el transmisor 250. Un transmisor y un receptor también pueden incluir otros circuitos no mostrados en la FIG. 1B, tales como filtros, circuitos de adaptación, etc. Todos o una parte de los transceptores 220 y 222 pueden implementarse en uno o más circuitos integrados analógicos (IC), IC de RF (RFIC), IC de señal mixta, etc. Por ejemplo, los LNA 240 y los circuitos receptores 242 dentro de los transceptores 220 y 222 pueden implementarse en múltiples chips IC. Los circuitos en los transceptores 220 y 222 también pueden implementarse de otras maneras.

[18] El procesador / controlador de datos 280 puede realizar diversas funciones para el dispositivo inalámbrico 110. Por ejemplo, el procesador de datos 280 puede realizar el procesamiento de los datos recibidos a través de los receptores 230 y los datos transmitidos a través de los transmisores 250. El controlador 280 puede controlar el funcionamiento de los diversos circuitos dentro de los transceptores 220 y 222. Una memoria 282 puede almacenar códigos de programa y datos para el procesador de datos/controlador 280. El procesador de datos/controlador 280 se puede implementar en uno o más circuitos integrados específicos de la aplicación (ASIC) y/u otros IC.

[19] La agregación de portadoras (CA) puede incluir una célula de servicio principal (Pcell) y una o más células de servicio secundarias (SCells). Las frecuencias de recepción (Rx) y transmisión (Tx) están emparejadas en PCell. En algunos modos de realización, como en el caso de un enlace ascendente único, las frecuencias de recepción (Rx) y de transmisión (Tx) se pueden emparejar en PCell. En otros modos de realización, si la agregación de portadoras está habilitada en los enlaces ascendentes, es posible que el otro enlace ascendente se transmita en las otras frecuencias Tx en las SCells. En una combinación de banda específica, la primera célula especificada suele ser PCell. Por ejemplo, en la combinación de bandas B42 + B17 + B4 + B2, B42 es PCell y B 17, B4 y B2 son SCells. En un modo de realización, reconfigurar el transceptor para proporcionar una solución de un solo chip para mejorar la interoperabilidad de FDD y TDD implica mezclar apropiadamente sintetizadores en enlaces / cadenas de transmisor y receptor de los modos de CA. Por ejemplo, un sintetizador CA (CAO) se puede compartir de forma alternativa entre la cadena de receptor y la cadena de transmisor cuando este sintetizador CA (CAO) se asigna a una banda TDD. De lo contrario, en el modo FDD, el sintetizador CA (CAO) se utiliza por separado para la cadena de receptor o la cadena de transmisor desactivando una o la otra cadena. Simultáneamente, otros sintetizadores CA (CA1/2/3) o el sintetizador TX se pueden configurar para proporcionar las señales LO por separado a la cadena de receptor o a la cadena de transmisor. Esta configuración proporciona beneficios adicionales. Por ejemplo, para la parte de FDD, un enfoque de sintetizador separado permite: un buen aislamiento entre la ruta de la señal de recepción y la ruta de la señal de transmisión para evitar la desensibilización del receptor; y un buen aislamiento entre el oscilador de control de voltaje de recepción (VCO) y el VCO de transmisión para evitar el arrastre de VCO, lo cual puede provocar la degradación del ruido de fase integrado (IPN). Para la parte de TDD, un enfoque de sintetizador compartido simultáneamente permite conexiones cortas de LO de transmisor / receptor al sintetizador compartido para reducir el consumo de corriente.

[20] La Tabla 1 muestra varias configuraciones de ejemplo diferentes para demostrar la flexibilidad del diseño del transceptor FDD/TDD reconfigurable utilizando múltiples tecnologías. Por ejemplo, en configuraciones mixtas LTE FDD/TDD como las configuraciones 1-2, controlar las cadenas TDD Rx y Tx (CAO) con el sintetizador compartido (CAO) y la cadena FDD Rx o Tx con un sintetizador separado puede lograr la mejor utilización de hardware maximizando el número de enlaces descendentes a 4 y enlaces ascendentes a 2 con solo 5 sintetizadores en este ejemplo. Se pueden usar configuraciones similares para incluir tecnologías que no sean LTE. Por ejemplo, las Configuraciones 5-7 (suponiendo GSM como TDD y CDMA como FDD) usan el sintetizador compartido (CAO) para controlar el GSM o LTE en modo TDD y los otros sintetizadores separados se utilizan para controlar las otras tecnologías LTE o CDMA en modo FDD. Para las Configuraciones 3 y 4, que incluyen solo la tecnología FDD, el sintetizador compartido (CAO) se puede utilizar como un sintetizador FDD para la cadena Rx o la cadena Tx.

Tabla 1

Config. N.º	Tecnología	Modo	Sintetizador r CA1	Sintetizador CA2	Sintetizador r CA3	Sintetizador r CA0	Sintetizador de TX
1	LTE FDD/CA+LTE TDD/CA	4DL+2UL	RX	RX	RX	RX+TX	TX

Config. N.º	Tecnología	Modo	Sintetizador CA1	Sintetizador CA2	Sintetizador CA3	Sintetizador CA0	Sintetizador de TX
2	LTE TDD/CA+LTE TDD/CA	4DL+2UL	RX	RX	RX	RX+TX	TX
3	LTE FDD/CA	4DL+1UL	RX	RX	RX	RX	TX
4	LTE FDD/CA	3DL+2UL	RX	RX	RX	TX	TX
5	SGLTE/CA	3DL+1UL+GSM	RX	RX	RX	RX+TX	TX
6	SVLTE/CA	3DL+1UL+CDMA	RX	RX	RX	RX+TX	TX
7	SVLTE/CA+DSDS	2DL+2UL+CDMA	RX	RX	RX	RX+TX	TX

[21] la FIG. 1C es un diagrama de flujo 150 que ilustra un procedimiento para reconfigurar un diseño de transceptor para maximizar el número de enlaces descendentes (DL) y enlaces ascendentes (UL) usando un número fijo de sintetizadores de acuerdo con un modo de realización de la presente divulgación. En un modo de realización, se configura un máximo de cuatro enlaces descendentes y dos enlaces ascendentes (CA interbanda) con cinco sintetizadores, cuatro cadenas de receptor y dos cadenas de transmisor. Un sintetizador de frecuencias está conectado, en el paso 160, a una cadena de transmisor, y tres sintetizadores están conectados, en el paso 162, a tres cadenas de receptor. A continuación, se configura un sintetizador de frecuencias (por ejemplo, CA0), en el paso 164, para ser compartido entre una cadena de receptor y una cadena de transmisor. En el paso 170, se determina si el sintetizador compartido debe controlar cadena (s) TDD o FDD. Si el sintetizador compartido tiene que controlar cadenas TDD, el sintetizador compartido se asigna para ser compartido de forma alternativa entre la cadena Rx y la cadena Tx. De lo contrario, si el sintetizador compartido es para controlar la cadena FDD, el sintetizador compartido está configurado para ser utilizado por separado para la cadena Rx o la cadena Tx desactivando una u otra cadena, dependiendo de la tecnología de la cadena FDD. Por lo tanto, la cantidad de enlaces aumenta al compartir el sintetizador entre la cadena Rx y la cadena Tx, que están asignadas a TDD.

[22] El número de enlaces puede aumentarse aún más habilitando la agregación de portadoras intrabanda / contigua, en el paso 180. Por ejemplo, para una CA intrabanda / contigua, se puede habilitar un enlace descendente para usar la misma frecuencia de sintetizador con el ancho de banda de filtro de banda base (BBF) de recepción extendido para recibir dos canales de enlace descendente. De manera similar, un enlace ascendente puede habilitarse para usar la misma frecuencia de sintetizador con ancho de banda de filtro de banda base (BBF) de transmisión extendido para transmitir en dos canales de enlace ascendente. En el paso 182, la CA intra / no contigua puede habilitarse dividiendo la salida LNA para soportar el enrutamiento simple de RF de la interfaz de usuario y el enrutamiento de PCB menos complicado.

[23] El procedimiento de la FIG. 1C puede generalizarse como la reconfiguración de un diseño de transceptor para maximizar un número de enlaces usando una pluralidad de sintetizadores de frecuencias y una pluralidad de cadenas de receptor (Rx) y transmisor (Tx) de agregación de portadoras (CA) que incluyen: conectar un primer sintetizador de frecuencias a una primera cadena CA Tx; conectar la pluralidad de sintetizadores de frecuencias a la pluralidad de cadenas CA Rx, en el que un segundo sintetizador de frecuencias de la pluralidad de sintetizadores de frecuencias está configurado como un sintetizador compartido entre una primera cadena CA Rx y una segunda cadena CA Tx, cuando el sintetizador compartido es para controlar cadenas TDD. En un modo de realización, el sintetizador compartido está configurado para usarse por separado para la segunda cadena de CA Tx o la primera cadena de CA Rx cuando el sintetizador compartido es para dirigir una cadena de FDD. En otro modo de realización, la CA intrabanda / contigua en el enlace descendente se habilita para usar la misma frecuencia de sintetizador con el ancho de banda de filtro de banda base (BBF) extendido para recibir dos canales de enlace descendente adicionales. En otro modo de realización, la CA intrabanda / contigua en el enlace ascendente se habilita para usar la misma frecuencia de sintetizador con el ancho de banda de filtro de banda base (BBF) extendido para recibir dos canales adicionales de enlace ascendente. En un modo de realización adicional, la CA intrabanda / no contigua se puede habilitar dividiendo las salidas de LNA.

[24] la FIG. 2A ilustra un ejemplo de caso (LTE FDD(3DL+1UL) + LTE TDD(1DL+1UL)) de un transceptor FDD/TDD CA 200 diseñado usando el procedimiento descrito en la FIG. 1C. La Tabla 2 especifica la disposición de las cadenas Rx y Tx para la combinación de bandas B42 + B17 + B4 + B2 mostrada en la FIG. 2A. Por lo tanto, la banda LTE TDD 42 se asigna a Rx/CA0 y TX1 de forma que el sintetizador CA0 210 se pueda compartir. Las cadenas restantes (Rx/CA1, Rx/CA2, Rx/CA3, Tx0) se asignan a las bandas LTE FDD 17, 4 y 2. Dado que no hay enlaces intrabanda, todas las memorias intermedias de CA / intra están desactivadas (áreas sombreadas en la FIG. 2A).

Tabla 2

R/T	Tecnología	Banda
RX/CA1	LTE FDD	B17
RX/CA2	LTE FDD	B4
RX/CA3	LTE FDD	B2
RX/CA0	LTE TDD	B42
TX0	LTE FDD	B17
TX1	LTE TDD	B42

5 [25] La FIG. 2B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor FDD/TDD CA 200
 10 mostrado en la FIG. 2A. La cadena más alta es una cadena TX para la banda 17 asignada a LTE FDD. La siguiente
 cadena descendente es una cadena RX para la banda 17 asignada a LTE FDD. La siguiente cadena descendente
 es una cadena RX para la banda 4 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para
 la banda 2 asignada a LTE FDD. Las dos cadenas siguientes son una cadena RX y una cadena TX para la banda 42
 que comparten el sintetizador CA0 210 y están asignadas a LTE TDD.

15 [26] la FIG. 3A ilustra otro ejemplo de caso (LTE TDD (2DL / intra / no contiguo + 1UL + 2DL/inter+1UL)) de un
 transceptor TDD CA 300 diseñado usando el procedimiento descrito en la FIG. 1C. La Tabla 3 especifica el diseño
 de las cadenas Rx y Tx para la combinación de bandas B43 + B41 + B42 + B41/intra que se muestra en la FIG. 3A.
 Por lo tanto, la banda LTE TDD 43 se asigna a Rx/CA0 y TX1 de forma que el sintetizador CA0 310 se pueda
 20 compartir. Las cadenas restantes (Rx/CA1, Rx/CA2, Rx/CA3, Tx0) están todas asignadas a las bandas LTE TDD 41
 y 42. Dado que la CA intra / no contigua está habilitada en la banda 41, LNA3 para B41/intra está deshabilitada
 (sombreada) y la salida LNA1 de B41 se divide en dos memorias intermedias (con diseño cruzado) para compartir la
 salida LNA1 entre Rx/CA1 y Rx/CA3.

Tabla 3

R/T	Tecnología	Banda
RX/CA1	LTE TDD	B41
RX/CA2	LTE TDD	B42
RX/CA3	LTE TDD	B41/intra
RX/CA0	LTE TDD	B43
TX0	LTE TDD	B41
TX1	LTE TDD	B43

25 [27] La FIG. 3B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor CA de TDD 300
 30 mostrado en la FIG. 3A. La cadena más alta es una cadena TX para la banda 41 asignada a LTE TDD. La siguiente
 cadena descendente es una cadena RX para la banda 41 asignada a LTE TDD. La siguiente cadena descendente
 es una cadena RX para la banda 42 asignada a LTE TDD. La siguiente cadena descendente es una cadena RX para
 la banda 41/intra. Dado que la CA intra / no contigua está habilitada, LNA3 para B41/intra está deshabilitada
 (sombreada) 330 y la salida LNA1 de B41 está dividida en dos memorias intermedias (con diseño cruzado) 320, 322
 para compartir la salida LNA1 para cadenas RX de banda 41 y banda 41/intra. Las dos cadenas siguientes son una
 cadena RX y una cadena TX para la banda 43 que comparten el sintetizador CA0 310.

35 [28] La FIG. 4A ilustra otro ejemplo de caso (LTE FDD(4DL+1 UL)) de un transceptor FDD CA diseñado
 usando el procedimiento descrito en la FIG. 1C. La Tabla 4 especifica el diseño de las cadenas Rx y Tx para la
 combinación de bandas B30 + B17 + B4 + B2 que se muestra en la FIG. 4A. La banda FDD 30 se asigna a Rx/CA0
 solamente de modo que el sintetizador CA0 es usado por separado por Rx/CA0. La cadena TX1 está desactivada
 porque el sintetizador CA0 está asignado a una cadena Rx en LTE FDD. Las cadenas restantes (Rx/CA1, Rx/CA2,
 40 Rx/CA3, TX0) también se asignan a las bandas LTE FDD 17, 4 y 2. Dado que no hay enlaces intrabanda, todas las
 memorias intermedias de CA / intra están desactivadas (áreas sombreadas en la FIG. 4A).

R/T	Tecnología	Banda
RX/CA1	LTE FDD	B17
RX/CA2	LTE FDD	B4
RX/CA3	LTE FDD	B2
RX/CA0	LTE FDD	B30
TX0	LTE FDD	B17
TX1	NA	NA

Tabla 4

5 **[29]** La FIG. 4B ilustra las rutas de señal para las cadenas RX y TX de un transceptor FDD CA 400 mostrado en la FIG. 4A. La cadena más alta es una cadena TX para la banda 17 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 17 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 4 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 2 asignada a LTE FDD. La siguiente cadena es una cadena RX para la banda 30 asignada a LTE FDD.

10 **[30]** la FIG. 5A ilustra otro ejemplo de caso (LTE FDD(2DL/intra+1UL+1DL+1UL)) de un transceptor FDD CA diseñado usando el procedimiento descrito en la FIG. 1C. La Tabla 5 especifica el diseño de las cadenas Rx y Tx para la combinación de bandas B1 + B13 + B1/intra + B1 / inter que se muestra en la FIG. 5A. Por lo tanto, la banda FDD 1 se asigna a TX1, de modo que el sintetizador CA0 es utilizado por separado por la cadena TX0. Las cadenas restantes (Rx/CA1, Rx/CA2, Rx/CA3, TX0) están todas asignadas a las bandas LTE FDD 1 y 13. La cadena Rx/CA0 está deshabilitada porque el sintetizador CA0 está asignado a una cadena Tx en LTE FDD. Dado que la CA intra / no contigua está habilitada, LNA2 para B1/intra está deshabilitada (sombreada) y la salida LNA3 de B1 se divide en dos memorias intermedias (con diseño cruzado) para compartir la salida de LNA3 entre Rx/CA2 y Rx/CA3.

R/T	Tecnología	Banda
RX/CA1	LTE FDD	B13
RX/CA2	LTE FDD	B1/intra
RX/CA3	LTE FDD	B1
RX/CA0	NA	NA
TX0	LTE FDD	B13
TX1	LTE FDD	B1

Tabla 5

20 **[31]** La FIG. 5B ilustra las rutas de señales para las cadenas Rx y Tx de un transceptor FDD CA 500 mostrado en la FIG. 5A. La cadena más alta es una cadena TX para la banda 13 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 13 asignada a LTE FDD. Las dos cadenas siguientes son una cadena RX para la banda 1/intra y otra cadena RX para la banda 1 asignada a LTE FDD. Dado que la CA intra / no contigua está habilitada, LNA2 para B1/intra está deshabilitada (sombreada) 530 y la salida LNA3 de B1 se divide en dos memorias intermedias (con diseño cruzado) 520, 522 para compartir la salida LNA3 para cadenas RX de banda 1 y banda 1/intra. La cadena Rx/CA0 está deshabilitada 540 porque el sintetizador 510 de CA0 está asignado a una cadena TX1 de la banda 1 de LTE FDD.

35 **[32]** La FIG. 6A ilustra otro ejemplo de caso (LTE FDD(3DL+1UL) + GSM/TDD(1DL+1UL)) de un transceptor FDD/TDD/GSM CA diseñado usando el procedimiento descrito en la FIG. 1C. La Tabla 6 especifica el diseño de las cadenas Rx y Tx para la combinación de bandas B5 + B12 + B4 + B2 mostrada en la FIG. 6A. Por lo tanto, la banda GSM/TDD 5 se asigna a Rx/CA0 y TX1 de forma que el sintetizador CA0 se pueda compartir. Las cadenas restantes (Rx/CA1, Rx/CA2, Rx/CA3, TX0) se asignan a la banda LTE FDD 12, 4 y 2. Dado que no hay enlaces intrabanda, todas las memorias intermedias de CA / intra están desactivadas (áreas sombreadas en la FIG. 6A).

40

Tabla 6

R/T	Tecnología	Banda
RX/CA1	LTE FDD	B12
RX/CA2	LTE FDD	B4
RX/CA3	LTE FDD	B2
RX/CA0	GSM	B5
TX0	LTE FDD	B12
TX1	GSM	B5

[33] La FIG. 6B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor FDD/TDD/GSM CA 600 mostrado en la FIG. 6A. La cadena más alta es una cadena TX para la banda 12 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 12 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 4 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 2. Las dos cadenas siguientes son una cadena RX y una cadena TX para la banda 5 que comparten el sintetizador CA0 610.

[34] la FIG. 7A ilustra otro ejemplo de caso (SVLTE TDD(3DL+1UL) + CDMA/FDD(1DL+1UL)) de un transceptor FDD/TDD/SVLTE CA diseñado usando el procedimiento descrito en la FIG. 1C. El término SVLTE significa Evolución a Largo Plazo de Voz Simultánea (SVLTE). La Tabla 7 especifica el diseño de las cadenas Rx y Tx para la combinación de bandas B41b + BC0 + B41a + B41c que se muestra en la FIG. 7A. Por lo tanto, la banda TDD 41b se asigna a Rx/CA0 y TX1 de manera que el sintetizador CA0 se puede compartir. Las cadenas restantes se asignan de la siguiente manera: Rx/CA1 y TX0 están asignados a CDMA BC0; y Rx/CA2, Rx/CA3 están asignados a la banda LTE TDD 41a y a la banda 41c. En este caso, las cadenas Rx/CA2, Rx/CA3, Rx/CA0 usan la misma banda 41 mediante el uso de un solo chip intra-LNA para simplificar la interfaz de usuario de la tecnología LTE TDD. Por lo tanto, la salida LNA2 de B41a se divide en tres memorias intermedias (con diseño cruzado) para compartir la salida de LNA2 entre Rx/CA2, Rx/CA3 y Rx/CA0.

Tabla 7

R/T	Tecnología	Banda
RX/CA1	CDMA	BC0
RX/CA2	LTE TDD	B41a
RX/CA3	LTE TDD	B41c
RX/CA0	LTE TDD	B41b
TX0	CDMA	BC0
TX1	LTE TDD	B41b

[35] La FIG. 7B ilustra las rutas de señal para las cadenas Rx y Tx de un transceptor FDD/TDD/SVLTE CA 700 mostrado en la FIG. 7A. La cadena más alta es una cadena TX para la banda BC0 asignada a CDMA. La siguiente cadena descendente es una cadena RX para la banda BC0 asignada a CDMA. Las siguientes tres cadenas son cadenas RX para las bandas 41a, 41c, 41b, respectivamente, asignadas a LTE TDD. Dado que las tres cadenas RX utilizan la misma banda 41 mediante el uso de un solo chip intra-LNA para simplificar la interfaz de usuario de la tecnología LTE TDD, la salida LNA2 de B41a se divide en tres memorias intermedias (con diseño cruzado) 720, 722, 724 para compartir la salida de LNA2 entre cadenas para las bandas 41a, 41c, 41b. La siguiente cadena es una cadena TX para la banda 41b que comparte el sintetizador CA0 710 con la cadena Rx 41b, que está separada de la salida LNA2.

[36] La FIG. 8A ilustra otro ejemplo de caso (SVLTE FDD(2DL+1UL) + LTE TDD(1DL+1UL) + CDMA(1DL)) de un transceptor FDD/TDD/SVLTE+DSDS CA diseñado usando el procedimiento descrito en la FIG. 1C. El término DSDS significa Dual Sim Dual Standby. La Tabla 8 especifica el diseño de las cadenas Rx y Tx para la combinación de bandas B41 + B1 + B3 + BC0 mostrada en la FIG. 8A. Por lo tanto, la banda TDD 41 se asigna a Rx/CA0 y TX1 de forma que el sintetizador CA0 se pueda compartir. Las cadenas restantes Rx/CA1, Rx/CA2, TX0 se asignan a la banda LTE FDD 1,3 y Rx/CA3 se asigna a CDMA/DSDS BC0. Dado que no hay enlaces intrabanda, todas las memorias intermedias de CA / intra están desactivadas (áreas sombreadas en la FIG. 8A).

Tabla 8

R/T	Tecnología	Banda
RX/CA1	LTE FDD	B1
R/T	Tecnología	Banda
RX/CA2	LTE FDD	B3
RX/CA3	CDMA/DSDS	BCO
RX/CA0	LTE TDD	B41
TX0	LTE FDD	B1
TX1	LTE TDD	B41

5 [37] La FIG. 8B ilustra rutas de señal para las cadenas Rx y Tx de un transceptor FDD/TDD/SVLTE+DSDS CA 800 mostrado en la FIG. 8A. La cadena más alta es una cadena TX para la banda 1 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 1 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda 3 asignada a LTE FDD. La siguiente cadena descendente es una cadena RX para la banda BCO asignada a CDMA/DSDS. Las dos cadenas siguientes son una cadena RX y una
10 cadena TX para la banda 41 que comparten el sintetizador CA0 810 y están asignadas a LTE TDD.

[38] Aunque varios modos de realización de la invención se han descrito anteriormente, son posibles muchas variaciones de la invención. Además, las características de los diversos modos de realización pueden combinarse en combinaciones que difieran de las descritas anteriormente. Además, para una descripción clara y breve, se han simplificado muchas descripciones de los sistemas y procedimientos. Muchas descripciones usan terminología y estructuras de estándares específicos. Sin embargo, los sistemas y procedimientos divulgados son más
15 ampliamente aplicables.

[39] Los expertos apreciarán que los diversos bloques y módulos ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse de diversas formas. Algunos bloques y módulos se han descrito anteriormente en general en términos de su funcionalidad. Cómo se implementa dicha funcionalidad depende de las restricciones de diseño impuestas en un sistema general. Las personas expertas en la técnica pueden implementar las funciones descritas en diferentes maneras para cada aplicación particular, no debiéndose interpretar que dichas decisiones de implementación suponen apartarse del alcance de la presente invención. Además, la agrupación de funciones dentro de un módulo, bloque o paso es para facilitar la descripción. Las funciones o pasos específicos se pueden mover desde un módulo o bloque sin apartarse de la invención.
20
25

[40] Los diversos bloques, unidades, pasos, componentes y módulos lógicos ilustrativos descritos en relación con los modos de realización divulgados en el presente documento pueden implementarse o realizarse con un procesador, como un procesador de propósito general, un procesador de señales digitales (DSP), un circuito integrado de aplicación específica (ASIC), una matriz de puertas de campo programable (FPGA) u otro dispositivo de lógica programable, lógica de transistor o de puertas discretas, componentes de hardware discretos, o con cualquier combinación de los mismos diseñada para realizar las funciones descritas en el presente documento. Un procesador de uso general puede ser un microprocesador pero, de forma alternativa, el procesador puede ser cualquier procesador, controlador, microcontrolador o máquina de estados. Un procesador también puede implementarse como una combinación de dispositivos informáticos, por ejemplo, una combinación de un DSP y un microprocesador, una pluralidad de microprocesadores, uno o más microprocesadores junto con un núcleo de DSP o cualquier otra configuración de este tipo. Además, los circuitos que implementan los modos de realización y los bloques y módulos funcionales descritos en el presente documento pueden realizarse utilizando diversos tipos de transistores, familias lógicas y metodologías de diseño.
30
35
40

[41] La descripción anterior de los modos de realización divulgados se proporciona para permitir que cualquier persona experta en la técnica realice o use la invención. Diversas modificaciones de estos modos de realización resultarán fácilmente evidentes para los expertos en la técnica, y los principios genéricos descritos en el presente documento pueden aplicarse a otros modos de realización sin apartarse del alcance de la presente invención. Por lo tanto, se entenderá que la descripción y los dibujos presentados en el presente documento representan modos de realización preferidos en este momento de la invención y, por lo tanto, son representativos de la materia objeto que se contempla ampliamente en la presente divulgación. Se entiende además que el alcance de la presente divulgación abarca completamente otros modos de realización que pueden volverse obvios para los expertos en la técnica y que, por consiguiente, el alcance de la presente divulgación no está limitado por nada más que las reivindicaciones adjuntas.
45
50

REIVINDICACIONES

- 5 1. Un procedimiento para reconfigurar un diseño de transceptor (200) usando una pluralidad de sintetizadores de frecuencias y una pluralidad de cadenas de receptor, Rx y transmisor, Tx, de agregación de portadoras, CA, comprendiendo el procedimiento:

conectar un primer sintetizador de frecuencias a una primera cadena CA Tx;

10 conectar cada uno de la pluralidad restante de sintetizadores de frecuencias a una de la pluralidad de cadenas CA Rx,

en el que un segundo sintetizador de frecuencias de la pluralidad restante de sintetizadores de frecuencias está conectado como un sintetizador compartido a una primera cadena CA Rx de la pluralidad de cadenas CA Rx y una segunda cadena CA Tx.
- 15 2. El procedimiento según la reivindicación 1, en el que:

el sintetizador compartido está configurado para ser utilizado por una de la segunda cadena CA Tx o la primera cadena CA Rx cuando el sintetizador compartido es para controlar una cadena dúplex por división de tiempo, TDD;

20 el primer sintetizador de frecuencias está configurado para ser utilizado para la primera cadena CA Tx en un modo dúplex por división de frecuencia, FDD; y

25 los sintetizadores de frecuencias restantes están configurados para ser utilizados para las cadenas Rx restantes en el modo FDD.
- 30 3. El procedimiento según la reivindicación 2, en el que el transceptor incluye al menos: tres cadenas CA Rx en el modo FDD; una cadena CA Rx en modo TDD; una cadena CA Tx en el modo FDD; y una cadena CA Tx en el modo TDD.
- 35 4. El procedimiento según la reivindicación 1, en el que:

el sintetizador compartido está configurado para ser utilizado por una de la segunda cadena CA Tx o la primera cadena CA Rx cuando el sintetizador compartido es para controlar una cadena TDD;

40 el primer sintetizador de frecuencias está configurado para ser utilizado para la primera cadena CA Tx en un modo TDD; y

los sintetizadores de frecuencias restantes están configurados para usarse para las cadenas Rx restantes en el modo TDD.
- 45 5. El procedimiento según la reivindicación 4, en el que el transceptor incluye al menos: cuatro cadenas CA Rx en el modo TDD; y dos cadenas CA Tx en el modo TDD.
- 50 6. El procedimiento según la reivindicación 1, en el que:

el sintetizador compartido está configurado para ser utilizado por una de la segunda cadena CA Tx o la primera cadena CA Rx cuando el sintetizador compartido es para controlar una cadena TDD;

55 el primer sintetizador de frecuencias está configurado para ser utilizado para la primera cadena CA Tx en un modo TDD; y

el segundo y tercer sintetizadores de frecuencias están configurados para ser utilizados para la segunda y tercera cadenas Rx en el modo TDD; y

los sintetizadores de frecuencias restantes están configurados para ser utilizados para las cadenas Rx restantes en el modo FDD.
- 60 7. El procedimiento según la reivindicación 6, en el que el transceptor incluye al menos: tres cadenas CA Rx en el modo TDD; una cadena CA Rx en el modo FDD; y dos cadenas CA Tx en el modo TDD.
- 65 8. El procedimiento según la reivindicación 1, en el que:

el sintetizador compartido está configurado para ser utilizado para la primera cadena CA Rx en modo FDD;

- el primer sintetizador de frecuencias está configurado para ser utilizado para la primera cadena CA Tx en el modo FDD;
- 5 los sintetizadores de frecuencias restantes están configurados para ser utilizados para las cadenas CA Rx restantes en el modo FDD; y la segunda cadena de CA Tx está deshabilitada.
9. El procedimiento según la reivindicación 8, en el que el transceptor incluye al menos: cuatro cadenas CA Rx en el modo FDD; y una cadena CA Tx en el modo FDD.
- 10 El procedimiento según la reivindicación 1, en el que:
- el sintetizador compartido está configurado para usarse en la segunda cadena CA Tx en modo FDD;
- 15 el primer sintetizador de frecuencias está configurado para ser utilizado para la primera cadena CA Tx en el modo FDD;
- los sintetizadores de frecuencias restantes están configurados para ser utilizados para la cadena Rx restante en el modo FDD; y la segunda cadena CA Rx está deshabilitada.
- 20 11. El procedimiento según la reivindicación 10, en el que el transceptor incluye al menos: tres cadenas CA Rx en el modo FDD; y dos cadenas CA Tx en el modo FDD.
- 25 12. El procedimiento según la reivindicación 1, que comprende además permitir que la CA de recepción intrabanda / contigua use la misma frecuencia de sintetizador con el ancho de banda del filtro de banda base de recepción extendida, BBF, para aumentar el número de canales de enlace descendente.
- 30 13. El procedimiento según la reivindicación 1, que comprende además permitir que la CA de transmisión intra-banda / contigua use la misma frecuencia de sintetizador con el ancho de banda del filtro de banda base de transmisión extendida, BBF, para aumentar el número de canales de enlace ascendente.
- 35 14. El procedimiento según la reivindicación 1, que comprende además habilitar la CA intra-banda / no contigua mediante la división de una salida LNA.
15. Un circuito transceptor reconfigurable, que comprende:
- 40 un primer sintetizador de frecuencias configurado para conectarse a una primera cadena CA Tx;
- una pluralidad de sintetizadores de frecuencias, cada uno de la pluralidad restante de sintetizadores de frecuencias configurados para conectarse a una de una pluralidad de cadenas de CA Rx,
- 45 en el que un segundo sintetizador de frecuencias de la pluralidad restante de sintetizadores de frecuencias está conectado como un sintetizador compartido a una primera cadena CA Rx de la pluralidad de cadenas CA Rx y una segunda cadena CA Tx.

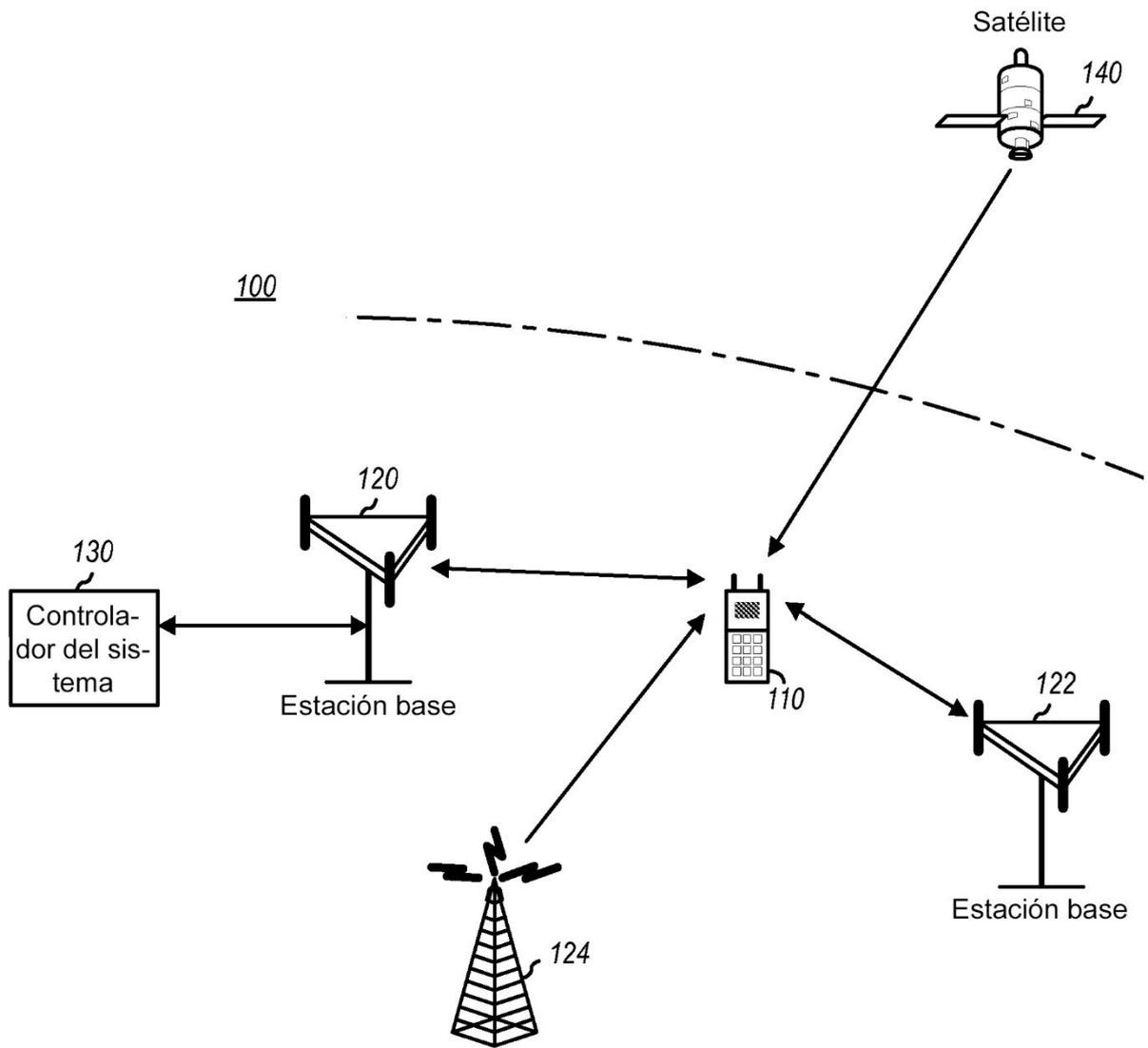


FIG. 1A

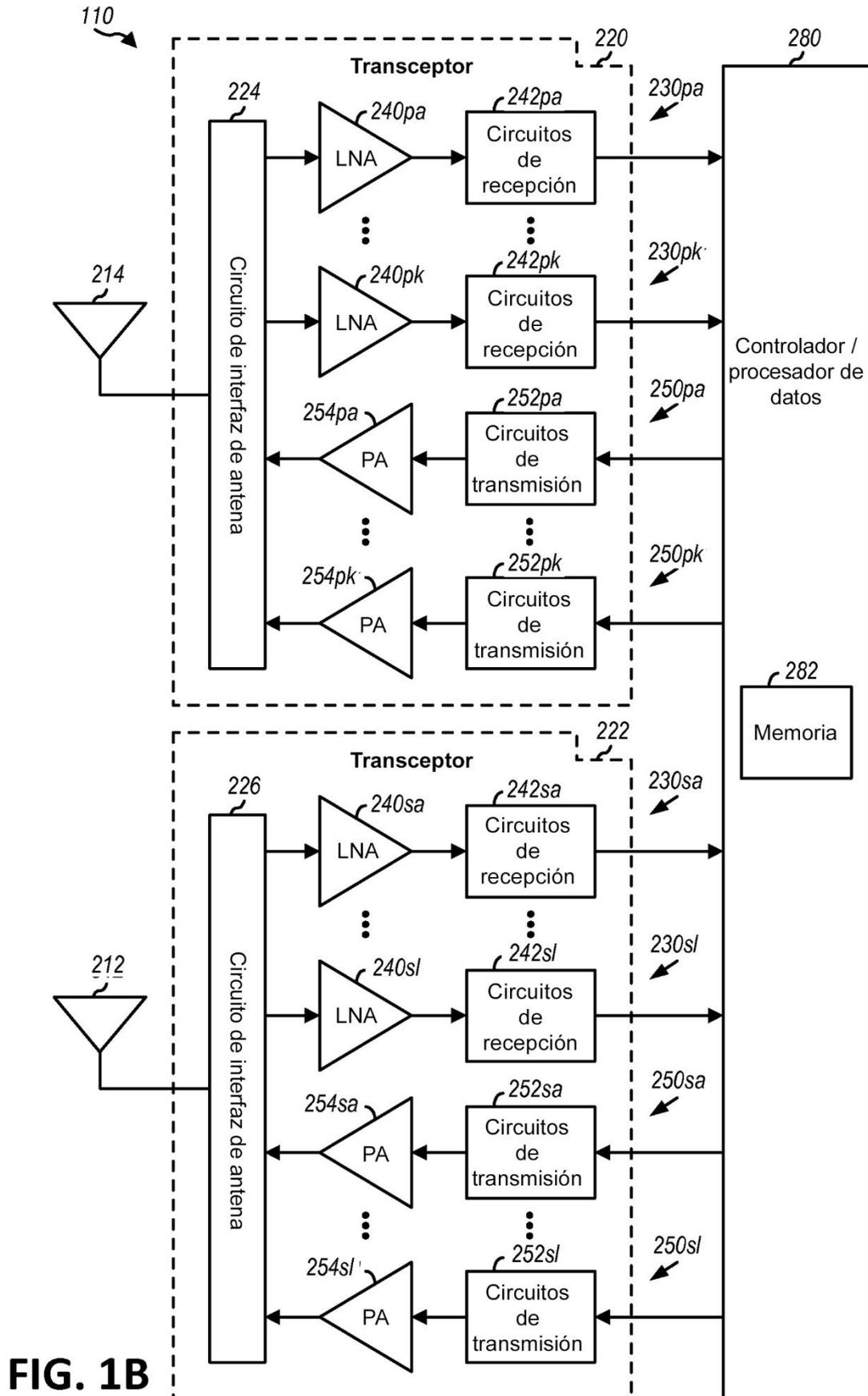


FIG. 1B

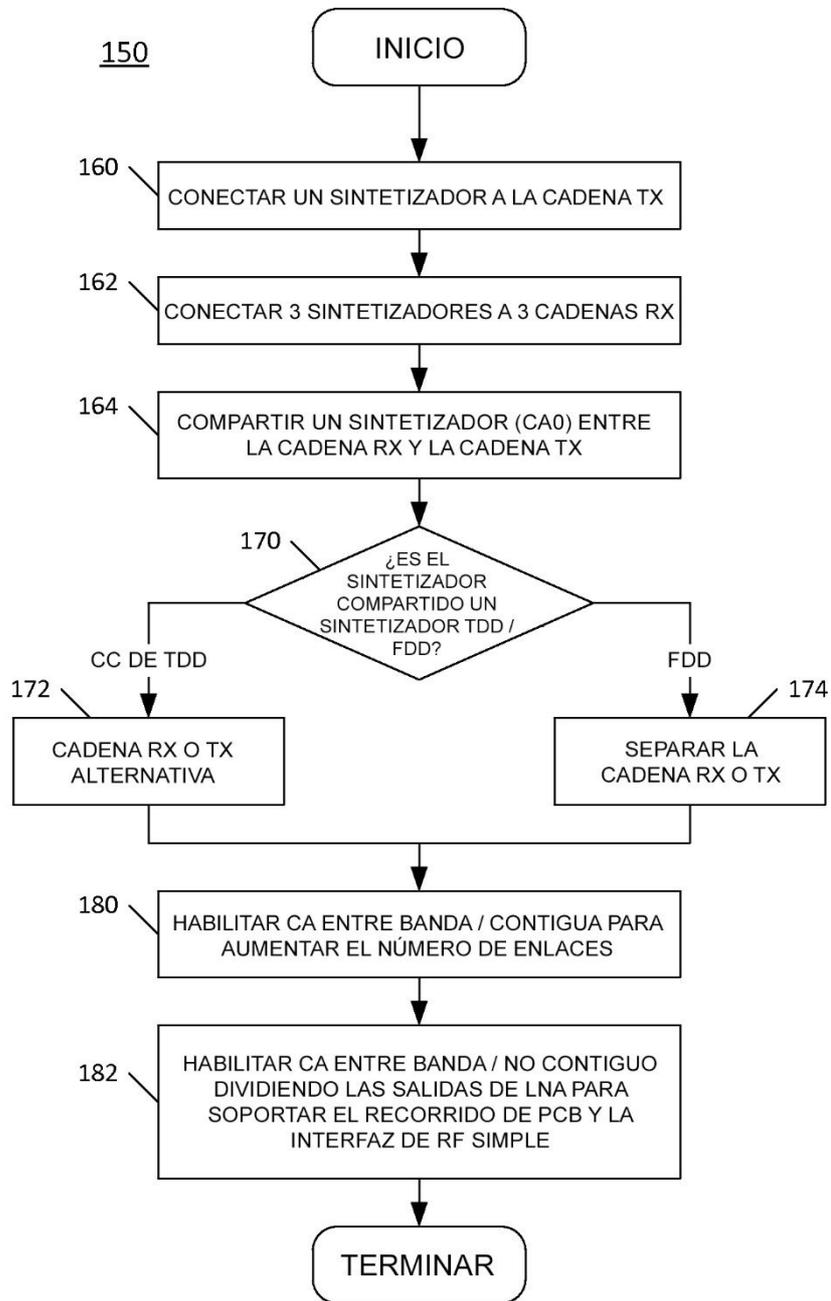


FIG. 1C

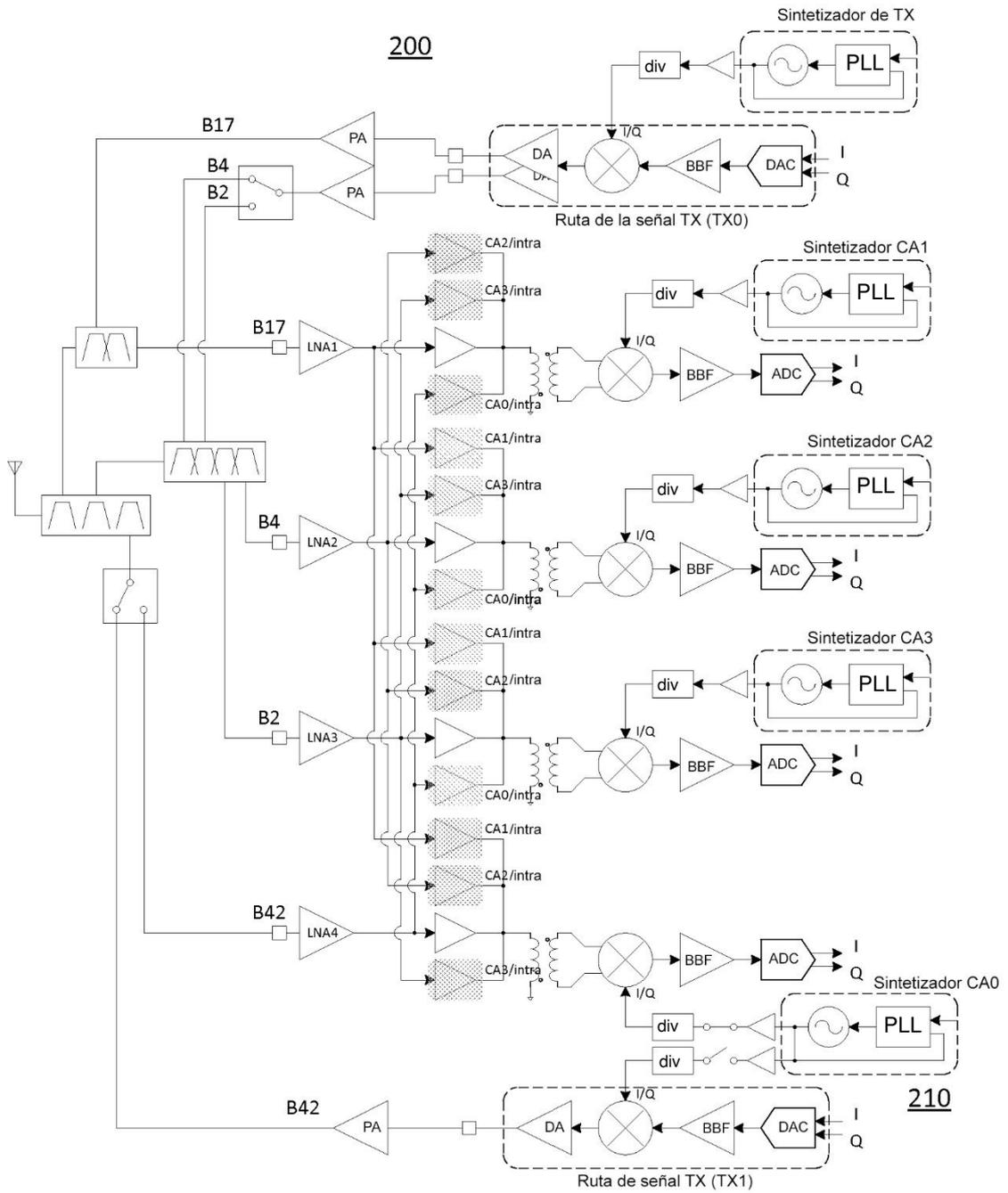


FIG. 2A

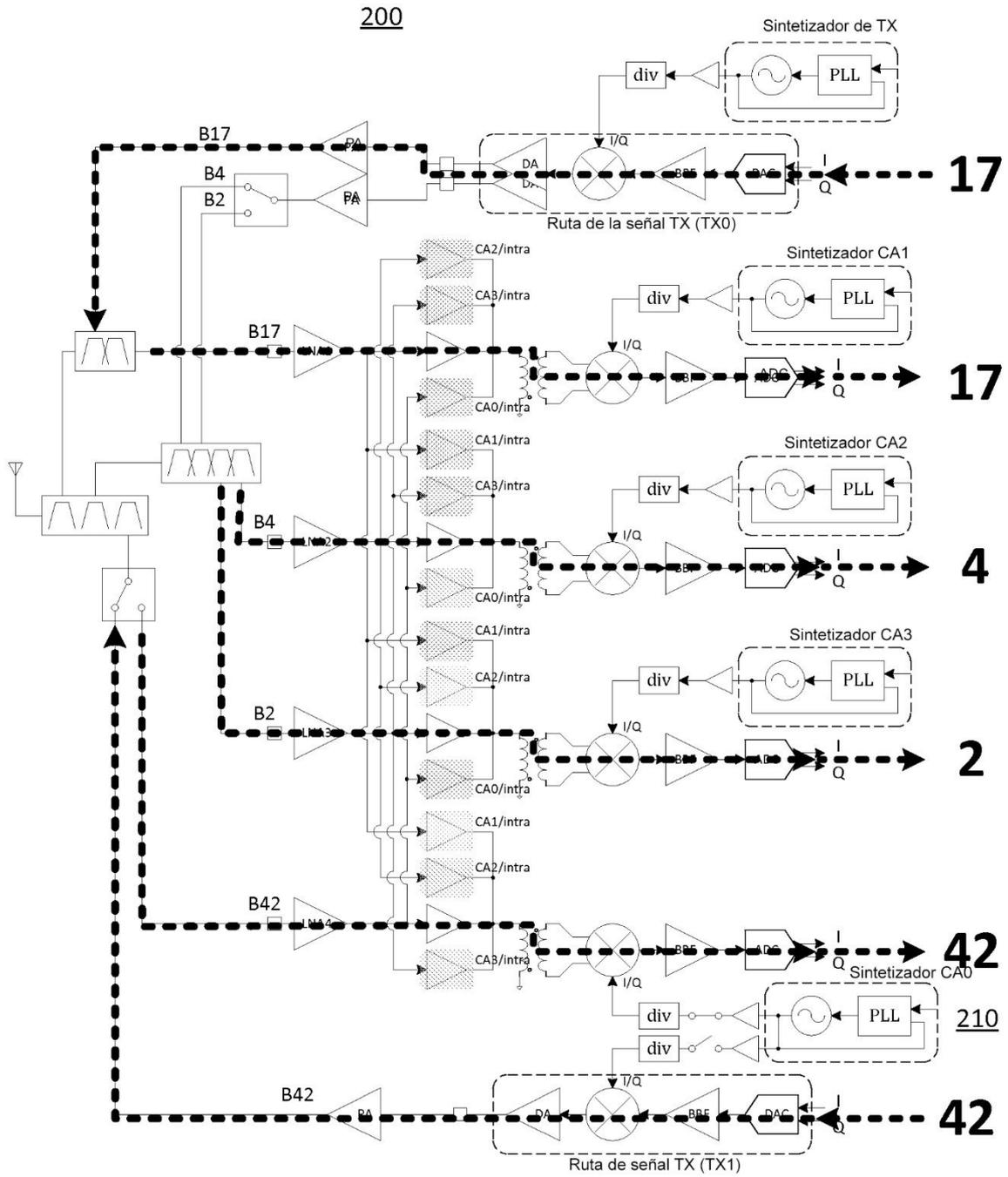
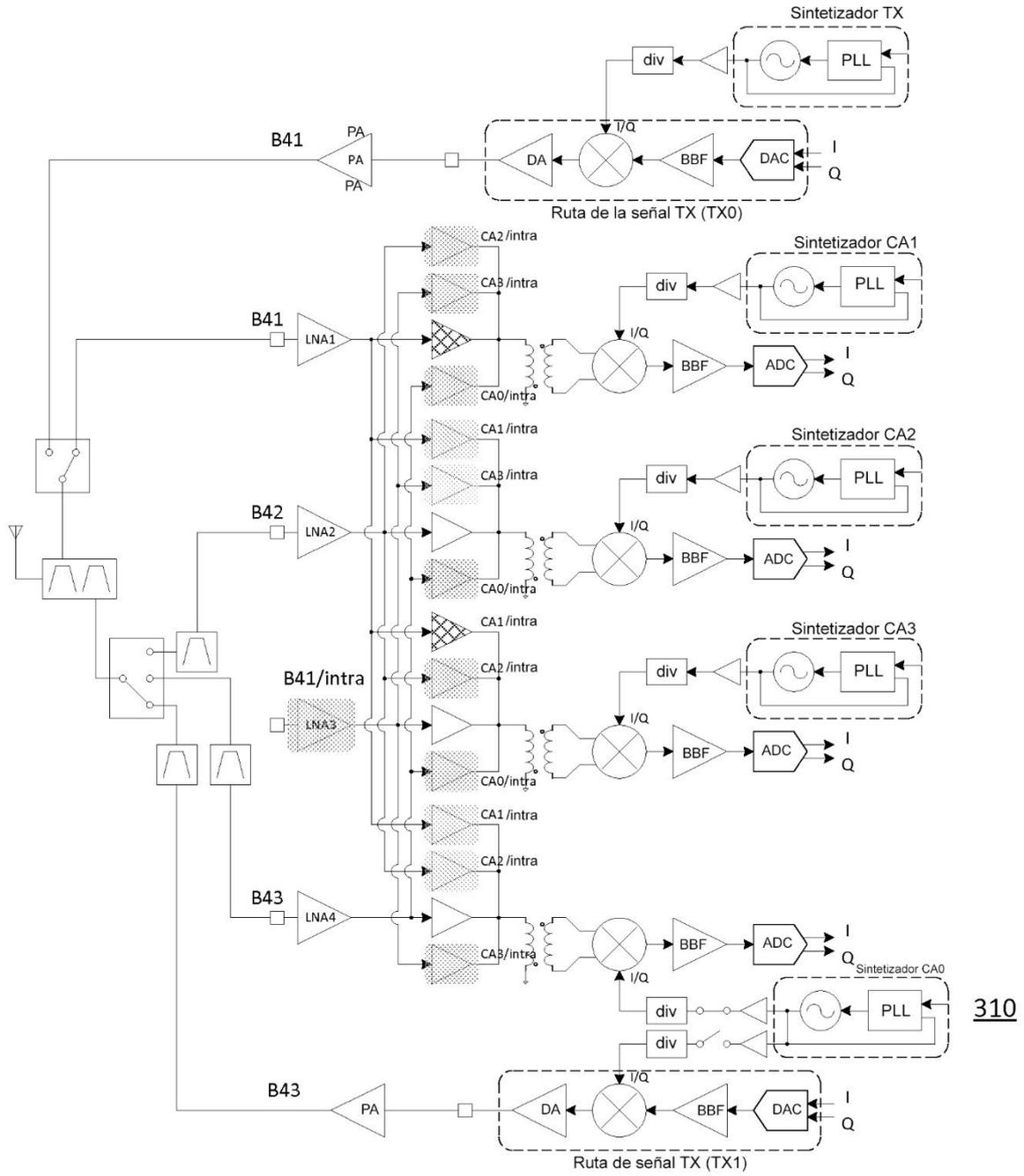


FIG. 2B

300



310

FIG. 3A

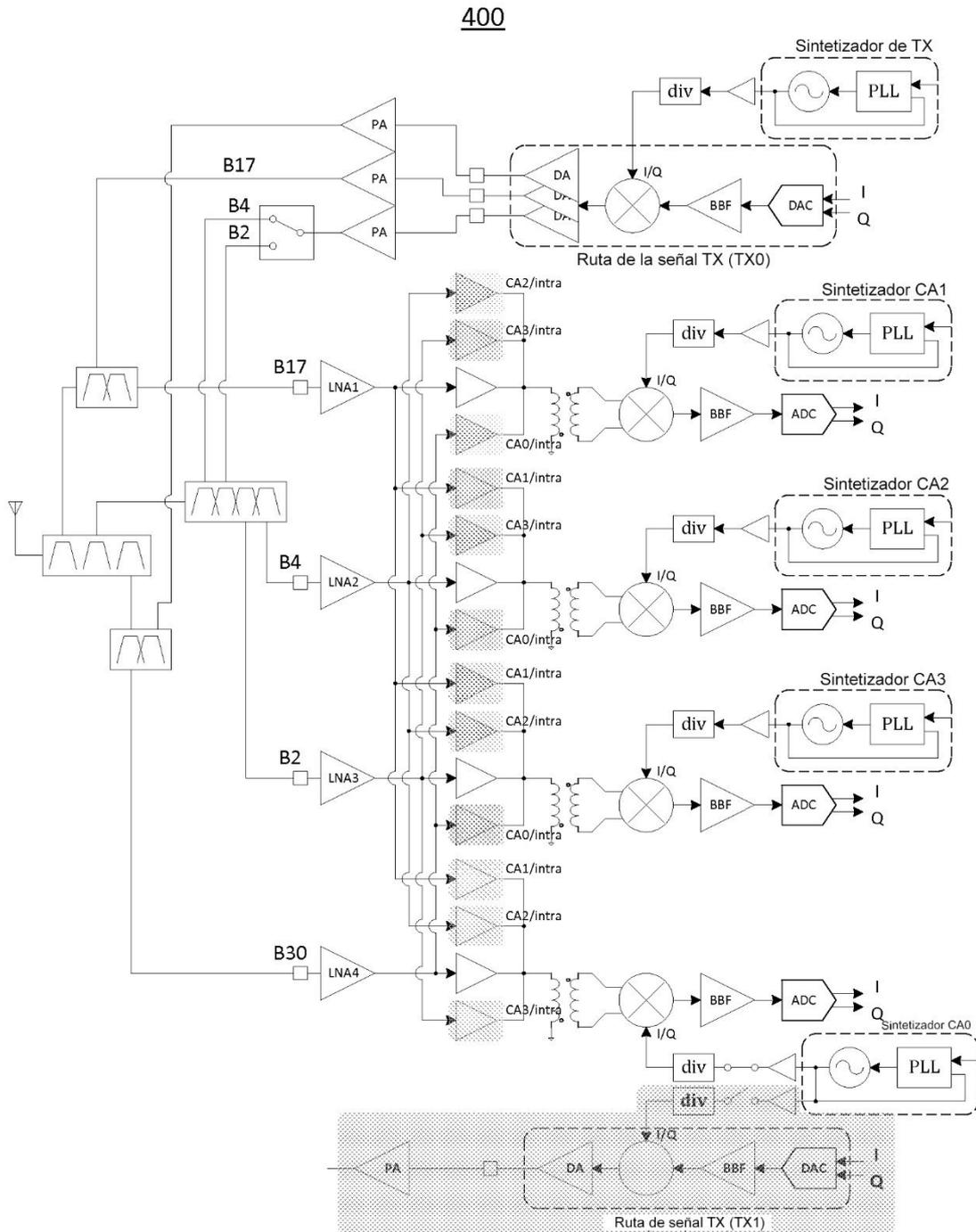


FIG. 4A

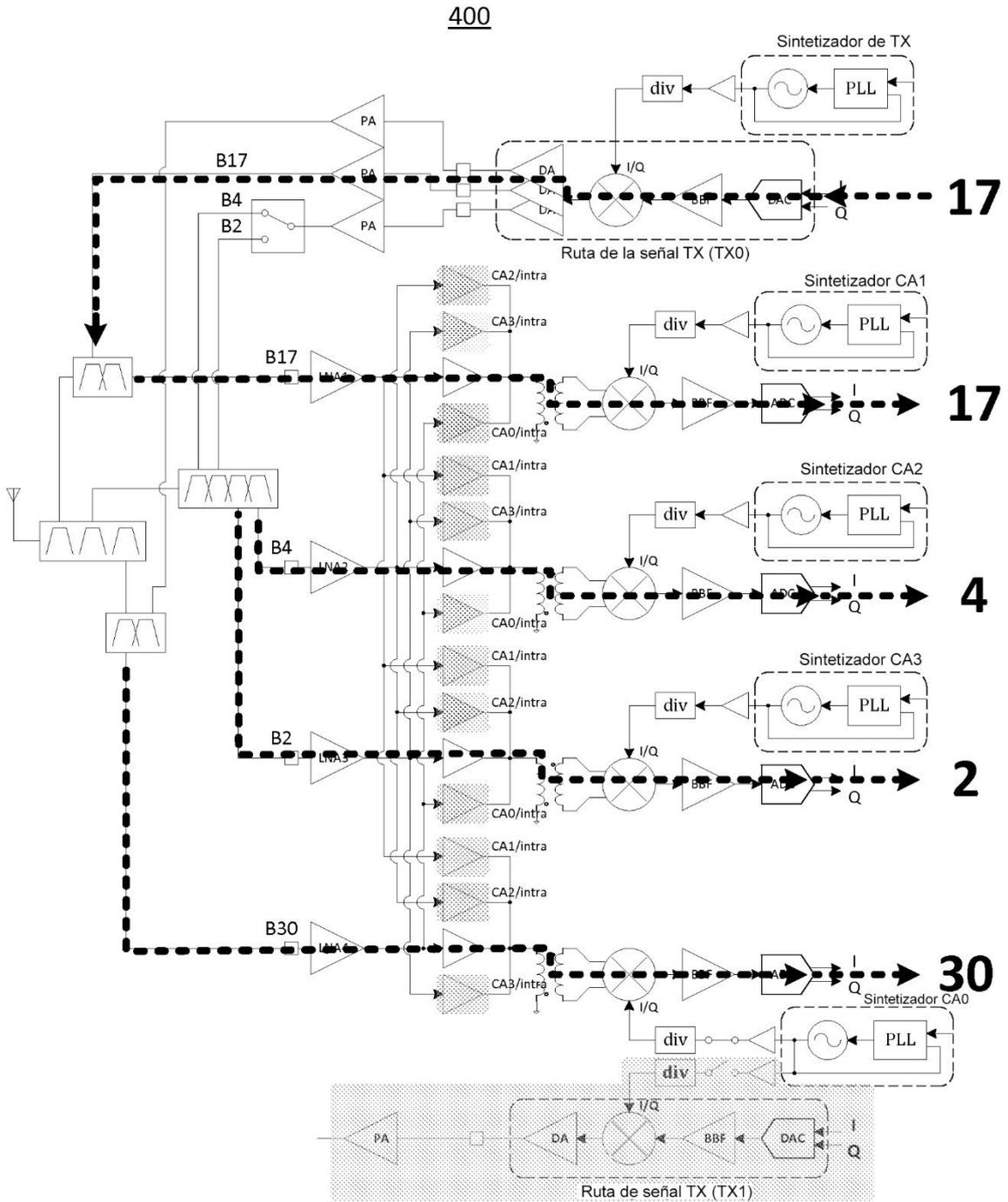


FIG. 4B

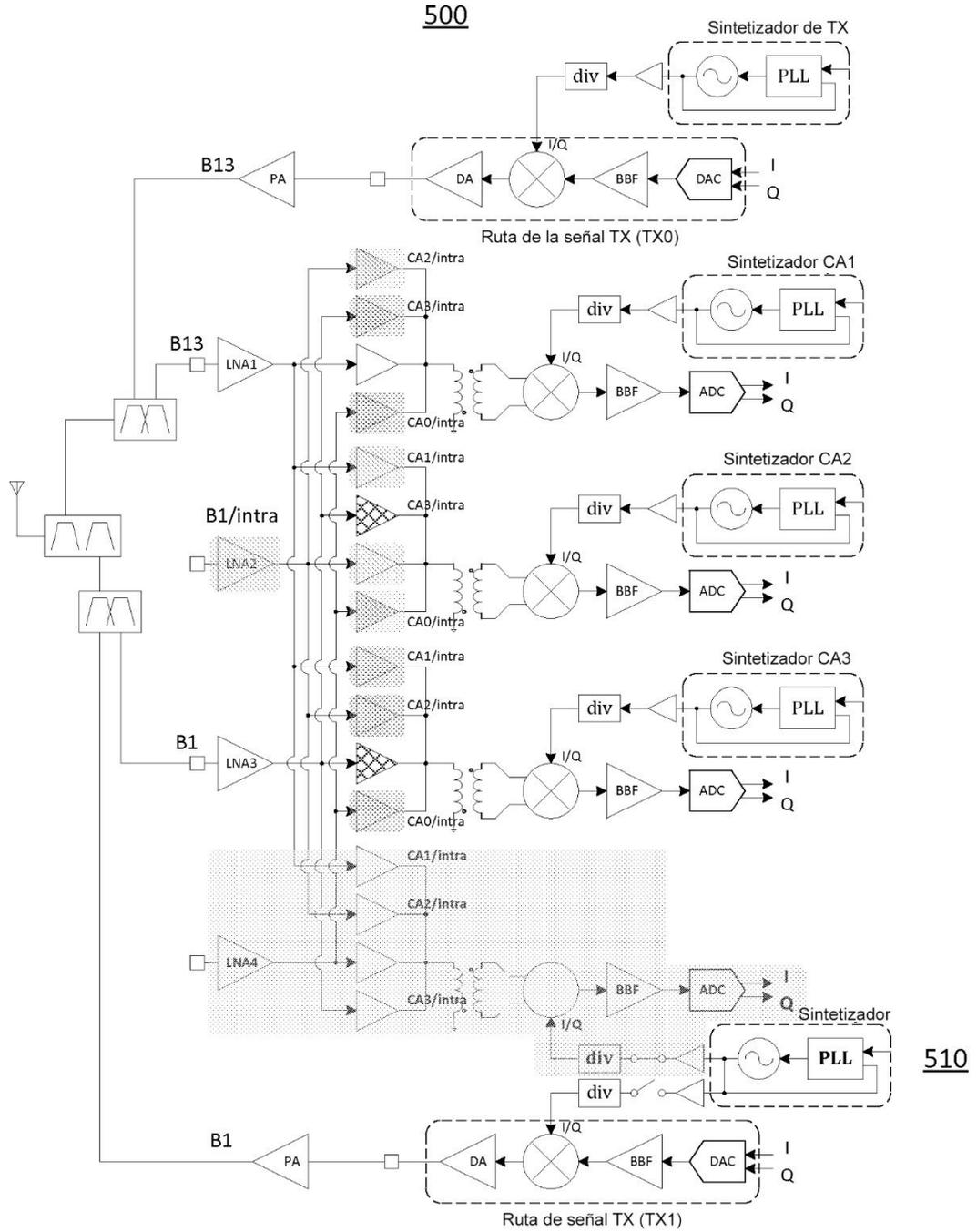


FIG. 5A

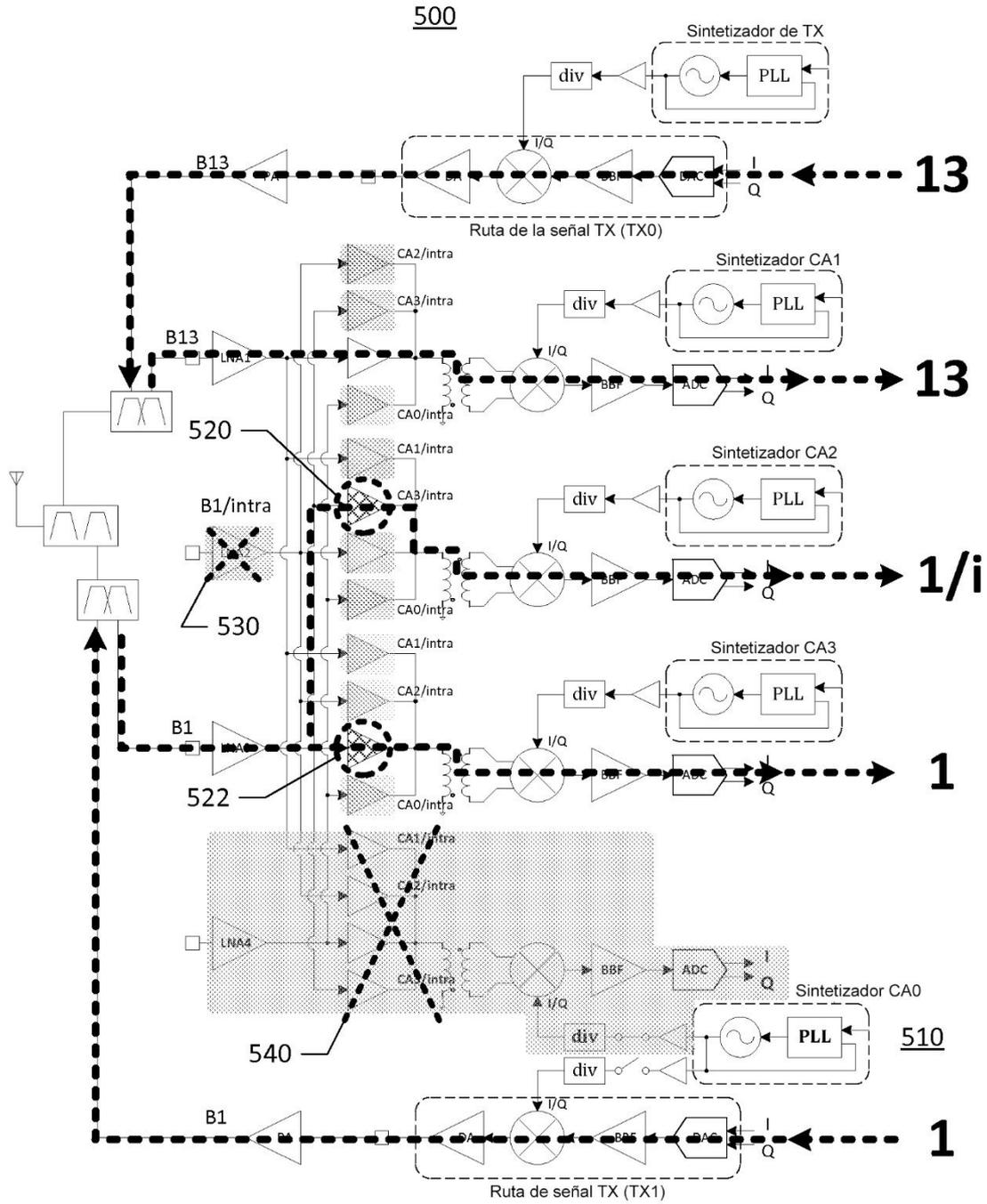


FIG. 5B

600

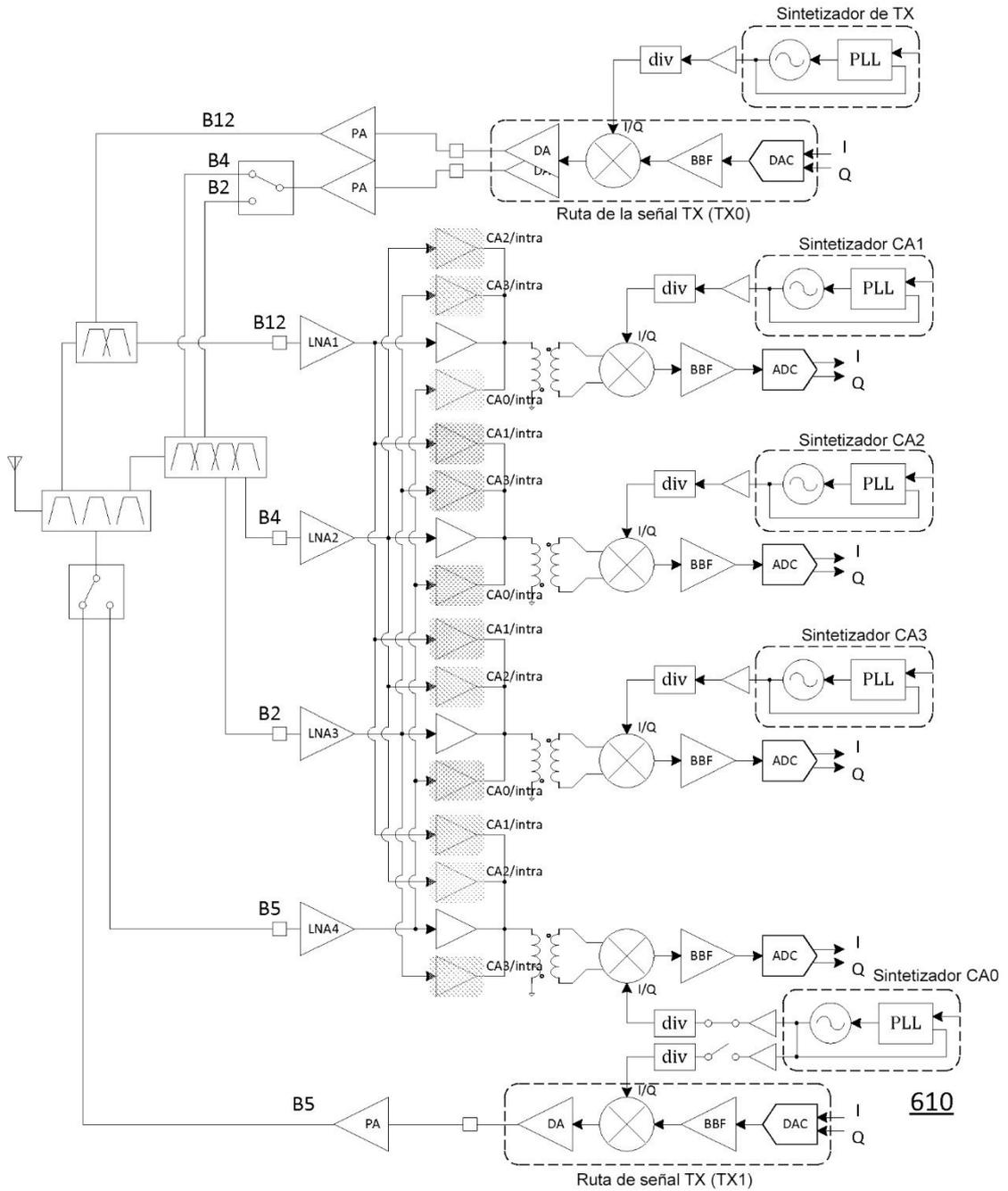


FIG. 6A

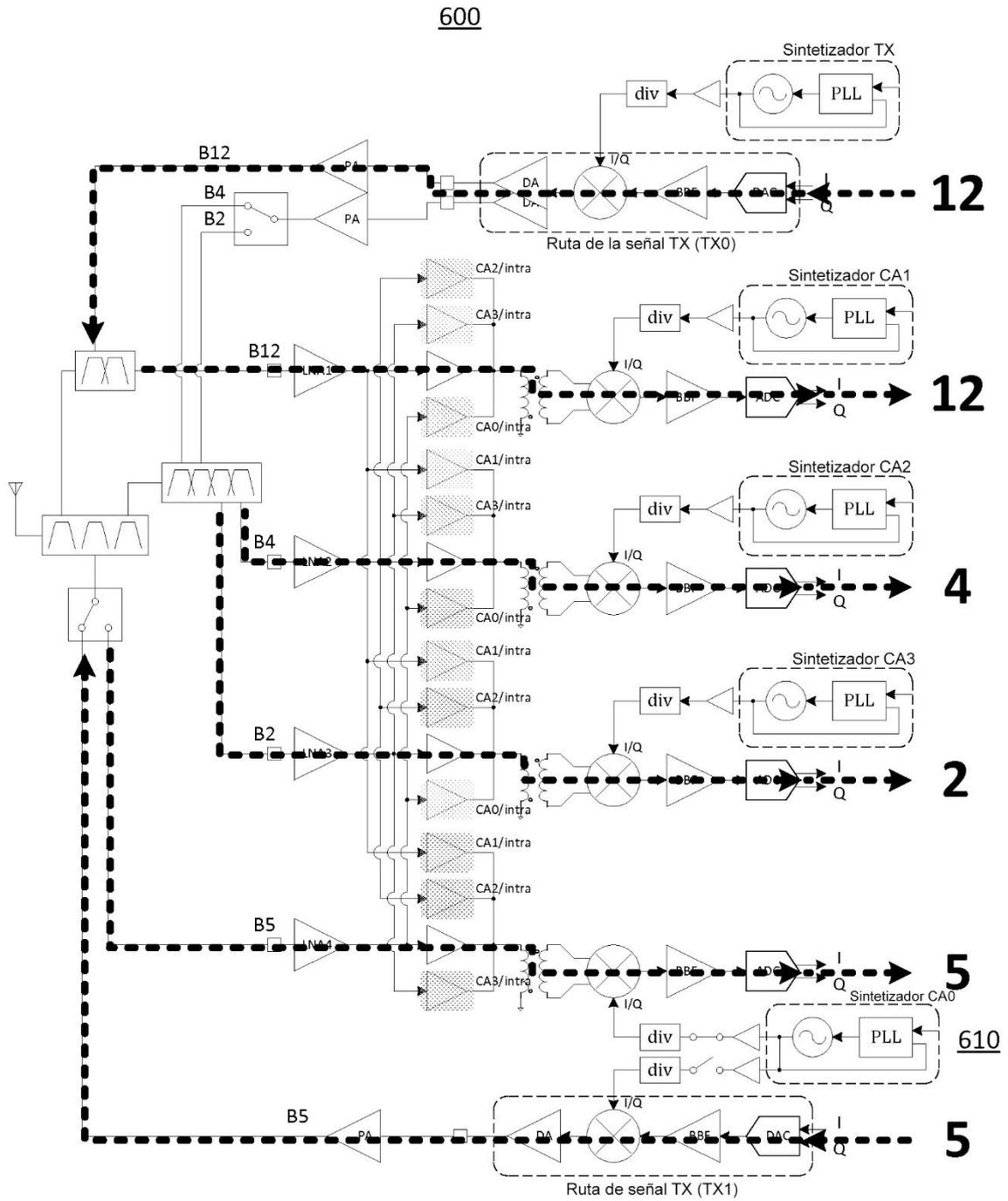


FIG. 6B

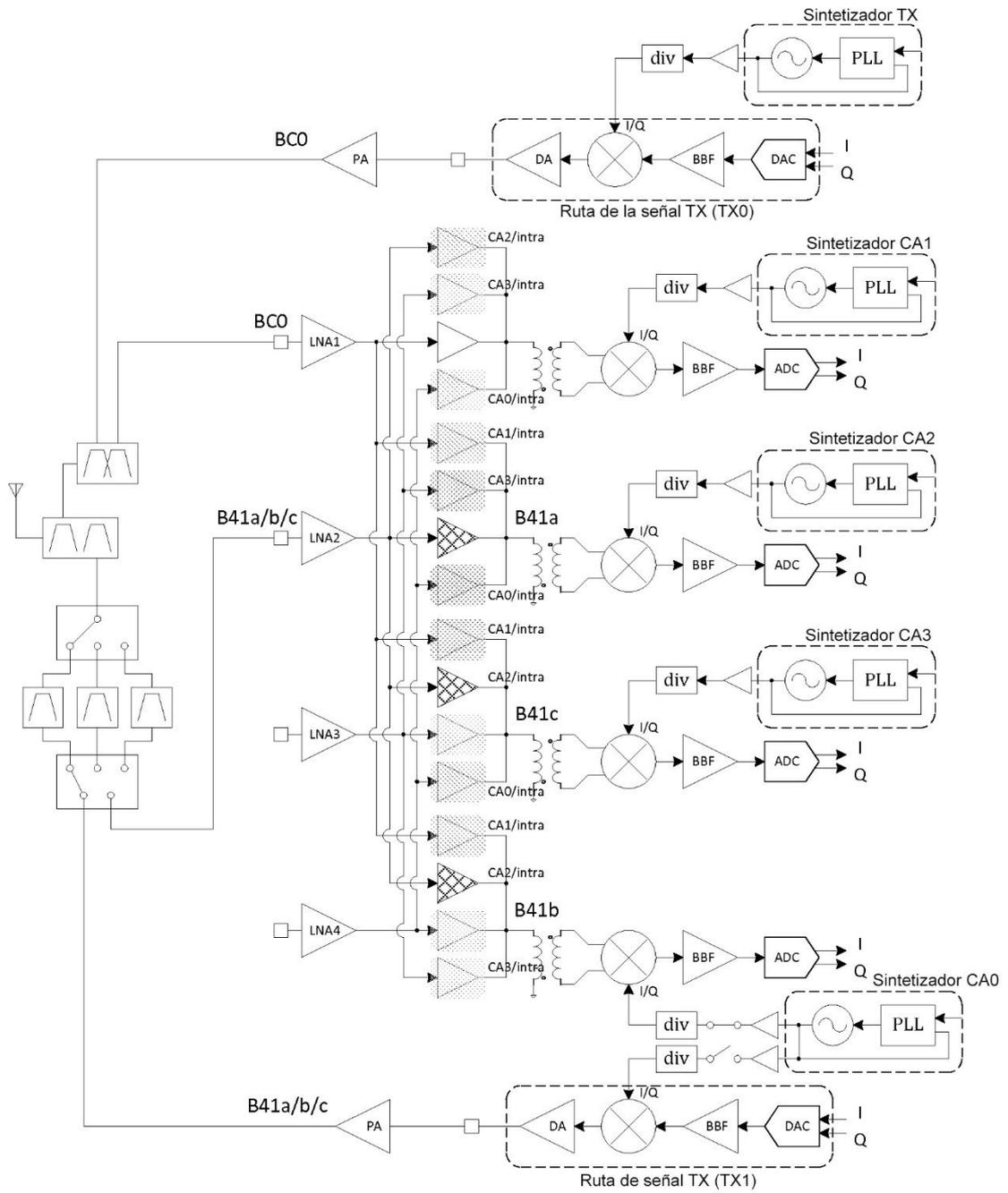


FIG. 7A

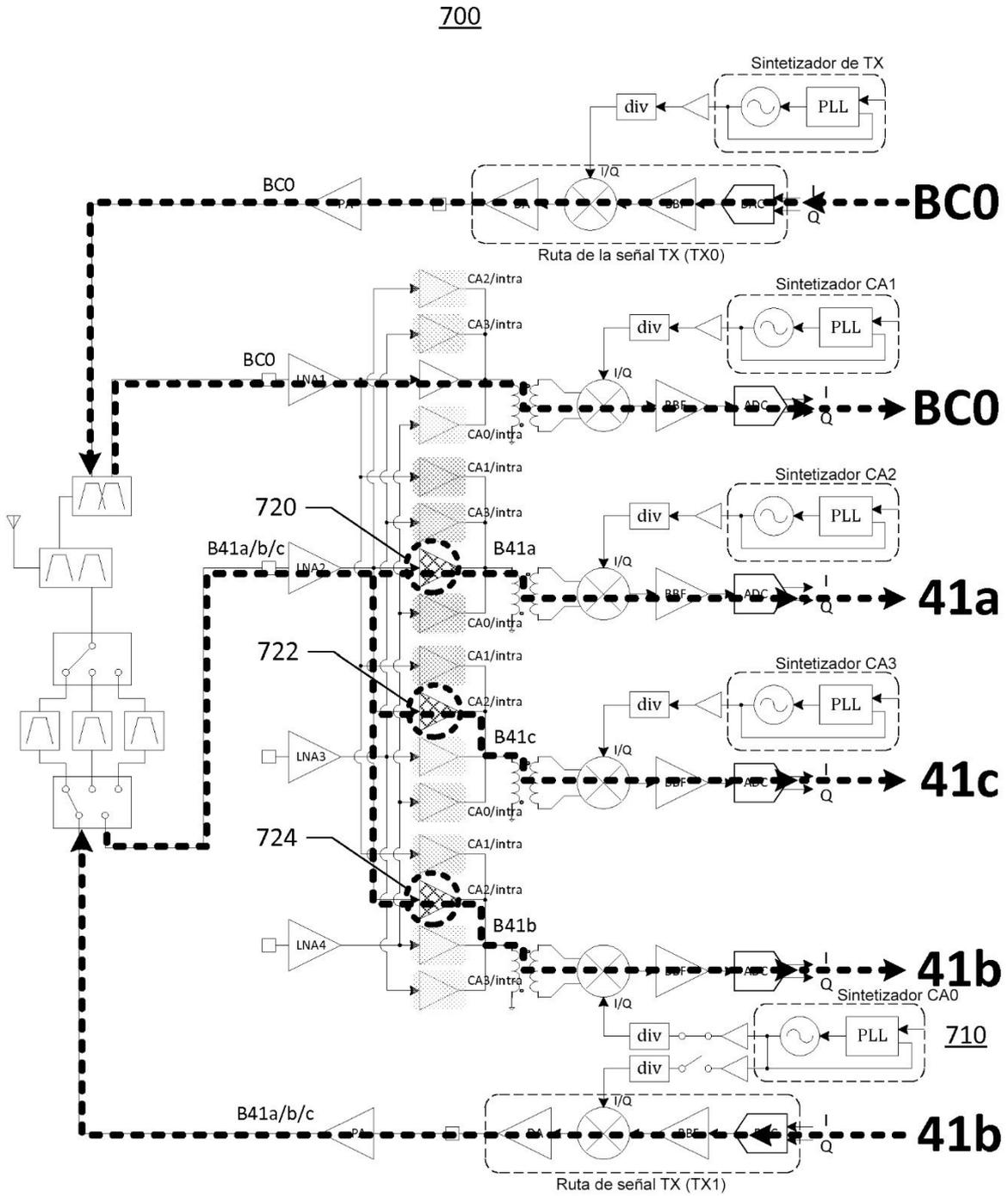
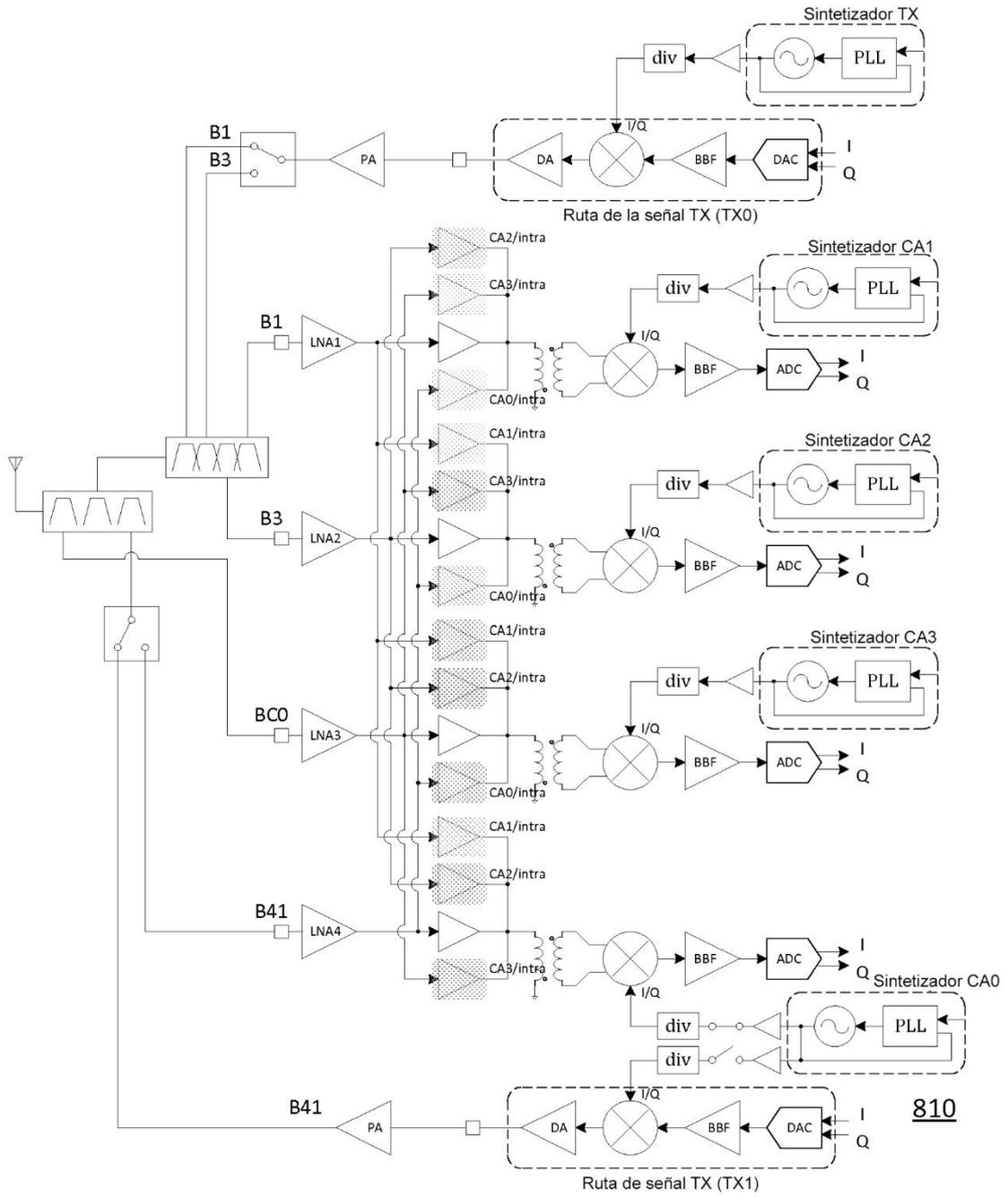


FIG. 7B

800



810

FIG. 8A

800

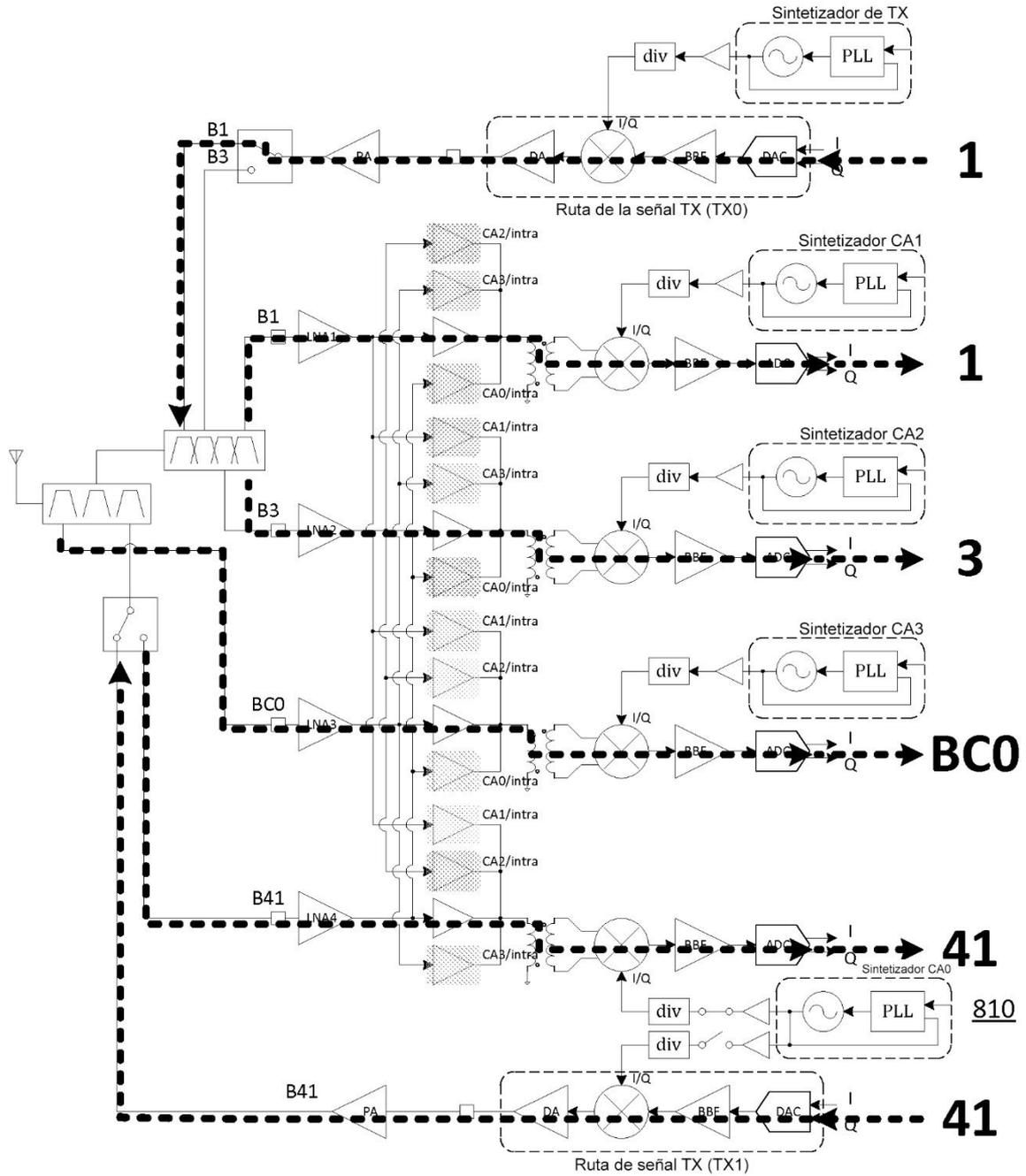


FIG. 8B