

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 672 931**

51 Int. Cl.:

G06F 11/36 (2006.01)

B64F 5/60 (2007.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **17.01.2012** **E 12000254 (8)**

97 Fecha y número de publicación de la concesión europea: **16.05.2018** **EP 2482193**

54 Título: **Procedimiento de optimización dinámica de una arquitectura de herramientas de ensayos de sistema**

30 Prioridad:

26.01.2011 FR 1100232

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

18.06.2018

73 Titular/es:

**AIRBUS HELICOPTERS (33.3%)
Aéroport International Marseille Provence
13725 Marignane Cedex, FR;
UNIVERSITÉ DE LILLE 1 - USTL (33.3%) y
UNIVERSITÉ DE VALENCIENNES ET DU
HAINAUT-CAMBRESIS (33.3%)**

72 Inventor/es:

**RUBIO, MARTIAL;
BELANGER, NICOLAS;
DEKEYSER, JEAN-LUC y
BEN ATITALLAH, RABIE**

74 Agente/Representante:

ARIZTI ACHA, Monica

ES 2 672 931 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

Procedimiento de optimización dinámica de una arquitectura de herramientas de ensayos de sistema

DESCRIPCIÓN

5 La presente invención se refiere al campo técnico general de las herramientas de ensayos de sistema en el campo de la aeronáutica. Estos ensayos de sistema se despliegan por ejemplo en unos bancos de ensayos del tipo de bancos de integración del sistema, bancos de integración del software, bancos de estudios y de desarrollo y simuladores que sirven para las cualificaciones de equipos integrados en aeronaves y principalmente helicópteros.

10 La denominación “bancos de ensayo” cubre un gran campo de utilizaciones que va desde el simulador completo (ningún equipo está presente sino sustituidos por su modelo: virtualización), pasando por el banco de ensayo unitario en el que se ensaya un único equipo (banco de ensayo de software) hasta un banco de integración en el que los modelos son sustituidos, a medida de su disponibilidad, por el equipo real correspondiente. Todos estos tipos de bancos poseen una o varias de las funcionalidades siguientes:

- 15
- Espionaje
 - Perturbaciones

20

 - Registro
 - Reproducción

25 Estos ensayos del sistema se implementan en general con equipos conectados en red con ayuda de un Bus de comunicación.

Es preferible poder asegurar que estas herramientas de ensayos del sistema funcionan de manera óptima. Se han desarrollado así unos supervisores del sistema. La publicación AFONSO G ET AL: “An efficient design methodology for hybrid avionics test systems” describe una arquitectura híbrida compuesta de un calculador CPU y un circuito de cálculo FPGA que permite la realización de una serie regular de tareas de ensayo vinculadas al funcionamiento de un sistema aviónico. La publicación SANA CHERIF ET AL: “Modeling Reconfigurable Systems-on-Chips with UML MARTE Profile: An Exploratory Analysis”, describe que un circuito de cálculo FPGA es reconfigurable, de manera parcial o total, estático o dinámico, y de manera interna es decir que la FPGA se reconfigura a sí misma, o externa, es decir que procede de una fuente externa al sistema. La invención participa en un entorno del sistema aviónico distribuido síncrono, es decir que se basa en una base de tiempos común distribuida sobre el conjunto de los elementos de una red.

30

35

Según un ejemplo de intervención, en un caso periódico o cíclico, una tarea en tiempo real es la lista de los modelos a ejecutar en un período dado. Cuando se añade un modelo aviónico suplementario a esta lista, la tarea se desborda temporalmente (tiempo de ejecución demasiado grande) y permanece en un estado en curso de ejecución, mientras que debería estar en un estado suspendido hasta el próximo caso del ciclo. A título de ejemplo, una tarea periódica de 20 ms incluye varios modelos que tienen un tiempo global de ejecución de 19 ms. Cuando se añade en la lista un modelo que toma 2 ms, se obtiene un tiempo de ejecución global superior al tiempo previamente asignado para esta tarea. Se utiliza para esto el término “deadline” o “tiempo de ejecución máximo” impartido a una tarea.

40

45

Según otro ejemplo de intervención, en un caso aperiódico o asíncrono, una oleada de eventos que impliquen un tratamiento prioritario de procesos asociados a dichos eventos puede perturbar la ejecución de tareas periódicas en curso de ejecución. De ese modo, la ejecución de la tarea mencionada anteriormente se interrumpe por la ejecución de un proceso cuya prioridad es mayor y trata la llegada de eventos sucesivos. Si la totalidad del tratamiento de estos eventos sobrepasa los milisegundos en el ciclo actual de 20 ms, se encuentra en una situación de sobrepaso.

50

Por otro lado, la instrumentación para la medida del tiempo de ejecución de los modelos en la que se basa el funcionamiento de los medios que implementan el procedimiento de acuerdo con la invención, puede generar igualmente un nivel de intrusión susceptible de implicar un desbordamiento.

55

Se conoce por ejemplo en unas arquitecturas SMP (Symmetry Multi Processing) con memoria compartida, como por ejemplo en las arquitecturas de PC multi-núcleo, un supervisor que sirve para gestionar por ejemplo los enlaces o las adscripciones de una unidad de cálculo a un núcleo particular. Un supervisor de ese tipo permite equilibrar la carga sobre los diferentes calculadores CPU esforzándose en respetar las restricciones de tiempo real.

60

En las arquitecturas AMP (Asymmetric Multi Processing), las más comúnmente encontradas en el campo del ensayo aeronáutico con Bus digital, existen soluciones automatizadas de supervisión. Estas soluciones son sin embargo engorrosas de implementar y no respetan las restricciones de tiempo real.

Se conocen igualmente unos sistemas fuertemente distribuidos que incluyen unos calculadores CPU y unos circuitos de cálculo FPGA, para los que son operativas varias configuraciones de arquitectura predefinidas y fijadas en función del estado de parámetros del sistema. Se respetan entonces las restricciones de tiempo real.

- 5 Dichos sistemas se citan por ejemplo en una publicación realizada en el marco de la conferencia IEEE el 13 de septiembre de 2010. Esta publicación, "an efficient design methodology for hybrid avionic test system", cita la aplicación de estos sistemas para unos ensayos de sistemas aviónicos, principalmente mejorando los rendimientos de los cálculos.
- 10 Otra publicación, "Modeling reconfigurable system-on-chips with UML Marte profile: an exploratory analysis", realizada durante la 13ª conferencia EUROMICRO en septiembre de 2010, trata de los circuitos de cálculo FPGA, y más particularmente aquellos sobre la base de sistemas en chips. Esta publicación cita la capacidad de dichos calculadores para ser reconfigurables.
- 15 Las soluciones conocidas tienen todas sin embargo un inconveniente en la medida en que las capacidades de cálculo no están optimizadas para unos sistemas en tiempo real distribuidos.

Se utilizarán en el presente documento diferentes abreviaturas cuyas definiciones se dan a continuación. Se podrá hacer referencia a ellas si es necesario. Así:

20 CPU: "Central Processing Unit" o unidad central de cálculo cuyo flujo de ejecución es por naturaleza secuencial y no paralelo en el caso de un procesador mono-núcleo, o cualquiera en el marco de un procesador multi-núcleos.

25 FPGA: o "Field-Programmable Gate Array": es por oposición a la CPU, una unidad de cálculo cuyo flujo de ejecución puede ser de manera natural paralelizado, denominado también en lo que sigue "circuito de cálculo".

30 BUS IP: un Bus es un elemento del sistema que permite intercambiar datos entre dos unidades de cálculo y un "IP" o (Intellectual Property) es el bloque de programación (software) residente en la FPGA que permite asegurar la función.

RAM IP: una memoria auxiliar visible desde no importa qué elemento del sistema aviónico. Se prevé un bloque de software (IP) con este fin en la FPGA.

35 DDS IP: "Data Distribution Service", un estándar de intercambio de datos sobre una red.

40 IO IP: unas "entradas-salidas". Como se ha citado anteriormente, las FPGA están particularmente adaptadas para el tratamiento de flujos paralelos. Estas "IO" o (entradas-salidas) pueden interrelacionarse a nivel de la FPGA, pero el tratamiento inducido por estos flujos paralelos se realiza fácilmente por unos bloques de programa o de software (IP) asociados.

Time IP: una base de tiempos común al conjunto de la arquitectura del sistema aviónico en la medida en la que los sistemas de ensayo deben estar sincronizados. Se puede concebir la utilización de un "bloque de programa IP, referencia de tiempos" residente en la FPGA para todo el sistema.

45 Bus ARINC 429: protocolo estándar de comunicación por Bus digital.

Modelo aviónico: un conjunto de funciones aviónicas utilizadas para hacer funcionar y controlar el funcionamiento de una aeronave o para facilitar el pilotaje de una aeronave.

50 El término "IP" se utiliza ampliamente en el mundo de las FPGA y designa por tanto el bloque de software que es el verdadero valor añadido de esta unidad de cálculo un poco particular. Para el mismo entorno de "hardware", se pueden tener por tanto unas "IP" de calidad diversa y variedades según los suministradores.

55 En lo que sigue, se utiliza el término "función aviónica". Es evidente que este término puede sustituirse por el término "modelo aviónico" en el marco de la invención.

La presente invención se dirige a proponer un procedimiento de control y de configuración que permita superar unas limitaciones mencionadas anteriormente y optimizar la arquitectura del sistema aviónico durante la ejecución de los tratamientos de funciones de ensayos.

60 El objeto de la presente invención se dirige por tanto a proponer un procedimiento de control y de configuración que permita efectuar unas reconfiguraciones dinámicas de una arquitectura de sistema aviónico.

Por reconfiguración se entiende una minimización del tiempo de paso de una configuración antigua hacia una nueva

configuración de la arquitectura de un sistema aviónico.

Otro objeto de la invención se dirige a suministrar un programa informático dedicado a sistemas aviónicos y que permite implementar las etapas del procedimiento de control y de configuración.

5 Los objetos asignados a la invención se alcanzan con la ayuda de un procedimiento de control de una arquitectura de sistemas aviónicos que incluye al menos un calculador CPU y al menos un circuito de cálculo FPGA que alberga funciones o modelos aviónicos y que comunica a través de al menos un Bus digital, estando dedicado dicho procedimiento a optimizar la ejecución de los tratamientos de funciones de ensayos, principalmente sobre bancos de ensayos, reconfigurando si es necesario dicha arquitectura,
10 caracterizado porque consiste:

- a) en utilizar un conjunto de reglas de ejecución para los procesos ejecutados sobre el (los) circuito(s) de cálculo FPGA y sobre el (los) calculador(es) CPU.

15 - b) en supervisar unos parámetros pertinentes sobre el estado general del sistema aviónico en función de las reglas de ejecución,

- c) en generar una alerta cuando un parámetro no está de acuerdo con las reglas de ejecución,

20 - d) en verificar la alerta generada,

e) en validar o invalidar la alerta así generada y verificada,

25 - f) en reconfigurar de manera dinámica y automática la arquitectura del sistema aviónico en caso de validación de la alerta, consistiendo dicha reconfiguración en hacer migrar al menos una función aviónica de un calculador CPU o circuitos de cálculo FPGA hacia otro calculador CPU o circuitos de cálculo FPGA,

- g) o en volver a la etapa a) en caso de invalidación de la alerta.

30 La tecnología basada en circuitos FPGA permite así realizar de manera dinámica, es decir en el curso de un proceso de ejecución, un alojamiento de modelos aviónicos. Se hace posible alcanzar unas potencias de cálculo netamente superiores a las de calculadores CPU en solitario, mientras se garantiza un funcionamiento en tiempo real de los sistemas.

35 Otra ventaja obtenida mediante el procedimiento de control y de configuración que realiza una arquitectura reconfigurable, está vinculada a una gestión fácil del paralelismo que permite controlar el tiempo de ejecución de las tareas según las necesidades de aplicación. Un modelo puede ejecutarse de manera paralela si es perfectamente autónomo, es decir si no tiene ninguna dependencia en su flujo de ejecución con relación al resto del sistema. Paralelizar un modelo de ejecución secuencial consiste por tanto en aislar las ramas autónomas que pueden
40 ejecutarse simultáneamente en unas unidades de cálculo diferentes.

Según un ejemplo de intervención, en un caso periódico o cíclico, la tarea en tiempo real es la lista de los modelos a ejecutar para un periodo dado. Cuando se añade un modelo aviónico suplementario a esta lista, la tarea desborda temporalmente (tiempo de ejecución demasiado grande) y permanece en un estado en curso de ejecución, mientras
45 que debería estar en un estado suspendido hasta el próximo caso del ciclo.

Según otro ejemplo de intervención, en un caso aperiódico o asíncrono, una oleada de eventos que impliquen un tratamiento periódico de procesos asociados a dichos eventos puede perturbar la ejecución de tareas periódicas en curso de ejecución.

50 El procedimiento de control y de configuración permite de ese modo redistribuir dinámicamente unos modelos aviónicos entre calculadores CPU y circuitos de cálculo FPGA de manera optimizada. La distribución dinámica del tratamiento inherente a un "Test System", realizado gracias al procedimiento de control y de configuración sobre una arquitectura híbrida que incluye unos calculadores CPU y unos circuitos de cálculo FPGA (software/hardware) presenta así unos rendimientos notables.

Según un ejemplo de implementación, el procedimiento de acuerdo con la invención consiste en utilizar como parámetro pertinente un parámetro de tiempo de ejecución de las funciones de ensayos según las reglas de ejecución.

60 Según un ejemplo de implementación, el procedimiento de acuerdo con la invención consiste en detectar un desbordamiento temporal del tiempo de ejecución y en reconfigurar la arquitectura para restablecer un tiempo de ejecución de acuerdo con las reglas de ejecución.

Según un ejemplo de implementación, el procedimiento de acuerdo con la invención consiste en detectar de manera anticipada un desbordamiento temporal del tiempo de ejecución y en reconfigurar la arquitectura de manera anticipada para restablecer un tiempo de ejecución de acuerdo con las reglas de ejecución.

5 Según un ejemplo de implementación, el procedimiento de acuerdo con la invención consiste en suspender la función aviónica que forma el objeto de una migración y en verificar la disponibilidad operativa de la función aviónica en su nuevo calculador CPU o circuito de cálculo FPGA antes de implementar la arquitectura reconfigurada.

10 Según un ejemplo de implementación, el procedimiento de acuerdo con la invención se aplica a una arquitectura de sistema aviónico que incluye dos calculadores CPU y dos circuitos de cálculo FPGA.

Según un ejemplo de implementación, el procedimiento de acuerdo con la invención se ejecuta gracias a un programa informático de supervisión cargado en un calculador CPU.

15 Según otro ejemplo de implementación, el procedimiento de acuerdo con la invención se ejecuta gracias a un programa informático de supervisión cargado en varios calculadores CPU distintos.

20 El procedimiento de acuerdo con la invención no puede desplegarse más que sobre los sistemas de ensayo porque estos no tienen restricciones de certificación ni sobre el software ni sobre el hardware. Por el contrario, el aprovechamiento de los resultados de esta solución que se refiere al procedimiento según la invención podría ser de una gran ayuda para la arquitectura de los próximos calculadores integrados y permitiría así conducir a un compromiso óptimo entre software y hardware.

25 La invención y sus ventajas surgirán con más detalle en el marco de la descripción que sigue con un ejemplo de realización dado a título ilustrativo y no limitativo, con referencia a las figuras adjuntas que representan:

- la figura 1, una ilustración de un ejemplo de realización de un sistema de ensayo que implementa el procedimiento de acuerdo con la invención,

30 - la figura 2, una ilustración de un ejemplo de realización del sistema de ensayo de la figura 1, después de una reconfiguración dinámica según el procedimiento de acuerdo con la invención,

- y la figura 3, una presentación de un ejemplo de algoritmo de supervisión ejecutado en el marco de la implementación del procedimiento de acuerdo con la invención.

35 Los elementos estructural y funcionalmente idénticos, presentes en varias figuras distintas, tienen asignada una única y misma referencia numérica o alfanumérica.

40 La figura 1 es una ilustración de un ejemplo de realización de un sistema de ensayo que implementa el procedimiento de acuerdo con la invención. La figura 1 presenta un estado del sistema y el reparto de los diferentes componentes sobre un ejemplo de arquitectura de dicho sistema. Una arquitectura así es conocida en tanto que tal.

45 El sistema comprende un primer calculador CPU 1 que aloja un modelo aviónico M1, un modelo aviónico M2 y los medios para implementar el procedimiento de control y de configuración, denominado supervisor S en lo que sigue.

El sistema comprende igualmente un segundo calculador CPU 2 que aloja un modelo aviónico M3.

50 El sistema comprende igualmente un primer circuito de cálculo FPGA 3 y un segundo circuito de cálculo FPGA 4, que están conectados, a través de las memorias auxiliares 5 denominadas RAM, a un Bus digital 6 basado en el estándar DDS.

El primer circuito de cálculo FPGA 3 aloja unos elementos fundamentales E necesarios para la comunicación entre los diferentes constituyentes de la arquitectura. Estos elementos fundamentales E ya son conocidos.

55 El primer circuito de cálculo FPGA 3 aloja igualmente una base de tiempos T común para el conjunto de la arquitectura, porque el sistema es síncrono.

El primer circuito de cálculo FPGA 3 aloja igualmente unos medios de direccionamiento IO de las entradas y salidas del sistema.

60 El segundo circuito de cálculo FPGA 4 aloja los mismos componentes que el primer circuito de cálculo FPGA 3, aparte de la base de tiempos T, que es común al conjunto de la arquitectura.

La figura 2 es una ilustración de un ejemplo de realización del sistema de ensayo de la figura 1, después de una

configuración dinámica efectuada según el procedimiento de acuerdo con la invención.

5 La arquitectura ilustrada en la figura 2 se diferencia de la de la figura 1 por la migración del modelo aviónico M2 hacia el segundo circuito de cálculo FPGA 4. Los otros componentes de la arquitectura permanecen en su localización respectiva inicial.

La figura 3 ilustra un ejemplo de algoritmo de supervisión ejecutado en el marco de la implementación del procedimiento de control y de configuración de acuerdo con la invención.

10 El procedimiento de control consiste según una etapa a), en utilizar un conjunto de reglas de ejecución R1 para los procesos ejecutados en el (los) circuito(s) de cálculo FPGA 3 y 4 y sobre el (los) calculador(es) CPU 1 y 2.

15 Según una etapa b), el procedimiento consiste en supervisar unos parámetros pertinentes sobre el estado general del sistema aviónico en función de las reglas de ejecución anteriores. Ciertos parámetros pueden supervisarse en tiempo real y otros pueden construirse de manera compuesta y formar el objeto de estadísticas en los períodos de tiempo.

20 Según una etapa c), el procedimiento consiste a continuación en generar una alerta cuando un parámetro no está de acuerdo con las reglas de ejecución. La generación de la alerta se basa en una utilización de reglas predefinidas R2 tales como desbordamiento temporal en la ejecución de tareas. Un desbordamiento de ese tipo puede constatarse o bien en tiempo real o de manera anticipada.

Según una etapa d), el procedimiento consiste en verificar la alerta así generada. Esta verificación consiste por ejemplo en analizar un nuevo caso del parámetro cuestión.

25 Según una etapa e), el procedimiento consiste en validar o invalidar la alerta así generada y verificada. Con este fin, pueden utilizarse unas reglas de investigación, como por ejemplo un análisis de un parámetro compuesto construido para dicha investigación, un análisis de un parámetro aún no supervisado o un análisis de valores estadísticos.

30 El procedimiento consiste igualmente en analizar el sitio disponible en el calculador CPU 2 y sobre los circuitos de cálculo FPGA 3 y 4 y en identificar el código previamente sintetizado del segundo modelo aviónico M2 para convertirlo en elegible sobre el segundo circuito de cálculo FPGA 4 retenido.

35 Según una etapa f), el procedimiento consiste en reconfigurar de manera dinámica y automática la arquitectura del sistema aviónico en caso de validación de la alerta, consistiendo dicha reconfiguración en hacer migrar el modelo aviónico M2 del primer calculador CPU 1 hacia el segundo circuito de cálculo FPGA 4.

40 Durante esta etapa f), el procedimiento consiste igualmente en determinar si se trata de un desbordamiento anticipado DA o no, con el fin de lanzar o bien una reconfiguración directa RD, o bien una reconfiguración anticipada RA.

Cuando se trata de un desbordamiento simple, es decir no anticipado, se efectúa una reconfiguración directa RD que se basa en unas reglas de reconfiguración directa R3.

45 Según un ejemplo de implementación, el procedimiento consiste por tanto en detectar de manera anticipada un desbordamiento temporal anticipado DA del tiempo de ejecución y en reconfigurar la arquitectura de manera anticipada para restablecer un tiempo de ejecución de acuerdo con las reglas de ejecución R1. Una reconfiguración de ese tipo se denomina reconfiguración anticipada RA.

El procedimiento se implementa entonces gracias a unas reglas de predicción de desbordamiento R4.

50 De ese modo, cuando un elemento o un conjunto de elementos susceptibles de generar un desbordamiento están aislados, se procede entonces a una reconfiguración parcial del segundo circuito FPGA 4, el menos cargado en términos de tiempos disponibles y en términos de espacios. Una reconfiguración predictiva de ese tipo anticipa un evento de desbordamiento y permite asegurar la continuidad de la ejecución en tiempo real.

55 Según una etapa g), el procedimiento consiste en volver a la etapa a) en caso de invalidación de la alerta en la etapa e).

60 El procedimiento consiste por ejemplo en utilizar como parámetro pertinente un parámetro de tiempos de ejecución de las funciones de ensayos, según las reglas de ejecución R1.

Según un ejemplo de implementación, el procedimiento consiste en detectar un desbordamiento temporal de los tiempos de ejecución de las tareas y en reconfigurar la arquitectura para restablecer un tiempo de ejecución de acuerdo con las reglas de ejecución R1.

Durante una migración del modelo aviónico M2, la ejecución del sistema de ensayo prosigue de manera degradada, con la suspensión del segundo modelo aviónico M2.

- 5 Ventajosamente, el procedimiento consiste en suspender la función aviónica o el modelo aviónico M2 que forma el objeto de la migración y en verificar la disponibilidad operativa de dicho modelo M2 en su nuevo circuito de cálculo FPGA 4, antes de implementar la arquitectura reconfigurada. Una vez efectuada esta verificación, la arquitectura objetivo se declara operativa (ready to go) y el modelo aviónico M2 se ejecuta con su nueva localización.
- 10 Ventajosamente, el procedimiento de acuerdo con la invención se implementa gracias a un programa de supervisión cargado sobre el primer calculador CPU 1.

Alternativamente, el procedimiento de acuerdo con la invención se implementa gracias a un programa de supervisión cargado en varios calculadores CPU distintos, en este caso sobre el primer y segundo calculadores 1 y 2.

- 15 Más allá de un cierto número de calculadores CPU y de circuitos de cálculo FPGA, se hace difícil supervisar los parámetros en tiempo real, principalmente a causa de los retrasos de comunicación entre los medios que implementan el procedimiento y los otros componentes de la arquitectura. Por otro lado, el tiempo necesario para la toma de decisión aumenta con el aumento del número de nodos de calculadores CPU/circuitos de cálculo FPGA, penalizando así la ejecución de los modelos aviónicos.
- 20

- El mal funcionamiento del proceso de supervisión o una anomalía en la máquina huésped correspondiente puede provocar la detención de todo el sistema. La utilización de un entorno de supervisión distribuido es por tanto particularmente interesante. El reparto de la toma de decisión sobre diferentes calculadores CPU permite un mejor equilibrio de la carga (load-balancing) inducido por la ejecución del algoritmo de supervisión.
- 25

- Ventajosamente, los intercambios de información relativos a los desbordamientos o a los desbordamientos anticipados, así como a los recursos de hardware disponibles en cada nodo de comunicación, se basan en unos protocolos estándar de comunicación.
- 30

- Naturalmente, la presente invención está sujeta a numerosas variaciones en cuanto a su implementación. Aunque se han descrito diversos modos de realizaciones, se comprende que no se puede concebir la identificación de manera exhaustiva de todos los modos posibles. Se puede concebir por supuesto sustituir un medio descrito o una etapa descrita por un medio equivalente o una etapa equivalente sin salir del marco de la invención.
- 35

REIVINDICACIONES

1. Procedimiento de control y de configuración de una arquitectura de un sistema aviónico que incluye al menos un
 5 calculador CPU (1, 2) y al menos un circuito de cálculo FPGA (3, 4) que alberga funciones aviónicas o modelos
 aviónicos y que comunica a través de un Bus digital (6), estando dedicado dicho procedimiento a optimizar la
 ejecución de los tratamientos de funciones de ensayos, principalmente sobre bancos de ensayos,
caracterizado porque consiste en reconfigurar, si es necesario, dicha arquitectura según las etapas siguientes:
- a) utilizar un conjunto de reglas de ejecución (R1) para los procesos ejecutados sobre el (los) circuito(s) de
 10 cálculo FPGA (3, 4) y sobre el (los) calculador(es) CPU (1, 2).
 - b) supervisar unos parámetros pertinentes sobre el estado general del sistema aviónico en función de las reglas
 de ejecución (R1),
 - c) generar una alerta cuando un parámetro no está de acuerdo con las reglas de ejecución (R1),
 - d) verificar la alerta generada,
 - 15 - e) validar o invalidar la alerta así generada y verificada,
 - f) reconfigurar de manera dinámica y automática la arquitectura del sistema aviónico en caso de validación de la
 alerta, consistiendo dicha reconfiguración en hacer migrar al menos una función aviónica o modelo aviónico (M2)
 de un calculador CPU (1, 2) o circuito de cálculo FPGA (3, 4) hacia otro calculador CPU (1, 2) u otro circuito de
 20 cálculo FPGA (3, 4),
 - g) o volver a la etapa a) en caso de invalidación de la alerta.
2. Procedimiento de control y de configuración según la reivindicación 1,
caracterizado porque consiste en utilizar como parámetro pertinente un parámetro de tiempo de ejecución de las
 25 funciones de ensayos según las reglas de ejecución (R1).
3. Procedimiento de control y de configuración según la reivindicación 2,
caracterizado porque consiste en detectar un desbordamiento temporal del tiempo de ejecución y en reconfigurar
 la arquitectura para restablecer un tiempo de ejecución de acuerdo con las reglas de ejecución (R1).
- 30 4. Procedimiento de control y de configuración según la reivindicación 2,
caracterizado porque consiste en detectar de manera anticipada un desbordamiento temporal anticipado (DA) del
 tiempo de ejecución y en reconfigurar la arquitectura de manera anticipada para restablecer un tiempo de ejecución
 de acuerdo con las reglas de ejecución (R1).
- 35 5. Procedimiento según una cualquiera de las reivindicaciones 1 a 4,
caracterizado porque consiste en suspender la función aviónica o el modelo aviónico (M2) que forma el objeto de
 una migración y en verificar la disponibilidad operativa de la función aviónica o de modelo aviónico (M2) en su nuevo
 calculador CPU (1, 2) o circuito de cálculo FPGA (3, 4) antes de implementar la arquitectura reconfigurada.
- 40 6. Procedimiento de control y de configuración según una cualquiera de las reivindicaciones anteriores,
caracterizado porque se implementa sobre una arquitectura de sistema aviónico que incluye dos calculadores CPU
 (1, 2) y dos circuitos de cálculo FPGA (3, 4).
- 45 7. Procedimiento de control y de configuración según una cualquiera de las reivindicaciones anteriores,
caracterizado porque se implementa gracias a un software de supervisión cargado en un calculador CPU (1, 2).
8. Procedimiento de control y de configuración según una cualquiera de las reivindicaciones 1 a 6,
caracterizado porque se implementa gracias a un software de supervisión cargado en varios calculadores CPU (1,
 2) distintos.
 50

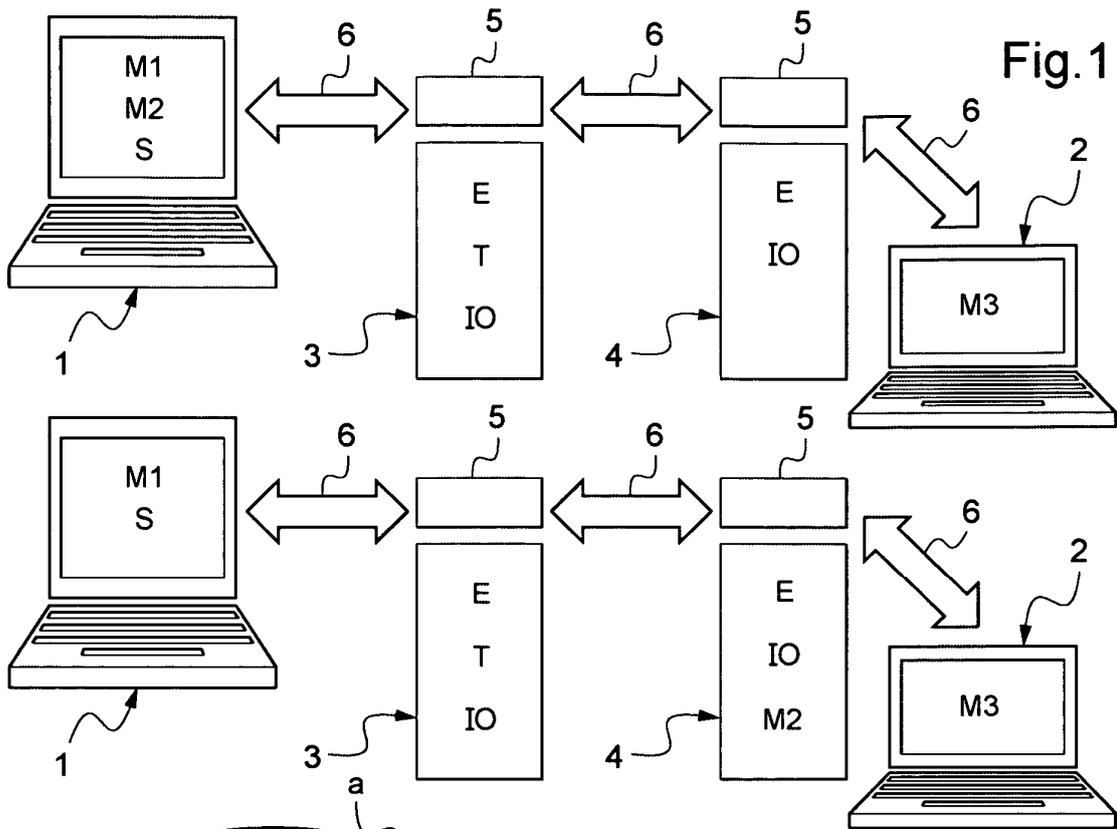


Fig.1

Fig.2

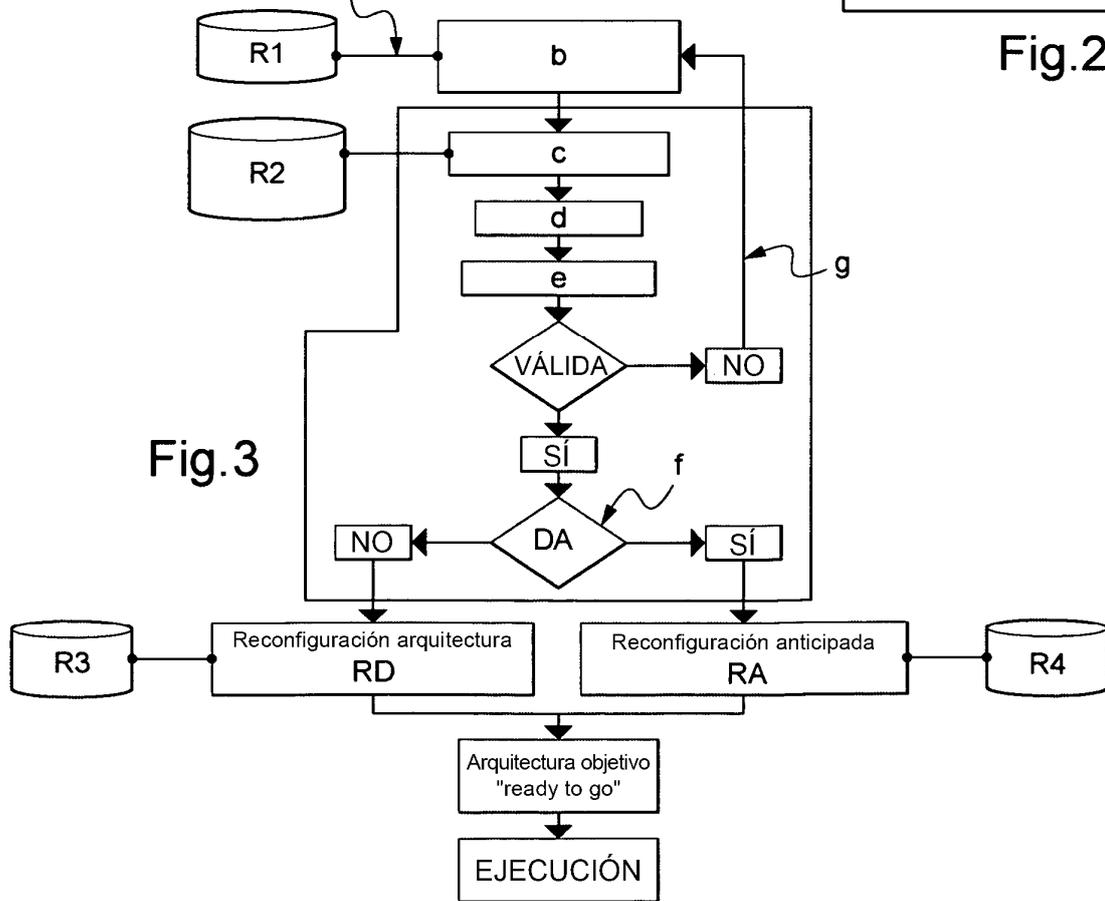


Fig.3