

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 673 113**

51 Int. Cl.:

G06K 7/00 (2006.01)

H04B 1/10 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **16.11.2015** **E 15194659 (7)**

97 Fecha y número de publicación de la concesión europea: **14.03.2018** **EP 3168772**

54 Título: **Receptor para procesar una señal de entrada analógica modulada por carga**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
19.06.2018

73 Titular/es:
PANTHRONICS AG (100.0%)
Sternäckerweg 16
8041 Graz, AT

72 Inventor/es:
JONGSMA, JAKOB

74 Agente/Representante:
ARIAS SANZ, Juan

ES 2 673 113 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Receptor para procesar una señal de entrada analógica modulada por carga

5 Campo de la invención

La presente invención se refiere a un receptor que recibe una señal de entrada analógica modulada por carga y emite datos digitales detectados en la señal de entrada, comprendiendo el receptor: un mezclador en fase que mezcla la señal de entrada con una frecuencia portadora en fase y proporciona una componente en fase de la señal de entrada convertida hacia abajo y un mezclador en cuadratura de fase que mezcla la señal de entrada con una frecuencia portadora en cuadratura de fase y proporciona una componente en cuadratura de fase de la señal de entrada convertida hacia abajo;
 10 un amplificador para amplificar la componente en fase y la componente en cuadratura de fase de la señal de entrada convertida hacia abajo;
 15 un bloque filtro de CC para eliminar la componente de CC de la componente en fase y la componente en cuadratura.

Antecedentes de la invención

El documento US 7.890.080 B2 desvela un receptor de este tipo que se usa para dispositivos de identificación por radiofrecuencia (RFID) tal como los lectores de RFID para comunicarse con transpondedores activos o pasivos. En una aplicación típica, un transpondedor o etiqueta pasiva almacena la identificación de producto de un producto al que está conectado y el lector se usa para obtener esta información de producto. El lector está alimentado y genera un campo magnético desde su antena. Cuando el lector y la etiqueta están muy cerca el uno del otro, el campo magnético generado por el lector se induce en la antena de la etiqueta y se usa para alimentar la etiqueta. La etiqueta también tiene un transceptor para recibir la señal del lector y para transmitir una respuesta al lector.

Existen normas como la ISO/IEC 18000-3 o la ISO/IEC 14.443 Tipo A y B o la ISO 15.693 o la ECMA-340 13,56 MHz comunicación de campo cercano (NFC) o normas de compañía como Felica de la compañía Sony que definen los protocolos y los tipos de modulación utilizados para transmitir información entre la etiqueta y el lector. Algunas o todas estas normas definen que el lector transmite datos a las etiquetas al cambiar la magnitud de su potencia transmitida. Las etiquetas reciben la señal transmitida y procesan los datos recibidos. La etiqueta activada, a continuación, responde transmitiendo datos al lector. Una técnica típica es usar la modulación de carga, en la que la etiqueta varía la impedancia de carga de su bobina al cambiar su frecuencia de resonancia y su factor de calidad. Esta acción provoca una variación de tensión en la antena de lector. El receptor del lector desvelado en la figura 3 del documento US 7.890.080 B2 y mostrado en la figura 1 de esta solicitud de patente procesa dichas señales de entrada analógicas moduladas por carga para emitir los datos digitales detectados en la señal de entrada.

La figura 1 muestra el receptor 1 que comprende un amplificador diferencial 2 para amplificar la señal de entrada analógica modulada por carga de la antena 3. Un mezclador en fase 4 mezcla la señal de entrada con una frecuencia portadora en fase y proporciona una componente en fase I de la señal de entrada convertida hacia abajo y un mezclador en cuadratura de fase 5 mezcla la señal de entrada con una frecuencia portadora en cuadratura de fase y proporciona una componente en cuadratura de fase Q de la señal de entrada convertida hacia abajo. Los amplificadores 6 y 7 amplifican la componente en fase I y la componente en cuadratura de fase Q de la señal de entrada convertida hacia abajo y el bloque filtro de CC 8 y 9 eliminan la componente de CC de la componente en fase I y de la componente en cuadratura de fase Q, la componente en fase I y la componente de cuadratura Q que se digitalizan a continuación mediante los convertidores analógico-digitales 10 y 11. Las componentes digitalizadas se filtran a continuación mediante los filtros digitales 12 y 13 y los filtros de emparejamiento 14 y 15 y se unen en un decodificador digital 16.

Un inconveniente para este receptor desvelado en el documento US 7.890.080 B2 es que el filtrado de emparejamiento se hace después de filtrado digital y no se explotan las características de la subportadora convertida hacia abajo por lo que es menos robusto contra el ruido y las interferencias.

Sumario de la invención

Es un objeto de la invención proporcionar un receptor y un dispositivo que comprenda un receptor de este tipo que sea más robusto con respecto al ruido y las interferencias dentro de la señal de entrada analógica modulada por carga.

Este objeto se consigue con un receptor y un dispositivo que comprende un receptor de este tipo, comprendiendo además el receptor:

un correlador en fase y un correlador en cuadratura de fase para tanto la componente en fase como la componente en cuadratura de fase para correlacionar la componente en fase y la componente en cuadratura con una componente en fase y una componente en cuadratura de fase de una subportadora o una frecuencia de código de reloj de la señal de entrada;

un combinador para combinar cuatro señales de salida de los dos correladores en fase y los dos correladores de fase en cuadratura;
 un seccionador de señal para muestrear una señal de salida del combinador a niveles de energía máximos para emitir los datos digitales detectados en la señal de entrada.

El uso de cuatro correladores que correlacionan la componente en fase y la componente en cuadratura de fase de la señal de entrada convertida hacia abajo con la componente en fase y la componente en cuadratura de fase de la subportadora (ISO 14.443) o la frecuencia de código de reloj (Felica) permite seleccionar siempre la fase de subportadora óptima para la mayor relación de señal / ruido. Esto permite adicionalmente recuperar la señal incluso cuando faltan pulsos de subportadora debido a la interferencia.

Los correladores así como el combinador pueden o bien realizarse por medio del procesamiento de señales analógicas o, después de la conversión de analógico a digital entre el bloque-CC y los correladores, por medio del procesamiento de señales digitales.

Estos y otros aspectos de la invención serán evidentes a partir de y se aclararán haciendo referencia a las realizaciones descritas en lo sucesivo en el presente documento. Un experto en la materia entenderá que pueden combinarse varias realizaciones.

Breve descripción de los dibujos

La figura 1 muestra un receptor para procesar una señal de entrada analógica modulada por carga de acuerdo con el estado de la técnica.

La figura 2 muestra un receptor para procesar una señal de entrada analógica modulada por carga de acuerdo con la invención.

La figura 3 muestra un ejemplo de la componente en fase del bloque filtro de CCy la componente en fase y la componente en cuadratura de fase de los mezcladores del correlador en fase y el correlador en cuadratura de fase del receptor de acuerdo con la figura 2.

La figura 4 muestra un ejemplo de la componente en fase del bloque filtro de CCy las señales de salida del correlador en fase y las señales de salida del correlador en cuadratura de fase del receptor de acuerdo con la figura 2 para una señal de entrada analógica modulada por carga de acuerdo con la ISO/IEC 14.443 Tipo A.

La figura 5 muestra un ejemplo de la componente en fase del bloque filtro de CC y las señales de salida del correlador en fase y las señales de salida del correlador en cuadratura del receptor de acuerdo con la figura 2 para una señal de entrada analógica modulada por carga de acuerdo con la ISO/IEC 14.443 tipo B.

Descripción detallada de las realizaciones

La figura 2 muestra un receptor 17 que es parte de un lector de RFID 18 que se construye para recibir una señal de entrada analógica modulada por carga 19 y para emitir los datos digitales 20 enviados desde un transpondedor o una etiqueta al lector 18 y detectados en la señal de entrada 19. El lector 18 de acuerdo con esta realización de la invención se comunica con la etiqueta de acuerdo con la norma NFC de comunicación de campo cercano ECMA-340 de 13,56 MHz, que funciona junto con la norma NFC en comunicación basada en la ISO/IEC 14.443 tipo A y B y Felica, una norma de compañía de la compañía Sony. El lector 18 comprende además un transmisor, no mostrado en las figuras, para emitir un campo magnético a través de la antena 3 y para transmitir datos a una o más etiquetas. Una etiqueta de este tipo se divulga, por ejemplo, en el documento US 7.890.080 B2, cuya divulgación del conocimiento de un experto en la materia se incorpora en este caso en esta divulgación.

Cuando el lector 18 y la etiqueta están muy cerca el uno de la otra, el campo magnético generado por el lector 18 se induce en la antena de la etiqueta y se usa para alimentar la etiqueta. La etiqueta también tiene un transceptor para recibir la señal del lector 18 y para transmitir una respuesta modulada por carga al lector 18, que recibe la respuesta de la etiqueta como una señal de entrada analógica modulada por carga 19. El lector 18 comprende un mezclador en fase 21 que mezcla la señal de entrada 19 con una componente en fase 22 de la frecuencia portadora de 13,56 MHz y proporciona una componente en fase 23 de la señal de entrada convertida hacia abajo. El lector 18 comprende además un mezclador en cuadratura de fase 24 que mezcla la señal de entrada 19 con una componente en cuadratura de fase 25 de la frecuencia portadora de 13,56 MHz y proporciona una componente en cuadratura de fase 26 de la señal de entrada convertida hacia abajo.

El receptor 18 comprende, además, el filtro 27 y 28 para filtrar los productos de mezcla no deseados procedentes de la componente en fase 23 y de la componente en cuadratura de fase 26 de la señal de entrada analógica modulada por carga 19. Tales productos de mezcla no deseados son, en particular a 0 Hz así como a $2 * 13,56$ MHz.

El receptor 18 comprende además un amplificador 29 y 30 para amplificar la componente en fase filtrada y la componente en cuadratura de fase de la señal de entrada convertida hacia abajo. Como la modulación típica de la señal de antena es muy pequeña, se necesita una ganancia sustancial antes del procesamiento adicional de la componente en fase 23 y de la componente en cuadratura de fase 26.

El receptor 18 comprende además un bloque filtro de CC 31 y 32 para eliminar la componente de CC de la componente en fase amplificada y de la componente en cuadratura de fase amplificada. Tal componente de CC en particular se agrega mediante los amplificadores 29 y 30 y necesita eliminarse antes del procesamiento adicional de la componente en fase y en cuadratura de fase.

El receptor 18 comprende en particular, unos correladores en fase 33 y 34 y unos correladores en cuadratura de fase 35 y 36 para tanto la componente en fase como la componente en cuadratura de fase para correlacionar la componente en fase y la componente de cuadratura con una componente en fase 37 y una componente en cuadratura de fase 38 de una subportadora o una frecuencia de código de reloj de la señal de entrada analógica modulada por carga 19. En una fase inicial de la comunicación basada en la norma NFC, el receptor 18 detecta qué protocolo de qué norma se usa por la etiqueta cerca del lector 18. Si en ese momento se decide que el lector 18 y la etiqueta se comunicarán basándose en la ISO 14.443 Tipo A o B, se usa una onda cuadrada que representa la frecuencia de subportadora de 848 kHz y si en ese momento se decide que el lector 18 y la etiqueta se comunicarán basándose en Felica, se usa una onda cuadrada que representa la frecuencia de reloj Manchester de 212 kHz o 424 kHz.

Cada uno de los correladores en fase 33 y 34 y de los correladores en cuadratura de fase 35 y 36 comprende un mezclador 39 para mezclar la componente en fase 46 y la componente en cuadratura de fase 47 de los bloque de filtros CC 31 y 32 con la componente en fase 37 y la componente en cuadratura de fase 38 de la subportadora o la frecuencia de código de reloj. Cada uno de los correladores en fase 33 y 34 comprende además un integrador 40 para integrar continuamente la componente en fase 44 y la componente en cuadratura de fase 45 del mezclador 39 a lo largo del tiempo durante una ventana de integración. La ventana de integración se fija para los diferentes tipos de modulación de la siguiente manera:

- ISO 14.443 Tipo A para cuatro períodos de subportadora;
- ISO 14.443 Tipo B para ocho períodos de subportadora para una velocidad de datos de 106 kbit/s;
- ISO 14.443 Tipo B para cuatro períodos de subportadora para una velocidad de datos de 212 kbit/s;
- ISO 14.443 Tipo B para dos períodos de subportadora para una velocidad de datos de 424 kbit/s;
- ISO 14.443 Tipo B para un período de subportadora para una velocidad de datos de 848 kbit/s;
- Felica para un período de subportadora.

Esto significa que, por ejemplo, para la ISO 14.443 Tipo A, un integrador 40 integra la salida del mezclador 39 para la ventana de integración o para el período de tiempo de 4 períodos de subportadora que resulta en 4,7 μ s.

El receptor 18 comprende además un combinador 41 para combinar las cuatro señales de salida 48, 49, 50 y 51 de los dos correladores en fase 33 y 34 y de los dos correladores en cuadratura de fase 35 y 36. El combinador 41 de acuerdo con esta realización de la invención está construido para seleccionar al menos una de las cuatro señales de salida 48, 49, 50 y 51 de los dos correladores en fase 33 y 34 y de los dos correladores en cuadratura de fase 35 y 36 con los niveles de energía más altos y para añadir estas señales seleccionadas para generar la señal de salida 42 del combinador 41. Esto significa que el combinador 41 mide los niveles de energía de las cuatro señales de salida 48, 49, 50 y 51 y solo usa el más fuerte, dos o tres de los mismos para la combinación basada en el hecho de que solo aquellas señales de salida con un nivel sustancial de energía comprenderán la información relacionada con los datos digitales 20. Las señales de salida de los dos correladores en fase 33 y 34 y de los dos correladores en cuadratura de fase 35 y 36 con niveles de energía débiles no se usarán para un procesamiento adicional en la señal de salida 42 del combinador 41.

Otro combinador de acuerdo con otra realización de la invención puede simplemente añadir las cuatro señales de salida 48, 49, 50 y 51 de los dos correladores en fase 33 y 34 y de los dos correladores en cuadratura de fase 35 y 36 en la señal de salida del combinador. Esta es una solución técnica simple y robusta, pero la combinación de solo las señales de salida seleccionadas como se realiza en el combinador 41. Ambas soluciones son comparables en complejidad y proporcionan buenos resultados similares.

El receptor 18 comprende además un seccionador de señal 43 para muestrear la señal de salida 42 del combinador 41 en los niveles máximos de energía para los datos digitales de salida 20 detectados en la señal de entrada analógica modulada por carga 19. El muestreo podría realizarse solo en niveles máximos de energía de la señal de salida 42 o incluso más preferido, la información del combinador 41, cuyas señales de salida 48, 49, 50 o 51 se seleccionaron por el combinador 41 para generar la señal de salida 42, podría usarse para seleccionar el reloj de bits alineado apropiado. Si, por ejemplo, el combinador 41 selecciona las dos señales de salida de los dos correladores en fase 33 y 34 ya que estas dos señales de salida comprenden un nivel de energía más alto que los dos correladores en cuadratura de fase 36 y 37, entonces el seccionador de señal 43 selecciona el reloj de bits en fase para generar las muestras y para detectar los datos digitales 20 en la señal de salida 42. Esto tiene la ventaja de que el punto de muestreo ya está cerca del óptimo y solo requiere un poco de ajuste adicional.

El uso y las ventajas del receptor 17 mostrado en la figura 2 se explicarán ahora en las figuras 3 a 5 basándose en los ejemplos concretos de señales. La figura 3 muestra un ejemplo de la componente en fase 46 del bloque filtro de CC 31 y de la componente en fase 44 y de la componente en cuadratura de fase 45 de los mezcladores 39 del

correlador en fase 33 y del correlador en cuadratura de fase 35. Se agrega ruido a las señales mostradas ya que estas formas de onda ilustran las condiciones del mundo real. Como puede verse en la figura 3, la componente en cuadratura de fase 45 del mezclador 39 está en fase con la componente en fase 46 del bloque filtro de CC 31, lo que proporciona una señal de salida promedio. La componente 44 en fase está fuera de fase con la componente en fase 46 de los filtros de bloque de CC 31, lo que hace que la salida promedio esté cercana a cero. El nivel de energía de la componente en cuadratura de fase 45 será, por lo tanto, más alto que el nivel de energía de la componente en fase 44.

La figura 4 muestra un ejemplo de la componente en fase 46 del bloque filtro de CC 31 y la señal de salida 48 del correlador en fase 33 y la señal de salida 49 del correlador en cuadratura de fase 35 para el receptor 17 que procesa la comunicación de protocolo de la ISO14.443 de tipo A con una etiqueta. La señal de salida 49 del correlador en cuadratura de fase 35 da como resultado un valor y un nivel de energía significativamente más altos que la señal de salida 48 del correlador en fase 33, como puede verse en la figura 4. En este ejemplo, la duración del tiempo de la ventana de integrador se estableció en cuatro períodos de subportadora para optimizar el resultado para la comunicación de protocolo de la ISO14.443 de tipo A. Por lo tanto, las señales de salida de los integradores se saturan en el cambio de bit desde "0" a "1" donde se producen ocho períodos de subportadora. Esto puede verse en la señal de salida 49, que tiene una forma de onda triangular si los bits siguientes son iguales (por ejemplo, el bit "1" después de un bit "1") y una forma de onda plana si los bits sucesivos cambian (por ejemplo, el bit "1" después del bit "0").

La figura 5 muestra un ejemplo de la componente en fase 46 del bloque filtro de CC 31 y la señal de salida 48 del correlador en fase 33 y la señal de salida 49 del correlador en cuadratura de fase 35 para el receptor 17 que procesa la comunicación de protocolo de la ISO14.443 de tipo B con una etiqueta. La señal de salida 49 del correlador en cuadratura de fase 35 da como resultado un valor y un nivel de energía significativamente más altos que la señal de salida 48 del correlador en fase 33, como puede verse en la figura 5. En este ejemplo, la duración del tiempo de la ventana de integrador se estableció en ocho períodos de subportadora para optimizar el resultado para la comunicación de protocolo de la ISO14.443 de tipo B. Por lo tanto, las señales de salida de los integradores se saturan cuando se producen dos bits del mismo tipo. En la ISO14.443 de tipo B, las señales de salida 48, 49, 50 y 51 de la comunicación de protocolo de los correladores 33, 34, 35 y 36 pueden ser tanto positivas como negativas debido al hecho de las fases de subportadora opuestas para los bits "0" y "1". Esto puede verse en la señal de salida 49, que tiene una forma de onda triangular si los bits siguientes son iguales (por ejemplo, el bit "1" después de un bit "1") y una forma de onda plana si los bits sucesivos cambian (por ejemplo, el bit "1" después del bit "0").

REIVINDICACIONES

1. Receptor (17) configurado para recibir una señal de entrada analógica modulada por carga (19) y para emitir datos digitales (20) detectados en la señal de entrada (19), comprendiendo el receptor (17):
- 5 un mezclador en fase (21) configurado para mezclar la señal de entrada (19) con una frecuencia portadora en fase (22) y para proporcionar una componente en fase (23) de la señal de entrada convertida hacia abajo y un mezclador en cuadratura de fase (24) configurado para mezclar la señal de entrada (19) con una frecuencia portadora en cuadratura de fase (25) y para proporcionar una componente en cuadratura de fase (26) de la señal de entrada convertida hacia abajo;
- 10 un amplificador (29, 30) para amplificar la componente en fase (23) y la componente en cuadratura de fase (26) de la señal de entrada convertida hacia abajo;
- un bloque filtro de CC (31) para eliminar la componente CC de la componente en fase (23) y la componente en cuadratura de fase (26),
- 15 caracterizado porque el receptor comprende además:
- un correlador en fase (33, 34) y un correlador en cuadratura de fase (35, 36) para cada una de la componente en fase (23) y la componente en cuadratura de fase (26) para correlacionar la componente en fase (23) y la componente en cuadratura (26) con una componente en fase (37) y una componente en cuadratura de fase (38) de una subportadora o una frecuencia de código de reloj de la señal de entrada (19);
- 20 un combinador (41) para combinar cuatro señales de salida (48 a 51) de los dos correladores en fase (33, 34) y los dos correladores en cuadratura de fase (35, 36);
- un seccionador de señal (43) para muestrear una señal de salida (42) del combinador (41) a niveles de energía máximos para emitir los datos digitales (20) detectados en la señal de entrada (19).
- 25 2. Receptor (17) de acuerdo con la reivindicación 1, en el que cada uno de los correladores en fase (33, 34) y de los correladores en cuadratura de fase (35, 36) comprende:
- un mezclador (39) para mezclar la componente en fase (46) y la componente en cuadratura de fase (47) del bloque filtro de CC (31, 32) con la componente en fase (37) la componente en cuadratura de fase (38) de la subportadora o la frecuencia de código de reloj;
- 30 un integrador (40) para integrar continuamente la componente en fase (44) y la componente en cuadratura de fase (45) del mezclador (39) a lo largo del tiempo durante una ventana de integración.
3. Receptor (17) de acuerdo con la reivindicación 2, en el que la duración de la ventana de integración depende del tipo de modulación de la señal de entrada analógica modulada por carga (19) y se fija para los tipos de modulación como sigue:
- 35 ISO 14.443 Tipo A para cuatro períodos de subportadora;
- ISO 14.443 Tipo B para ocho períodos de subportadora para una velocidad de datos de 106 kbit/s;
- 40 ISO 14.443 Tipo B para cuatro períodos de subportadora para una velocidad de datos de 212 kbit/s;
- ISO 14.443 Tipo B para dos períodos de subportadora para una velocidad de datos de 424 kbit/s;
- ISO 14.443 Tipo B para un período de subportadora para una velocidad de datos de 848 kbit/s;
- Felica para un período de subportadora.
- 45 4. Receptor (17) de acuerdo con cualquiera de las reivindicaciones 1 a 3, en el que el combinador (41) está construido para añadir las cuatro señales de salida (48 a 51) de los dos correladores en fase (33, 34) y los dos correladores en cuadratura de fase (35, 36) para generar la señal de salida (42) del combinador (41).
5. Receptor (17) de acuerdo con cualquiera de las reivindicaciones 1 a 3, en el que el combinador (41) está construido para seleccionar al menos una y, en particular, dos de las cuatro señales de salida (48 a 51) de los dos correladores en fase (33, 34) y los dos correladores en cuadratura de fase (35, 36) con los niveles de energía más altos y para añadir estas señales seleccionadas para generar la señal de salida (42) del combinador (41).
- 50 6. Receptor (17) de acuerdo con la reivindicación 5, en el que el seccionador de señal (43) está construido para usar la información del combinador (41) de cuáles de las cuatro señales de salida (48 a 51) de los dos correladores en fase (33, 34) y los dos correladores en cuadratura de fase (35, 36) se seleccionaron para seleccionar el reloj de bits alineado apropiadamente para muestrear la señal de salida (42) del combinador (41).
- 55 7. Receptor (17) de acuerdo con cualquiera de las reivindicaciones 1 a 6, en el que los correladores (33 a 36) están configurados para correlacionar tanto la componente en fase (23) como la componente en cuadratura de fase (26) de la señal de entrada analógica modulada por carga (19) con la componente en fase (37) y la componente en cuadratura de fase (38) de la subportadora o la frecuencia de código de reloj dependiente del tipo de modulación de la señal de entrada analógica modulada por carga (19) que se fija para los tipos de modulación como sigue:
- 60 ISO 14.443 Tipo A y B con una onda cuadrada que representa la frecuencia de subportadora;
- 65 Felica con una onda cuadrada que representa la frecuencia de reloj Manchester.

8. Receptor (17) de acuerdo con cualquiera de las reivindicaciones 1 a 7, que comprende un filtro (27, 28) para filtrar productos de mezcla no deseados procedentes de la componente en fase (23) y de la componente en cuadratura de fase (26) de la señal de entrada analógica modulada por carga (19).

Estado de la técnica

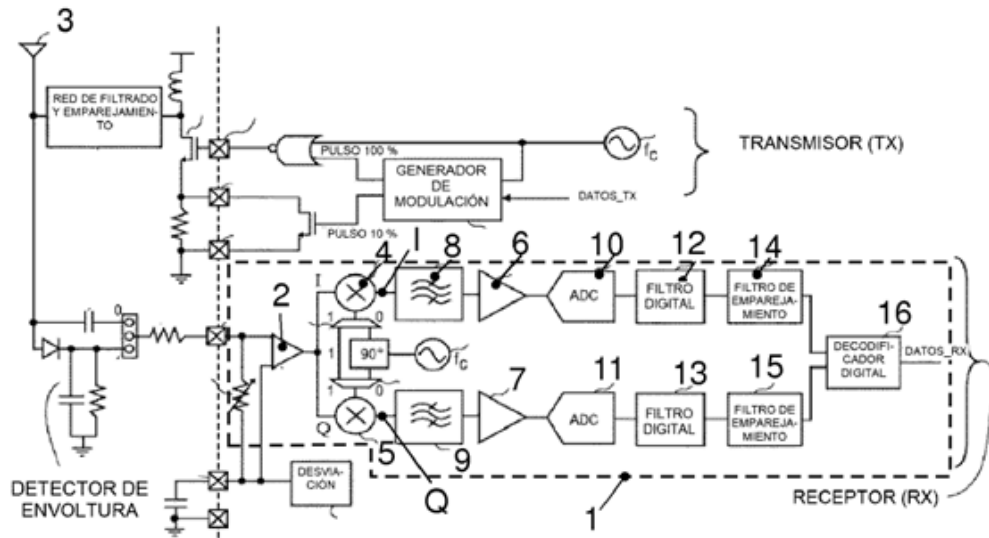


FIG.1

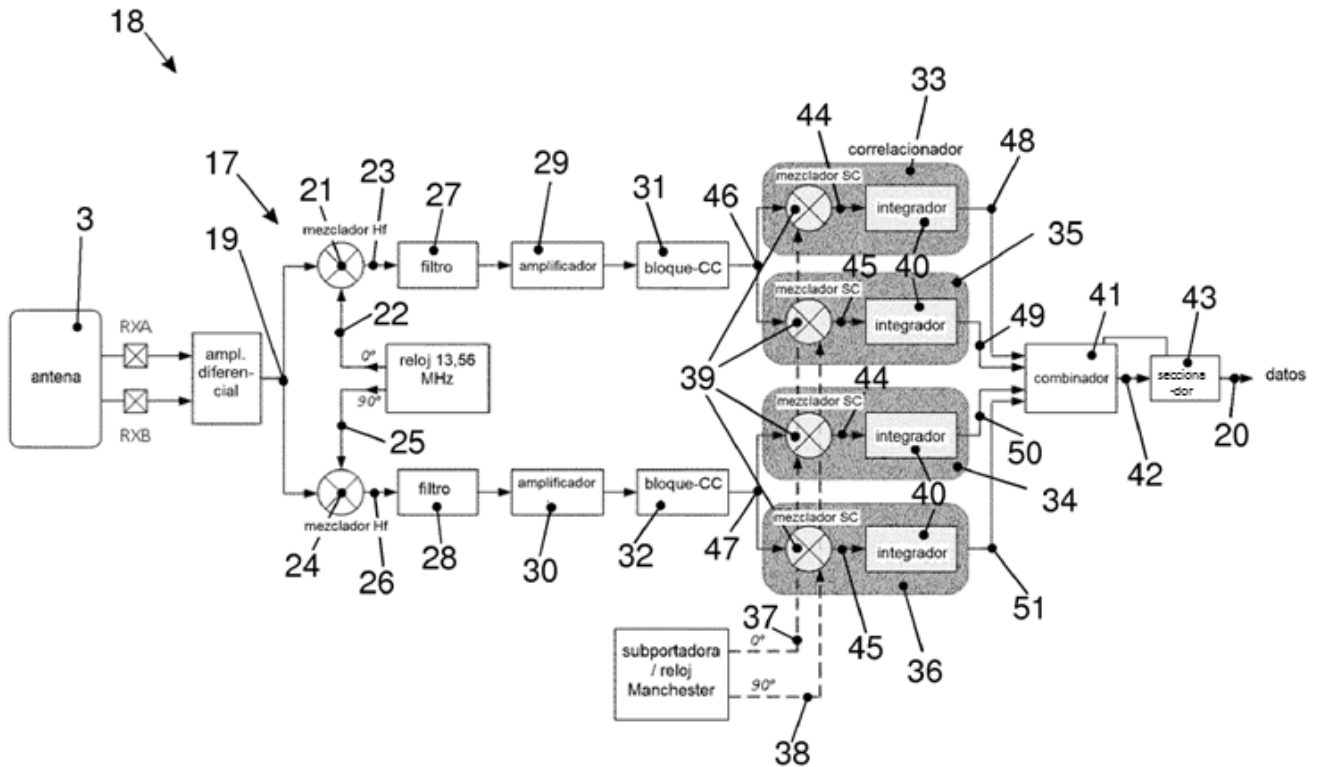


FIG.2

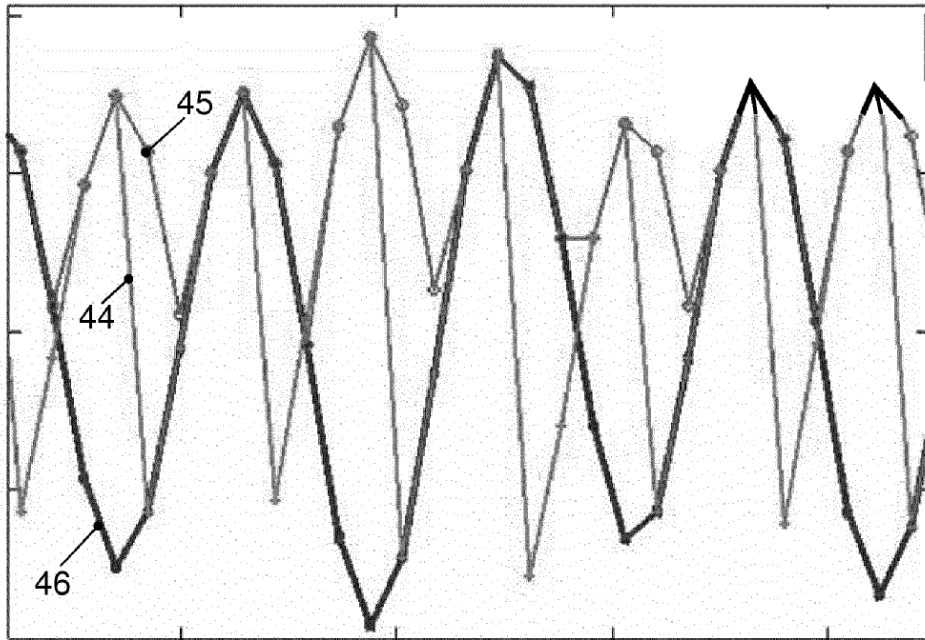


FIG.3

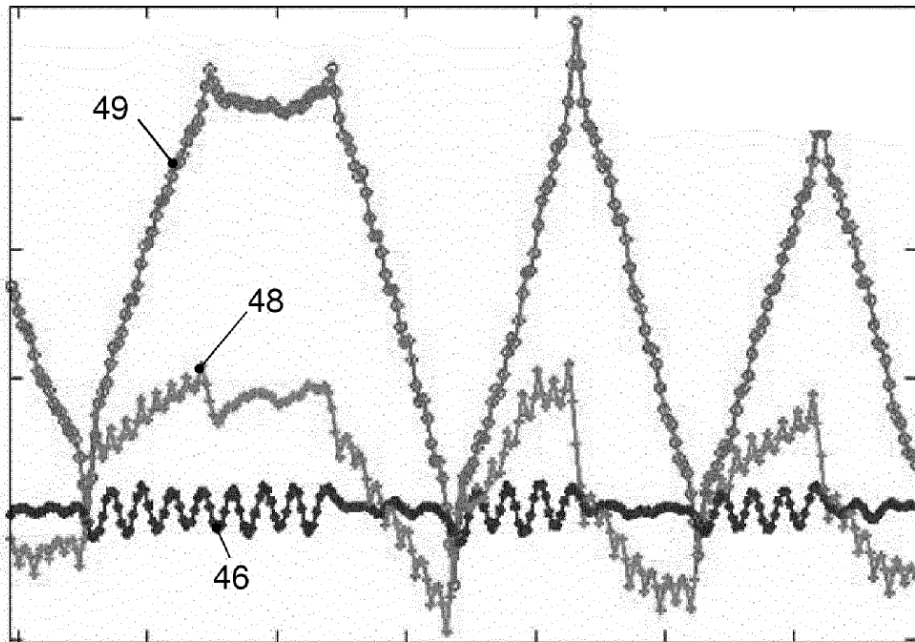


FIG.4

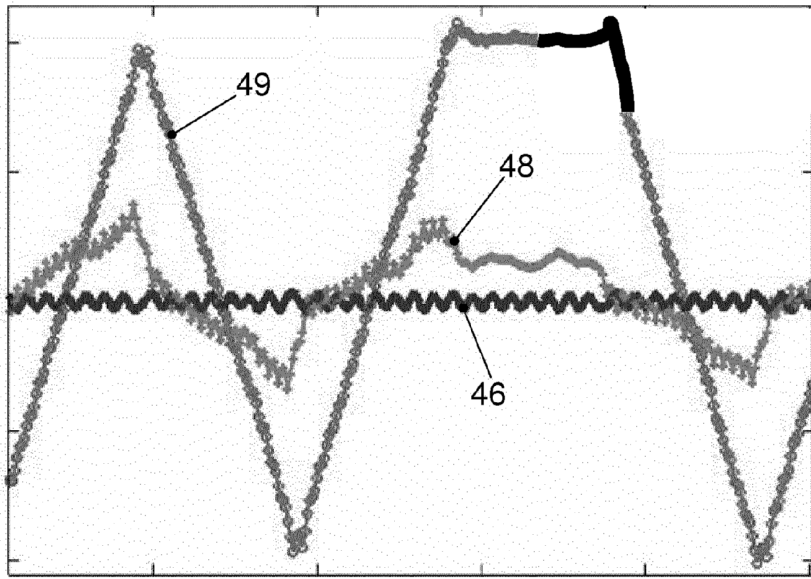


FIG.5