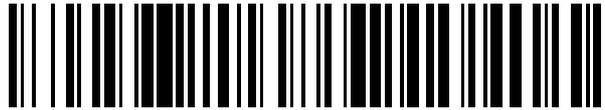


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 673 343**

51 Int. Cl.:

G06F 1/32

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **08.12.2010 PCT/US2010/059535**

87 Fecha y número de publicación internacional: **14.07.2011 WO11084328**

96 Fecha de presentación y número de la solicitud europea: **08.12.2010 E 10796224 (3)**

97 Fecha y número de publicación de la concesión europea: **28.03.2018 EP 2513750**

54 Título: **Sistema y procedimiento para controlar de manera asíncrona e independiente relojes de núcleo en una unidad de procesamiento central multinúcleo**

30 Prioridad:

**11.11.2010 US 944321
16.12.2009 US 286967 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

21.06.2018

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
International IP Administration, 5775 Morehouse
Drive
San Diego, CA 92121-1714 , US**

72 Inventor/es:

**RYCHLIK, BOHUSLAV;
IRANLI, ALI;
SALSBERY, BRIAN, J.;
SUR, SUMIT;
THOMSON, STEVEN, S. y
GLENN, ROBERT, A.**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 673 343 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y procedimiento para controlar de manera asíncrona e independiente relojes de núcleo en una unidad de procesamiento central multinúcleo

5

DESCRIPCIÓN DE LA TÉCNICA RELACIONADA

[1] Los dispositivos informáticos portátiles (PCD) son omnipresentes. Estos dispositivos pueden incluir teléfonos celulares, asistentes digitales portátiles (PDA), consolas de juegos portátiles, ordenadores de bolsillo y otros dispositivos electrónicos portátiles. Además de la función principal de estos dispositivos, muchos incluyen funciones periféricas. Por ejemplo, un teléfono celular puede incluir la función principal de realizar llamadas telefónicas celulares y las funciones periféricas de una cámara fija, una cámara de vídeo, navegación por sistema de posicionamiento global (GPS), navegación web, enviar y recibir correos electrónicos, enviar y recibir mensajes de texto, capacidades de pulsar para hablar, etc. A medida que aumenta la funcionalidad de dicho dispositivo, también aumenta la potencia de cálculo o procesamiento requerida para soportar tal funcionalidad. Además, a medida que aumenta la potencia de cálculo, existe una mayor necesidad de gestionar eficazmente el procesador, o procesadores, que proporcionan la potencia de cálculo, como por ejemplo se describe en los documentos US 2007/0156370 A1 o S 2008/0028244 A1. El documento US 2007/0156370 A1 divulga un procesador que comprende múltiples núcleos lógicos, donde se toman mediciones de temperatura para cada núcleo lógico y, dependiendo de las mediciones de temperatura, se ajustan las frecuencias operativas de los núcleos lógicos. El documento US 2008/0028244 A1 divulga un procesador multinúcleo, en el que cada núcleo de procesador incluye un sensor de temperatura que da información de temperatura a un controlador de procesador. Si un núcleo de procesador particular excede una temperatura predeterminada, el núcleo del procesador desactiva el núcleo del procesador para permitir que se enfríe.

25

[2] Sin embargo, lo que aún se necesita es un procedimiento mejorado para controlar la potencia dentro de una CPU multinúcleo.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

30

[3] En las figuras, los mismos números de referencia se refieren a partes similares a lo largo de las diversas vistas a menos que se indique lo contrario.

La FIG. 1 es una vista en planta frontal de un primer aspecto de un dispositivo informático portátil (PCD) en una posición cerrada;

35

La FIG. 2 es una vista en planta frontal del primer aspecto de una PCD en una posición abierta;

La FIG. 3 es un diagrama de bloques de un segundo aspecto de un PCD;

40

La FIG. 4 es un diagrama de bloques de un sistema de procesamiento;

La FIG. 5 es un diagrama de flujo que ilustra un primer aspecto de un procedimiento para controlar de manera asíncrona e independiente relojes de núcleo en un dispositivo multinúcleo; y

45

La FIG. 6 es un diagrama de flujo que ilustra un segundo aspecto de un procedimiento para controlar de manera asíncrona e independiente relojes de núcleo en un dispositivo multinúcleo.

DESCRIPCIÓN DETALLADA

50

[4] El término "a modo de ejemplo" se usa en el presente documento en el sentido de "que sirve de ejemplo, caso o ilustración". Cualquier aspecto descrito en el presente documento como "a modo de ejemplo" no debe interpretarse necesariamente como preferido o ventajoso con respecto a otros aspectos.

[5] En esta descripción, el término "aplicación" también puede incluir archivos que tengan contenido ejecutable, tales como: código de objeto, scripts, código de bytes, archivos de lenguaje de marcado y parches. Además, una "aplicación" a la que se hace referencia en el presente documento, también puede incluir archivos que no son de naturaleza ejecutable, como documentos que pueda ser necesario abrir u otros archivos de datos a los que sea necesario acceder.

60

[6] El término "contenido" también puede incluir archivos que tengan contenido ejecutable, como por ejemplo: código de objeto, scripts, código de bytes, archivos de lenguaje de marcado y parches. Además, el "contenido" al que se hace referencia en el presente documento, también puede incluir archivos que no son de naturaleza ejecutable, como documentos que pueda ser necesario abrir u otros archivos de datos a los que se sea necesario acceder.

65

- [7] Tal y como se utiliza en esta descripción, los términos "componente", "base de datos", "módulo", "sistema" y similares pretenden hacer referencia a una entidad relacionada con la informática, ya sea hardware, firmware, una combinación de hardware y software, software, o software en ejecución. Por ejemplo, un componente puede ser, pero no de forma limitativa, un proceso que se ejecuta en un procesador, un procesador, un objeto, un módulo ejecutable, un hilo de ejecución, un programa y/o un ordenador. A modo de ilustración, tanto una aplicación que se ejecuta en un dispositivo informático como el dispositivo informático pueden ser un componente. Uno o más componentes pueden residir dentro de un proceso y/o hilo de ejecución, y un componente puede estar ubicado en un ordenador y/o estar distribuido entre dos o más ordenadores. Además, estos componentes pueden ejecutarse desde diversos medios legibles por ordenador que tengan diversas estructuras de datos almacenadas en los mismos. Los componentes pueden comunicarse mediante procesos locales y/o remotos como de acuerdo con una señal que presenta uno o más paquetes de datos (por ejemplo, datos de un componente que interactúa con otro componente en un sistema local, sistema distribuido, y/o a través de una red, tal como Internet, con otros sistemas mediante la señal).
- [8] Haciendo referencia inicialmente a la FIG. 1 y la FIG. 2, se muestra un dispositivo informático portátil a modo de ejemplo (PCD) y en general se designa como 100. Como se muestra, el PCD 100 puede incluir una carcasa 102. La carcasa 102 puede incluir una parte de carcasa superior 104 y una parte de carcasa inferior 106. La FIG. 1 muestra que la parte de carcasa superior 104 puede incluir una pantalla 108. En un aspecto particular, la pantalla 108 puede ser una pantalla táctil. La parte de carcasa superior 104 también puede incluir un dispositivo de entrada de bola de seguimiento 110. Además, como se muestra en la FIG. 1, la parte de carcasa superior 104 puede incluir un botón de encendido 112 y un botón de apagado 114. Como se muestra en la FIG. 1, la parte de carcasa superior 104 de la PCD 100 puede incluir una pluralidad de luces indicadoras 116 y un altavoz 118. Cada luz indicadora 116 puede ser un diodo emisor de luz (LED).
- [9] En un aspecto particular, como se ilustra en la FIG. 2, la parte de carcasa superior 104 es móvil con respecto a la parte de carcasa inferior 106. Específicamente, la parte de carcasa superior 104 puede deslizarse con relación a la parte de carcasa inferior 106. Como se muestra en la FIG. 2, la parte de carcasa inferior 106 puede incluir un teclado de múltiples botones 120. En un aspecto particular, el teclado de múltiples botones 120 puede ser un teclado QWERTY estándar. El teclado de múltiples botones 120 puede aparecer cuando la parte de carcasa superior 104 se mueve con relación a la parte de carcasa inferior 106. La FIG. 2 ilustra además que el PCD 100 puede incluir un botón de reinicio 122 en la parte de carcasa inferior 106.
- [10] Con referencia a la FIG. 3, se muestra un aspecto a modo de ejemplo no limitativo de un dispositivo informático portátil (PCD) y en general se designa como 320. Como se muestra, el PCD 320 incluye un sistema en chip 322 que incluye una CPU multinúcleo 324. La CPU multinúcleo 324 puede incluir un núcleo 0.º 325, un primer núcleo 326 y un núcleo N-ésimo 327.
- [11] Como se ilustra en la FIG. 3, un controlador de visualización 328 y un controlador de pantalla táctil 330 están acoplados a la CPU multinúcleo 324. A su vez, una pantalla de visualización táctil 332 externa al sistema en chip 322 está acoplada al controlador de visualización 328 y al controlador de pantalla táctil 330.
- [12] La FIG. 3 indica además que un codificador de vídeo 334, por ejemplo, un codificador de línea de fase alterna (PAL), un codificador secuencial de "couleur a memoire" (SECAM), o un codificador de comité de sistema(s) de televisión nacional (NTSC), está acoplado a la CPU multinúcleo 324. Además, un amplificador de vídeo 336 está acoplado al codificador de vídeo 334 y al visualizador de pantalla táctil 332. Además, un puerto de vídeo 338 está acoplado al amplificador de vídeo 336. Como se ilustra en la FIG. 3, un controlador de bus serie universal (USB) 340 está acoplado a la CPU multinúcleo 324. Además, un puerto USB 342 está acoplado al controlador USB 340. Una memoria 344 y una tarjeta de módulo de identidad de abonado (SIM) 346 también se pueden acoplar a la CPU multinúcleo 324. Además, como se muestra en la FIG. 3, una cámara digital 348 puede acoplarse a la CPU multinúcleo 324. En un aspecto a modo de ejemplo, la cámara digital 348 es una cámara de dispositivo de acoplamiento de carga (CCD) o una cámara de semiconductor de óxido de metal complementario (CMOS).
- [13] Como se ilustra además en la FIG. 3, puede acoplarse un CÓDEC de audio estéreo 350 a la CPU multinúcleo 324. Además, un amplificador de audio 352 puede acoplarse al CÓDEC de audio estéreo 350. En un aspecto a modo de ejemplo, un primer altavoz estéreo 354 y un segundo altavoz estéreo 356 están acoplados al amplificador de audio 352. La FIG. 3 muestra que un amplificador de micrófono 358 también puede acoplarse al CÓDEC de audio estéreo 350. Además, un micrófono 360 puede acoplarse al amplificador de micrófono 358. En un aspecto particular, un sintonizador de radio de modulación de frecuencia (FM) 362 puede acoplarse al CÓDEC de audio estéreo 350. Además, una antena de FM 364 está acoplada al sintonizador de radio FM 362. Además, los auriculares estéreo 366 se pueden acoplar al CÓDEC de audio estéreo 350.
- [14] La FIG. 3 indica además que un transceptor de radiofrecuencia (RF) 368 puede acoplarse a la CPU multinúcleo 324. Un conmutador de RF 370 puede acoplarse al transceptor de RF 368 y a una antena de RF 372. Como se muestra en la FIG. 3, un teclado 374 puede acoplarse a la CPU multinúcleo 324. Además, un auricular mono con un micrófono 376 puede acoplarse a la CPU multinúcleo 324. Además, un dispositivo vibrador 378 puede acoplarse a la CPU multinúcleo 324. La FIG. 3 también muestra que una fuente de alimentación 380 puede

acoplarse al sistema en chip 322. En un aspecto particular, la fuente de alimentación 380 es una fuente de alimentación de corriente continua (CC) que proporciona alimentación a los diversos componentes de la PCD 320 que requieren potencia. Además, en un aspecto particular, la fuente de alimentación es una batería de CC recargable o una fuente de alimentación de CC que se obtiene de un transformador de corriente alterna (CA) a CC que está conectado a una fuente de alimentación de CA.

[15] La FIG. 3 indica además que la PCD 320 también puede incluir una tarjeta de red 388 que puede usarse para acceder a una red de datos, por ejemplo, una red de área local, una red de área personal o cualquier otra red. La tarjeta de red 388 puede ser una tarjeta de red Bluetooth®, una tarjeta de red WiFi, una tarjeta de red de área personal (PAN), una tarjeta de red de tecnología de muy baja potencia de red de área personal (PeANUT) o cualquier otra tarjeta de red bien conocida en el arte. Además, la tarjeta de red 388 puede incorporarse en un chip, es decir, la tarjeta de red 388 puede ser una solución completa en un chip, y puede no ser una tarjeta de red independiente 388.

[16] Como se ilustra en la FIG. 3, la pantalla táctil 332, el puerto de vídeo 338, el puerto USB 342, la cámara 348, el primer altavoz estéreo 354, el segundo altavoz estéreo 356, el micrófono 360, la antena de FM 364, los auriculares estéreo 366, la RF el conmutador 370, la antena de RF 372, el teclado 374, el auricular mono 376, el vibrador 378 y la fuente de alimentación 380 son externos al sistema en chip 322.

[17] En un aspecto particular, uno o más de los pasos del procedimiento descritos en el presente documento pueden almacenarse en la memoria 344 como instrucciones del programa informático. Estas instrucciones pueden ser ejecutadas por la CPU multinúcleo 324 para realizar los procedimientos descritos en el presente documento. Además, la CPU multinúcleo 324, la memoria 344 o una combinación de las mismas puede servir como un medio para ejecutar una o más de las etapas del procedimiento descritas en el presente documento para controlar un reloj asociado con cada CPU, o núcleo, de la CPU324 multinúcleo.

[18] Con referencia a la FIG. 4, se muestra un sistema de procesamiento y en general se designa como 400. En un aspecto particular, el sistema de procesamiento 400 puede incorporarse en el PCD 320 descrito anteriormente junto con la FIG. 3. Como se muestra, el sistema de procesamiento 400 puede incluir una unidad de procesamiento central (CPU) multinúcleo 402 y una memoria 404 conectada a la CPU multinúcleo 402. La CPU multinúcleo 402 puede incluir un núcleo 0.º 410, un primer núcleo 412 y un núcleo N-ésimo 414. El núcleo 0.º 410 puede incluir un algoritmo 0.º de reloj dinámico y escalado de voltaje (DCVS) 416 que se ejecuta en el mismo. El primer núcleo 412 puede incluir un primer algoritmo DCVS 417 ejecutándose en el mismo. Además, el N-ésimo núcleo 414 puede incluir un N-ésimo algoritmo DCVS 418 ejecutándose en el mismo. En un aspecto particular, cada algoritmo DCVS 416, 417, 418 se puede ejecutar independientemente en un núcleo respectivo 410, 412, 414. Además, cada algoritmo DCVS 416, 417, 418 se puede ejecutar de forma completamente independiente en cada núcleo respectivo 410, 412, 414, núcleos múltiples. Además, hay una instancia de un algoritmo DCVS 416, 417, 418 por núcleo 410, 412, 414 y el algoritmo DCVS 416, 417, 418 puede supervisar y controlar el reloj del núcleo 410, 412, 414 en el que se ejecuta. Cada algoritmo DCVS 416, 417, 418 puede establecer independientemente una frecuencia de reloj diferente para cada núcleo 410, 412, 414.

[19] En un aspecto particular, cada algoritmo DCVS 416, 417, 418 puede ser idéntico y cada uno puede supervisar el mismo parámetro, por ejemplo, tiempo de inactividad, carga de trabajo, etc. En otro aspecto, cada algoritmo DCVS 416, 417, 418 puede ser idéntico, pero cada uno puede supervisar un parámetro diferente. En otro aspecto, cada algoritmo DCVS 416, 417, 418 puede ser diferente, pero cada uno puede supervisar el mismo parámetro. En otro aspecto más, cada algoritmo DCVS 416, 417, 418 puede ser diferente y cada uno puede supervisar un parámetro diferente.

[20] En otro aspecto, el algoritmo 0.º DCVS 416 puede utilizar la información de inactividad del núcleo 0º 410, el primer núcleo 412, el N-ésimo núcleo 414 o cualquier combinación de los mismos. El primer algoritmo de DCVS 417 puede utilizar la información de inactividad del núcleo 0.º 410, el primer núcleo 412, el N-ésimo núcleo 414 o cualquier combinación de los mismos. Además, el N-ésimo algoritmo de DCVS 418 puede utilizar la información de inactividad del núcleo 0.º 410, el primer núcleo 412, el N-ésimo núcleo 414 o cualquier combinación de los mismos.

[21] Además, como se ilustra, la memoria 404 puede incluir un sistema operativo 420 almacenado en el mismo. El sistema operativo 420 puede incluir un programador 422 y el programador 422 puede incluir una primera cola de ejecución 424, una segunda cola de ejecución 426 y una N-ésima cola de ejecución 428. La memoria 404 también puede incluir una primera aplicación 430, una segunda aplicación 432 y una N-ésima aplicación 434 almacenadas en la misma.

[22] En un aspecto particular, las aplicaciones 430, 432, 434 pueden enviar una o más tareas 436 al sistema operativo 420 para ser procesadas en los núcleos 410, 412, 414 dentro de la CPU multinúcleo 402. Las tareas 436 pueden procesarse, o ejecutarse, como tareas únicas, hilos o una combinación de los mismos. Además, el programador 422 puede programar las tareas, los hilos o una combinación de los mismos para su ejecución dentro de la CPU multinúcleo 402. Además, el programador 422 puede colocar las tareas, los hilos, o una combinación de los mismos en las colas de ejecución 424, 426, 428. Los núcleos 410, 412, 414 pueden recuperar las tareas, los

hilos, o una combinación de los mismos de las colas de ejecución 424, 426, 428 como se indica, por ejemplo, mediante el sistema operativo 420 para el procesamiento o ejecución de esas tareas e hilos en los núcleos 410, 412, 414.

5 **[23]** La FIG. 4 también muestra que la memoria 404 puede incluir un monitor de paralelismo 440 almacenado en la misma. El monitor de paralelismo 440 puede estar conectado al sistema operativo 420 y a la CPU multinúcleo 402. Específicamente, el monitor de paralelismo 440 puede estar conectado al programador 422 dentro del sistema operativo 420. Como se describe en el presente documento, el monitor de paralelismo 440 puede supervisar la carga de trabajo en los núcleos 410, 412, 414 y el monitor de paralelismo 440 puede controlar la potencia de los
10 núcleos 410, 412, 414.

[24] Con referencia a la FIG. 5, se muestra un primer aspecto de un procedimiento de control asíncrono e independiente de relojes de núcleo en un dispositivo multinúcleo y en general se designa como 500. El procedimiento 500 puede comenzar en el bloque 502 con un bucle Do en el que cuando se enciende el dispositivo, se pueden realizar los siguientes pasos.
15

[25] En el bloque 510, se puede ejecutar un algoritmo 0.º DCVS en un núcleo 0.º. A continuación, en el bloque 512, se puede supervisar un reloj 0.º asociado con el núcleo 0.º. Además, en el bloque 514, se puede supervisar un tiempo de inactividad asociado con el núcleo 0.º. En el bloque 516, la frecuencia de reloj del reloj 0.º asociado con el núcleo 0.º puede variarse basándose en el tiempo de inactividad del núcleo 0.º. Además, en el bloque 518, el voltaje del núcleo 0.º puede variarse basándose en el tiempo de inactividad del núcleo 0.º.
20

[26] Al pasar a la decisión 519, el controlador de energía puede determinar si el dispositivo está apagado. Si el dispositivo está apagado, el procedimiento puede finalizar. De lo contrario, si el dispositivo permanece encendido, el procedimiento 500 puede regresar a una ubicación justo después de la ejecución de la etapa 502 y el procedimiento 500 puede continuar como se describe.
25

[27] Continuando con la descripción del procedimiento 500, en el bloque 520, se puede ejecutar un primer algoritmo DCVS en un primer núcleo. A continuación, en el bloque 522, se puede supervisar un primer reloj asociado con el primer núcleo. Además, en el bloque 524, se puede supervisar un tiempo de inactividad asociado con el primer núcleo. En el bloque 526, la frecuencia de reloj del primer reloj asociado con el primer núcleo se puede variar basándose en el tiempo de inactividad del primer núcleo. Además, en el bloque 528, el voltaje del primer núcleo puede variarse basándose en el tiempo de inactividad del primer núcleo. Después de eso, el procedimiento 500 puede continuar hasta la decisión 519 y continuar como se describe en el presente documento.
30
35

[28] En el bloque 530, se puede ejecutar un N-ésimo algoritmo DCVS en un N-ésimo núcleo. A continuación, en el bloque 532, se puede supervisar un N-ésimo reloj asociado con el N-ésimo núcleo. Además, en el bloque 534, se puede supervisar un tiempo de inactividad asociado con el N-ésimo núcleo. En el bloque 536, la frecuencia de reloj del N-ésimo reloj asociado con el N-ésimo núcleo puede variarse basándose en el tiempo de inactividad del N-ésimo núcleo. Además, en el bloque 538, el voltaje del primer núcleo puede variarse basándose en el tiempo de inactividad del primer núcleo. Después de eso, el procedimiento 500 puede continuar hasta la decisión 519 y continuar como se describe en el presente documento.
40

[29] Puede apreciarse que las etapas 510 a 518, las etapas 520 a 528, y las etapas 530 a 538 se pueden ejecutar en paralelo. Como tal, se puede proporcionar control de reloj asíncrono independiente para un reloj asociado con cada núcleo.
45

[30] Con referencia a la FIG. 6, se muestra un segundo aspecto de un procedimiento de control asíncrono e independiente de relojes de núcleo en un dispositivo multinúcleo y en general se designa como 600. El procedimiento 600 puede comenzar en el bloque 602 con un bucle Do en el que cuando se enciende el dispositivo, se pueden realizar los siguientes pasos.
50

[31] En el bloque 610, se puede ejecutar un algoritmo 0.º DCVS en un núcleo 0.º. A continuación, en el bloque 612, se puede supervisar un reloj 0.º asociado con el núcleo 0.º. Además, en el bloque 614, se puede supervisar una carga de trabajo asociada con el núcleo 0.º. En el bloque 616, la frecuencia de reloj del reloj 0.º asociado con el núcleo 0.º puede variarse basándose en la carga de trabajo del núcleo 0.º. Además, en el bloque 618, el voltaje del núcleo 0.º puede variarse basándose en la carga de trabajo del núcleo 0.º.
55

[32] Al pasar a la decisión 619, el controlador de energía puede determinar si el dispositivo está apagado. Si el dispositivo está apagado, el procedimiento puede finalizar. De lo contrario, si el dispositivo permanece encendido, el procedimiento 600 puede regresar a una ubicación justo después de la ejecución de la etapa 602 y el procedimiento 600 puede continuar como se describe.
60

[33] Continuando con la descripción del procedimiento 600, en el bloque 620, se puede ejecutar un primer algoritmo DCVS en un primer núcleo. A continuación, en el bloque 622, se puede supervisar un primer reloj asociado con el primer núcleo. Además, en el bloque 624, se puede supervisar una carga de trabajo asociada con el primer
65

núcleo. En el bloque 626, la frecuencia de reloj del primer reloj asociado con el primer núcleo se puede variar basándose en la carga de trabajo del primer núcleo. Además, en el bloque 628, el voltaje del primer núcleo puede variarse basándose en la carga de trabajo del primer núcleo. Después de eso, el procedimiento 600 puede continuar hasta la decisión 619 y continuar como se describe en el presente documento.

[34] En el bloque 630, se puede ejecutar un N-ésimo algoritmo DCVS en un N-ésimo núcleo. A continuación, en el bloque 632, se puede supervisar un N-ésimo reloj asociado con el N-ésimo núcleo. Además, en el bloque 634, se puede supervisar una carga de trabajo asociada con el N-ésimo núcleo. En el bloque 636, la frecuencia de reloj del N-ésimo reloj asociado con el N-ésimo núcleo puede variarse basándose en la carga de trabajo del N-ésimo núcleo. Además, en el bloque 638, el voltaje del primer núcleo puede variarse basándose en la carga de trabajo del primer núcleo. Después de eso, el procedimiento 600 puede continuar hasta la decisión 619 y continuar como se describe en el presente documento.

[35] Puede apreciarse que los pasos 610 a 618, los pasos 620 a 628, y los pasos 630 a 638 se pueden ejecutar en paralelo. Como tal, se puede proporcionar control de reloj asíncrono independiente para un reloj asociado con cada núcleo.

[36] Debe entenderse que no es necesario realizar los pasos del procedimiento descritos en el presente documento en el orden descrito. Además, las palabras como "a partir de entonces", "a continuación", "siguiente", etc. no tienen la intención de limitar el orden de los pasos. Estas palabras simplemente se usan para guiar al lector a través de la descripción de los pasos del procedimiento. Además, los procedimientos descritos en el presente documento se describen como ejecutables en un dispositivo informático portátil (PCD). El PCD puede ser un dispositivo de teléfono móvil, un dispositivo de asistente digital portátil, un dispositivo informático tipo Smartbook, un dispositivo informático tipo netbook, un dispositivo informático portátil, un dispositivo informático de escritorio o una combinación de los mismos.

[37] El sistema y los procedimientos divulgados en el presente documento proporcionan algoritmos DCVS (también conocidos como DVFS) completamente independientes que se pueden ejecutar de forma completamente independiente en los múltiples núcleos. Hay una instancia de un algoritmo DCVS por núcleo, y cada uno supervisa y controla el reloj de ese núcleo solamente. Los múltiples algoritmos pueden establecer independientemente diferentes frecuencias de reloj para los múltiples núcleos.

[38] En un aspecto particular, cada instancia de algoritmo DCVS puede supervisar el porcentaje de tiempo de inactividad gastado en cada núcleo. El tiempo de inactividad del núcleo puede obtenerse desde el sistema operativo o a través de contadores de hardware externos especiales, como un perfil de sistema y un monitor de diagnóstico (SPDM). En otro aspecto, cada algoritmo DCVS puede supervisar una característica de la carga de trabajo tal como la acotación de la memoria de la tarea y ajustar independientemente la frecuencia basándose en las diferentes características de la tarea que se ejecutan en cada núcleo.

[39] En uno o más aspectos a modo de ejemplo, las funciones descritas pueden implementarse en hardware, software, firmware o en cualquier combinación de los mismos. Si se implementan en software, las funciones pueden almacenarse o transmitirse como una o más instrucciones o código en un producto de programa informático como un medio legible por máquina, es decir, un medio legible por ordenador. Los medios legibles por ordenador incluyen tanto medios de almacenamiento informáticos como medios de comunicación, incluyendo cualquier medio que facilite la transferencia de un programa informático de un lugar a otro. Un medio de almacenamiento puede ser cualquier medio disponible al que pueda accederse mediante un ordenador. A modo de ejemplo, y no de limitación, dichos medios legibles por ordenador pueden comprender RAM, ROM, EEPROM, CD-ROM u otros dispositivos de almacenamiento de disco óptico, de almacenamiento de disco magnético u otros dispositivos de almacenamiento magnético o cualquier otro medio que pueda usarse para transportar o almacenar un código de programa deseado en forma de instrucciones o estructuras de datos y al que pueda accederse mediante un ordenador. Además, cualquier conexión recibe adecuadamente la denominación de medio legible por ordenador. Por ejemplo, si el software se transmite desde una página de la Red, un servidor u otra fuente remota, usando un cable coaxial, un cable de fibra óptica, un par trenzado, una línea de abonado digital (DSL) o tecnologías inalámbricas tales como infrarrojos, radio y microondas, entonces el cable coaxial, el cable de fibra óptica, el par trenzado, la DSL o las tecnologías inalámbricas, tales como infrarrojos, radio y microondas, se incluyen en la definición de medio. Los discos, tal como se utiliza en el presente documento, incluyen un disco compacto (CD), un disco láser, un disco óptico, un disco versátil digital (DVD), un disco flexible y un disco Blu-ray, donde algunos discos habitualmente reproducen los datos magnéticamente, mientras que otros discos reproducen los datos ópticamente con láseres. Las combinaciones de lo anterior deberían incluirse también dentro del alcance de los medios legibles por ordenador.

[40] Aunque se han ilustrado y descrito en detalle aspectos seleccionados, se entenderá que pueden realizarse diversas sustituciones y alteraciones en el mismo sin apartarse del alcance de la presente invención, tal como se define en las siguientes reivindicaciones.

[41] A continuación se describen ejemplos adicionales de la invención para facilitar el entendimiento.

[42] En un ejemplo adicional, se describe un procedimiento para controlar relojes de núcleo en una unidad de procesamiento central multinúcleo, comprendiendo el procedimiento ejecutar un algoritmo 0.º de reloj dinámico y escalado de voltaje (DCVS) en un núcleo 0.º y ejecutar un primer algoritmo DCVS en un primer núcleo. en el que el algoritmo 0.º DCVS es operable para controlar independientemente una frecuencia de reloj 0.º asociada con el núcleo 0.º y el primer algoritmo DCVS es operable para controlar independientemente una primera frecuencia de reloj asociada con el primer núcleo. De este modo, el algoritmo 0.º DCVS puede ser idéntico al primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar el mismo parámetro en el núcleo 0.º y el primer núcleo. Además, el algoritmo 0.º DCVS puede ser diferente del primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar el mismo parámetro en el núcleo 0.º y en el primer núcleo. Además, el algoritmo 0.º DCVS puede ser idéntico al primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar un parámetro diferente en el núcleo 0.º y el primer núcleo. El algoritmo 0.º DCVS puede ser diferente del primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar un mismo parámetro diferente en el núcleo 0.º y el primer núcleo. El procedimiento también puede comprender supervisar independientemente un reloj 0.º asociado con el núcleo 0.º y supervisar independientemente un primer reloj asociado con el primer núcleo. Además, el procedimiento puede comprender supervisar independientemente un tiempo de inactividad del núcleo 0.º y supervisar independientemente un tiempo de inactividad del primer núcleo. El procedimiento también puede comprender variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del núcleo 0.º basándose en el tiempo de inactividad del núcleo 0.º y variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del primer núcleo basándose en el tiempo de inactividad del primer núcleo. Además, el procedimiento puede comprender supervisar independientemente una carga de trabajo del núcleo 0.º y supervisar independientemente una carga de trabajo del primer núcleo. El procedimiento también puede comprender variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del núcleo 0.º basándose en la carga de trabajo del núcleo 0.º y variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del primer núcleo basándose en la carga de trabajo del primer núcleo.

[43] En otro ejemplo, se describe un dispositivo inalámbrico, comprendiendo el dispositivo inalámbrico medios para ejecutar un algoritmo 0.º de reloj dinámico y escalado de voltaje (DCVS) en un núcleo 0.º y medios para ejecutar un primer algoritmo DCVS en un primer núcleo, en el que el algoritmo 0.º DCVS es operable para controlar independientemente una frecuencia de reloj 0.º asociada con el núcleo 0.º y el primer algoritmo DCVS es operable para controlar independientemente una primera frecuencia de reloj asociada con el primer núcleo. De este modo, el algoritmo 0.º DCVS puede ser idéntico al primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar el mismo parámetro en el núcleo 0.º y el primer núcleo. Además, el algoritmo 0.º DCVS puede ser diferente del primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar el mismo parámetro en el núcleo 0.º y en el primer núcleo. Además, el algoritmo 0.º DCVS puede ser idéntico al primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar un parámetro diferente en el núcleo 0.º y el primer núcleo. Además, el algoritmo 0.º DCVS puede ser diferente del primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar un mismo parámetro diferente en el núcleo 0.º y el primer núcleo. El dispositivo inalámbrico puede comprender además medios para supervisar independientemente un reloj 0.º asociado con el núcleo 0.º y medios para supervisar independientemente un primer reloj asociado con el primer núcleo. Además, el dispositivo inalámbrico puede comprender medios para supervisar independientemente un tiempo de inactividad del núcleo 0.º y medios para supervisar independientemente un tiempo de inactividad del primer núcleo. El dispositivo inalámbrico también puede comprender medios para variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del núcleo 0.º basándose en el tiempo de inactividad del núcleo 0.º y medios para variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del primer núcleo basándose en el tiempo de inactividad del primer núcleo. Además, el dispositivo inalámbrico puede comprender medios para supervisar independientemente una carga de trabajo del núcleo 0.º y medios para supervisar independientemente una carga de trabajo del primer núcleo. Además, el dispositivo inalámbrico puede comprender medios para variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del núcleo 0.º basándose en la carga de trabajo del núcleo 0.º, medios para variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del primer núcleo basándose en la carga de trabajo del primer núcleo.

[44] En otro ejemplo más, se describe un dispositivo inalámbrico, comprendiendo el dispositivo inalámbrico un procesador, en el que el procesador es operable para ejecutar un algoritmo 0.º de reloj dinámico y escalado de voltaje (DCVS) en un núcleo 0.º y ejecutar un primer algoritmo DCVS en un primer núcleo, en el que el algoritmo 0.º DCVS es operable para controlar independientemente una frecuencia de reloj 0.º asociada con el núcleo 0.º y el primer algoritmo DCVS es operable para controlar independientemente una primera frecuencia de reloj asociada con el primer núcleo. De este modo, el algoritmo 0.º DCVS puede ser idéntico al primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar el mismo parámetro en el núcleo 0.º y el primer núcleo. Además, el algoritmo 0.º DCVS puede ser diferente del primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar el mismo parámetro en el núcleo 0.º y en el primer núcleo. Además, el algoritmo 0.º DCVS puede ser idéntico al primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar un parámetro diferente en el núcleo 0.º y el primer núcleo. Además, el algoritmo 0.º DCVS puede ser diferente del primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar un mismo parámetro diferente en el núcleo 0.º y en el primer núcleo. Además, el procesador puede ser operable para

supervisar independientemente un reloj 0.º asociado con el núcleo 0.º y supervisar independientemente un primer reloj asociado con el primer núcleo. Además, el procesador puede ser operable para supervisar independientemente un tiempo de inactividad del núcleo 0.º y supervisar independientemente un tiempo de inactividad del primer núcleo. Además, el procesador puede ser operable para variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del núcleo 0.º basándose en el tiempo de inactividad del núcleo 0.º y variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del primer núcleo basándose en el tiempo de inactividad del primer núcleo. Además, el procesador puede ser operable para supervisar independientemente una carga de trabajo del núcleo 0.º y supervisar independientemente una carga de trabajo del primer núcleo. Además, el procesador puede ser operable además para variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del núcleo 0.º basándose en la carga de trabajo del núcleo 0.º y variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del primer núcleo basándose en la carga de trabajo del primer núcleo.

[45] En otro ejemplo más, se describe un medio de memoria, comprendiendo el medio de memoria al menos una instrucción para ejecutar un algoritmo 0.º de reloj dinámico y escala de voltaje (DCVS) en un núcleo 0.º y al menos una instrucción para ejecutar un primer algoritmo DCVS en un primer núcleo, en el que el algoritmo 0.º DCVS es operable para controlar independientemente una frecuencia de reloj 0.º asociada con el núcleo 0.º y el primer algoritmo DCVS es operable para controlar independientemente una primera frecuencia de reloj asociada con el primer núcleo. Además, el algoritmo 0.º DCVS puede ser idéntico al primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar el mismo parámetro en el núcleo 0.º y en el primer núcleo. Además, el algoritmo 0.º DCVS puede ser diferente del primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar el mismo parámetro en el núcleo 0.º y en el primer núcleo. Además, el algoritmo 0.º DCVS puede ser idéntico al primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar un parámetro diferente en el núcleo 0.º y el primer núcleo. Además, el algoritmo 0.º DCVS puede ser diferente del primer algoritmo DCVS y el algoritmo 0.º DCVS y el primer algoritmo DCVS pueden supervisar un mismo parámetro diferente en el núcleo 0.º y en el primer núcleo. Además, el medio de memoria puede comprender al menos una instrucción para supervisar independientemente un reloj 0.º asociado con el núcleo 0.º y al menos una instrucción para supervisar independientemente un primer reloj asociado con el primer núcleo. Además, el medio de memoria puede comprender al menos una instrucción para supervisar independientemente un tiempo de inactividad del núcleo 0.º y al menos una instrucción para supervisar independientemente un tiempo de inactividad del primer núcleo. Además, el medio de memoria puede comprender además al menos una instrucción para variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del núcleo 0.º basándose en el tiempo de inactividad del núcleo 0.º y al menos una instrucción para variar independientemente una frecuencia de reloj, un voltaje, o una combinación de los mismos del primer núcleo basándose en el tiempo de inactividad del primer núcleo. Además, el medio de memoria puede comprender al menos una instrucción para supervisar independientemente una carga de trabajo del núcleo 0.º y al menos una instrucción para supervisar independientemente una carga de trabajo del primer núcleo. Además, el medio de memoria puede comprender al menos una instrucción para variar independientemente una frecuencia de reloj, un voltaje o una combinación de los mismos del núcleo 0.º basándose en la carga de trabajo del núcleo 0.º, al menos una instrucción para variar independientemente una frecuencia de reloj, un voltaje, o una combinación de los mismos del primer núcleo basándose en la carga de trabajo del primer núcleo.

REIVINDICACIONES

1. Un procedimiento para controlar relojes de núcleo en una unidad de procesamiento central multinúcleo (402), comprendiendo el procedimiento:

5 ejecutar un algoritmo 0.º de reloj dinámico y escalado de voltaje, DCVS, (416) en un núcleo 0.º (410) para supervisar un tiempo de inactividad del núcleo 0.º y variar una frecuencia de reloj del núcleo 0.º (410) basándose en el tiempo de inactividad supervisado; y

10 ejecutar un primer algoritmo DCVS (417) en un primer núcleo (412) para supervisar una limitación de memoria de una carga de trabajo del primer núcleo y variar una frecuencia de reloj del primer núcleo (412) basándose en la limitación de memoria supervisada de la carga de trabajo, en el que el algoritmo 0.º DCVS (416) es operable para controlar independientemente la frecuencia de reloj asociada con el núcleo 0.º (410) y el primer algoritmo DCVS (417) es operable para controlar independientemente la frecuencia de reloj asociada con el primer núcleo (412) y en el que el algoritmo 0.º DCVS (416) y el primer algoritmo DCVS (417) son completamente independientes entre sí.

2. Un dispositivo inalámbrico, que comprende:

20 medios para ejecutar un algoritmo 0.º de reloj dinámico y escalado de voltaje, DCVS, (416) en un núcleo 0.º (410) para supervisar un tiempo de inactividad del núcleo 0.º y variar una frecuencia de reloj del núcleo 0.º (410) basándose en el tiempo de inactividad supervisado; y

25 medios para ejecutar un primer algoritmo DCVS (417) en un primer núcleo (412) para supervisar una limitación de memoria de una carga de trabajo del primer núcleo y variar una frecuencia de reloj del primer núcleo (412) basándose en la limitación de memoria supervisada de la carga de trabajo, en el que el algoritmo 0.º DCVS (416) es operable para controlar independientemente la frecuencia de reloj asociada con el núcleo 0.º (410) y el primer algoritmo DCVS (417) es operable para controlar independientemente la frecuencia de reloj asociada con el primer núcleo (412) y en el que el algoritmo 0.º DCVS (416) y el primer algoritmo DCVS (417) son completamente independientes entre sí.

3. Un medio de almacenamiento no transitorio que tiene almacenadas en el mismo instrucciones de software ejecutables por procesador configuradas para hacer que un procesador implemente un procedimiento de acuerdo con la reivindicación 1 cuando se ejecute.

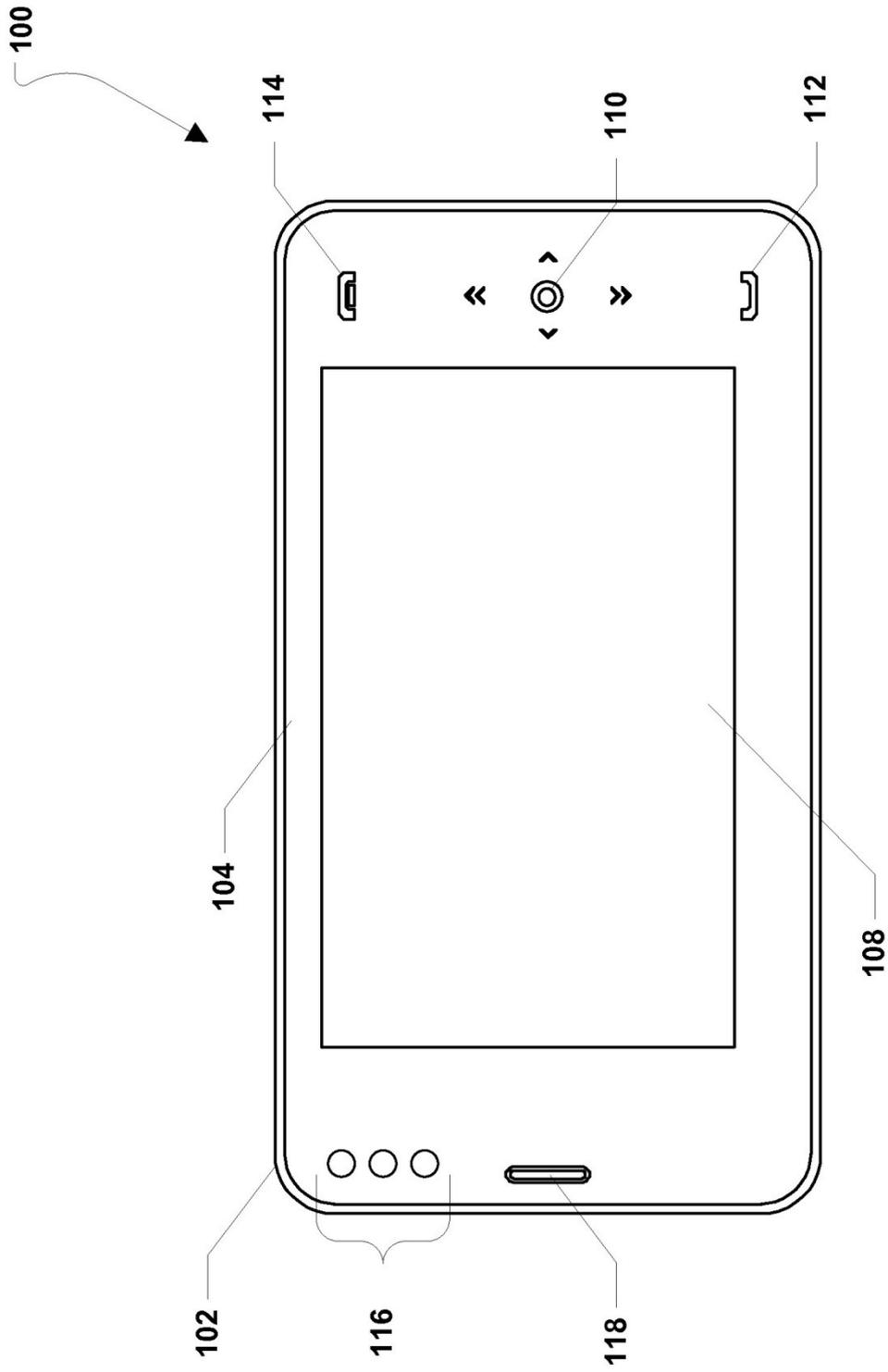


FIG. 1

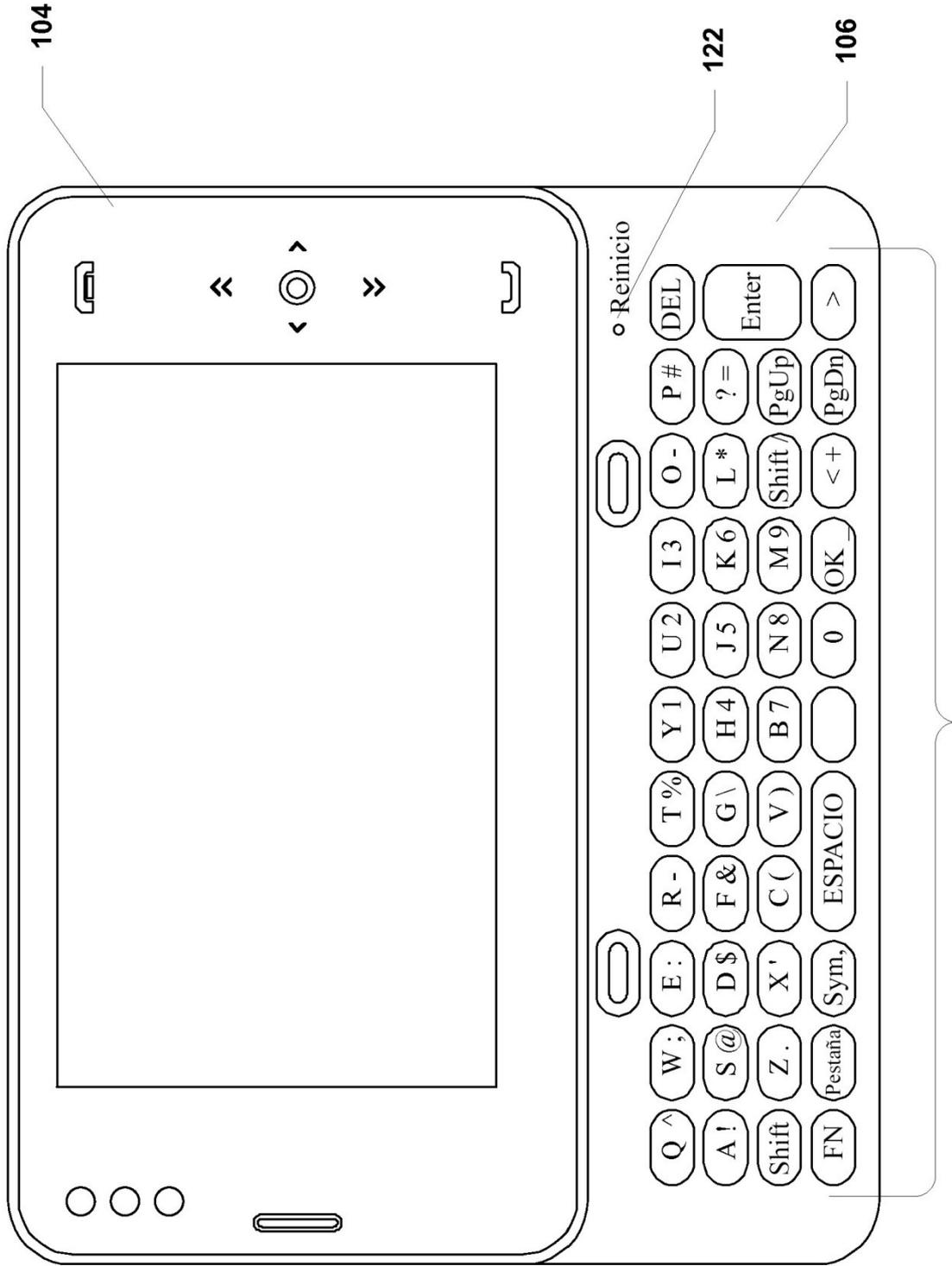
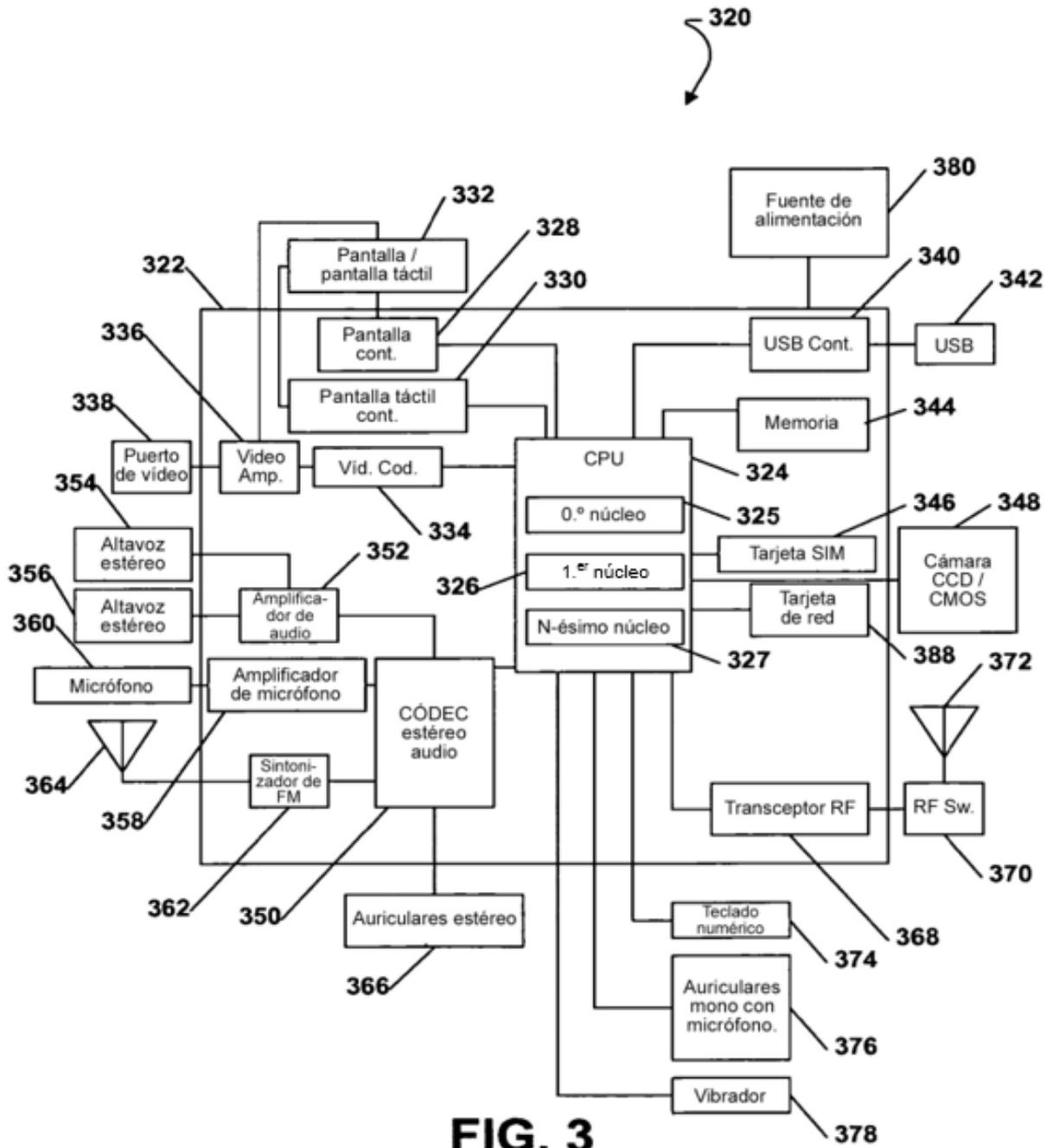


FIG. 2

120



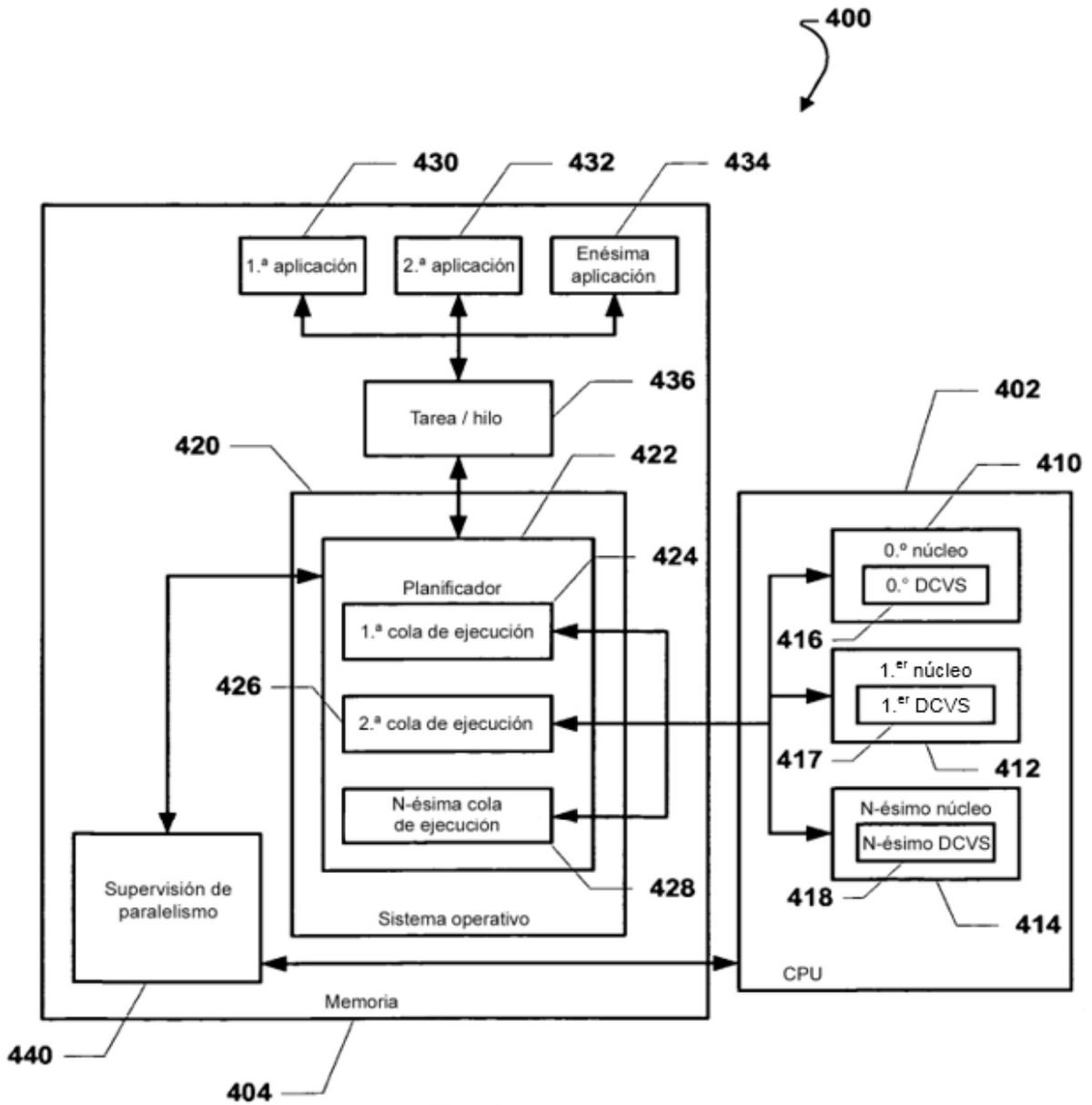


FIG. 4

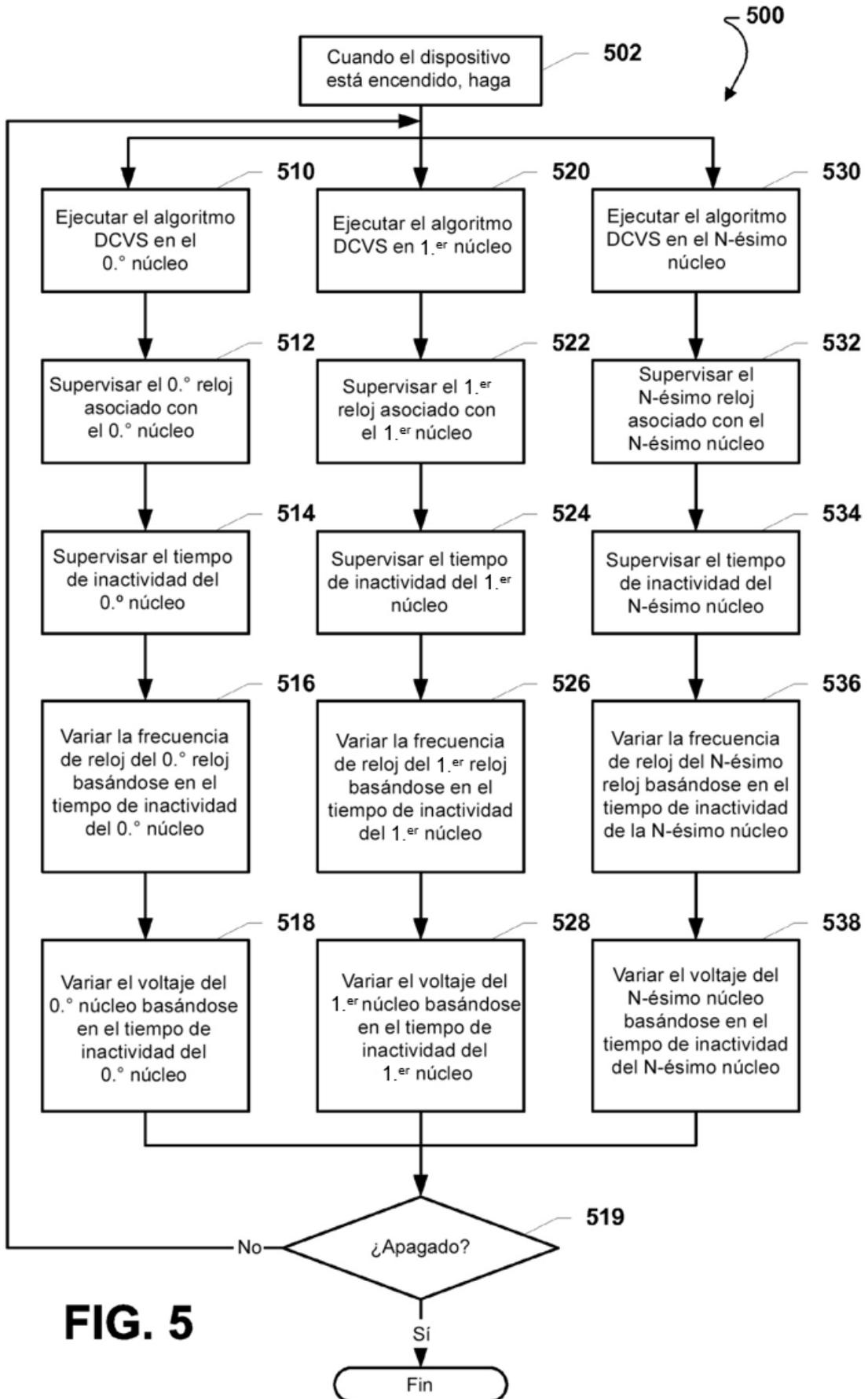


FIG. 5

