

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 673 571**

51 Int. Cl.:

**H04Q 11/00** (2006.01)

**H04L 1/00** (2006.01)

**H04L 25/14** (2006.01)

**H04L 25/49** (2006.01)

**G06F 11/10** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **04.01.2013 PCT/CN2013/070014**

87 Fecha y número de publicación internacional: **10.07.2014 WO14106319**

96 Fecha de presentación y número de la solicitud europea: **04.01.2013 E 13870025 (7)**

97 Fecha y número de publicación de la concesión europea: **02.05.2018 EP 2975858**

54 Título: **Método para procesar datos en Ethernet, circuito integrado de capa física y dispositivo de Ethernet**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:  
**22.06.2018**

73 Titular/es:  
**HUAWEI TECHNOLOGIES CO., LTD. (100.0%)  
Huawei Administration Building, Bantian  
Longgang District  
Shenzhen, Guangdong 518129, CN**

72 Inventor/es:  
**SU, WEI;  
ZENG, LI y  
CUI, KAI**

74 Agente/Representante:  
**LEHMANN NOVO, María Isabel**

**ES 2 673 571 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Método para procesar datos en Ethernet, circuito integrado de capa física y dispositivo de Ethernet

## 5 CAMPO TÉCNICO

La presente invención se refiere al campo de la transmisión de red y, en particular, a un método y un aparato de procesamiento de datos de Ethernet.

## 10 ANTECEDENTES DE LA INVENCION

Con el desarrollo de tecnologías, Ethernet se ha desarrollado desde Ethernet 10M, Ethernet 100M, Ethernet 1G y Ethernet 10G hasta Ethernet 40G y Ethernet 100G en la actualidad y, en consecuencia, sus tasas también crecen desde 10 Mbit/s, 100 Mbit/s, 1 Gbit/s, y 10 Gbit/s a 40 Gbit/s y 100 Gbit/s en la actualidad. En estos momentos, Ethernet 40G y Ethernet 100G han sido ampliamente adoptados. Sin embargo, nuevos servicios que emergen rápidamente, tales como el tráfico de servicio de la denominada nube informática y el vídeo IP, incrementan la velocidad entre el 50% al 60% cada año. En la próxima década, el tráfico de servicio aumentará aproximadamente 100 veces y un ancho de banda grande se convertirá en una necesidad urgente, lo que impulsará a Ethernet a evolucionar a una tasa más alta. Una tasa de Ethernet de próxima generación (referida colectivamente como Ethernet más allá de 100G en la presente invención) alcance, probablemente, 400 Gbit/s, 1 Tbit/s o 1.6 Tbit/s. Se utiliza una interfaz Ethernet que supera los 100 Gbit/s entre enrutadores centrales, o entre conmutadores de núcleos, o entre un enrutador central y un equipo de transmisión, o se utiliza para interconectar centros de datos de la red de la nube informática de un operador. Lo anterior puede reducir los costos de manera efectiva.

A medida que aumentan las velocidades de Ethernet, resulta muy difícil proporcionar un ancho de banda de comunicación superior a 100 Gbit/s aumentando la tasa de transmisión de un solo canal. Para conseguir tasas de Ethernet superiores a 100 Gbit/s, se convierten en tecnologías disponibles un método de modulación de orden superior y múltiples canales. La utilización del método de modulación de orden alto puede aumentar una tasa de transmisión de un canal único tanto como sea posible. Además, se utilizan múltiples canales para realizar transmisiones simultáneas. Por lo tanto, se aumenta una tasa de transmisión global. La tasa de transmisión aumentada de un canal único, y la introducción del método de modulación de orden superior, tienen como resultado un fenómeno de una gran pérdida de transmisión y una menor sensibilidad del receptor y, por lo tanto, se producen errores binarios durante la transmisión de la línea. En consecuencia, para Ethernet de tasa superior a 100G, se debe introducir una función FEC (Forward Error Correction, Corrección de Errores sin Vía de Retorno), con el fin de poner en práctica una transmisión libre de errores, y la función FEC introducida puede proporcionar una alta ganancia de codificación y tiene una característica de baja latencia.

En la red Ethernet 40G existente y la red Ethernet 100G, la función FEC se introduce mediante la adición de subcapa de FEC a una arquitectura de capa física. Para las arquitecturas de capa física de Ethernet de 40G y Ethernet de 100G, se hace referencia a la norma IEEE 802.3ba. La arquitectura de capa física incluye las siguientes subcapas: una PCS (Physical Coding Sublayer, subcapa de codificación física), una subcapa de FEC, una subcapa PMA (Physical Medium Attachment, conexión al soporte físico), y una subcapa PMD (Physical Medium Dependent, dependiente del soporte físico). A continuación, se utiliza Ethernet 100G como un ejemplo para describir, brevemente, un proceso relacionado con el procesamiento de FEC. En una dirección de envío, la subcapa PCS proporciona una función de código 64B/66B y distribuye bloques de código 66B obtenidos mediante la codificación de 20 canales virtuales; la subcapa FEC realiza, por separado, el procesamiento FEC sobre la base de los canales virtuales, y realiza, por separado, la codificación de FEC en los bloques de código distribuidos a cada canal virtual. Más concretamente, se utiliza un código Fire (2112, 2080) para realizar la codificación FEC. Una cabecera de sincronización de cada bloque de códigos 66B se comprime para ahorrar un espacio de 32 bits para cada 32 bloques de código 66B. El espacio guardado de 32 bits se utiliza como una zona de control, que se llena con la información de control generada durante un proceso de codificación FEC. El procesamiento de la subcapa PCS y la subcapa FEC, en una dirección de recepción, es inversa al procesamiento en la dirección de envío. Para conocer más detalles, se hace referencia a la norma IEEE 802.3ba. La norma 802.3ba indica, además, que una ganancia máxima de codificación que se proporciona en un esquema de procesamiento de FEC, basado en la arquitectura de capa física existente, es de solamente 2 dB y la latencia es de 430 ns.

A modo de ejemplo, el documento US 2011/0191656A1 se refiere a sistemas para aplicaciones de plano posterior de alta velocidad que utilizan una pre-codificación. Además, el documento US 2012/0155486A1 se refiere a un aparato y método de Ethernet para su funcionamiento, de forma selectiva, en múltiples vías. Además, el documento EP 1 033 843 A2 se refiere a la codificación de control de errores para protección de equipo de transmisión.

Sin embargo, para el futuro Ethernet más allá de 100G, el sistema de procesamiento de FEC, basado en la arquitectura de capa física existente, no puede proporcionar diferentes ganancias de codificación en función de diferentes requisitos, debido a una limitación de la ganancia máxima de codificación que se puede proporcionar en el sistema, y la latencia introducida en el sistema es demasiado grande para cumplir con un requisito de latencia de Ethernet de tasa superior a 100G.

SUMARIO DE LA INVENCION

5 A la vista de lo que antecede, formas de realización de la presente invención dan a conocer un método de procesamiento de datos de Ethernet, un circuito integrado de capa física y un equipo de Ethernet.

Un primer aspecto de la presente invención da a conocer un método de procesamiento de datos Ethernet, y el método es aplicable al procesamiento de datos en un extremo de transmisión, y comprende:

10 la realización de una codificación en línea sobre datos procedentes de una capa de control de acceso al soporte, con el fin de obtener bloques de código de datos en serie;

15 la puesta en práctica de una codificación FEC de corrección de errores en los bloques de código de datos en serie, con el fin de obtener tramas FEC, que incluye, concretamente: la inserción de Y bits de control, cada X bits de datos consecutivos, en donde los Y bits de control se generan cuando se realiza la codificación FEC sobre los X bits de datos consecutivos, y cada una de las tramas FEC incluye los X bits de datos consecutivos y los Y bits de control que se generan cuando se realiza la codificación FEC sobre los X bits de datos consecutivos, en donde X e Y son ambos números enteros positivos; y

20 la distribución, en una granularidad de distribución de a bit, de tramas FEC sucesivamente a N canales virtuales, en donde a y N son ambos números enteros positivos, en donde a es menor que una cantidad de bits incluidos en cada una de las tramas FEC, caracterizado por cuanto que

25 la distribución, en la granularidad de distribución de los bits, de las tramas FEC, de forma sucesiva, a N canales virtuales comprende, concretamente:

- la distribución, en la granularidad de distribución de a bit, Q tramas FEC, sucesivamente a los N canales virtuales; y
- 30 • la inserción, en cada  $(Q \times (X+Y))/(N \times a)$ -ésima de la granularidad de distribución, al menos una sola palabra de alineación en cada canal virtual, en donde un valor de Q permite que los datos de las Q tramas de FEC se distribuyan, uniformemente a los N canales virtuales.

35 Con referencia al primer aspecto, en una primera manera de puesta en práctica posible del primer aspecto, N es, concretamente, un múltiplo mínimo común de m y n, siendo m una cantidad de canales eléctricos, en una capa física de Ethernet, conectada a dos subcapas de unión de soporte físico adyacentes, y siendo n una cantidad de canales ópticos en la capa física de Ethernet.

40 En una segunda manera de puesta en práctica del primer aspecto, en una primera alternativa, a es igual a un múltiplo entero positivo de una cantidad de bits incluidos en los bloques de código de datos en serie o, en una segunda alternativa, a es igual a un múltiplo entero positivo de una cantidad de bits que se incluye en un símbolo de código de codificación FEC.

45 Con referencia al primer aspecto, en una tercera manera de puesta en práctica posible del primer aspecto, el método de procesamiento de datos de Ethernet puede incluir, además: la conversión de datos procedentes de los N canales virtuales en m elementos de datos, y la transmisión de los m elementos de datos a través de m canales eléctricos.

50 Un segundo aspecto de la presente invención da a conocer un circuito integrado de capa física de Ethernet, configurado para poner en práctica los métodos anteriores.

55 En las formas de realización de la presente invención, Y bits de control se insertan cada X bits de datos consecutivos durante la codificación FEC, y se puede establecer un valor de Y de conformidad con diferentes requisitos. Por lo tanto, la codificación FEC, en las formas de realización de la presente invención, puede proporcionar diferentes ganancias de codificación FEC, de conformidad con diferentes requisitos. Además, en las formas de realización de la presente invención, primero se realiza la codificación FEC, y a continuación, se distribuyen las tramas FEC obtenidas mediante la codificación, en una granularidad de distribución de bits, sucesivamente a canales virtuales, en donde a es menor que una cantidad de bits incluidos en una trama FEC. De este modo, la latencia introducida durante la decodificación de FEC, en un extremo receptor, es muy pequeña.

60 BREVE DESCRIPCION DE LOS DIBUJOS

65 Para describir las soluciones técnicas en las formas de realización de la presente invención, o en la técnica anterior, con mayor claridad, a continuación se introducen, brevemente, los dibujos adjuntos requeridos para describir las formas de realización o la técnica anterior. Evidentemente, los dibujos adjuntos, en la siguiente descripción, ilustran simplemente algunas formas de realización de la presente invención, y un experto en la técnica todavía puede derivar otros dibujos a partir de estos dibujos adjuntos sin esfuerzos creativos.

La Figura 1 es un diagrama esquemático de un modelo de referencia de Ethernet, de conformidad con una forma de realización de la presente invención;

5 La Figura 2 es un diagrama de flujo de un método de procesamiento de datos de Ethernet, de conformidad con una forma de realización de la presente invención;

La Figura 3 es un diagrama esquemático de distribución sucesiva, de conformidad con una forma de realización de la presente invención;

10 La Figura 4 es un diagrama esquemático de una estructura de una subcapa de unión de soporte físico, de conformidad con una forma de realización de la presente invención;

15 La Figura 5 es un diagrama de flujo de un método de procesamiento de datos de Ethernet, de conformidad con otra forma de realización de la presente invención;

La Figura 6 es un diagrama de flujo de un método de procesamiento de datos de Ethernet, de conformidad con una forma de realización de la presente invención;

20 La Figura 7 es un diagrama de flujo de un método de procesamiento de datos de Ethernet, de conformidad con otra forma de realización de la presente invención;

La Figura 8 es un diagrama esquemático de codificación FEC y distribución sucesiva de conformidad con una forma de realización de la presente invención;

25 La Figura 9 es un diagrama de flujo de un método de procesamiento de datos de Ethernet de conformidad con otra forma de realización de la presente invención;

30 La Figura 10 es un diagrama esquemático de una estructura de un equipo de Ethernet, de conformidad con una forma de realización de la presente invención;

La Figura 11 es un diagrama esquemático de una estructura de equipo Ethernet, de conformidad con otra forma de realización de la presente invención; y

35 La Figura 12 es un diagrama esquemático de una estructura de un circuito integrado de capa física de Ethernet, de conformidad con otra forma de realización de la presente invención.

#### DESCRIPCIÓN DE FORMAS DE REALIZACIÓN

40 Con el fin de facilitar el entendimiento y la puesta en práctica de la presente invención por un experto en la técnica, a continuación se ilustran formas de realización de la presente invención, con la ayuda de los dibujos adjuntos. En este documento, las formas de realización, a modo de ejemplo, de la presente invención y las descripciones de la misma se utilizan para explicar la presente invención, pero no están previstas para limitar la presente invención.

45 A continuación, se describen las soluciones técnicas de la presente invención con la ayuda de los dibujos adjuntos y las formas de realización.

La red Ethernet de 10M a la red Ethernet de 100G existente, tienen un modelo de arquitectura similar. Tal como se ilustra en la Figura 1, el modelo de arquitectura dividido por capa incluye: una capa LLC (Logic Link Control, control de enlace lógico), una capa MAC (Media Access Control, control de acceso al soporte), una subcapa de reconciliación (Reconciliation sublayer) y una capa PHY (Physical Layer Entity, entidad de capa física), en donde la PHY incluye: una PCS, una subcapa PMA y una subcapa PMD. La capa LLC y la capa MAC están situadas en una capa de enlace de datos de un modelo de referencia OSI (Open System Interconnection, interconexión de sistemas abiertos). La subcapa de reconciliación y la PHY se sitúan en una capa física del modelo de referencia OSI. En otra forma de realización, puede existir, además, una capa de control MAC (MAC Control) entre la capa LLC y la capa MAC. Para las funciones de la capa LLC, la capa MAC y la capa de control MAC, se hace referencia a las especificaciones relacionadas en la norma IEEE 802.3. Los detalles no se describen en esta solicitud. La estructura ilustrada en la Figura 1 se utiliza, además, como una arquitectura de Ethernet más allá de 100G, aplicada en las formas de realización de la presente invención.

60 Una forma de realización de la presente invención da a conocer un método de procesamiento de datos de Ethernet, que se ejecuta, principalmente, mediante una PHY de Ethernet más allá de 100G y es aplicable al procesamiento de datos en un extremo de transmisión. Para un proceso de procesamiento, se hace referencia a la Figura 2. El método incluye:

65 Etapa S101: La puesta en práctica de la codificación de línea en datos procedentes de una capa MAC, con el fin de

obtener bloques de código de datos en serie.

La codificación de línea, en esta etapa, funciona de un mismo o similar modo que la codificación en una PCS en Ethernet 40G existente y Ethernet 100G. Ambos pueden mejorar las características de transmisión de información de enlaces cruzados. En esta forma de realización, la codificación de línea se puede utilizar concretamente, pero no está limitada a, un código 64B/66B, un código 256B/257B, o un código 512B/513B, en donde "B" en el "código 64B/66B", el "código 256B/257B", y el "código 512B/513B" se refiere a un bit (bit). Después de la codificación de línea, los datos procedentes de la capa MAC se convierten en bloques de código de datos dispuestos en serie, en donde la totalidad de los bloques de código de datos tienen un mismo tamaño, y el tamaño se determina mediante un código utilizado en la codificación de línea. A modo de ejemplo, si la codificación de línea utiliza el código 64B/66B, un tamaño de un bloque de códigos de datos, obtenido mediante codificación, es de 66 bits, y el bloque de códigos de datos se puede denominar, además, como un bloque de códigos 66B.

En esta forma de realización, una subcapa de reconciliación convierte datos en serie, procedentes de la capa MAC, en datos paralelos que son adecuados para transmisión en una capa física, y envía los datos paralelos a una PCS utilizando una MII (Media Independent Interface, interfaz independiente de medios) La PCS realiza una codificación de línea sobre los datos transmitidos desde la interfaz MII. La MII es una interfaz lógica entre la subcapa de reconciliación y la subcapa PCS. La interfaz MII, en esta forma de realización de la presente invención, es concretamente una interfaz MII en Ethernet más allá de 100G. A modo de ejemplo, la MII es, concretamente, una interfaz CDGMII (400 Gigabit Media Independent Interface, interfaz independiente del soporte de 400 Gigabits) para Ethernet de 400G, en donde "CD" en "CDGMII" es 400 en números romanos.

Etapa S102: La puesta en práctica de una codificación FEC en los bloques de código de datos en serie, con el fin de obtener tramas FEC, que incluye, concretamente: la inserción de Y bits de control cada X bits de datos consecutivos, en donde los Y bits de control se generan cuando se realiza una codificación FEC en los X bits de datos consecutivos, incluyendo cada una de las tramas FEC los X bits de datos consecutivos y los Y bits de control que se generan cuando se realiza la codificación FEC sobre los X bits de datos consecutivos, y X e Y son números enteros positivos.

Un bloque de códigos es un concepto lógico y se puede considerar como una serie de bits consecutivos que se procesan como un todo. En esta forma de realización de la presente invención, los bloques de código de datos en serie son, en realidad, una serie de bits de datos consecutivos. Un codificador FEC codifica los bloques de código de datos en serie, es decir, realiza la codificación FEC en las series de bits de datos consecutivos. La puesta en práctica de la inserción de bits de control en bits de datos de entrada, en donde los bits de control se generan cuando se realiza una codificación FEC sobre los bits de datos de entrada, es concretamente: la inserción de Y bits de control cada X bits de datos consecutivos, en donde los Y bits de control se generan cuando se realiza una codificación FEC sobre los X bits de datos consecutivos y una trama FEC incluye los X bits de datos consecutivos y los Y bits de control que se generan cuando se realiza la codificación FEC en los X bits de datos consecutivos.

En esta forma de realización de la presente invención, la codificación FEC puede utilizar, concretamente, un código RS (Reed-Solomon, en rejilla), tal como un código RS (528, 514,  $t=7$ ,  $m=10$ ), y un código RS (255, 239,  $t=8$ ,  $m=8$ ). Como alternativa, la codificación FEC puede utilizar otro tipo de código, lo que no está limitado en la presente invención. Se utiliza un código RS (528, 514,  $t=7$ ,  $m=10$ ) a modo de ejemplo para una descripción breve. En la codificación FEC, se codifican 514 símbolos de código de 10 bits en una trama que incluye 528 símbolos de código, en donde " $m=10$ " indica que un tamaño de un símbolo de código es 10 bits, y " $t=7$ " indica que una longitud máxima de errores consecutivos, que se pueden corregir mediante la codificación, es un tamaño de siete símbolos de código (es decir, 70 bits). Cuando la codificación FEC en esta forma de realización de la presente invención utiliza el código RS (528, 514,  $t=7$ ,  $m=10$ ), X es 5140 e Y es 140.

Etapa S103: La distribución, en una granularidad de distribución de  $a$  bits, de las tramas FEC sucesivamente a N canales virtuales, en donde  $a$  y N son ambos números enteros positivos, y  $a$  es menos que una cantidad de bits incluidos en cada una de las tramas FEC.

Un proceso de distribución, en una granularidad de distribución de bits, de tramas FEC sucesivamente a N canales virtuales, tal como se ilustra en la Figura 3, se puede entender concretamente como: las tramas FEC se consideran como una serie de bloques de datos, cuyo tamaño es de  $a$  bit cada uno y a continuación, los bloques de datos se distribuyen, uno por uno, a los N canales virtuales en una secuencia. A modo de ejemplo, un bloque de datos 1 se distribuye a un canal virtual 1, un bloque de datos 2 se distribuye a un canal virtual 2, y así sucesivamente, y un bloque de datos N se distribuye a un canal virtual N. A continuación, un bloque de datos N + 1 se distribuye al canal virtual 1. El proceso continúa de forma cíclica.

En una forma de realización, preferiblemente,  $a$  es concretamente igual a un múltiplo entero positivo de una cantidad de bits incluidos en los bloques de código de datos en la Etapa S101, o  $a$  es igual a un múltiplo entero positivo de una cantidad de bits incluidos en un símbolo de código de codificación FEC en la Etapa S102. En esta forma de realización, puesto que  $a$  es igual a un múltiplo entero positivo de la cantidad de bits incluidos en los bloques de código de datos, o  $a$  es igual a un múltiplo entero positivo de la cantidad de bits incluidos en el símbolo de código de

codificación FEC, la granularidad de distribución es uno, o una pluralidad, de bloques de código de datos o símbolos de código. La integridad de los bloques de código de datos, o símbolos de código, se mantiene cuando los datos se distribuyen utilizando la granularidad de distribución, de modo que cuando se producen errores consecutivos es poco probable que se propaguen durante la decodificación FEC o decodificación de línea, con lo que se disminuye la dificultad en la corrección de errores en un extremo receptor y se mejora una capacidad de correlación de errores.

Un valor de una ganancia de codificación FEC depende de un tamaño del espacio en el que se carga la información de control. Más espacio en el que se carga la información de control indica una mayor ganancia de codificación FEC, y menos espacio en el que se carga la información de control indica una menor ganancia de codificación FEC.

En un sistema de codificación FEC de la red Ethernet 100G existente, se comprime una cabecera de sincronización de cada bloque de códigos 66B, con el fin de ahorrar espacio de 32 bits para cada 32 bloques de código 66B. La información de control generada durante la codificación FEC se carga en el espacio guardado de 32 bits. Cada bloque de códigos 66B incluye datos de 64 bits y una cabecera de sincronización de 2 bits. La cabecera de sincronización es una base para realizar el proceso de Sincronización de bloques en el extremo receptor. Necesita reservarse al menos 1 bit en una cabecera de sincronización de cada bloque de códigos 66B, es decir, cada 32 bloques de código 66B puede proporcionar un espacio máximo de 32 bits y la información de control se puede cargar en el espacio en el sistema de codificación FEC de Ethernet 100G existente. Por lo tanto, una ganancia máxima de codificación, proporcionada en el sistema de procesamiento FEC de la red Ethernet 100G existente, es muy limitada.

En esta forma de realización de la presente invención, el espacio en el que se inserta la información de control, no se proporciona en un modo en el que se ahorre espacio mediante la compresión de una cabecera de sincronización de un bloque de códigos de datos, sino que se proporciona un espacio en el que se carga la información de control en un modo que inserta, directamente, bits de control. Por lo tanto, solamente estableciendo diferentes cantidades de bits de control, que se establecen de conformidad con diferentes requisitos, el sistema de codificación FEC, en esta forma de realización de la presente invención, puede proporcionar diferentes ganancias de codificación de FEC para cumplir diferentes requisitos de aplicación. Cuando se pone en práctica Ethernet más allá de 100G, es necesario utilizar una tecnología multicanal. Se pueden utilizar múltiples sistemas de multicanal cuando se pone en práctica Ethernet más allá de 100G en una misma tasa, en donde los sistemas multicanal tienen diferentes requisitos en una ganancia de codificación FEC. Sin embargo, se puede ajustar una cantidad de bits de control para proporcionar diferentes ganancias de codificación en esta forma de realización de la presente invención. Lo que antecede cumple, de forma flexible, los requisitos de ganancia de codificación de varios sistemas de puesta en práctica de tecnología multicanal.

En la red Ethernet 100G existente, los bloques de código 66B, que se obtienen mediante codificación en la subcapa PCS, deben distribuirse, en primer lugar, en 20 canales virtuales y luego, se realiza, por separado, la codificación FEC en bloques de código 66B distribuidos a cada canal virtual, lo que significa que la decodificación FEC se puede realizar solamente cuando los datos de una trama FEC completa estén memorizados, de forma temporal, para cada uno de los 20 canales virtuales en el extremo receptor, y los 20 canales virtuales sean paralelos. Dicho de otro modo, el extremo receptor necesita memorizar temporalmente datos de al menos 20 tramas FEC para restablecer una trama FEC. En consecuencia, existe una gran latencia. Sin embargo, en esta forma de realización de la presente invención, la codificación FEC se realiza primero en los bloques de código de datos en serie, obtenidos por codificación de línea, y luego, las tramas FEC, obtenidas por codificación FEC, se distribuyen sucesivamente a los N canales virtuales. De este modo, la decodificación FEC se puede realizar siempre que los datos memorizados temporalmente para los N canales virtuales conjuntamente en el extremo receptor sean, concretamente, datos de una trama FEC, sin la necesidad de memorizar temporalmente datos de una trama FEC completa para cada canal virtual. De este modo, la latencia se reduce en gran medida.

En una forma de realización, N es concretamente un múltiplo mínimo común de  $m$  y  $n$ , siendo  $m$  una cantidad de canales eléctricos, en una capa física de Ethernet, conectada a dos subcapas de conexión de soporte físico adyacentes, y siendo  $n$  una cantidad de canales ópticos en la capa física de Ethernet.

Tal como se ilustra en la Figura 4, una subcapa PMA está situada entre una PCS y una subcapa PMD. Una función de la subcapa PMA proporciona una función de adaptación entre la PCS y la subcapa PMD: adaptando los datos de cada canal virtual en la PCS a un canal en la subcapa PMD, y adaptando los datos desde cada canal, en la subcapa PMD, a cada canal virtual en la PCS. En general, un par de subcapas de PMA mutuamente adaptadas, proporciona la función de adaptación, y el par de subcapas de PMA se conectan mediante el uso de una AUI (Attachment Unit Interface, interfaz de unidad de conexión). En esta forma de realización de la presente invención, los canales eléctricos que están conectados a dos subcapas de conexión de soporte físico adyacentes son canales que forman la interfaz AUI. Una cantidad de canales eléctricos es una cantidad de canales que forman el AUI. Un canal óptico, en la capa física de Ethernet, es un canal utilizado para transmitir una salida de señal por la subcapa PMD en una dirección de envío. Una cantidad de canales ópticos, en la capa física de Ethernet, es una cantidad de canales utilizados para transmitir una salida de señal, por la subcapa PMD, en la dirección de envío.

En una forma de realización, una trama FEC formada después del procesamiento de codificación FEC, incluye,

además, al menos un campo identificador de trama FEC, utilizado para indicar una localización de un bit de control en la trama FEC, de modo que el extremo receptor pueda determinar la localización del bit de control en la trama FEC, de conformidad con el campo de identificador de trama FEC.

5 En otra forma de realización, la etapa S103 incluye, concretamente:

la distribución, en la granularidad de distribución de  $a$  bits, de  $Q$  tramas FEC sucesivamente los  $N$  canales virtuales; y la inserción, cada  $(Q \times (X+Y))/(N \times a)$  de la granularidad de distribución, al menos una palabra de alineación en cada canal virtual, en donde un valor de  $Q$  permite que los datos de las  $Q$  tramas FEC se distribuyan, de forma uniforme, a los  $N$  canales virtuales.

En esta forma de realización de la presente invención, la palabra de alineación, insertada en cada canal virtual, puede incluir un campo utilizado para indicar un número de canal virtual, o puede ser un modelo de llenado, en donde cada modelo corresponde a un número de canal virtual. En el extremo receptor, el número de canal virtual se identifica en función de la palabra de alineación, y se elimina una desviación de latencia entre los  $N$  canales virtuales. Además, el extremo receptor puede determinar un límite de una trama FEC, de conformidad con la palabra de alineación, insertada en cada canal virtual en esta forma de realización de la presente invención. Puesto que los datos de las  $Q$  tramas FEC se distribuyen, uniformemente, a los  $N$  canales virtuales, y se inserta la al menos una palabra de alineación, cada  $(Q \times (X+Y))/(N \times a)$  de la granularidad de distribución, en cada canal virtual, la primera granularidad de distribución de una trama FEC está claramente próxima, adyacente a una palabra de alineación de uno de los canales virtuales. Por lo tanto, el extremo receptor puede determinar el límite de la trama de FEC de conformidad con esta regla.

En otra forma de realización, tal como se ilustra en la Figura 5, antes de la etapa S103, el método de procesamiento de datos de Ethernet incluye, además:

Etapa S104: La realización del procesamiento de encriptación en las tramas FEC. En consecuencia, las tramas FEC, que se distribuyen sucesivamente en la etapa S103, son concretamente tramas FEC después del procesamiento de encriptación.

En esta forma de realización, un polinomio de encriptación, utilizado en el procesamiento de encriptación, puede ser concretamente, pero no está limitado a  $1 + b^{38} + b^{47}$ ; en donde  $b$  indica los datos que se introducen en un encriptador para realizar el procesamiento de encriptación.

En esta forma de realización, el procesamiento de encriptación puede permitir que el extremo receptor restablezca, más fácilmente, una señal de reloj procedente de los datos recibidos.

En esta forma de realización, tal como se ilustra en la Figura 5, el método de procesamiento de datos de Ethernet puede incluir, además:

Etapa S105: La conversión de datos procedentes de los  $N$  canales virtuales, en  $m$  elementos de datos y la transmisión de los  $m$  elementos datos en  $m$  canales eléctricos.

En una forma de realización específica, la etapa S105 puede ser, concretamente:

si  $N$  no es igual a  $m$ , realizar la multiplexación de datos desde  $N/m$  canales virtuales en un solo elemento de datos por intermedio de multiplexación de bits o multiplexación de bloques de código; o

si  $N$  es igual a  $m$ , la transmisión de los  $m$  elementos de datos a través de  $m$  canales eléctricos.

En esta forma de realización, la multiplexación del bloque de códigos y la multiplexación de bits son similares, y la única diferencia radica en: la multiplexación de bloque de códigos se realiza sobre la base de un bloque de códigos, mientras que la multiplexación de bits se realiza sobre una base de bits. En el caso de la multiplexación de bloque de códigos, preferiblemente, un tamaño de un bloque de códigos es el mismo que un tamaño de un símbolo de código en codificación FEC, o es el mismo que un tamaño de una granularidad de distribución.

En esta forma de realización, tal como se ilustra en la Figura 5, el método de procesamiento de datos de Ethernet puede incluir, además:

Etapa S106: La distribución de los  $m$  elementos de datos en  $n$  elementos datos en el modo de sondeo.

En una forma de realización específica, la etapa S106 incluye, concretamente:

la distribución, por bits o bloques de código, de los  $m$  elementos de datos en  $n$  elementos de datos en el modo de sondeo.

La distribución de sondeo por bits es una técnica anterior. Para más detalles, se hace referencia al procesamiento relacionado en la red Ethernet 100G existente.

5 En esta forma de realización, tal como se ilustra en la Figura 5, el método de procesamiento de datos de Ethernet puede incluir, además:

Etapa S107: La modulación, por separado, de los  $n$  elementos de datos en  $n$  soportes ópticos, con el fin de obtener  $n$  señales ópticas, y transmitir las  $n$  señales ópticas al extremo receptor a través de los  $n$  canales ópticos.

10 En correspondencia con el método de procesamiento de datos de Ethernet, que se da a conocer en la forma de realización anterior y se ejecuta en un extremo de transmisión, una forma de realización de la presente invención da a conocer, además, un método de procesamiento de datos de Ethernet, que se ejecuta, principalmente, por una capa PHY de Ethernet de más allá de 100G y es aplicable al procesamiento de datos en un extremo receptor. Para un proceso de procesamiento, se hace referencia a la Figura 6. El método incluye:

15 Etapa S201: La adaptación de los  $n$  elementos de datos desde una subcapa PMD a  $N$  canales virtuales.

20 En esta forma de realización,  $N$  es un número entero positivo. Se puede deducir de la forma de realización anterior que las tramas de FEC se distribuyen, sucesivamente, una por una, a  $N$  canales virtuales en un extremo de transmisión. Por lo tanto, los datos adaptados a cada canal virtual incluyen una parte de una misma trama de FEC en esta etapa.

25 En esta forma de realización, el extremo receptor recibe  $n$  señales ópticas, transmitidas a través de  $n$  canales ópticos. Las  $n$  señales ópticas se demodulan, por separado, en la subcapa PMD en el extremo receptor, con el fin de obtener  $n$  elementos de datos, y luego, los  $n$  elementos de datos se envían a una subcapa PMA. Un proceso de adaptación de los  $n$  elementos de datos a los  $N$  canales virtuales, en la subcapa PMA, es como siguiente: los  $n$  elementos de datos se convierten en  $m$  elementos de datos y luego, los  $m$  elementos de datos se demultiplexan en los  $N$  canales virtuales. Para un proceso específico de conversión de los  $n$  elementos de datos en los  $m$  elementos de datos, y la demultiplexación de los  $m$  elementos de datos en los  $N$  canales virtuales, se hace referencia al procesamiento relacionado en Ethernet 40G y Ethernet 100G existentes.

30 Etapa S202: La extracción de tramas FEC, una a una, desde los datos adaptados a los  $N$  canales virtuales.

35 Puesto que las tramas FEC se distribuyen, sucesivamente, a cada canal virtual en el extremo de transmisión, cuando las tramas FEC se extraen en esta etapa, todos los datos adaptados a los  $N$  canales virtuales se consideran como un todo, es decir, solamente cuando los datos temporalmente memorizados para los  $N$  canales virtuales, de forma conjunta, son exactamente datos de una sola trama FEC completa, la trama FEC se puede extraer desde los datos almacenados temporalmente para los  $N$  canales virtuales, de forma conjunta. En el extremo de transmisión, en la red Ethernet 40G y Ethernet 100G existentes, una trama FEC puede restablecerse solamente cuando los datos temporalmente memorizados por cada canal virtual, son datos de una trama FEC completa, y la trama FEC no se restablece cuando datos memorizados temporalmente para los canales virtuales, formen, conjuntamente, una trama FEC.

45 Etapa S203: La realización de la decodificación FEC en las tramas FEC, la supresión de los bits de control de las tramas FEC y el restablecimiento de los bloques de códigos de datos en serie.

50 Se puede deducir, a partir de la forma de realización anterior, que una trama FEC incluye  $X$  bits de datos consecutivos e  $Y$  bits de control, que se generan cuando se realiza la codificación FEC sobre los  $X$  bits de datos consecutivos.

55 En esta etapa, la decodificación de FEC es un proceso inverso de la codificación de FEC en el extremo de transmisión. Los  $X$  bits de datos se comprueban en función de los  $Y$  bits de control, en cada trama FEC. Una vez completada el control, se eliminan los  $Y$  bits de control y se restablecen los bloques de código de datos en serie. Los bloques de código de datos en serie restablecidos se pueden enviar a una subcapa de reconciliación para su posterior procesamiento.

60 En esta forma de realización, se puede aprender que cuando se restablecen las tramas FEC, se puede extraer una trama FEC siempre que los datos de una trama FEC completa estén memorizados, temporalmente, de forma conjunta, para los  $N$  canales virtuales, y exista una pequeña latencia. Además, puesto que el espacio en el que se carga la información de control no se obtiene comprimiendo bloques de código, sino que se proporciona el espacio en el que se carga la información insertando bits de control, se puede ajustar una cantidad de bits de control de conformidad con requisitos de escenario operativo diferentes; con lo que se cumplen, de este modo, los diferentes requisitos de ganancia de codificación FEC de diferentes escenarios operativos y se consigue una gran flexibilidad.

65 En otra forma de realización,  $N$  es, concretamente, un mínimo común múltiplo de  $m$  y  $n$ , siendo  $m$  una cantidad de canales eléctricos, en una capa física de Ethernet, conectada a dos subcapas de conexión de soporte físico

adyacentes, y siendo  $n$  una cantidad de canales ópticos en la capa física de Ethernet.

En otra forma de realización, la etapa S202 incluye, concretamente:

5 la realización del procesamiento de Sincronización de bloques en los datos adaptados a los  $N$  canales virtuales, con el fin de obtener  $N$  elementos de datos cuyos bloques están sincronizados;

el bloqueo de una palabra de alineación, incluida en cada elemento de dato, cuyos bloques están sincronizados;

10 la realización, sobre la base de la palabra de alineación bloqueada, del procesamiento de alineación y reorganización en los  $N$  elementos de datos cuyos bloques están sincronizados; y

la determinación de un límite de cada una de las tramas FEC, basándose en la palabra de alineación bloqueada, y a continuación, la extracción de las tramas FEC, una a una, desde los  $N$  elementos de datos cuyos bloques están sincronizados y que se someten a un proceso de alineación y reorganización.

15 El procesamiento de Sincronización de bloques, el bloqueo de palabras de alineación y el procesamiento de alineación y reorganización anteriormente mencionados, constituyen la técnica anterior. Para conocer más detalles, referirse al procesamiento relacionado en la red Ethernet 40G y Ethernet 100G existentes.

20 Para un mejor entendimiento de la presente invención, a continuación, se utiliza una red Ethernet 400G (un tipo de Ethernet más allá de 100G), a modo de un ejemplo, para describir la presente invención en detalle, por separado, desde dos perspectivas de un extremo de transmisión y un extremo receptor. Para una arquitectura de red Ethernet 400G, aún se hace referencia a la Figura 1.

25 Por un lado, el siguiente procesamiento se realiza en el extremo de transmisión de la red Ethernet:

30 En una subcapa de conciliación, datos en serie de 400 Gbit/s, desde una capa MAC, se convierten en flujos de datos en paralelo, que coinciden con una CDGMII, y a continuación, los datos en paralelo se envían a una PCS utilizando la interfaz CDGMII.

Con respecto a la referencia numérica 7, el siguiente procesamiento se realiza en la subcapa PCS sobre los datos transmitidos mediante la utilización de la interfaz CDGMII:

35 Etapa S401: La utilización de códigos 64B/66B para realizar la codificación en un flujo de datos transmitido utilizando una interfaz MII, con el fin de obtener bloques de código serie 66B. Los códigos 64B/66B, utilizados en este documento, se pueden sustituir por códigos 256B/257B u otros códigos.

40 Etapa S402: La puesta en práctica de la codificación FEC en los bloques de código serie 66B. Haciendo referencia a la Figura 8, esta etapa es concretamente: Se realiza la codificación FEC en  $X$  bits de datos consecutivos y se generan  $Y$  bits de control; una trama FEC incluye los  $X$  bits de datos consecutivos y los  $Y$  bits de control. En un esquema de puesta en práctica específico,  $X$  es 15774 e  $Y$  es 1056. Es decir, se generan 16 bloques de código de control 66B cuando se realiza la codificación FEC en 239 bloques de código 66B, y una trama FEC incluye los 239 bloques de código 66B y los 16 bloques de código de control. Los bloques de código serie 66B forman una serie de tramas FEC después de la codificación FEC.

45 Etapa S403: La puesta en práctica del procesamiento de encriptación en las tramas FEC. El procesamiento de encriptación puede permitir que el extremo receptor restablezca, más fácilmente, una señal de reloj procedente de los datos recibidos. En esta etapa, se puede utilizar un polinomio de encriptación  $1 + b^{38} + b^{47}$  para realizar el procesamiento de encriptación. Evidentemente, se puede utilizar otro polinomio de encriptación, lo que no está limitado en esta invención.

50 Etapa S404: La distribución, de forma sucesiva, de tramas FEC después del procesamiento de encriptación a  $N$  canales virtuales.

55 En esta etapa, las tramas FEC, después del procesamiento de encriptación, se pueden distribuir, en una granularidad de distribución de bloques de código 66B, sucesivamente a los  $N$  canales virtuales. Haciendo referencia a la Figura 8, un proceso de distribución sucesiva es: El primer bloque de códigos 66B, de la primera trama FEC después del proceso de encriptación, se distribuye a un canal virtual 1, el segundo bloque de códigos 66B se distribuye a un canal virtual 2,... el  $N$ -ésimo bloque de códigos 66B se distribuye a un canal virtual  $N$ , el  $(N+1)$ -ésimo bloque de códigos 66B se distribuye al canal virtual 1, y así sucesivamente, hasta que el último bloque de códigos 66B, de la primera trama FEC, se distribuye a un canal virtual correspondiente. Un método utilizado para distribuir cada trama FEC posterior, a los  $N$  canales virtuales, es el mismo que el método utilizado para distribuir la primera trama FEC a los  $N$  canales virtuales. La única diferencia radica en que un canal virtual al que se distribuye el primer bloque de códigos 66B de cada trama FEC posterior, es un siguiente canal virtual de un canal virtual al que se distribuye el último bloque de códigos 66B de una trama FEC anterior, en donde un canal virtual siguiente, del

canal virtual N, es el canal virtual 1. La granularidad de la distribución puede ser los bloques de código 66B, o puede ser de 20 bits. La granularidad de distribución no está limitada en esta solicitud.

Para adaptarse a una cantidad de canales eléctricos que forman una interfaz AUI en Ethernet 400G, y una cantidad de canales ópticos en una capa física de Ethernet de la red Ethernet 400G, un valor de N se establece en un múltiplo mínimo común de la cantidad  $m$  de canales eléctricos que forman una AUI, y la cantidad  $n$  de canales ópticos en la capa física de Ethernet de la red Ethernet 400G.

Etapa S405: Insertar, periódicamente, una palabra de alineación en cada canal virtual.

Haciendo referencia a la Figura 8, en esta etapa, un período de alineación de la palabra de alineación, insertada en cada canal virtual, puede ser  $(Q \times (X+Y)) / (N \times 66)$  bloques de código 66B. Esta etapa es, concretamente: La inserción de una palabra de alineación en cada canal virtual cada  $(Q \times (X+Y)) / (N \times 66)$  bloques de código 66B, en donde un valor de Q permite que los datos de las Q tramas FEC se distribuyan, exactamente, de manera uniforme, a los N canales virtuales. Puesto que las tramas FEC están distribuidas, en la granularidad de distribución de bloques de código 66B, sucesivamente a los N canales virtuales, cuando  $(Q \times (X+Y)) / (N \times 66)$  bloques de código 66B se distribuyen a cualquier canal virtual,  $(Q \times (X+Y)) / (N \times 66)$  bloques de código 66B se distribuyen, además, a cada uno de los otros canales virtuales N-1. Dicho de otro modo, una cantidad total de bloques de código 66B, que se distribuyen a los N canales virtuales dentro de un período de alineación es  $Q \times (X+Y) / 66$ , es decir, Q tramas FEC se distribuyen sucesivamente a los N canales virtuales dentro de un período de alineación. Después de que se distribuyan las Q tramas FEC, en la granularidad de distribución de bloques de código 66B, sucesivamente, a los N canales virtuales, se puede insertar, con exactitud, una palabra de alineación en cada canal virtual. Preferentemente, un tamaño de la palabra de alineación es el mismo que un tamaño de la granularidad de distribución, es decir, 66 bits.

En esta etapa, se inserta una palabra de alineación en cada canal virtual, de modo que el extremo receptor puede eliminar una desviación de latencia entre los N canales virtuales de conformidad con la palabra de alineación en cada canal virtual. Además, el extremo receptor puede determinar un límite de una trama FEC de conformidad con la palabra de alineación en cada canal virtual.

Si la granularidad de distribución es un bloque de datos de 20 bits en la etapa S404, al menos una palabra de alineación se inserta cada  $(Q \times (X+Y)) / (N \times 20)$  de la granularidad de distribución en esta etapa.

En una primera subcapa PMA, los datos en los N canales virtuales se convierten en  $m$  elementos de datos.

En un caso en el que N es igual a  $m$ , los datos procedentes de los N canales virtuales se transmiten, directamente, a una segunda subcapa PMA, por separado, a través de los  $m$  canales eléctricos que forman la interfaz AUI.

En un caso en el que N no es igual a  $m$ , datos procedentes de N/m canales virtuales se multiplexan en un solo elemento de datos por intermedio de multiplexación de bits o multiplexación de bloques de código, con el fin de obtener el  $m$  elemento de datos. A continuación, los  $m$  elementos de datos se transmiten, por separado, a la segunda subcapa PMA a través de los  $m$  canales eléctricos que forman la AUI. La multiplexación de bloque de códigos y la multiplexación de bits son similares, y la única diferencia radica en que: la multiplexación de bits se realiza sobre una base de bits, mientras que la multiplexación de bloque de códigos se realiza sobre la base de bloque de códigos.

En la segunda subcapa PMA, se utiliza uno de los siguientes dos modos operativos para convertir los  $m$  elementos de datos en  $n$  elementos de datos, en donde los  $m$  elementos de datos se transmiten a través de los  $m$  canales eléctricos que forman la AUI:

Modo operativo 1: La distribución, por bits, de los  $m$  elementos de datos en los  $n$  elementos de datos en el modo de sondeo.

Modo operativo 2: La distribución, por bloques de código, de los  $m$  elementos de datos en los  $n$  elementos de datos en el modo de sondeo.

Para el modo operativo 1, consulte el procesamiento relacionado en la red Ethernet 100G existente. El modo operativo 2 difiere del modo operativo 1 solamente en que la distribución de sondeo se realiza por bloques de código. Los detalles no se describen aquí de nuevo.

En una subcapa PMD, los  $n$  elementos de datos, procedentes de la segunda subcapa PMA, se modulan por separado en  $n$  portadoras ópticas, con el fin de obtener  $n$  señales ópticas. Las  $n$  señales ópticas se transmiten al extremo receptor de la Ethernet 400G a través de  $n$  canales ópticos.

Por otro lado, el siguiente procesamiento se realiza en el extremo receptor de Ethernet:

En la subcapa PMD, las  $n$  señales ópticas, transmitidas a través de los  $n$  canales ópticos se demodulan, con el fin de obtener los  $n$  elementos de datos  $y$ , a continuación, los  $n$  elementos de datos se envían a la segunda subcapa PMA.

5 En la segunda subcapa PMA, los  $n$  elementos de datos de la subcapa PMD se convierten en los  $m$  elementos de datos, y los  $m$  elementos de datos se transmiten a la primera subcapa PMA a través de los  $m$  canales eléctricos que forman la interfaz AUI.

10 En la primera subcapa PMA, los  $m$  elementos de datos, transmitidos a través de los  $m$  canales eléctricos que forman la AUI, se demultiplexan a los  $N$  canales virtuales. Se puede deducir a partir de las descripciones de la forma de realización anterior, que las tramas FEC se distribuyen, sucesivamente, a los  $N$  canales virtuales en el extremo de transmisión, es decir, los datos distribuidos a cada canal virtual incluyen una parte de una misma trama FEC. En consecuencia, los datos se demultiplexan para los  $N$  canales virtuales en el extremo receptor. Los datos, en cada canal virtual, definitivamente incluyen una parte de una misma trama FEC.

15 El procesamiento realizado en la primera subcapa PMA, y el procesamiento realizado en la segunda subcapa PMA, en el extremo receptor, son respectivamente inversos al procesamiento realizado en la primera subcapa PMA, y el procesamiento realizado en la segunda subcapa PMA, en el extremo receptor.

20 Haciendo referencia a la Figura 9, se realiza el siguiente procesamiento, en la PCS, sobre los datos procedentes de los  $N$  canales virtuales de la primera subcapa PMA:

Etapas S501: La realización del procesamiento de Sincronización de bloques en los datos adaptados a los  $N$  canales virtuales, con el fin de obtener  $N$  elementos de datos cuyos bloques están sincronizados.

25 Etapas S502: El bloque de una palabra de alineación, incluida en cada elemento de dato, cuyos bloques están sincronizados.

30 Etapas S503: La puesta en práctica, sobre la base de la palabra de alineación bloqueada, del procesamiento de alineación y reorganización en los  $N$  elementos de datos cuyos bloques están sincronizados.

35 Etapas S504: La determinación de un límite de cada una de las tramas FEC basándose en la palabra de alineación bloqueada, y luego la extracción de las tramas FEC una por una, desde los  $N$  elementos de datos cuyos bloques están sincronizados y que se someten a un proceso de alineación y reorganización. En esta forma de realización, puesto que los datos, en cada canal virtual, incluyen una parte de una misma trama FEC, cuando se extrae una trama FEC, los datos adaptados a los  $N$  canales virtuales se consideran como un todo. Cuando los datos memorizados temporalmente para los  $N$  canales virtuales conjuntamente son exactamente una trama FEC completa, se extrae la trama FEC. Por lo tanto, las tramas FEC se extraen una por una en esta forma de realización de la presente invención.

40 Etapas S505: La realización del proceso de descryptación en las tramas FEC extraídas.

Etapas S506: La puesta en práctica de la decodificación FEC en las tramas FEC descryptadas, y la supresión de los bits de control desde cada una de las tramas FEC, con el fin de obtener bloques de código serie 66B.

45 Etapas S507: La realización de la decodificación 64B/66B en los bloques de código serie 66B, y a continuación, el envío, utilizando una CDGMII, de datos obtenidos mediante la decodificación, a una subcapa de reconciliación.

50 Para un proceso específico de las etapas S501 a S503, se hace referencia al procesamiento relacionado en Ethernet 100G existente. Las etapas S505, S506 y S507 son, respectivamente, un procesamiento inverso de las etapas S403, S402 y S401, que no se describen aquí de nuevo.

55 Una forma de realización de la presente invención da a conocer, además, un equipo de Ethernet. Tal como se ilustra en la Figura 10, una estructura del equipo de Ethernet incluye: un circuito integrado MAC 10, un circuito integrado de capa física de Ethernet 30, un módulo óptico 50 y una interfaz AUI que incluye  $m$  canales eléctricos y conecta el circuito integrado de capa física de Ethernet 30 y el módulo óptico 50.

60 El circuito integrado de capa física de Ethernet 30 está configurado para: poner en práctica la codificación de línea en datos del circuito integrado MAC 10, con el fin de obtener bloques de código de datos en serie; realizar la codificación FEC en los bloques de código de datos en serie, con el fin de obtener tramas FEC; la distribución, en una granularidad de distribución de bits, las tramas FEC sucesivamente a  $N$  canales virtuales; y la transmisión de datos desde los  $N$  canales virtuales al módulo óptico 50 a través de los  $m$  canales eléctricos que forman la interfaz AUI que conecta el circuito integrado de capa física de Ethernet 30 y el módulo óptico 50.

65 El módulo óptico 50 está configurado para: convertir la entrada de datos, a través de los  $m$  canales eléctricos, en  $n$  elementos de datos; modular, por separado, los  $n$  elementos de datos en  $n$  portadoras ópticas, con el fin de obtener  $n$  señales ópticamente moduladas; y para transmitir las  $n$  señales moduladas ópticamente a  $n$  canales ópticos.

$N$ ,  $m$ ,  $n$ , y  $a$  son todos números enteros positivos, y  $a$  es menor que una cantidad de bits incluidos en una trama FEC. Preferentemente,  $N$  es, concretamente, un mínimo común múltiplo de  $m$  y  $n$ ;  $a$  es, concretamente, igual a una cantidad de bits incluidos en los bloques de códigos de datos, o  $a$  es concretamente igual a una cantidad de bits incluidos en un símbolo de código de codificación FEC.

Una forma de realización de la presente invención da a conocer, además, un circuito integrado de capa física de Ethernet 30. Tal como se ilustra en la Figura 10, una estructura del circuito integrado de capa física de Ethernet 30 incluye: un codificador de PCS 301, un codificador de FEC 302, y un módulo de distribución multicanal 304.

El codificador de PCS 301 está configurado para realizar una codificación de línea en datos procedentes de una capa de control de acceso al soporte, con el fin de obtener bloques de códigos de datos en serie. El codificador PCS 301 puede ser, concretamente, un codificador 64B/66B, un codificador 256B/257B, o un codificador 512B/513B, o puede ser otro codificador, lo que no está limitado en la presente invención.

El codificador FEC 302 está configurado para realizar una codificación FEC en los bloques de código de datos en serie que se obtienen mediante el codificador PCS 301, con el fin de obtener tramas FEC. Cada una de las tramas FEC incluye  $X$  bits de datos consecutivos e  $Y$  bits de control, que se generan cuando se realiza la codificación FEC en los  $X$  bits de datos consecutivos, en donde  $X$  e  $Y$  son ambos números enteros positivos.

El módulo de distribución multicanal 304 está configurado para distribuir, en una granularidad de distribución de  $a$  bits, las tramas FEC sucesivamente a  $N$  canales virtuales. Para un proceso en el que el módulo de distribución multicanal 304 distribuye, en la granularidad de distribución de  $a$  bit, la trama FEC sucesivamente a los  $N$  canales virtuales, se hace referencia a descripciones relacionadas en las formas de realización del método anterior. Los detalles no se describen aquí de nuevo.

$a$  es menor que una cantidad de bits incluidos en una trama FEC. Preferentemente,  $a$  puede ser, concretamente, igual a una cantidad de bits que se incluye en los bloques de códigos de datos, o  $a$  puede ser, concretamente, igual a una cantidad de bits incluidos en un símbolo de código de codificación FEC.

En esta forma de realización, cuando está realizando la codificación FEC, el codificador FEC 302 inserta, directamente, bits de control para proporcionar espacio en el que se carga la información de control generada durante la codificación FEC, en lugar de comprimir una cabecera de sincronización de un bloque de códigos de datos para proporcionar espacio en el que la información de control generada durante la codificación FEC se ha cargado. Por lo tanto, esta forma de realización de la presente invención puede proporcionar una mayor ganancia de codificación de FEC, y se puede cambiar una cantidad de bits de control de conformidad con diferentes escenarios operativos para proporcionar diferentes ganancias de codificación FEC y cumplir diferentes requisitos de ganancia. Además, en esta forma de realización de la presente invención, la codificación FEC se realiza primero utilizando un codificador FEC, y luego, las tramas FEC, obtenidas mediante codificación FEC, se distribuyen sucesivamente a  $N$  canales virtuales. De este modo, se puede realizar la decodificación de FEC siempre que los datos memorizados temporalmente para los  $N$  canales virtuales, conjuntamente en un extremo receptor, sean exactamente una trama FEC completa. De este modo, la latencia se reduce en gran medida.

En una forma de realización, el circuito integrado de capa física de Ethernet 30 puede incluir, además, un codificador 303, que está configurado para realizar un procesamiento de encriptación sobre las tramas FEC que se emiten, a la salida, por el codificador FEC. En consecuencia, el módulo de distribución multicanal distribuye, concretamente, las tramas FEC después del proceso de encriptación sucesivamente a los  $N$  canales virtuales. Más concretamente, el codificador 303 puede utilizar un polinomio de encriptación  $1 + b^{38} + b^{47}$  para realizar el procesamiento de encriptación, o puede utilizar otro polinomio de encriptación, lo que no está limitado en la presente invención.

En una forma de realización específica, el módulo de distribución multicanal distribuye, en una granularidad de distribución de  $a$  bits, las tramas FEC sucesivamente a los  $N$  canales virtuales sobre la base de  $Q$  tramas FEC, y las inserciones, cada  $(Q \times (X+Y)) / (N \times a)$  de la granularidad de distribución preestablecida, una palabra de alineación en cada canal virtual, en donde un valor de  $Q$  permite que los datos de las  $Q$  tramas FEC se distribuyan uniformemente a los  $N$  canales virtuales.

En una forma de realización, el circuito integrado de capa física de Ethernet 30 puede incluir, además, un módulo de adaptación de interfaz, que está configurado para convertir datos desde los  $N$  canales virtuales en  $m$  elementos de datos. El módulo de adaptación de interfaz está configurado, concretamente, para: cuando  $N$  no es igual a  $m$ , realizar la multiplexación de datos de  $N/m$  canales virtuales en un solo elemento de datos por intermedio de multiplexación de bits o multiplexación de bloque de códigos.

En correspondencia con el equipo de Ethernet dado a conocer por la forma de realización anterior, una forma de realización de la presente invención da a conocer, además, otro equipo de Ethernet, que está configurado para recibir las  $n$  señales ópticas moduladas enviadas por el equipo de Ethernet que se da a conocer por la forma de realización anterior, y para realizar el procesamiento correspondiente para restablecer los datos de capa MAC

enviados por un extremo de transmisión. Tal como se ilustra en la Figura 11, una estructura del equipo de Ethernet incluye: un circuito integrado MAC 20, un circuito integrado de capa física de Ethernet 40, un módulo óptico 60 y una interfaz AUI que incluye  $m$  canales eléctricos y conecta el circuito integrado de capa física de Ethernet 40 y el módulo óptico 60.

5 El módulo óptico 60 está configurado para: recibir  $n$  señales ópticas, transmitidas a través de  $n$  canales ópticos; demodular las  $n$  señales ópticas, con el fin de obtener  $n$  elementos de datos; convertir los  $n$  elementos de datos en  $m$  elementos de datos; y transmitir los  $m$  elementos de datos al circuito integrado de capa física de Ethernet a través de los  $m$  canales eléctricos.

10 El circuito integrado de capa física de Ethernet 40 está configurado para: recibir los  $m$  elementos de datos transmitidos a través de los  $m$  canales eléctricos; adaptar los  $m$  elementos de datos a  $N$  canales virtuales; extraer tramas FEC, una por una, de los datos adaptados a los  $N$  canales virtuales; realizar la decodificación FEC en las tramas FEC, suprimir los bits de control desde las tramas FEC y restablecer los bloques de código de datos en serie; 15 realizar la decodificación de línea en los bloques de código de datos en serie y transmitir datos decodificados al circuito integrado MAC 20. La trama FEC incluye  $X$  bits de datos e  $Y$  bits de control, que se generan cuando la codificación FEC se realiza en los  $X$  bits de datos, datos adaptados a cada canal virtual incluyen una parte de una misma trama FEC, y  $X$  e  $Y$  son números enteros positivos.

20 En esta forma de realización, cuando las tramas FEC se extraen una por una, los datos adaptados a los  $N$  canales virtuales se consideran como un todo. Cuando los datos adaptados a los  $N$  canales virtuales forman, exactamente, una trama FEC completa, se puede extraer la trama FEC; mientras que, en la técnica anterior, solamente cuando los datos adaptados a cada canal virtual incluyen datos de una trama FEC completa, se puede extraer la trama FEC.

25 En esta forma de realización,  $m$  y  $n$  son ambos números enteros positivos. Preferentemente,  $N$  es concretamente un mínimo común múltiplo de  $m$  y  $n$ .

En esta forma de realización, cuando se extraen tramas FEC, se puede extraer una trama FEC siempre que los datos adaptados a  $N$  canales virtuales puedan formar, conjuntamente, la trama FEC, y haya una pequeña latencia. 30 Además, dado que el espacio en el que se carga la información de control no se obtiene comprimiendo bloques de código, sino que el espacio en el que se carga la información de control se proporciona mediante la inserción directa de bits de control, esta forma de realización de la presente invención puede proporcionar una mayor ganancia de codificación de FEC. Además, se puede ajustar una cantidad de bloques de códigos de control, de conformidad con los requisitos, con lo que se cumplen, de este modo, diferentes requisitos de ganancia de codificación FEC de 35 escenarios operativos distintos, y se logra una alta flexibilidad.

Una forma de realización de la presente invención incluye, además, un circuito integrado de capa física de Ethernet 40. Tal como se ilustra en la Figura 11, una estructura del circuito integrado de capa física de Ethernet 40 incluye: un decodificador 401, un decodificador FEC 402, un módulo de restablecimiento de trama FEC 409 y un módulo de 40 adaptación de interfaz 408.

El módulo de adaptación de interfaz 408 está configurado para adaptar  $m$  elementos de datos, transmitidos a través de  $m$  canales eléctricos, a  $N$  canales virtuales. Los datos adaptados a cada canal virtual incluyen una parte de una misma trama FEC. Cada trama FEC incluye  $X$  bits de datos consecutivos e  $Y$  bits de control, que se generan cuando 45 se realiza la codificación FEC en los  $X$  bits de datos consecutivos.

El módulo de restablecimiento de trama FEC 409 está configurado para extraer tramas FEC, una a una, de los datos adaptados a los  $N$  canales virtuales.

50 El decodificador FEC 402 está configurado para realizar una decodificación FEC en las tramas FEC extraídas, eliminar bits de control desde cada una de las tramas FEC y restablecer bloques de código de datos en serie.

En esta forma de realización de la presente invención,  $X$ ,  $Y$ ,  $N$ ,  $m$  y  $n$  son todos números enteros positivos. Preferentemente,  $N$  es un mínimo común múltiplo de  $m$  y  $n$ , y  $m$  es una cantidad de canales eléctricos, en una capa 55 física de Ethernet, conectada a dos subcapas de conexión de soporte físico adyacentes.

En esta forma de realización, se puede aprender que, cuando se restablecen las tramas FEC, se puede extraer una trama FEC siempre que los datos de una trama FEC completa se memoricen, temporalmente, para  $N$  canales virtuales conjuntamente, y exista una pequeña latencia. Además, puesto que el espacio en el que se carga la información de control no se obtiene comprimiendo bloques de código, sino que el espacio en el que se carga la información de control se proporciona mediante la inserción directa de bits de control, una cantidad de bits de control se puede ajustar de conformidad con los diferentes escenarios operativos, con lo que se cumple, de este modo, con 60 los diferentes requisitos de ganancia de codificación FEC de diferentes escenarios operativos, y se consigue una gran flexibilidad.

65 En una forma de realización, el módulo de restablecimiento de trama FEC 409 incluye, concretamente:

un submódulo de Sincronización de bloques 407, configurado para realizar un procesamiento de Sincronización de bloques en los datos adaptados a los N canales virtuales, con el fin de obtener N elementos de datos cuyos bloques están sincronizados;

5 un sub-módulo de bloqueo de palabras de alineación 406, configurado para bloquear una palabra de alineación incluida en cada elemento de datos cuyos bloques están sincronizados;

10 un submódulo de alineación y reorganización 405, configurado para realizar, en base al procesamiento de la palabra de alineación bloqueada, la reorganización y la alineación en los N elementos de datos cuyos bloques están sincronizados; y

15 un submódulo de extracción de trama 404, configurado para determinar un límite de cada trama FEC, sobre la base de la palabra de alineación bloqueada, y luego, extraer las tramas FEC, una por una, de los N elementos de datos cuyos bloques están sincronizados y que se someten a un proceso de reorganización y alineamiento.

En una forma de realización, el módulo de restablecimiento de trama FEC 409 puede incluir, además, un decodificador 403, configurado para realizar el proceso de descriptación sobre las tramas FEC extraídas.

20 En una forma de realización, el circuito integrado de capa física de Ethernet 40 puede incluir, además:

un decodificador de PCS 402, configurado para realizar una decodificación de línea en los bloques de código de datos en serie restablecidos y, a continuación, enviar datos obtenidos mediante decodificación de línea al circuito integrado MAC 20. La decodificación de línea realizada por el decodificador PCS 402 es un procesamiento inverso de codificación de línea que se realiza por el codificador PCS 301 en un extremo transmisor.

25 Una forma de realización de la presente invención da a conocer, además, un circuito integrado de capa física de Ethernet. Tal como se ilustra en la Figura 12, una estructura del circuito integrado de capa física de Ethernet incluye: una primera interfaz de entrada/salida 801, un procesador 802, una segunda interfaz de entrada/salida 803, y una memoria 804.

30 En una dirección de envío:

35 La primera interfaz de entrada/salida 801 está configurada para recibir datos desde una capa MAC de Ethernet, e introducir los datos en el procesador 802.

40 El procesador 802 está configurado para: realizar una codificación de línea en datos procedentes de un circuito integrado MAC, con el fin de obtener bloques de código de datos en serie; la puesta en práctica de una codificación FEC en los bloques de código de datos en serie, con el fin de obtener tramas FEC, incluye concretamente: la inserción de Y bits de control cada X bits de datos consecutivos, en donde los Y bits de control se generan cuando se realiza la codificación FEC en los X bits de datos consecutivos; y la distribución, en una granularidad de distribución de a bits, de tramas FEC sucesivamente N canales virtuales; en donde cada una de las tramas FEC incluye los X bits de datos consecutivos y los Y bits de control que se generan cuando la codificación FEC se realiza en los X bits de datos consecutivos, X, Y, N y a son números enteros positivos, y a es menor que una cantidad de bits incluidos en una trama FEC.

45 En una forma de realización específica, preferentemente, N es concretamente un mínimo común múltiplo de m y n, siendo m una cantidad de canales eléctricos, en una capa física de Ethernet, conectada a dos subcapas de unión de soporte físico adyacentes, y siendo n una cantidad de canales ópticos en la capa física de Ethernet.

50 La segunda interfaz de entrada/salida 803 está configurada para enviar datos de los N canales virtuales a una subcapa PMD.

55 En una dirección de recepción:

La segunda interfaz de entrada/salida 803 está configurada para recibir datos desde la subcapa PMD, e introducir los datos en el procesador 802.

60 El procesador 802 está configurado para: adaptar la entrada de datos por la segunda interfaz de entrada/salida 803 a los N canales virtuales; extraer tramas FEC, una a una, de los datos adaptados a los N canales virtuales; realizar una decodificación FEC en las tramas FEC extraídas, y suprimir los bits de control desde cada una de las tramas FEC, con el fin de obtener bloques de código de datos en serie; y realizar una decodificación de línea en los bloques de código de datos en serie.

65 La primera interfaz de entrada/salida 801 está configurada para enviar datos obtenidos por medio de decodificación de línea por el procesador 802 a la capa de MAC.

La memoria 804 está configurada para memorizar un programa requerido cuando el procesador 804 realiza un procesamiento en la dirección de envío y la dirección de recepción, y para memorizar datos que necesitan almacenarse temporalmente cuando el procesador 804 realiza un procesamiento en la dirección de envío y la dirección de recepción.

En otra forma de realización, en la dirección de envío, el procesador 802 está configurado, además, para: antes de distribuir las tramas FEC sucesivamente a los N canales virtuales, realizar el procesamiento de encriptación en las tramas FEC. En consecuencia, el procesador está concretamente configurado para distribuir, en la granularidad de distribución de a bits, las tramas FEC, después del procesamiento de encriptación, sucesivamente a los N canales virtuales, en donde a es un número entero positivo y es menor que una cantidad de bits incluidos en cada una de las tramas FEC. El hecho de que el procesador 802 distribuya las tramas FEC, independientemente de que estén encriptadas o desencriptadas, sucesivamente a los N canales virtuales, puede ser concretamente: la distribución, en una granularidad de distribución de a bits, Q tramas FEC sucesivamente a los N canales virtuales, en donde un valor de Q permite que los datos de las Q tramas FEC se distribuyan uniformemente a los N canales virtuales. El procesador puede estar configurado, además, para: antes de que los datos de los N canales virtuales salgan desde la segunda interfaz de entrada/salida, la inserción, cada  $((Q \times (X+Y))/(N \times a))$  de la granularidad de distribución, al menos una palabra de alineación en cada canal virtual.

En la dirección de recepción, el hecho de que el procesador 802 extraiga las tramas FEC, una a una, desde los datos adaptados a los N canales virtuales incluye, concretamente:

la realización del procesamiento de sincronización de bloques en los datos adaptados a los N canales virtuales, con el fin de obtener N elementos de datos cuyos bloques están sincronizados;

el bloqueo de una palabra de alineación incluida en cada elemento de dato cuyos bloques están sincronizados;

la puesta en práctica, sobre la base de la palabra de alineación bloqueada, del procesamiento de alineación y reorganización en los N elementos de datos cuyos bloques están sincronizados; y

la determinación de un límite de una trama FEC, sobre la base de la palabra de alineación bloqueada, y luego, identificar las tramas FEC que deben extraerse, una por una, de los N elementos de datos cuyos bloques están sincronizados y que se someten a un proceso de alineación y reorganización.

En esta forma de realización, cuando está realizando la codificación FEC, el procesador 802 inserta, directamente, bits de control para proporcionar un espacio en el que se carga la información de control generada durante la codificación FEC, pero no comprime una cabecera de sincronización de un bloque de códigos de datos para proporcionar un espacio en el que la información de control generada durante la codificación FEC está cargada. Por lo tanto, esta forma de realización de la presente invención puede proporcionar una mayor ganancia de codificación de FEC, y puede cambiarse una cantidad de bits de control de conformidad con diferentes escenarios operativos para proporcionar diferentes ganancias de codificación FEC y cumplir diferentes requisitos de ganancia. Además, en esta forma de realización de la presente invención, primero se realiza la codificación FEC y luego, las tramas FEC obtenidas por codificación FEC se distribuyen sucesivamente a N canales virtuales. De este modo, se puede realizar la decodificación de FEC siempre que los datos memorizados temporalmente para los N canales virtuales, conjuntamente en un extremo receptor, sean exactamente una trama FEC completa. En consecuencia, la latencia se reduce en gran medida.

Un experto en esta técnica puede tener conocimiento de que, en combinación con los ejemplos descritos en las formas de realización dadas a conocer en esta memoria descriptiva, las unidades y las etapas de algoritmo se pueden poner en práctica mediante hardware electrónico, o una combinación de software informático y hardware electrónico. Si las funciones son realizadas por hardware o software depende de las aplicaciones particulares y las condiciones de restricción de diseño de las soluciones técnicas. Un experto en la técnica puede utilizar diferentes métodos para poner en práctica las funciones descritas para cada aplicación particular, pero no se debe considerar que la puesta en práctica va más allá del alcance de la presente invención.

Puede entenderse claramente por un experto en la técnica que, a los fines de una descripción conveniente y breve, para un proceso de trabajo detallado del dispositivo, circuito integrado y unidad anterior, se puede hacer referencia a un proceso correspondiente en las formas de realización del método anterior, y los detalles no se describen aquí de nuevo.

En las diversas formas de realización dadas a conocer en la presente solicitud, ha de entenderse que el dispositivo, circuito integrado y método dados a conocer pueden ponerse en práctica en otros modos operativos. A modo de ejemplo, la forma de realización del aparato descrita, es simplemente a modo de ejemplo. La división de módulos, a modo de ejemplo, es simplemente una división de función lógica y puede ser otra división en la puesta en práctica real. A modo de ejemplo, una pluralidad de módulos o componentes pueden combinarse o integrarse en otro sistema, o algunas características pueden ignorarse o no realizarse. Además, los acoplamientos mutuos ilustrados o

discutidos, o acoplamientos directos o conexiones de comunicación pueden ponerse en práctica a través de algunas interfaces. Los acoplamientos indirectos, o conexiones de comunicación, entre los aparatos o unidades pueden ponerse en práctica en forma electrónica, mecánica o de otro tipo.

5 Los módulos descritos como partes separadas pueden, o no, estar físicamente separados, y las partes mostradas como unidades pueden, o no, ser unidades físicas, pueden estar ubicadas en una posición, o pueden estar distribuidas en una pluralidad de unidades de red. Algunas o la totalidad de las unidades se pueden seleccionar de conformidad con las necesidades reales para conseguir los objetivos de las soluciones de las formas de realización.

10 Además, los módulos funcionales en las formas de realización de la presente invención se pueden integrar en una unidad de procesamiento, o cada uno de los módulos puede existir físicamente separado, o dos o más módulos se integran en un módulo.

15 Cuando las funciones se ponen en práctica en la forma de una unidad funcional de software y se venden o utilizan como un producto independiente, las funciones se pueden memorizar en un soporte de memorización legible por ordenador. En base a tal entendimiento, las soluciones técnicas de la presente invención esencialmente, o la parte que contribuye a la técnica anterior, o algunas de las soluciones técnicas, pueden ponerse en práctica en una forma de un producto de software. El producto de software se memoriza en un soporte de memorización e incluye varias instrucciones para instruir a un dispositivo informático (que puede ser un ordenador personal, un servidor o un dispositivo de red) para realizar la totalidad o algunas de las etapas de los métodos descritos en las formas de realización de la presente invención. El soporte de memorización anterior incluye: cualquier soporte que pueda memorizar un código de programa, como una unidad instantánea USB, un disco duro extraíble, una memoria de solamente lectura (ROM, Read-Only Memory), una memoria de acceso aleatorio (RAM, Random Access Memory), un disco magnético o un disco óptico.

25 Las descripciones anteriores son simplemente ejemplos de formas de puesta en práctica de la presente invención, pero no están previstas para limitar el alcance de protección de la presente invención. Por lo tanto, el alcance de protección de la presente invención estará sujeto al alcance de protección de las reivindicaciones.

30

**REIVINDICACIONES**

1. Un método de procesamiento de datos de Ethernet, aplicable al procesamiento de datos en un extremo de transmisión, que comprende:

- 5 • la realización de una codificación de línea sobre datos procedentes de una capa de control de acceso al soporte, con el fin de obtener bloques de código de datos en serie (S101);
- 10 • la realización de una codificación de Corrección de Errores sin Vía de Retorno, FEC, en los bloques de código de datos en serie, con el fin de obtener tramas FEC, que comprende, concretamente: la inserción de Y bits de control cada X bits de datos consecutivos, en donde los Y bits de control se generan cuando se realiza la codificación FEC en los X bits de datos consecutivos, y cada una de las tramas FEC comprende los X bits de datos consecutivos y los Y bits de control, que se generan cuando se realiza una codificación FEC en los X bits de datos consecutivos, en donde X e Y son ambos números enteros positivos (S102); y
- 15 • la distribución, en una granularidad de distribución de bits, de Q tramas FEC sucesivamente a N canales virtuales, en donde a, Q y N son números enteros positivos (S103), siendo a menor que una cantidad de bits comprendidos en cada una de las tramas FEC,

20 caracterizado por cuanto que

la distribución, en la granularidad de la distribución de los bits, de Q tramas FEC sucesivamente a N canales virtuales comprende, concretamente:

- 25 • la inserción, cada  $(Q \times (X+Y)) / (N \times a)$ -ésima de la granularidad de distribución, de al menos una palabra de alineación en cada canal virtual, en donde un valor de Q permite que los datos de las Q tramas FEC sean distribuidos uniformemente a los N canales virtuales.

30 2. El método de procesamiento de datos de Ethernet según la reivindicación 1, en donde N es, concretamente, un mínimo común múltiplo de *m* y *n*, siendo *m* una cantidad de canales eléctricos, en una capa física de Ethernet, conectados a dos subcapas de enlace de soporte físico adyacentes, y siendo *n* una cantidad de canales ópticos en la capa física de Ethernet.

35 3. El método de procesamiento de datos de Ethernet según cualquiera de las reivindicaciones 1-2, en donde en una primera alternativa, *a* es igual a un múltiplo entero positivo de una cantidad de bits incluidos en los bloques de código de datos en serie o, en una segunda alternativa, *a* es igual a un múltiplo entero positivo de una cantidad de bits incluidos en un símbolo de código de codificación FEC.

40 4. El método de procesamiento de datos de Ethernet de conformidad con una cualquiera de las reivindicaciones 2 a 3, que comprende, además: la conversión de datos desde los N canales virtuales en *m* elementos de datos, y la transmisión de los *m* elementos de datos a través de *m* canales eléctricos.

45 5. Un circuito integrado de capa física de Ethernet, configurado para realizar cualquiera de los métodos de conformidad con las reivindicaciones 1-4.

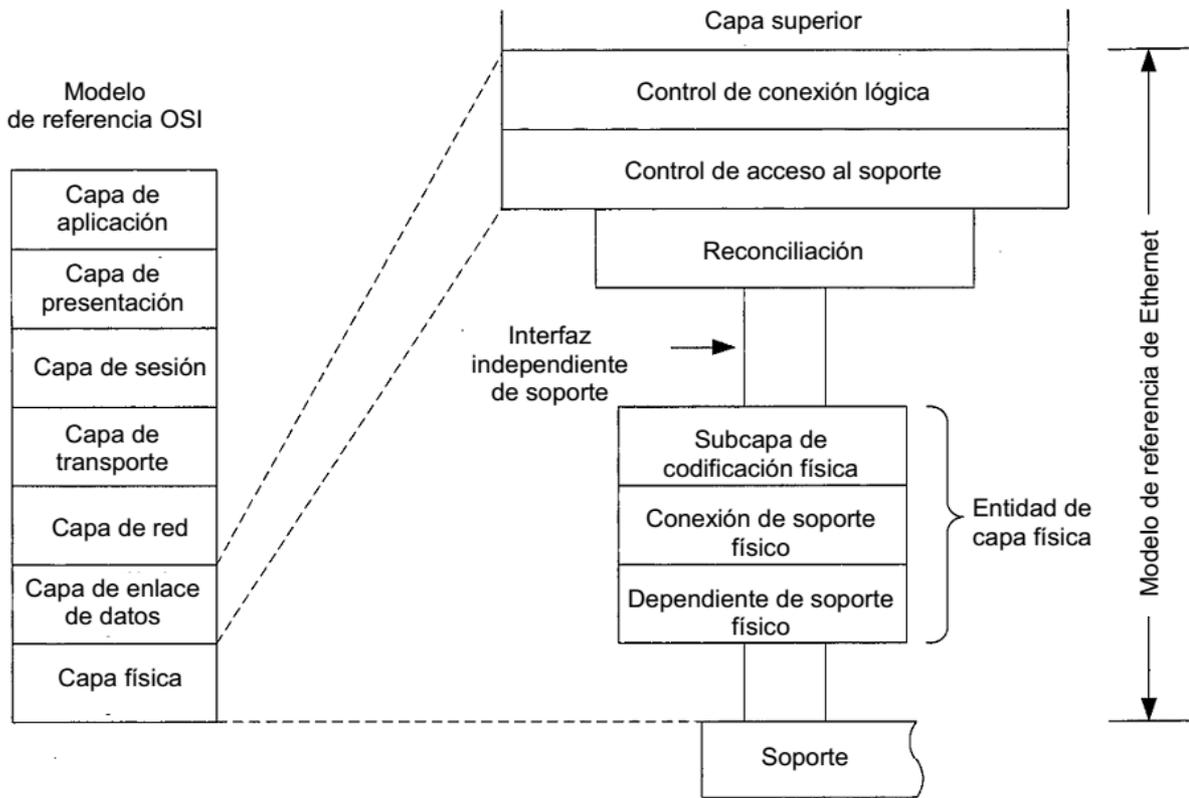


FIG. 1

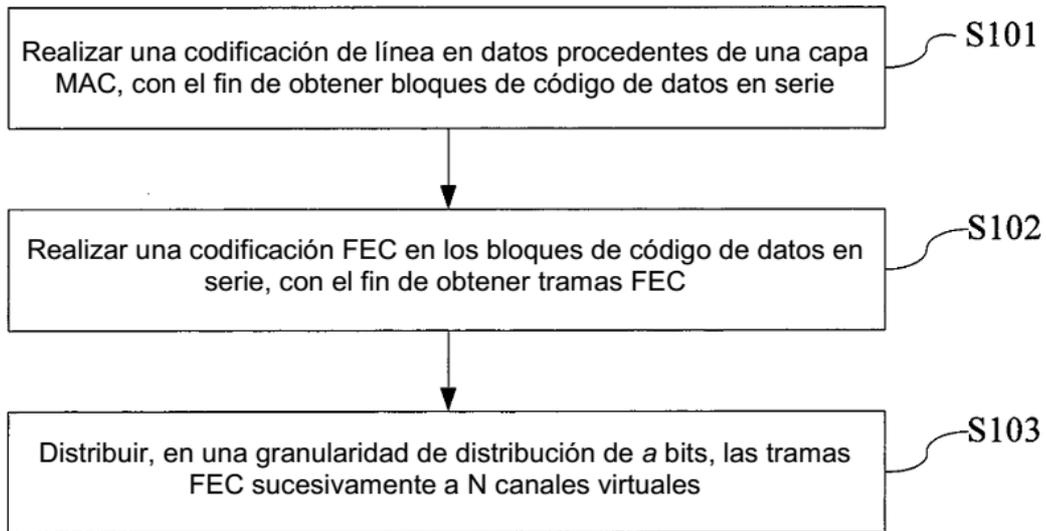


FIG. 2

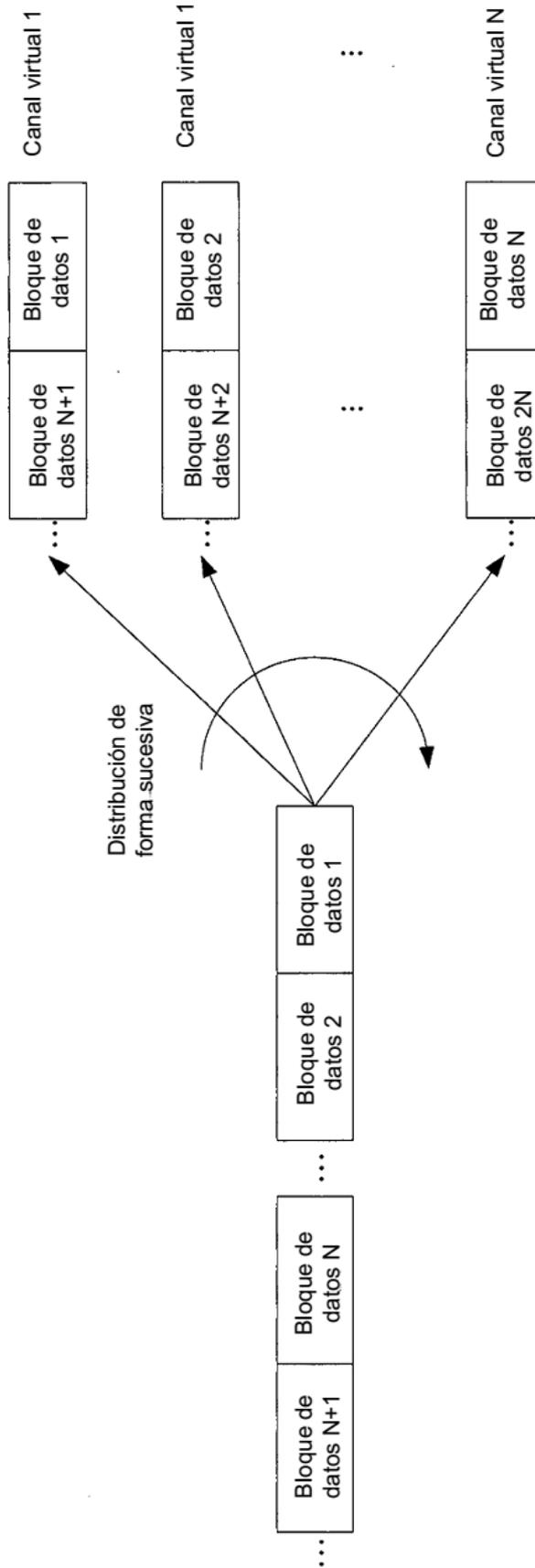


FIG. 3

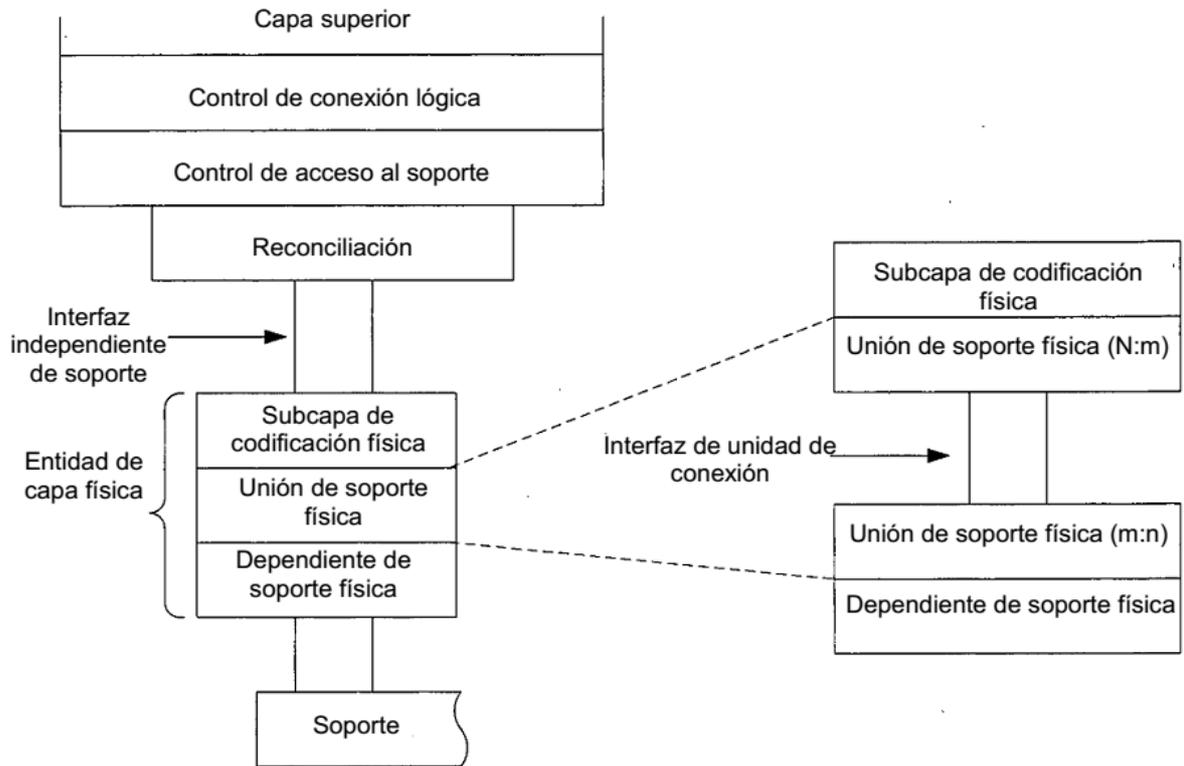


FIG. 4

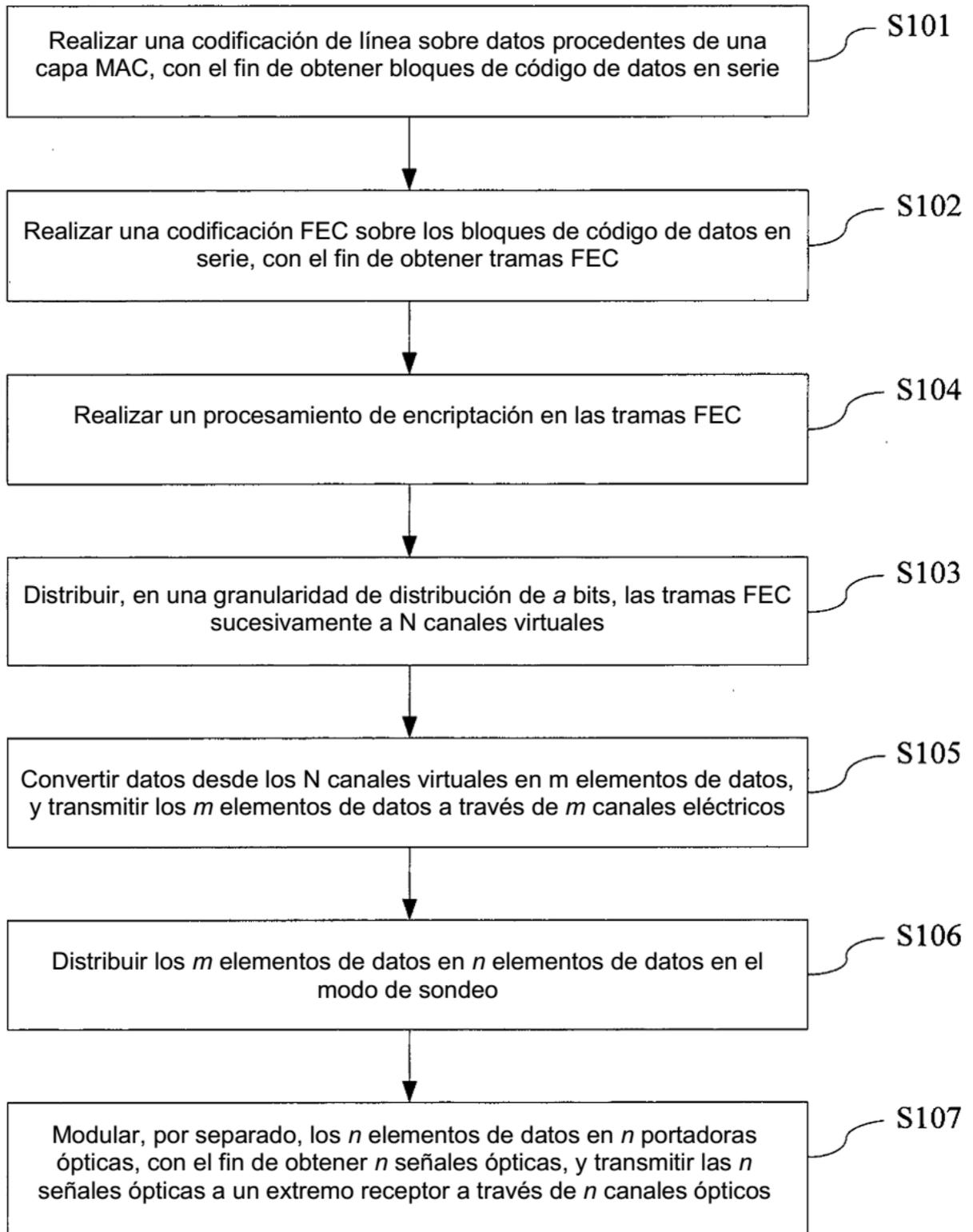


FIG. 5

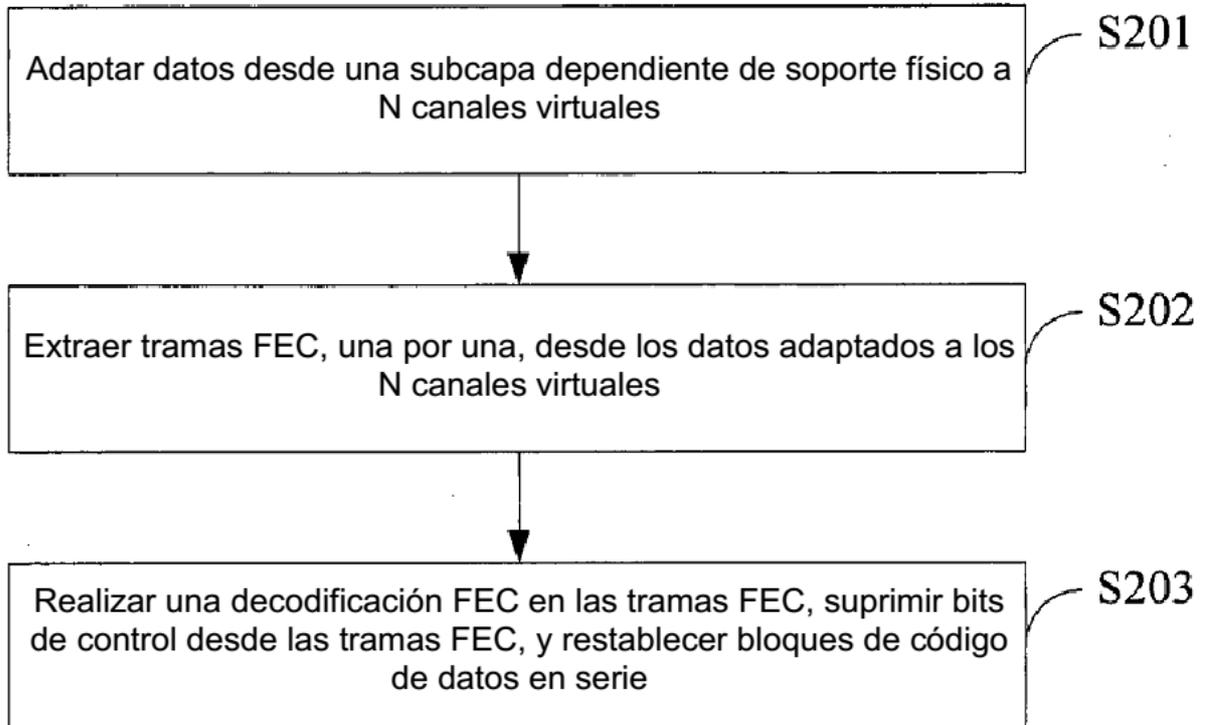


FIG. 6

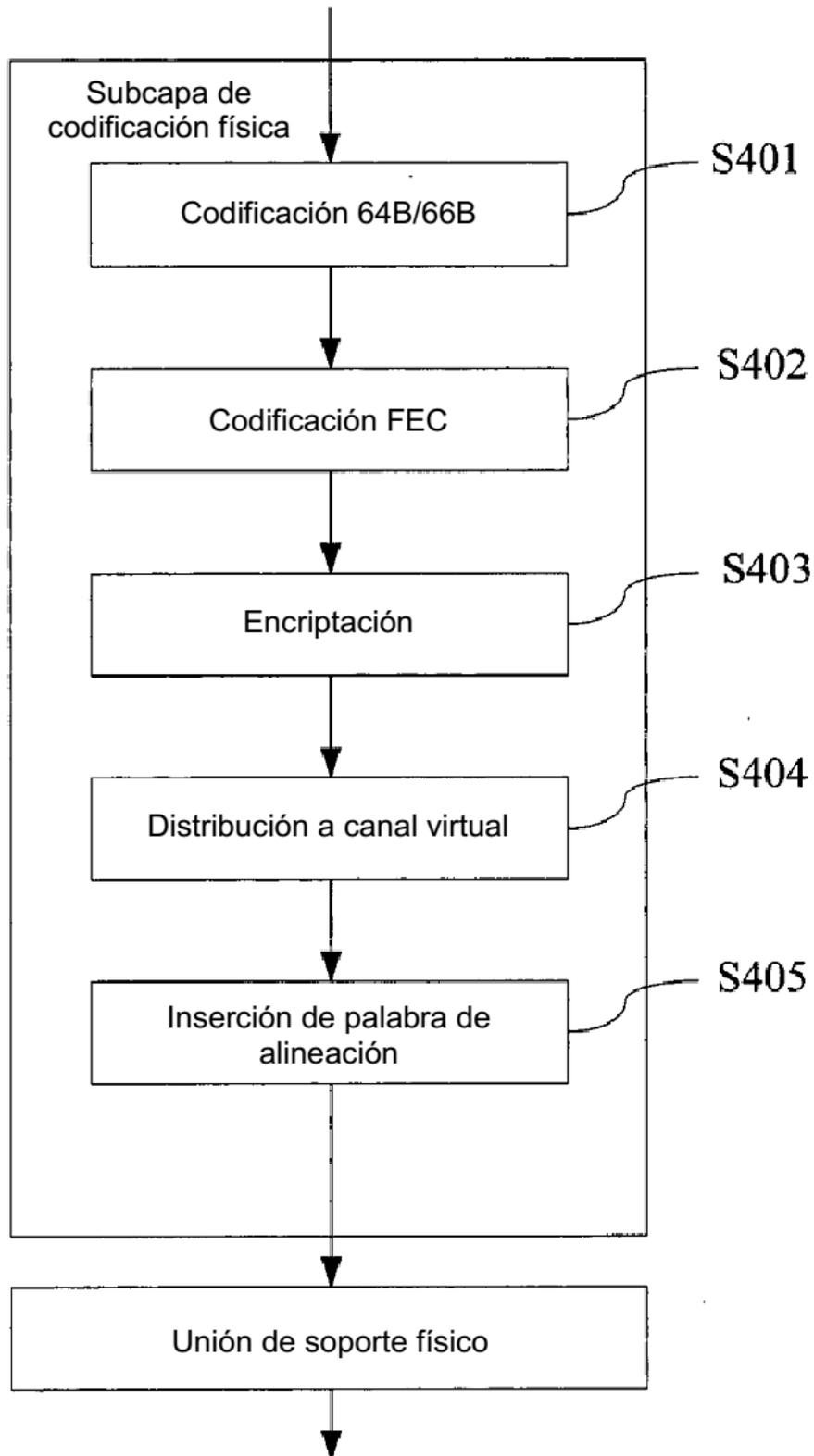


FIG. 7

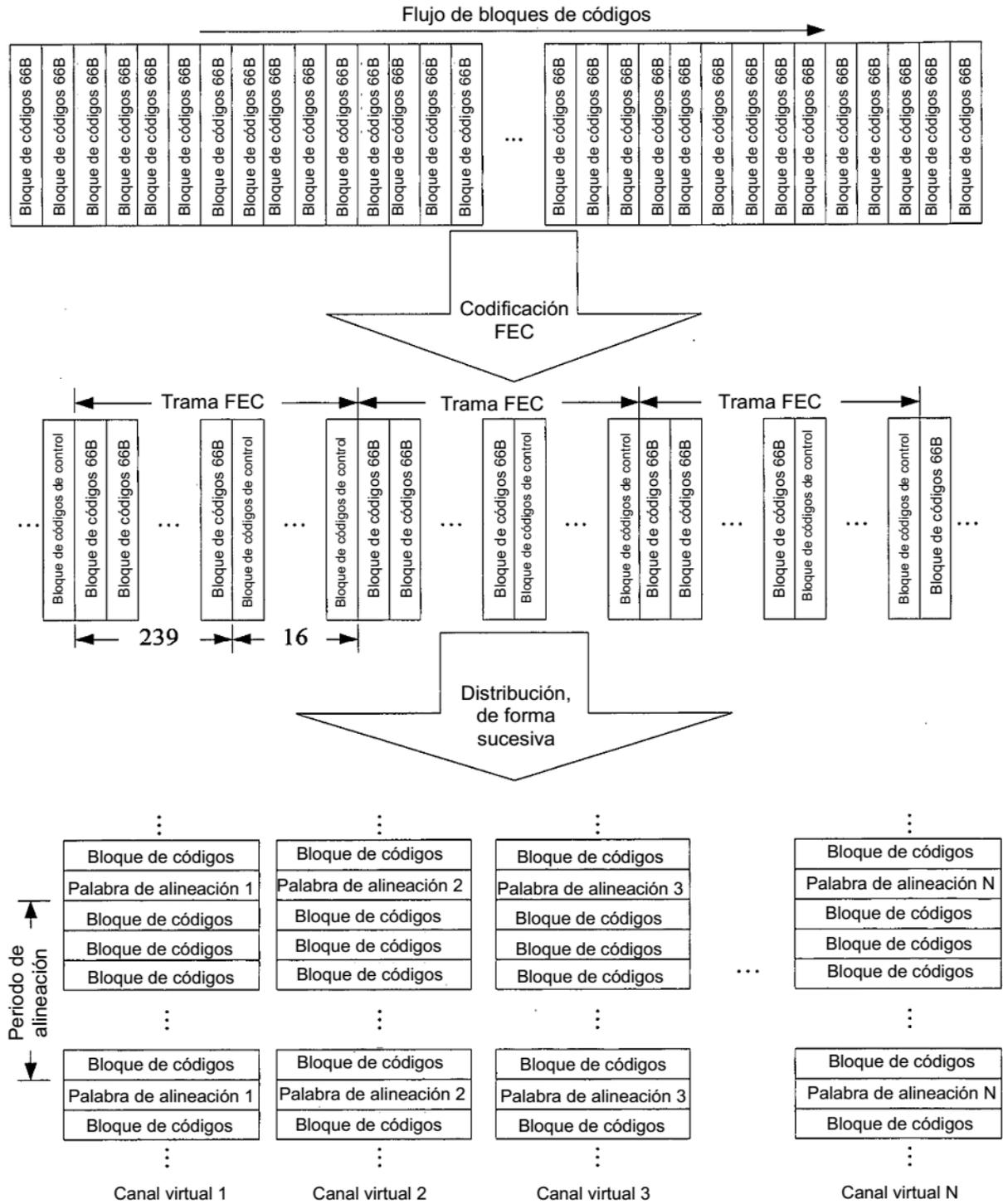


FIG. 8

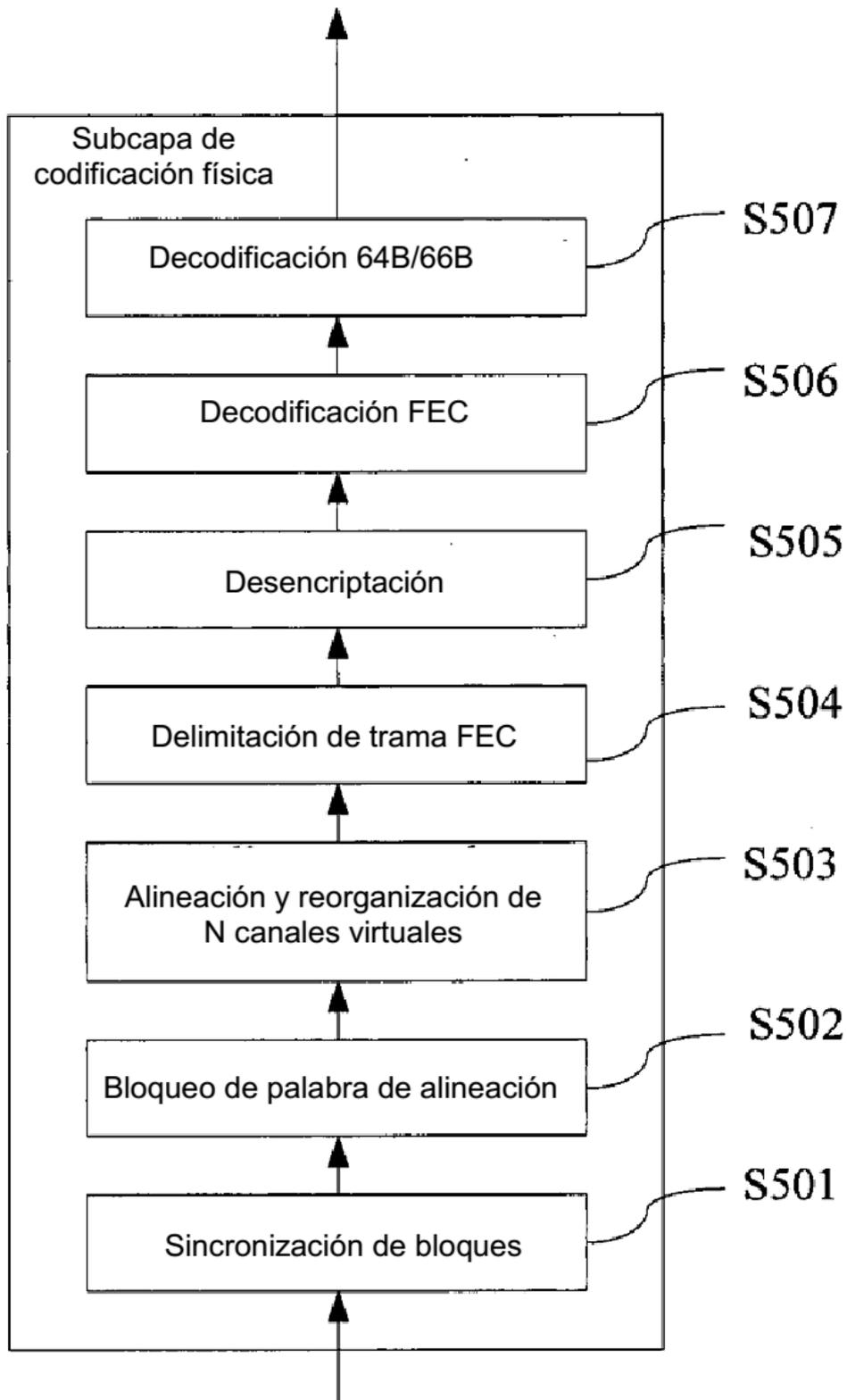


FIG. 9

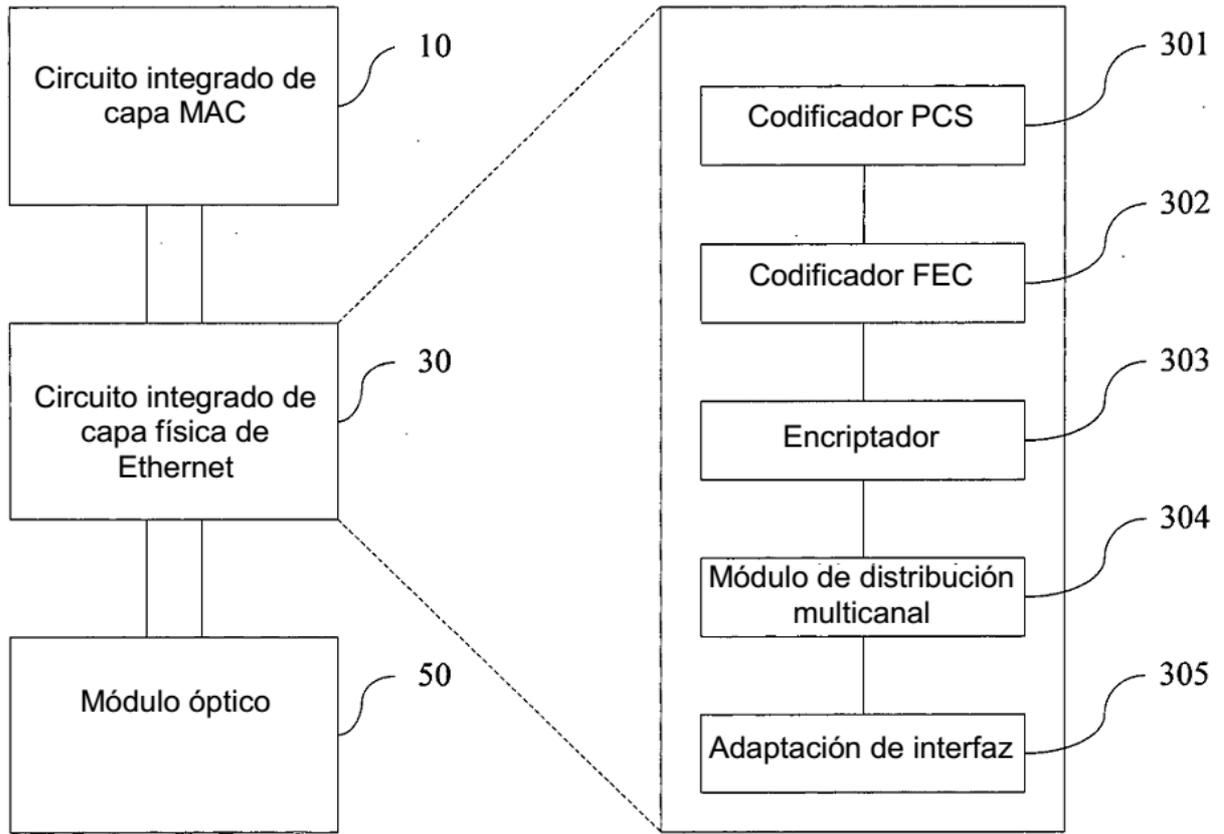


FIG. 10

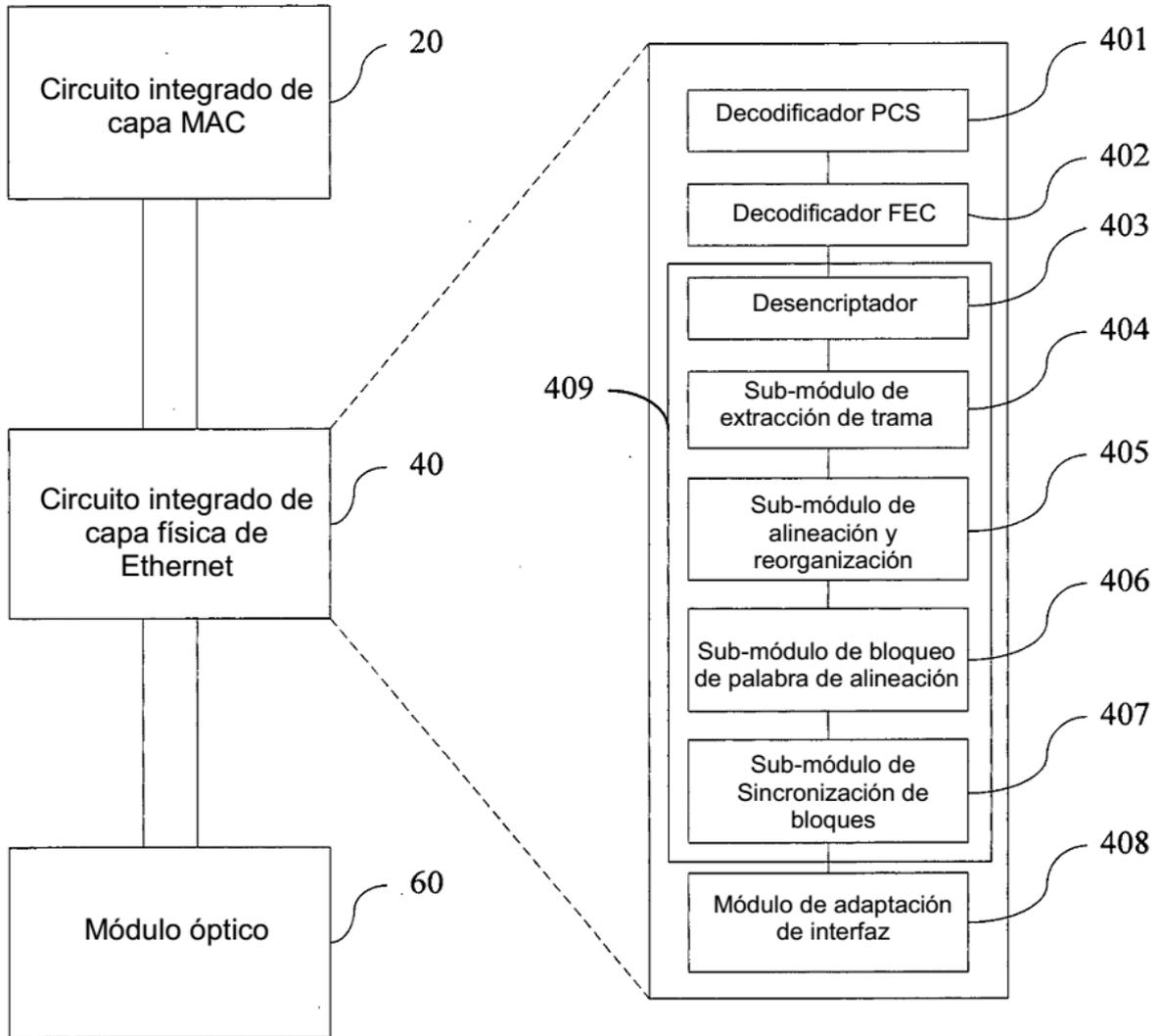


FIG. 11

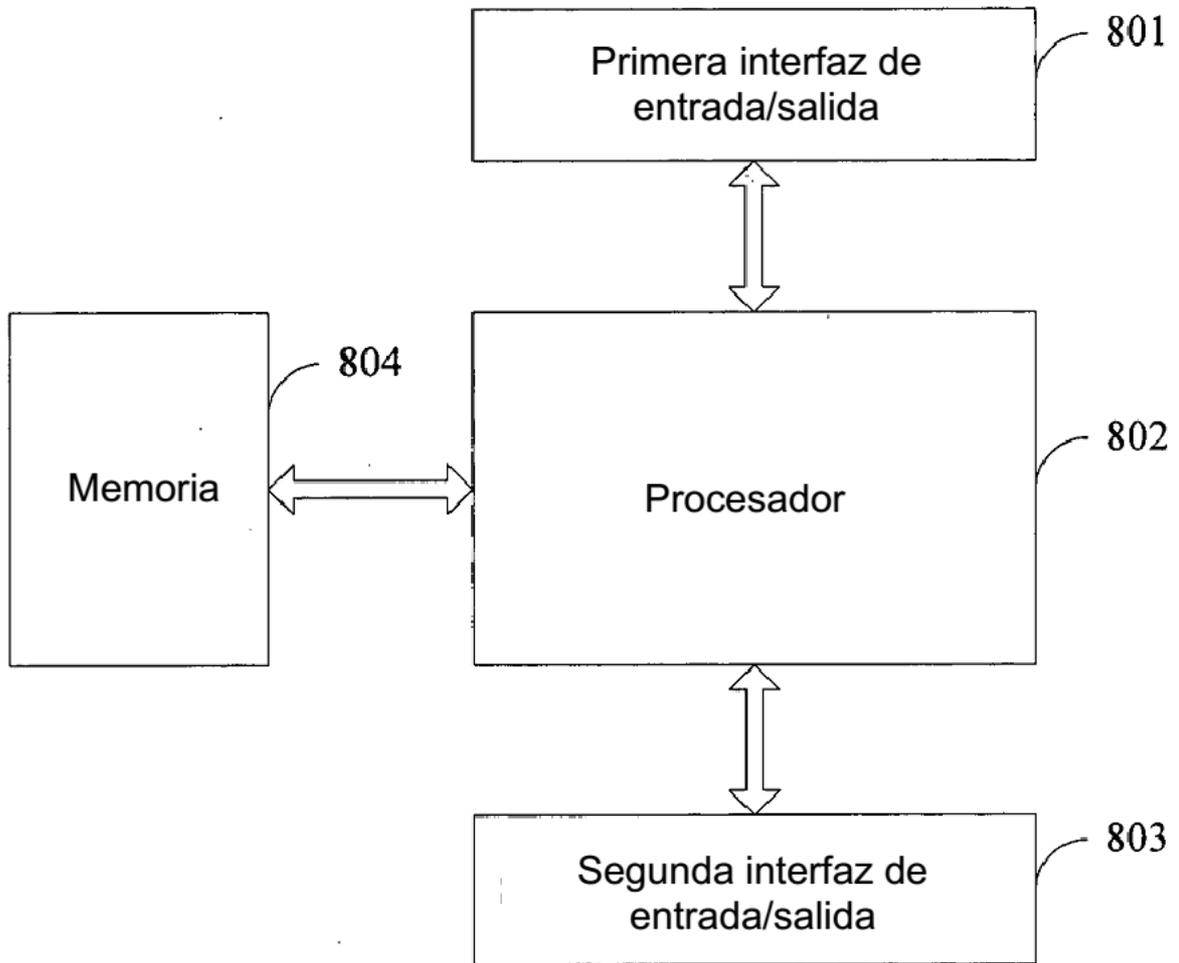


FIG. 12