

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 673 669**

21 Número de solicitud: 201631658

51 Int. Cl.:

**H04B 1/06** (2006.01)  
**H03L 7/06** (2006.01)

12

SOLICITUD DE PATENTE

A1

22 Fecha de presentación:

**22.12.2016**

43 Fecha de publicación de la solicitud:

**25.06.2018**

71 Solicitantes:

**UNIVERSITAT POLITÈCNICA DE CATALUNYA  
(100.0%)  
Jordi Girona, 31  
08034 Barcelona ES**

72 Inventor/es:

**LÓPEZ RIERA, Alexis;  
DEL ÁGUILA LÓPEZ, Francisco y  
GIRALT MAS, Rosa**

54 Título: **Procedimiento y circuito para la recepción de paquetes de datos según el estándar IEEE 802.15.4 (MSK)**

57 Resumen:

Procedimiento y circuito para la recepción de paquetes de datos según el estándar IEEE 802.15.4 (MSK).

La presente invención consiste en un procedimiento y su realización en forma de circuito para la recepción de paquetes de datos contruidos según el estándar IEEE 802.15.4 y en particular los paquetes que emplean modulación OQPSK con un pulso conformador cuya forma es medio ciclo de seno (MSK) en la banda de 2.45 GHz. Más concretamente, la presente invención describe la sincronización de estos paquetes donde el concepto de sincronización comprende la sincronización de chip, la sincronización de símbolo y la sincronización de trama. El procedimiento se basa en la utilización de un filtro digital que procesa las diferencias de fase obtenidas a partir de un receptor de fase. Este filtro proporciona dos salidas a partir de las cuales se detecta el sincronismo de chip y de símbolo de forma simultánea.

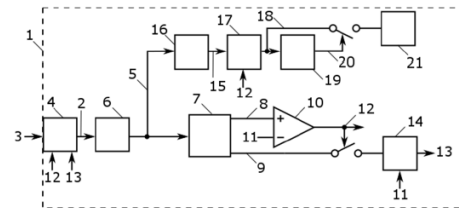


Figura 1

## **DESCRIPCIÓN**

### **Procedimiento y circuito para la recepción de paquetes de datos según el estándar IEEE 802.15.4 (MSK)**

5

#### **SECTOR DE LA TÉCNICA**

10 La presente invención está relacionada, en general, con los sistemas de transmisión de datos por radiofrecuencia. En particular, la invención se refiere a la recepción de paquetes de datos que cumplen el estándar IEEE 802.15.4, en particular los paquetes que emplean modulación OQPSK con un pulso conformador cuya forma es medio ciclo de seno (MSK) en la banda de 2.45 GHz, y en concreto a la sincronización de estos paquetes.

15

#### **ANTECEDENTES DE LA INVENCION**

20 Determinados sistemas de comunicación utilizan modulaciones de frecuencia por diversas razones, entre las que figura la potencial simplicidad tanto en transmisión como en recepción. Por otro lado, determinados sistemas de comunicación utilizan modulaciones cuaternarias de fase desplazadas (OQPSK) con un pulso conformador cuya forma es medio ciclo de seno, que pueden ser interpretadas como una forma particular de modulación de frecuencia (Minimum Shift Keying o MSK) con una codificación de datos determinada, siendo el estándar IEEE 802.15.4 [1] un ejemplo notable.

25

La modulación MSK tiene una desviación de frecuencia igual a la mitad de la frecuencia de chip, entendiendo por chip la unidad básica de transmisión. Una forma de detectar este tipo de señales es observando la fase instantánea a una frecuencia igual a la frecuencia de chip, es decir, una vez por chip. En particular si se muestrea esta señal al final de cada chip y se hace la diferencia de fase respecto la fase anterior se obtienen diferencias de  $90^\circ$  y  $-90^\circ$  en función de si se ha transmitido un 1 o un 0. Un receptor capaz de detectar señales MSK de esta forma es el receptor superregenerativo MSK presentado a [ES 2 554 992 B2].

30

35 Las comunicaciones digitales pueden ser clasificadas en modo paquete, el utilizado en esta invención, o en modo continuo o "streaming" y, por lo tanto, cada una tendrá una

forma distinta para sincronizar. En modo paquete, cada paquete viene precedido por una secuencia de “entrenamiento” (a la que llamaremos preámbulo) para conseguir la sincronización. En algunos casos, la sincronización se mantiene hasta el final del paquete gracias a la estabilidad de los cristales de los osciladores.

5 En la literatura se encuentran distintos métodos de sincronismo. Se puede encontrar material básico en [2] y [3] mientras que unos resultados más recientes se pueden ver en [4] y en sus referencias. En estas publicaciones se presentan técnicas que muestrean la unidad básica de información, chip, de la señal MSK a distintas frecuencias. Por ejemplo, en [5] la frecuencia de muestreo de chip es 8 veces más grande que la del propio chip, en [6] se describe un método perfecto para implementar digitalmente y que utiliza una frecuencia dos veces más grande que la frecuencia de chip. Otro caso por ejemplo es el de [7]. Por otra parte, hay técnicas para sincronizar con la portadora que operan a la frecuencia de chip pero no consiguen la sincronización de alto nivel (chip, símbolo y trama) requerida en el estándar IEEE 10 802.15.4.

[1] IEEE Std 802.15.4-2011 (Revision of IEEE Std 802.15.4-2006), pp. 1–314, 2011.

[2] H. Meyr and G. Ascheid, *Synchronization in Digital Communications*, ser. Wiley Series in Telecommunications. Wiley, 1990.

[3] F. Xiong, *Digital Modulation Techniques*, ser. Artech House telecommunications library. Artech House, 2006.

[4] E. Hosseini, “Synchronization techniques for burst-mode continuous phase modulation,” Ph.D. dissertation, University of Kansas, Feb 2013. [Online]. Available: <https://oatd.org/oatd/record?record=handle%3A1808%2F12963>

[5] D. A. Gudovskiy, L. Chu, and S. Lee, “A novel nondata-aided synchronization algorithm for MSK-type-modulated signals,” *IEEE Communications Letters*, vol. 19, no. 9, pp. 1552–1555, Sep 2015.

[6] A. N. D’Andrea, U. Mengali, and R. Reggiannini, “A digital approach to clock recovery in generalized minimum shift keying,” *IEEE Transactions on Vehicular Technology*, vol. 39, no. 3, pp. 227–234, Aug 1990.

[7] A. A. D’Amico, A. N. D’Andrea, and U. Mengali, “Feedforward joint phase and timing estimation with OQPSK modulation,” *IEEE Transactions on Vehicular Technology*, vol. 48, no. 3, pp. 824–832, May 1999.

[ES 2 554 992 B2] Patente: Procedimiento y circuito para la desmodulación de señales moduladas en frecuencia. Palà y otros, 23.06.2014.

35

**EXPLICACIÓN DE LA INVENCION**

La presente invención consiste en un procedimiento y su realización en forma de circuito para la recepción, y en concreto la sincronización, de paquetes de datos que

5 cumplen el estándar IEEE 802.15.4 (en particular los paquetes que emplean modulación MSK en la banda de 2.45 GHz). El estándar define que para esta banda de frecuencia los símbolos transmitidos se transforman en 32 chips cada uno. Por lo tanto, los chips son la unidad básica de transmisión con duración  $T_x$  segundos y estos chips son modulados con MSK y transmitidos. Este tipo de señales se pueden detectar

10 calculando la diferencia de fase obtenida como la diferencia entre la fase instantánea de un chip y la fase instantánea del chip que lo precede. Estas diferencias de fase van desde  $-90^\circ$  a  $90^\circ$  (pasando por  $0^\circ$ ) dependiendo del instante de muestreo. Si se muestrea la fase al final de cada chip solo se obtendrán fases de  $-90^\circ$  y  $90^\circ$  dependiendo de si se ha transmitido un 0 o un 1.

15 El estándar define que el preámbulo está formado por ocho símbolos cero. El símbolo cero corresponde a la siguiente secuencia de chips: 1 1 0 1 1 0 0 1 1 1 0 0 0 0 1 1 0 1 0 1 0 0 1 0 0 0 1 0 1 1 1 0. Para sincronizarse con una trama de este estándar se dispone de ocho veces esta secuencia de chips y después, hay dos símbolos (expresados en hexadecimal primero el 7 y después el A, a partir de ahora 7A) que

20 indican el delimitador de inicio de trama (SFD). Cuando se habla de sincronización con este estándar, se ha de tener en cuenta que hay varios niveles de sincronización. En este caso, como se ha comentado, es conveniente muestrear la señal al final de cada chip (para ver solo diferencias de fase de  $-90^\circ$  y  $90^\circ$ ) y por lo tanto, un objetivo durante el preámbulo es encontrar el final de cada chip. A esto se le llama sincronización de chip. Por otra parte, para poder

25 decodificar los símbolos adecuadamente tendremos que encontrar el inicio de los símbolos y así agrupar los 32 chips correspondientes. A este procedimiento se le llama sincronización de símbolo. Finalmente, una vez el receptor está sincronizado en estos dos niveles falta la sincronización de trama que se hace simplemente esperando los

30 símbolos consecutivos 7A que corresponden al SFD. A partir de este momento los datos útiles del paquete se extraen de los símbolos que forman el resto del paquete. Este método de sincronización utiliza un detector de fase instantánea, que muestrea la fase de cada chip una vez. A partir de estas fases se calcula la diferencia de fase entre chips consecutivos, de modo que su valor se mapea en el rango de  $-180^\circ$  a  $180^\circ$ .

35 Estas diferencias de fase constituyen la entrada de un filtro con dos vectores de coeficientes, el (q) y el (i).

El vector (q) sirve para obtener información de la sincronización de símbolo y el vector (i) para la sincronización de chip. Tanto los vectores de coeficientes del filtro como el vector de diferencia de fases recibidas tienen una longitud de N, múltiplo de 32.

Con la salida del filtro (Q) se decide el instante de sincronización de símbolo ya que se  
 5 obtiene un máximo cuando los símbolos del preámbulo “encajan” con el vector (q), independientemente del desplazamiento de chip. Para decidir este instante de sincronización, se compara, para cada nueva diferencia de fase recibida, el valor de la salida del filtro (Q) con un umbral. Una vez superado el umbral, finaliza la sincronización de símbolo. En esta posición, K, se coge el valor de la salida del filtro  
 10 de (I) y se calcula el valor de desplazamiento, delta, respecto el final del chip.

A partir de las operaciones anteriores, se realiza la sincronización de chip y símbolo. Los chips se decodifican asignando a las fases positivas un 1 y a las negativas un 0. A partir de esta decodificación de chip, y su agrupación en grupos de 32 a partir de la posición K, se decodifican los símbolos recibidos y se espera la llegada del delimitador  
 15 de inicio de trama SFD. Tras su recepción se completa el proceso de sincronismo. Si la espera de SFD superase la duración del preámbulo, se reinicia el proceso de sincronización.

La presente invención consta de las siguientes partes esenciales esquematizadas en  
 20 la Figura 1: un sistema (1) con una señal de entrada (3), de la cual se toman muestras de su fase instantánea (2), muestreadas una vez por chip mediante el detector de fase (4) en un instante que puede ser modificado por las señales de control (12) y (13). A partir de la fase (2) se calcula la diferencia de fase (5) entre dos fases consecutivas (la actual menos la anterior) utilizando un descodificador diferencial de fase (6). Esta  
 25 diferencia de fase (5) entra en el bloque principal del sincronizador, el filtro (7), donde se calculan en paralelo las salidas (Q) (8) e (I) (9) a partir de los vectores de coeficientes (q) e (i) (se muestran en detalle en la Figura 2). Con el resultado de la salida (Q) (8) se decide si hay sincronización de símbolo comparándolo, mediante el comparador (10), con un umbral (11). El resultado de la comparación es la señal de control (12), cuya activación indica que se ha conseguido la sincronización de símbolo.  
 30 Una vez superado este umbral, en el instante K, la señal de control (12) permite, a partir de la salida del filtro (I) (9), calcular el desplazamiento, delta (13), entre el instante de muestreo actual K y el deseado en sincronización de chip utilizando la ecuación implementada en el bloque (14):

$$\text{delta} = \frac{T_x}{2} \left( 1 - \frac{(I)_K}{I_{\text{max}}} \right)$$

donde  $T_x$  es el periodo de chip,  $(I)_K$  es la salida del filtro (I) en el instante K e  $I_{\max}$  es el valor máximo de la salida (I) cuando la recepción se produce en una situación ideal (con sincronismo de chip y ausencia de ruido). En el caso de que se considere también el umbral (11), el bloque (14) implementa la ecuación con corrección:

$$\text{delta} = \frac{T_x}{2} \left( 1 - \frac{(I)_K}{\alpha I_{\max}} \right)$$

5 donde  $\alpha$  (que puede tomar valores entre 0 y 1) es el factor de corrección sobre el valor máximo  $I_{\max}$  de la salida del filtro (I).

El desplazamiento delta (13), junto con la señal de control (12) permite realizar la sincronización de chip, retardando el instante de muestreo del detector de fase (4) un tiempo delta.

10 Por otro lado, a partir de la diferencia de fase (5) se determina el valor del chip recibido (15) mediante el descodificador de chip (16), el cual asigna valor '1' si la diferencia de fase es positiva y '0' si es negativa. Los chips (15) constituyen la entrada del descodificador de símbolo (17), el cual utiliza la señal de control (12) para agrupar correctamente los bloques de 32 chips que constituyen los símbolos recibidos (18).

15 Los símbolos (18) constituyen la entrada del detector de inicio de trama SFD (19), el cual cuando detecta este inicio de trama (formado por los símbolos 7A) activa la señal de control (20) que permite que los símbolos (18) posteriores al inicio de trama sean recibidos por el bloque receptor de datos (21). Nótese que la activación de (20) supone la finalización de la sincronización en todos los niveles: chip, símbolo y trama.

20

En la Figura 2 se muestra el detalle del filtro (7). Las diferencias de fase (5) se introducen en un registro de desplazamiento (23) de longitud N, múltiplo de 32. Para obtener la salida del filtro (Q) (8), se suman los resultados de multiplicar cada una de las fases de este registro de desplazamiento por un coeficiente. La agrupación de estos coeficientes en un vector constituye el vector de coeficientes (q) (25). Para obtener la salida del filtro (I) (9), se suman los resultados de multiplicar cada una de las fases de este registro de desplazamiento por un coeficiente. La agrupación de estos coeficientes en un vector constituye el vector de coeficientes (i) (24). Los coeficientes de los vectores (q) e (i) dependen del preámbulo con el que queremos sincronizar, y toman valor 0, 'c' o '-c', siendo habitual  $c=1$ . El valor de 'c' condiciona el umbral (11), el cual siendo variable está acotado por el máximo valor que puede tomar la salida (Q) en condiciones ideales (sincronismo de chip y sin ruido).

30

**BREVE DESCRIPCIÓN DE LOS DIBUJOS**

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características de la invención, se acompaña como parte integrante de dicha descripción, un juego de dibujos en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

- Figura 1.- Muestra un diagrama de bloques del sistema que realiza el procedimiento objeto de la presenta invención.
- Figura 2.- Muestra en detalle el filtro (5) con dos salidas (Q) e (I) constituido por muestras de fase que se multiplican por los vectores de coeficientes (q) e (i).
- Figura 3.- Muestra los detalles de la realización preferida.

**15 REALIZACIÓN PREFERENTE DE LA INVENCION**

La realización preferida se describe en la Figura 3. El sistema está formado por un receptor de fase, por ejemplo, el receptor superregenerativo de [ES 2 554 992 B2] (26) que ya proporciona una diferencia de fase (5) de la señal MSK (3) muestreada. Nótese que el receptor (26) incluye el detector de fase (4) y el descodificador diferencial (6) de la Figura 1. Esta diferencia de fase (5) está cuantificada a intervalos de 360/M. En esta realización los intervalos son de 18° puesto que M=20. Los intervalos se codifican de forma ordenada empezando por -10 (180°) y finalizando en 9 (180°-18°=162°), pasando por -5 (-90°) y 5 (90°). La diferencia de fase (5) constituye la entrada del filtro (7), que almacena esta entrada en un registro de desplazamiento de longitud N, siendo N un múltiplo del número de chips, 32, que forman un símbolo. Las salidas (Q) (8) e (I) (9) de este filtro se calculan a partir de las fases de este registro de desplazamiento y de los vectores de coeficientes (q) e (i).

Los vectores (q) e (i) se obtienen repitiendo Ns veces los vectores (q0) e (i0) siguientes,

$$q_0 = [0 \ 1 \ 0 \ 0 \ 1 \ 0 \ -1 \ 0 \ 1 \ 1 \ 0 \ -1 \ -1 \ -1 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ -1 \ 0 \ 0 \ -1 \ -1 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0]$$

e

$$i_0 = [1 \ 0 \ -1 \ 1 \ 0 \ -1 \ 0 \ 1 \ 0 \ 0 \ -1 \ 0 \ 0 \ 0 \ 1 \ 0 \ -1 \ 1 \ -1 \ 1 \ -1 \ 0 \ 1 \ -1 \ 0 \ 0 \ 1 \ -1 \ 1 \ 0 \ 0 \ -1]$$

donde Ns puede tomar valores enteros de 1 a 8 y en la realización preferente se escoge Ns=7 (lo que equivale a N=7x32=224). El objetivo es conseguir la sincronización de símbolo recibiendo tan solo 7 símbolos cero consecutivos, de modo

que se dispone de tiempo suficiente (un símbolo) para ejecutar la sincronización de chip antes de recibir el inicio de trama. Estos dos vectores de coeficientes, (q) e (i) o (q0) e (i0), son ortogonales entre ellos.

Con el resultado de la salida (Q) (8) se decide si hay sincronización de símbolo comparándolo, mediante el comparador (10), con un umbral (11). El resultado de la comparación es la señal de control (12), cuya activación indica que se ha conseguido la sincronización de símbolo. Una vez superado este umbral, en el instante K, la señal de control (12) permite, a partir de la salida del filtro (I) (9), calcular el desplazamiento, delta (13), entre el instante de muestreo actual K y el deseado en sincronización de chip utilizando la ecuación implementada en el bloque (14) incorporando la corrección:

$$\text{delta} = \frac{T_x}{2} \left( 1 - \frac{(I)_K}{\alpha I_{\max}} \right)$$

donde  $\alpha$  es el factor de corrección, que en la realización preferente toma el valor  $\alpha = 0.65$ ,  $T_x$  es el periodo de chip,  $(I)_K$  es la salida del filtro (I) en el instante K e  $I_{\max}$  es el valor máximo de la salida (I) cuando la recepción se produce en una situación ideal (con sincronismo de chip y ausencia de ruido), es decir,  $I_{\max} = (18 \cdot 7) \cdot 5 = 126 \cdot 5 = 630$ .

Con el valor de delta calculado (13) y el indicador de sincronismo de símbolo (12) se actúa sobre el instante de muestreo del receptor, indirectamente a través del generador (27) de la señal de quench (28) que es la que controla el instante de muestreo. Retardando la señal de quench un tiempo delta, el instante de muestreo se sitúa en el final de chip, consiguiéndose la sincronización de chip.

Por otro lado, a partir de la diferencia de fase (5) se determina el valor del chip recibido (15) mediante el decodificador de chip (16), el cual asigna valor '1' si la diferencia de fase es positiva y '0' si es negativa. Los chips (15) constituyen la entrada del decodificador de símbolo (17), el cual utiliza la señal de control (12) para agrupar correctamente los bloques de 32 chips que constituyen los símbolos recibidos (18).

Los símbolos (18) constituyen la entrada del detector de inicio de trama SFD (19), el cual cuando detecta este inicio de trama (formado por los símbolos 7A) activa la señal de control (20) que permite que los símbolos (18) posteriores al inicio de trama sean recibidos por el bloque receptor de datos (21), que forma parte de la capa MAC, la cual se encarga, entre otras funciones, de calcular el final de trama y activar la señal de control de reset (22) que reinicia la sincronización. Nótese que la activación de (20) supone la finalización de la sincronización en todos los niveles: chip, símbolo y trama.



**REIVINDICACIONES**

1. Procedimiento para la recepción de paquetes de datos según el estándar IEEE 802.15.4, en particular los paquetes que emplean modulación OQPSK con un pulso conformador cuya forma es medio ciclo de seno (MSK) en la banda de 2.45 GHz, y en concreto el procedimiento de sincronización de estos paquetes donde el concepto de sincronización comprende la sincronización de chip, la sincronización de símbolo y la sincronización de trama **caracterizado** por el hecho de que,
  - a) un front-end proporciona una muestra de fase por chip,
  - b) se calcula la diferencia de fase entre las muestras de fase de dos chips consecutivos,
  - c) la diferencia de fase es procesada por un filtro (Q) cuyos coeficientes están representados por un vector (q),
  - d) la diferencia de fase también es procesada por un filtro (I) cuyos coeficientes están representados por un vector (i),
  - e) los valores del vector (q) son tales que la salida del filtro (Q) proporciona información para la sincronización de símbolo, independientemente de la posible desincronización de chip,
  - f) los valores de los coeficientes de (i) son tales que la salida del filtro (I) proporciona información de la sincronización de chip,
  - g) cuando la salida de (Q) supera un umbral se ha conseguido la sincronización de símbolo,
  - h) en el mismo momento en que se ha conseguido la sincronización de símbolo, a partir del valor de la salida del filtro (I) se calcula la corrección, delta, que el front-end debe hacer sobre el instante de muestreo para conseguir la sincronización de chip,
  - i) una vez se ha conseguido la sincronización de símbolo y de chip, se descartan los sucesivos símbolos recibidos hasta la recepción de los símbolos que corresponden al inicio de trama (SFD), momento en que se consigue la sincronización de trama,
  - j) después de conseguir el sincronismo de símbolo, de chip y de trama, los datos útiles del paquete se extraen de los símbolos que forman el resto del paquete.
2. Procedimiento según la reivindicación 1, **caracterizado** porque los vectores (q) e (i) son ortogonales entre ellos.

3. Procedimiento según la reivindicación 2, **caracterizado** porque los coeficientes de los vectores (q) e (i) se obtienen repitiendo Ns veces los vectores  $q_0 = [0 \ 1 \ 0 \ 0 \ 1 \ 0 \ -1 \ 0 \ 1 \ 1 \ 0 \ -1 \ -1 \ -1 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ -1 \ 0 \ 0 \ -1 \ -1 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0]$  e  $i_0 = [1 \ 0 \ -1 \ 1 \ 0 \ -1 \ 0 \ 1 \ 0 \ 0 \ -1 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \ -1 \ 0 \ 0 \ 0 \ 1 \ 0 \ -1 \ 1 \ 1 \ -1 \ 1 \ -1 \ 0 \ 1 \ -1 \ 0 \ 0 \ 1 \ -1 \ 1 \ 0 \ 0 \ -1]$  respectivamente.
- 5 4. Procedimiento según la reivindicación 1, **caracterizado** porque en el cálculo de la corrección, delta, se tiene en cuenta el umbral.
5. Procedimiento según la reivindicación 1, **caracterizado** porque las diferencias de fase se mapean en el rango de  $-180^\circ$  a  $180^\circ$ .
- 10 6. Procedimiento según la reivindicación 1, **caracterizado** porque las operaciones necesarias para la sincronización de símbolo y chip se hacen en paralelo.
7. Circuito para la recepción de paquetes de datos según el estándar IEEE 802.15.4, en particular los paquetes que emplean modulación OQPSK con un pulso conformador cuya forma es medio ciclo de seno (MSK) en la banda de 2.45 GHz, y en concreto el circuito de sincronización de estos paquetes donde el concepto de sincronización comprende la sincronización de chip, la sincronización de símbolo y la sincronización de trama **caracterizado** por el hecho de que,
  - a) un front-end proporciona una muestra de fase por chip,
  - b) se calcula la diferencia de fase entre las muestras de fase de dos chips consecutivos,
  - 20 c) la diferencia de fase es procesada por un filtro (Q) cuyos coeficientes están representados por un vector (q),
  - d) la diferencia de fase también es procesada por un filtro (I) cuyos coeficientes están representados por un vector (i),
  - e) los valores del vector (q) son tales que la salida del filtro (Q) proporciona información para la sincronización de símbolo, independientemente de la posible desincronización de chip,
  - 25 f) los valores de los coeficientes de (i) son tales que la salida del filtro (I) proporciona información de la sincronización de chip,
  - g) cuando la salida de (Q) supera un umbral se ha conseguido la sincronización de símbolo,
  - 30 h) en el mismo momento en que se ha conseguido la sincronización de símbolo, a partir del valor de la salida del filtro (I) se calcula la corrección, delta, que el front-end debe hacer sobre el instante de muestreo para conseguir la sincronización de chip,
  - 35 i) una vez se ha conseguido la sincronización de símbolo y de chip, se descartan los sucesivos símbolos recibidos hasta la recepción de los símbolos que

corresponden al inicio de trama (SFD), momento en que se consigue la sincronización de trama,

j) después de conseguir el sincronismo de símbolo, de chip y de trama, los datos útiles del paquete se extraen de los símbolos que forman el resto del paquete.

- 5 8. Circuito según la reivindicación 7, **caracterizado** porque los vectores (q) e (i) son ortogonales entre ellos.
9. Circuito según la reivindicación 8, **caracterizado** porque los coeficientes de los vectores (q) e (i) se obtienen repitiendo Ns veces los vectores  $q_0 = [0 \ 1 \ 0 \ 0 \ 1 \ 0 \ -1 \ 0 \ 1 \ 1 \ 0 \ -1 \ -1 \ -1 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ -1 \ 0 \ 0 \ -1 \ -1 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0]$  e  $i_0 = [1 \ 0 \ -1 \ 1 \ 0 \ -1 \ 0 \ 1 \ 0 \ 0 \ -1 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 1 \ 0 \ -1 \ 1 \ -1 \ -1 \ 1 \ -1 \ 0 \ 1 \ -1 \ 0 \ 0 \ 1 \ -1 \ 1 \ 0 \ 0 \ -1]$  respectivamente.
- 10 10. Circuito según la reivindicación 7, **caracterizado** porque en el cálculo de la corrección, delta, se tiene en cuenta el umbral.
11. Circuito según la reivindicación 7, **caracterizado** porque las diferencias de fase se mapean en el rango de  $-180^\circ$  a  $180^\circ$ .
- 15 12. Circuito según la reivindicación 7, **caracterizado** porque las operaciones necesarias para la sincronización de símbolo y chip se hacen en paralelo.

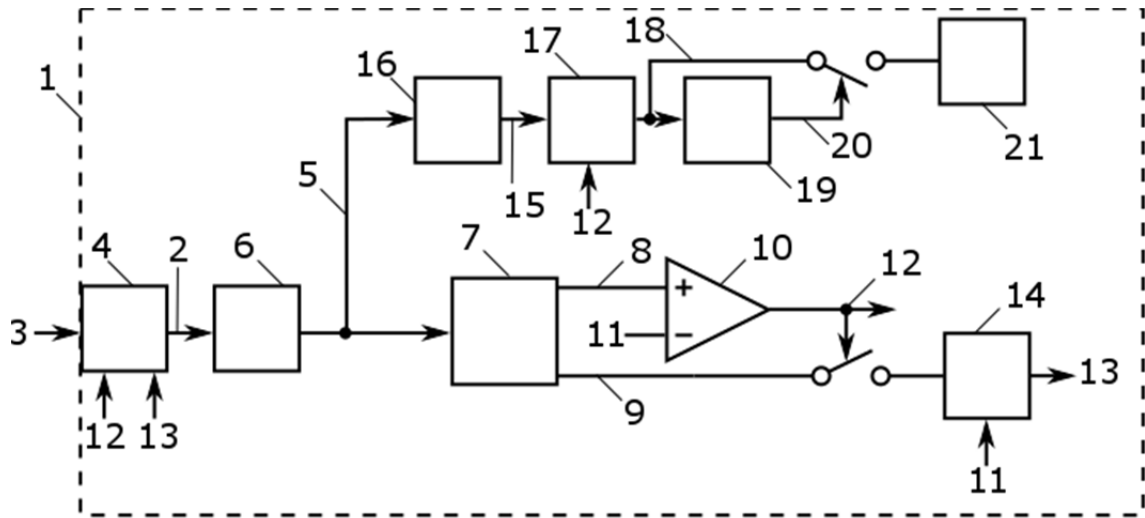


Figura 1

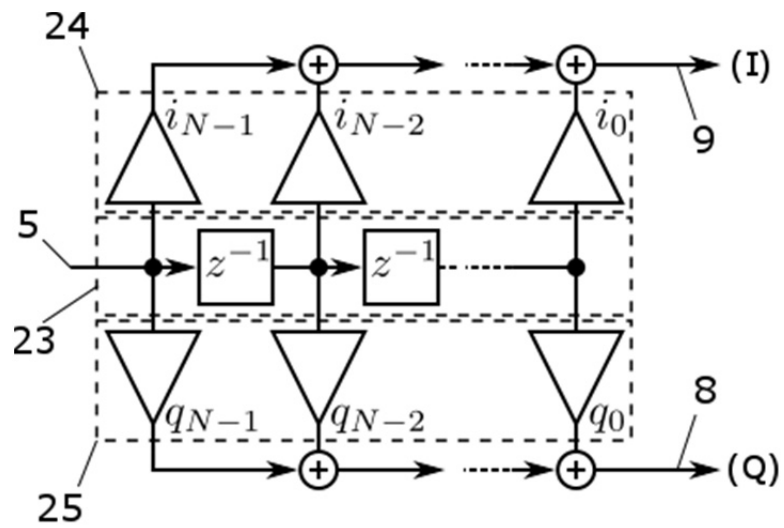


Figura 2

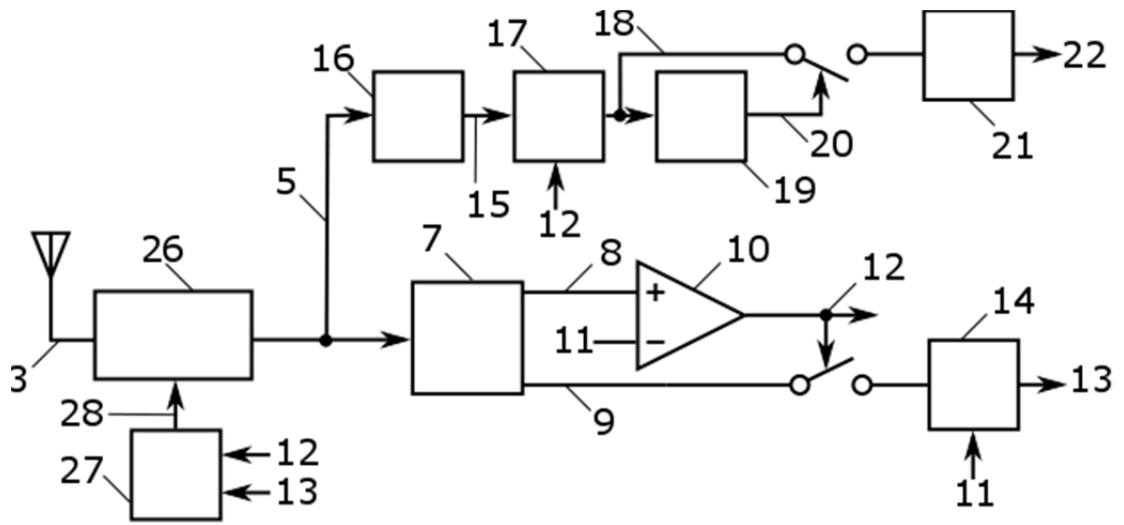


Figura 3



OFICINA ESPAÑOLA  
DE PATENTES Y MARCAS

ESPAÑA

②① N.º solicitud: 201631658

②② Fecha de presentación de la solicitud: 22.12.2016

③② Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤① Int. Cl.: **H04B1/06** (2006.01)  
**H03L7/06** (2006.01)

DOCUMENTOS RELEVANTES

| Categoría | ⑤⑥ Documentos citados                                                                                                  | Reivindicaciones afectadas |
|-----------|------------------------------------------------------------------------------------------------------------------------|----------------------------|
| A         | US 2011039509 A1 (BRUCHNER WOLFGANG) 17/02/2011, Párrafos [0017] a [0166]; figuras 1-12.                               | 1-12                       |
| A         | US 2014105344 A1 (CHAKRABORTY TUHIN SUBHRA et al.) 17/04/2014, Columna 1, línea 66 a columna 8, línea 11; figuras 1-6. | 1-12                       |

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

**El presente informe ha sido realizado**

para todas las reivindicaciones

para las reivindicaciones nº:

**Fecha de realización del informe**  
14.02.2017

**Examinador**  
J. Botella Maldonado

**Página**  
1/4

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

H04B, H03L

Bases de datos electrónicas consultadas durante la búsqueda (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

INVENES, EPODOC, WPI, NPL, XPESP, XPAIP, XPI3E, INSPEC.

Fecha de Realización de la Opinión Escrita: 14.02.2017

**Declaración**

|                                                 |                       |           |
|-------------------------------------------------|-----------------------|-----------|
| <b>Novedad (Art. 6.1 LP 11/1986)</b>            | Reivindicaciones 1-12 | <b>SI</b> |
|                                                 | Reivindicaciones      | <b>NO</b> |
| <b>Actividad inventiva (Art. 8.1 LP11/1986)</b> | Reivindicaciones 1-12 | <b>SI</b> |
|                                                 | Reivindicaciones      | <b>NO</b> |

Se considera que la solicitud cumple con el requisito de aplicación industrial. Este requisito fue evaluado durante la fase de examen formal y técnico de la solicitud (Artículo 31.2 Ley 11/1986).

**Base de la Opinión.-**

La presente opinión se ha realizado sobre la base de la solicitud de patente tal y como se publica.



**1. Documentos considerados.-**

A continuación se relacionan los documentos pertenecientes al estado de la técnica tomados en consideración para la realización de esta opinión.

| Documento | Número Publicación o Identificación                | Fecha Publicación |
|-----------|----------------------------------------------------|-------------------|
| D01       | US 2011039509 A1 (BRUCHNER WOLFGANG)               | 17.02.2011        |
| D02       | US 2014105344 A1 (CHAKRABORTY TUHIN SUBHRA et al.) | 17.04.2014        |

**2. Declaración motivada según los artículos 29.6 y 29.7 del Reglamento de ejecución de la Ley 11/1986, de 20 de marzo, de Patentes sobre la novedad y la actividad inventiva; citas y explicaciones en apoyo de esta declaración**

El documento D01 presenta un receptor según el estándar IEEE 802.15.4 y comprende una primera etapa analógica y un decodificador digital que demodula a la frecuencia de chip e incluye una unidad de correlación que produce una serie de valores de correlación que indican la similitud entre el código de chip recibido y un conjunto de posibles códigos de chip según el estándar. El demodulador comprende además una unidad de selección de símbolo que decide que símbolo se ha recibido en función de los conjuntos de valores de correlación y una unidad de corrección de la frecuencia que ajusta la frecuencia de chip en función de esos mismos valores. El esquema tiene la ventaja de compensar la frecuencia y la fase tras la correlación evitando la necesidad de una demodulación coherente sin necesitar a la vez las rigurosas especificaciones de un demodulador no coherente convencional.

El receptor comprende además una unidad de sincronización que recibe de la unidad de corrección de frecuencia una señal de control de la frecuencia y produce una señal de reloj a los componentes del demodulador a la frecuencia de chip.

El documento D02 presenta un método para la sincronización de pulso en un receptor superregenerativo que comprende recibir una señal con un preámbulo asimétrico, estimar un ciclo de quench con máxima energía media, localizar un pulso de chip del preámbulo asimétrico con máxima energía, en base a esto calcular la diferencia de fase entre la señal de quench y la de entrada y compensar la diferencia de fase ajustando la fase de una señal local para sincronizar las señales de entrada y de quench. El preámbulo asimétrico comprende preámbulo de detección de paquete y preámbulo de chip.

Consideramos que ninguno de estos documentos anticipa la invención tal como se reivindica en las reivindicaciones de la 1ª a la 12ª, ni hay en ellos sugerencias que dirijan al experto en la materia hacia el objeto reivindicado en las citadas reivindicaciones.

Por lo tanto las reivindicaciones de la 1ª a la 12ª poseen novedad y actividad inventiva.