

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 673 903**

51 Int. Cl.:

G06F 9/50 (2006.01)

G06F 9/38 (2008.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **16.03.2015 PCT/EP2015/055447**

87 Fecha y número de publicación internacional: **01.10.2015 WO15144479**

96 Fecha de presentación y número de la solicitud europea: **16.03.2015 E 15711701 (1)**

97 Fecha y número de publicación de la concesión europea: **16.05.2018 EP 3123326**

54 Título: **Expansión y contracción de direcciones en un sistema informático de subprocesamiento múltiple**

30 Prioridad:
27.03.2014 US 201414226947

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
26.06.2018

73 Titular/es:
**INTERNATIONAL BUSINESS MACHINES CORPORATION (100.0%)
New Orchard Road
Armonk, New York 10504, US**

72 Inventor/es:
**GREINER, DAN;
FARRELL, MARK;
OSISEK, DAMIAN LEO;
SCHMIDT, DONALD WILLIAM;
BUSABA, FADI YUSUF;
KUBALA, JEFFREY PAUL;
BRADBURY, JONATHAN DAVID;
HELLER, LISA CRANTON y
SLEGEL, TIMOTHY**

74 Agente/Representante:
ELZABURU, S.L.P

ES 2 673 903 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Expansión y contracción de direcciones en un sistema informático de subprocesamiento múltiple

Campo técnico

5 La presente invención se refiere de manera general a un sistema informático que soporta múltiples subprocesos y, más específicamente, a expansión y contracción de direcciones en un sistema informático de subprocesamiento múltiple.

Antecedentes

10 A medida que la velocidad del procesador de los sistemas informáticos ha aumentado en las pasadas décadas, no ha habido un aumento proporcional en la velocidad a la que se puede acceder a la memoria de tales sistemas informáticos. De esta manera, cuanto más rápido es el tiempo de ciclo del procesador, más pronunciado es el retardo de espera para que los datos sean traídos de la memoria. Los efectos de tales retardos se han mitigado mediante diversos niveles de almacenamiento en caché, y en procesadores recientes, mediante subprocesamiento múltiple (MT).

15 MT permite que diversos recursos del núcleo de un procesador sean compartidos por una pluralidad de secuencias de instrucciones conocidas como subprocesos. Los recursos del núcleo pueden incluir unidades de ejecución, memorias caché, almacenadores temporales de traducción anticipada (TLB) y similares, que se pueden conocer colectivamente de manera general como núcleo. Durante la latencia causada por un error de caché u otro retardo en un subproceso, uno o más de otros subprocesos pueden utilizar los recursos del núcleo, aumentando de esta manera la utilización de los recursos del núcleo. En una implementación de subprocesos múltiples simultáneo (SMT) de procesador superescalar, múltiples subprocesos se pueden servir simultáneamente por los recursos del núcleo de uno o más núcleos.

20 En las plataformas de hardware contemporáneas, MT se implementa típicamente de una manera que es transparente a un sistema operativo (OS) que se ejecuta en el hardware MT. Un aspecto de esta característica es que el OS no requiere modificación para utilizar el hardware MT. No obstante, la operación MT transparente con respecto al OS puede dar como resultado alta variabilidad del tiempo de respuesta, el aprovisionamiento de capacidad, la planificación de capacidad y la facturación. Esta variabilidad puede ocurrir debido a que el OS no es consciente de si sus tareas tienen control exclusivo de un núcleo, o si sus tareas están ejecutándose como subprocesos que comparten un núcleo. Por diseño, la capacidad más alta para una carga de trabajo con uso intensivo de memoria en hardware capaz de MT se puede lograr cuando hay una densidad alta de subprocesos promedio cuando los núcleos están en uso. La capacidad adicional puede ser debida a un aumento de explotación de caché proporcionado por MT. Si un OS no mantiene consistentemente densidades altas de subprocesos promedio para los núcleos utilizados, entonces la capacidad de flujo máximo total adicional proporcionada por MT no estará disponible. Por ejemplo, si el hardware ejecuta una subproceso único MT por núcleo cuando hay baja utilización de cálculo y se ejecuta con densidad alta de subprocesos cuando hay una utilización alta de cálculo, entonces puede ser muy difícil determinar cuánta capacidad de cálculo total MT está disponible para la carga de trabajo. Esta variabilidad de hardware en la explotación de subprocesos MT puede conducir a la variabilidad tanto en los tiempos de respuesta de transacción como en la facturación de una forma similar como se ha descrito anteriormente con respecto a la capacidad.

40 La Publicación de Solicitud de Patente de Estados Unidos Número US 2004/0215939 se refiere a conmutación dinámica de un procesador de subprocesamiento múltiple entre modos de subproceso único y de subprocesamiento múltiple simultáneo.

La Patente de Estados Unidos Número US 7.073.173 describe un sistema en donde se usan múltiples mapas para restringir el acceso a la memoria del código existente sin cambiar ese código y sin cambiar los microprocesadores existentes.

45 **Compendio**

Las realizaciones incluyen un sistema, método y producto de programa informático para la expansión y contracción de direcciones en un sistema informático de subprocesamiento múltiple. Según un aspecto, se proporciona un sistema informático según la reivindicación 1.

50 Según otro aspecto, se proporciona un método implementado por ordenador para el ajuste de direcciones en una configuración según la reivindicación 9.

Un aspecto adicional proporciona un producto de programa informático para el ajuste de direcciones en una configuración según la reivindicación 16.

Breve descripción de los dibujos

La materia que se considera como realizaciones se señala particularmente y se reivindica de manera distintiva en las reivindicaciones a la conclusión de la especificación. Las anteriores y otras características, y las ventajas de las realizaciones son evidentes a partir de la siguiente descripción detallada tomada junto con los dibujos anexos en los que:

- 5 la FIG. 1A representa un entorno informático que se puede implementar según una realización;
- la FIG. 1B representa un entorno informático que se puede implementar según una realización;
- la FIG. 2 representa circuitería de procesamiento de un núcleo que se puede implementar según una realización;
- la FIG. 3 representa un entorno informático que se puede implementar según una realización;
- 10 la FIG. 4 representa un ejemplo de retención de contexto de hipervisor en un entorno informático que se puede implementar según una realización;
- la FIG. 5 representa un flujo de proceso para la habilitación dinámica de subprocesamiento múltiple según una realización;
- la FIG. 6A representa un ejemplo de un proceso de expansión de direcciones de la CPU según una realización;
- 15 la FIG. 6B representa un ejemplo de un proceso de contracción de direcciones de la CPU según una realización;
- la FIG. 7 representa un flujo de proceso para una orden establecer subprocesamiento múltiple según una realización;
- la FIG. 8 representa un ejemplo de almacenamiento de información de capacidad de subprocesamiento múltiple según una realización;
- 20 la FIG. 9 representa un flujo de proceso para determinar la capacidad de subprocesamiento múltiple según una realización;
- la FIG. 10 representa un ejemplo de diversas ubicaciones de contexto de subproceso según una realización;
- la FIG. 11 representa un ejemplo de conservación de registros de subprocesamiento múltiple según una realización;
- 25 la FIG. 12 representa un flujo de proceso para conservación de registros de subprocesamiento múltiple según una realización;
- la FIG. 13 representa un ejemplo de restauración de registros de subprocesamiento múltiple según una realización;
- 30 la FIG. 14 representa un flujo de proceso para restauración de registros de subprocesamiento múltiple según una realización; y
- la FIG. 15 representa un medio legible por ordenador según una realización.

Descripción detallada

Las realizaciones ejemplares proporcionan una operación de subprocesamiento múltiple en un sistema informático que soporta un modo de operación de subproceso único y uno de subprocesamiento múltiple. Como se usa en la presente memoria, un subproceso lógico se refiere a un flujo único de instrucciones y su estado asociado. Es decir, en un nivel de arquitectura, cada subproceso lógico representa una unidad central de procesamiento (CPU) o procesador independiente. En un nivel de hardware, un subproceso es la ejecución de una secuencia de instrucciones asociada con un subproceso lógico, combinado con el mantenimiento de ese estado invitado, cuando se despacha el subproceso. Por lo tanto, los términos “subproceso” y “CPU” se pueden usar indistintamente en la presente memoria.

En una realización ejemplar, una CPU contiene facilidades de secuenciación y procesamiento para ejecución de instrucciones, acción de interrupción, funciones de temporización, carga de programa inicial y otras funciones relacionadas con la máquina. Una CPU define funciones lógicas que pueden correlacionarse con una variedad de implementaciones físicas subyacentes. La CPU, al ejecutar las instrucciones, puede procesar números enteros binarios y números de coma flotante (por ejemplo, binarios, decimales y hexadecimales) de longitud fija, enteros decimales de longitud variable e información lógica o bien de longitud fija o bien variable. El procesamiento puede ser en paralelo o en serie. La anchura de los elementos de procesamiento, la multiplicidad de caminos de desplazamiento y el grado de simultaneidad en la realización de diferentes tipos de aritmética pueden diferir de un modelo de CPU a otro sin afectar a los resultados lógicos.

Las instrucciones que ejecuta la CPU pueden incluir una serie de clases de instrucciones, tales como: general, decimal, soporte de coma flotante (FPS), coma flotante binaria (BFP), coma flotante decimal (DFP), coma flotante hexadecimal (HFP), control e instrucciones de I/O. Las instrucciones generales se pueden usar en la realización de operaciones aritméticas de entero binario y operaciones lógicas, de ramificación y otras no aritméticas. Las instrucciones decimales operan sobre datos en formato decimal. Las instrucciones BFP, DFP y HFP operan sobre datos en formatos BFP, DFP y HFP, respectivamente, mientras que las instrucciones FPS operan sobre datos de coma flotante independientes del formato o se convierten de un formato a otro. Las instrucciones de control privilegiado y las instrucciones de I/O se pueden ejecutar cuando la CPU está en un estado de supervisor, y las instrucciones de control semiprivilegiado se pueden ejecutar en un estado problemático, sujeto a mecanismos de autorización adecuados.

La CPU proporciona registros que están disponibles para programas pero que no tienen representaciones direccionables en el almacenamiento principal. Los registros pueden incluir, por ejemplo, una palabra de estado de programa (PSW) actual, registros generales, registros de coma flotante y un registro de control de coma flotante, registros de vector, registros de control, registros de acceso, un registro de prefijo, un registro programable de hora del día (TOD) y registros para un comparador de reloj y un temporizador de CPU. Este conjunto de registros se puede conocer como el contexto de registro de arquitectura de la CPU. Cada CPU en una configuración puede proporcionar acceso a un reloj TOD, que puede ser compartido por todas las CPU en la configuración. Un código de operación de instrucciones puede determinar qué tipo de registro ha de ser usado en una operación.

Cada CPU puede tener un atributo de tipo que indica si proporciona un complemento completo de funciones y facilidades (por ejemplo, una CPU general), o si está destinado a procesar tipos específicos de cargas de trabajo (por ejemplo, una CPU especializada). Una CPU primaria es o bien una CPU general o bien una CPU que tiene el mismo tipo que la CPU iniciada a continuación de una última operación de carga de programa inicial (IPL) (la IPL CPU). Una CPU secundaria es cualquier CPU distinta de una CPU general que tiene un tipo de CPU que difiere de la IPL CPU.

Una facilidad de subprocesamiento múltiple puede estar disponible en un sistema informático que implementa una arquitectura de soporte. La facilidad de subprocesamiento múltiple proporciona soporte de subprocesamiento múltiple para habilitar un grupo de subprocesos, que también se pueden conocer como las CPU, que comparten un núcleo. Cuando la facilidad de subprocesamiento múltiple está habilitada, las CPU dentro de un núcleo pueden compartir ciertos recursos de hardware, tales como unidades de ejecución o cachés. Cuando una CPU en un núcleo está esperando recursos de hardware (típicamente, mientras que espera un acceso a memoria), otras CPU en el núcleo pueden utilizar los recursos compartidos en el núcleo en lugar de tenerlos permaneciendo inactivos. Cuando la facilidad de subprocesamiento múltiple está instalada y habilitada, un subproceso es sinónimo de una CPU que es un miembro de un núcleo. Cuando la facilidad de subprocesamiento múltiple no está instalada, o la facilidad está instalada pero no habilitada, un núcleo comprende una única CPU o subproceso.

Cuando se instala la facilidad de subprocesamiento múltiple, se puede habilitar mediante la ejecución de una orden establecer procesador de señal de subprocesamiento múltiple (SIGP). En una realización ejemplar, cuando la facilidad de subprocesamiento múltiple está habilitada, el número de CPU en una configuración se aumenta en un múltiplo, el valor del cual se determina por una identificación de subproceso máxima especificada por programa (PSMTID). El número de CPU en un núcleo puede ser una más que la PSMTID. Un número de CPU correspondientes a este múltiplo se agrupa en un núcleo. Cada núcleo del mismo tipo de CPU en una configuración puede tener el mismo número de CPU. Cada CPU dentro de un núcleo es del mismo tipo de CPU; no obstante, en base al modelo y al tipo de CPU, algunas CPU dentro de un núcleo pueden no estar operativas.

En una realización ejemplar, un programa de control, tal como un sistema operativo (OS), habilita explícitamente el subprocesamiento múltiple con el fin de que pueda ser utilizable por la configuración que gestiona el OS. Alternativamente, un hipervisor puede habilitar el subprocesamiento múltiple y los invitados del hipervisor y sus aplicaciones pueden beneficiarse de manera transparente. Un programa de aplicaciones generalmente no es consciente si se ha habilitado el subprocesamiento múltiple. Cuando está habilitado el subprocesamiento múltiple, las direcciones de la CPU de todas las CPU en la configuración se ajustan para incluir una identificación de núcleo (o ID de núcleo) en los bits de más a la izquierda de la dirección y la identificación de subproceso (ID de subproceso o TID) en los bits de más a la derecha de la dirección. La ID de núcleo también se puede conocer como valor de dirección de núcleo, y la TID se puede conocer como valor de dirección de subproceso. Las CPU dentro de un núcleo pueden compartir ciertas facilidades de hardware, tales como unidades de ejecución o cachés de nivel inferior, de esta manera la ejecución dentro de una CPU de un núcleo puede afectar al rendimiento de otras CPU en el núcleo.

Con el fin de gestionar cambios asociados con conmutar dinámicamente uno o más núcleos de una configuración entre modos de subproceso único y subprocesamiento múltiple, se incluyen una serie de características de soporte. Para mantener la compatibilidad con los programas que no soportan subprocesamiento múltiple, un modo de subproceso único puede ser el modo por defecto tras un reinicio o desactivación. Las realizaciones ejemplares incluyen características para conservar, comunicar y restaurar el contexto de subproceso del modo de subprocesamiento múltiple para soportar análisis y/o restauración del contexto de subproceso después de la transición del modo de subprocesamiento múltiple al modo de subproceso único.

Un entorno informático que se puede implementar por una realización ejemplar se puede basar, por ejemplo, en la z/Arquitectura ofrecida por International Business Machines Corporation, Armonk, Nueva York. La z/Arquitectura se describe en una publicación de IBM® titulada, “z/Architecture Principles of Operation”, publicación de IBM N° SA22-7832-09, agosto de 2012.

5 En un ejemplo, un entorno informático basado en la z/Arquitectura incluye un eServer zSeries, ofrecido por International Business Machines Corporation, Armonk, Nueva York. Un entorno informático puede incluir, por ejemplo, un complejo de procesador con una o más particiones (por ejemplo, particiones lógicas) con uno o más núcleos (por ejemplo, núcleos de procesador) y uno o más niveles de hipervisores como se describe además en la presente memoria.

10 La FIG. 1A muestra un sistema informático 100 como ejemplo de un entorno informático que soporta subprocesamiento múltiple (MT). En el ejemplo de la FIG. 1A, el sistema informático 100 incluye una pluralidad de núcleos de procesador 102, un subsistema de entrada/salida (I/O) 104 y una memoria de sistema 160. El subsistema I/O 104 puede proporcionar acceso a dispositivos I/O conocidos en la técnica. Los núcleos de procesador 102, también conocidos simplemente como “núcleos” en la presente memoria, pueden incluir circuitería de procesamiento con elementos de soporte. En el ejemplo de la FIG. 1A, se representan cinco núcleos 102 como núcleo 1 110, núcleo 2 120, núcleo 3 130, núcleo 4 140 y núcleo 5 150; no obstante, también se contempla un número mayor o menor de núcleos 102. Una facilidad MT 103 puede ser un componente de hardware de cada uno de los núcleos 102. En este ejemplo, cada uno de los núcleos 102 es capaz de soportar hasta cuatro subprocesos. Por ejemplo, el núcleo 1 110 puede soportar los subprocesos 111, 112, 113 y 114. El núcleo 2 120 puede soportar los subprocesos 121, 122, 123 y 124. El núcleo 3 130 puede soportar los subprocesos 131, 132, 133 y 134. El núcleo 4 140 puede soportar los subprocesos 141, 142, 143 y 144. El núcleo 5 150 puede soportar los subprocesos 151, 152, 153 y 154. Obsérvese que no todos los cuatro subprocesos de cada núcleo 102 pueden estar operativos en cualquier instante. Por ejemplo, en el núcleo 3 130, los subprocesos 131 y 132 pueden estar operativos mientras que los subprocesos 133 y 134 se permiten que estén operativos (representado con sombreado).

25 La FIG. 1A también representa la memoria de sistema 160 del sistema informático 100, donde partes de la memoria de sistema 160 se prorratan a la partición lógica 1 (LPAR1) 170, LPAR2 180 y LPAR3 190. Las LPAR 170, 180, 190 representan sistemas informáticos virtualizados (también conocidos como configuraciones) en las que se puede ejecutar un sistema operativo tal como Linux™ o el sistema operativo de IBM® z/OS™, z/VM o zTPF. La FIG. 1A también muestra el prorrato de los núcleos 102 a las LPAR 170, 180, 190. En esta ilustración, el núcleo 1 110 y el núcleo 2 120 están dedicados para su uso por la LPAR1 170. El núcleo 3 130 está dedicado para su uso por la LPAR2 180, y el núcleo 5 150 está dedicado para su uso por la LPAR3 190. El núcleo 4 140 puede estar compartido entre la LPAR2 180 y la LPAR3 190, pero se muestra como que está asignado a LPAR2 180 en la FIG. 1A. La LPAR3 190 muestra un ejemplo de dos tipos diferentes de núcleos 102 que se emplean por la partición, donde el núcleo 4 140 permite que múltiples subprocesos sean operativos, pero el núcleo 5 150 no permite que múltiples subprocesos sean operativos en este ejemplo. En el ejemplo de FIG. 1A, la LPAR1 170 proporciona recursos de procesamiento para el OS 171 y los programas 172, 173, 174 y 175. La LPAR2 180 proporciona recursos de procesamiento para el OS 181 y los programas 182, 183 y 184. La LPAR4 190 proporciona recursos de procesamiento para el OS 191 y los programas 192 y 193.

40 Bajo el control de un sistema operativo que se ejecuta en una LPAR, los programas se ejecutan en los subprocesos de un núcleo. En una realización ejemplar, un subproceso individual ejecuta solamente un programa en el momento; no obstante, un programa que está diseñado para ser reentrante se puede ejecutar en múltiples subprocesos o núcleos simultáneamente. Por ejemplo, el programa 172 del OS 171 de la LPAR1 170 puede estar ejecutándose en los subprocesos 111 y 113 en el núcleo 1 110 y en los subprocesos 121 y 124 del núcleo 2 120. Sujeto al control de un OS, se pueden despachar diferentes programas en el mismo o en diferentes subprocesos, sujetos a reglas de despacho y acuerdos de calidad de servicio.

45 También residiendo en la memoria de sistema 160 están diversos niveles de microprograma, incluyendo, por ejemplo, el Milicódigo 162 y el hipervisor de LPAR 163. El Milicódigo 162 se puede incorporar como microprograma para soportar funciones de sistema de nivel inferior. El hipervisor de LPAR 163 puede ser, por ejemplo, un código interno con licencia tal como el Processor-Resource/System Manager™ (PR/SM™) de IBM. El hipervisor de LPAR 163 puede establecer las LPAR 170, 180, 190 y puede gestionar el despacho en los núcleos 102. Cuando la facilidad MT 103 está instalada en el sistema informático 100, el Milicódigo 162 y el hipervisor de LPAR 163 también contienen el código de soporte de facilidad MT 164 y 165 respectivamente. El código de soporte de facilidad MT 164 y 165 se puede considerar parte de la facilidad MT 103, en la medida que la lógica para soportar MT se puede distribuir entre el Milicódigo 162, el hipervisor de LPAR 163 y los núcleos 102. Aunque no se representa, cada uno de los OS 171, 181, 191 también puede incluir código de soporte de facilidad MT para habilitar y explotar MT en sus respectivas LPAR 170, 180, 190.

50 La FIG. 1B muestra el mismo sistema informático 100 que la FIG. 1A, excepto que en el entorno informático de la FIG. 1B, el núcleo 4 140 ahora está asignado a la LPAR3 190 en lugar de a la LPAR2 180. También señalar que a diferencia de FIG. 1A, donde los subprocesos 143 y 144 no estaban operativos, en la FIG. 1B, todos de los cuatro subprocesos 141-144 están operativos actualmente cuando se despacha la LPAR3 190 en el núcleo 4 140. El

despacho y el no despacho de una LPAR en un núcleo 102 es dinámico, y en otros momentos, otras LPAR (no mostradas) pueden estar operando sobre los mismos núcleos 102.

Volviendo ahora a la FIG. 2, un diagrama de bloques de la circuitería de procesamiento 200 para implementar un núcleo de procesamiento, tal como uno de los núcleos 102 en las FIG. 1A y 1B, se muestran de manera general según una realización. La circuitería de procesamiento 200 es un ejemplo de un circuito de procesamiento que puede soportar uno o más subprocesos simultáneamente en un entorno MT. La circuitería de procesamiento 200 mostrada en la FIG. 2 incluye una unidad de interfaz de controlador de sistema 202 que puede acoplar la circuitería de procesamiento 200 a otros procesadores y dispositivos periféricos. La unidad de interfaz de controlador de sistema 202 también puede conectar una caché D 204, que lee y almacena valores de datos, una caché I 208, que lee las instrucciones de programa, y una unidad de interfaz de caché 206 para la memoria externa, procesadores y otros dispositivos periféricos.

La caché I 208 puede proporcionar la carga de secuencias de instrucciones junto con una unidad de búsqueda de instrucciones (IFU) 210, que busca previamente instrucciones y puede incluir capacidades especulativas de predicción de carga y de ramificaciones. Las instrucciones buscadas se pueden proporcionar a una unidad de decodificación de instrucciones (IDU) 212 para decodificar en datos de procesamiento de instrucciones.

La IDU 212 puede proporcionar las instrucciones a una unidad de emisión 214 que puede controlar la emisión de las instrucciones a diversas unidades de ejecución, tales como una o más unidades de coma fija (FXU) 216 para ejecutar operaciones generales y una o más unidades de coma flotante (FPU) 218 para ejecutar operaciones de coma flotante. Las FPU 218 pueden incluir una unidad de coma flotante binaria (BFU) 220, una unidad de coma flotante decimal (DFU) 222 o cualquier otra unidad de coma flotante. La unidad de emisión 214 también se puede acoplar a una o más unidades de carga/almacenamiento (LSU) 228 a través de uno o más conductos de LSU. Los múltiples conductos de LSU se tratan como unidades de ejecución para realizar cargas y almacenamientos y generación de direcciones para las ramificaciones. Tanto la LSU 228 como la IFU 210 pueden utilizar un almacenador temporal de traducción anticipada (TLB) 230 para proporcionar traducciones almacenadas temporalmente para el operando y las direcciones de instrucciones.

La FXU 216 y la FPU 218 están acopladas a diversos recursos, tales como registros de propósito general (GPR) 224 y registros de coma flotante (FPR) 226. El GPR 224 y el FPR 226 proporcionan almacenamiento de valores de datos para valores de datos cargados y almacenados desde la caché D 204 por una LSU 228.

La circuitería de procesamiento 200 también puede incluir contadores y/o temporizadores 250 para soportar generación de base de tiempo de sistema y acciones de diagnóstico. Por ejemplo, los contadores y/o temporizadores 250 se pueden usar para soportar la hora del día, así como diversas facilidades de diagnóstico y medición.

Volviendo ahora a la FIG. 3, se representa un entorno informático similar a la FIG. 1A excepto que en la FIG. 3, un hipervisor de segundo nivel 300 está ejecutándose en la LPAR2 180 del sistema informático 100. El hipervisor de segundo nivel 300, por ejemplo, el sistema operativo z/VM de IBM, incluye el código de soporte MT 301, similar al código de soporte MT 165 proporcionado por el hipervisor de LPAR (primer nivel) 163. El hipervisor de segundo nivel 300 proporciona soporte para una pluralidad de máquinas virtuales 310, 320 y 330 (también conocidas como configuraciones) en las que los sistemas operativos invitados 311, 321 y 331 operan respectivamente. Los sistemas operativos invitados 311, 321 y 331 pueden incluir, por ejemplo, Linux™ o el OS z/OS™, z/VM, o z/TPF de IBM®, o pueden incluir un entorno de desarrollo invitado tal como el sistema de monitor de conversación (CMS) de IBM. Cada OS invitado 311, 321 y 331 puede habilitar o no el subprocesamiento múltiple, en cuyo caso el hipervisor de segundo nivel 300 puede ser responsable del despacho de los OS invitados 311, 321, 331 y los programas asociados 312, 313, 322, 323, 332 y 333 usando los recursos de procesamiento físico (los núcleos 130, 140 y los subprocesos 131-134, 141-144) que están disponibles para la LPAR2 180 en la que opera el hipervisor de segundo nivel 300. Los programas 312, 313, 322, 323, 332, 333 de las diversas máquinas virtuales 310, 320, 330 pueden ejecutarse en los subprocesos 131-134, 141-144 disponibles para los respectivos OS invitados 311, 321 y 331. Los OS invitados 311, 321 y 331 no necesitan incluir código de soporte MT, en la medida que pueden beneficiarse de MT de manera transparente si el hipervisor de segundo nivel 300 explota el subprocesamiento múltiple.

Volviendo ahora a la FIG. 4, se representa un ejemplo de retención de contexto de hipervisor en un entorno informático que se puede implementar según una realización. En el ejemplo de la FIG. 4, se representan una serie de estructuras de soporte dentro del hipervisor LPAR 163 de las FIG. 1A y 1B. Por ejemplo, las estructuras 410 pueden soportar LPAR1 170 de la FIG. 1A, incluyendo descripciones de estado y bloques satélites que almacenan el contexto de registro de arquitectura (es decir, contexto de subproceso) para los subprocesos lógicos 411, 412, 413, 414, 421, 422, 423, 424 que están ejecutándose actualmente en los subprocesos físicos 111, 112, 113, 114, 121, 122, 123, 124 como se muestra en la FIG. 1A. Mientras que se despachan estos subprocesos lógicos, los subprocesos físicos mantienen el contexto de registro de arquitectura actual de los subprocesos. El contexto de registro de arquitectura se mantendrá en las descripciones de estado y los bloques satélite cuando ya no se despachen más. Las estructuras 430 pueden soportar la LPAR2 180 de la FIG. 1A, incluyendo descripciones de estado y bloques satélite que almacenan el contexto de registro de arquitectura para subprocesos lógicos 431, 432, 441, 442 que están ejecutándose actualmente en los subprocesos físicos 131, 132, 141, 142 como se muestra en la

FIG. 1A. Las estructuras 450 puede soportar la LPAR3 190 de la FIG. 1A, incluyendo descripciones de estado y bloques satélite que almacenan el contexto de registro de arquitectura para subprocesos lógicos 451 que están ejecutándose actualmente en el subproceso físico 151 como se muestra en la FIG. 1A. Las estructuras 450 también incluyen descripciones de estado y bloques satélite que almacenan el contexto de registro de arquitectura para los subprocesos lógicos 461, 462, 463 y 464 que no se despachan actualmente en un procesador físico (como se muestra con sombreado). Otras estructuras que soportan las LPAR que no se despachan en núcleos físicos también se pueden retener por el hipervisor de LPAR 163, tales como las estructuras 470 para una LPAR A (no representada en la FIG. 1A) incluyendo descripciones de estado y estructuras satélite para subprocesos lógicos 471, 472, 473 y 474. Ejemplos de estructura adicionales incluyen estructuras 480 que soportan LPAR B no despachada (no representada en la FIG. 1A), incluyendo descripciones de estado y estructuras satélite para subprocesos lógicos 481 y 482, así como estructuras 484 para LPAR C no despachada (no representada en la FIG. 1A) para el subproceso lógico 485.

Aunque se representan una serie de estructuras en el ejemplo de la FIG. 4, se entenderá que estructuras adicionales se pueden soportar por el hipervisor LPAR 163 y en cualquier otro lugar en el sistema informático 100 para gestionar subprocesamiento múltiple. Por ejemplo, estructuras para soportar el subprocesamiento múltiple de máquinas virtuales 310, 320, 330 de la FIG. 3 se pueden retener por el hipervisor de segundo nivel 300 de la FIG. 3.

Volviendo ahora a la FIG. 5, se representa un flujo de proceso 500 para la habilitación dinámica de subprocesamiento múltiple según una realización. En el bloque 502, un subproceso primario se ejecuta en un modo de subproceso único (ST). En el bloque 504, se trae una instrucción de ajuste de modo de subprocesamiento múltiple (MT) en el modo ST. Al ejecutar esta instrucción como se representa colectivamente en 505, una serie de subprocesos solicitados desde una ubicación especificada por la instrucción de establecimiento de modo MT se obtiene en el bloque 506. La ubicación se puede especificar mediante un registro de parámetro cuando se emite la instrucción establecer modo MT. La instrucción de establecimiento de modo MT puede ser una instrucción de procesador de señal (SIGP) que incluye una orden establecer MT y una id de subproceso máxima especificada por programa (PSMTID) asociada con el número de subprocesos solicitados. Un ejemplo de un proceso asociado con una orden establecer MT de una instrucción SIGP se describe además en la presente memoria en referencia a la FIG. 7.

Continuando con el proceso 500, en el bloque 508, se realiza una determinación en cuanto a si el número de subprocesos solicitados indica múltiples subprocesos. Por ejemplo, múltiples subprocesos se pueden indicar por un valor mayor que uno. En realizaciones donde un valor de cero indica un subproceso único, un valor de uno o más de uno puede indicar múltiples subprocesos. En base a determinar que el número de subprocesos solicitados no indica múltiples subprocesos, el núcleo permanece en modo ST en el bloque 510, la ejecución de la instrucción establecer modo MT está completa, y el control vuelve al bloque 502. Basado en determinar que el número de subprocesos solicitado indica múltiples subprocesos, el modo MT se habilita en el bloque 512, y se completa la ejecución de la instrucción establecer modo MT. En el bloque 514, se ejecutan múltiples subprocesos incluyendo el primario y uno o más subprocesos secundarios. En el bloque 516, si no hay reinicio o desactivación, el proceso 500 vuelve en bucle al bloque 514; de otro modo, en el bloque 518, el modo MT se deshabilita en base a un reinicio o una desactivación de la configuración que revierte al modo ST. Como parte de deshabilitar el modo MT, el número de subprocesos (PSMTID) se retiene para un reinicio sin borrado o puesto a cero para un reinicio de borrado. El proceso 500 vuelve al bloque 502.

Una CPU puede introducir un estado de carga cuando se activa una tecla de carga normal, carga con volcado, carga de borrado o carga de borrado de lista dirigida. Si se completa con éxito una operación de carga de programa inicial de tipo palabra de comando de canal (CCW), la CPU cambia del estado de carga al estado de operación.

Se puede usar un reinicio de la CPU para borrar las indicaciones de comprobación del equipo y cualquier imprevisibilidad resultante en el estado de la CPU con la menor cantidad de información destruida. En particular, se puede usar para borrar las condiciones de comprobación cuando se ha de conservar el estado de la CPU para análisis o reanudación de la operación. Si un reinicio de la CPU se causa por la activación de la tecla de carga normal o carga con volcado, (a) puede establecer un modo de arquitectura a un modo por defecto, y (b) si la facilidad de subprocesamiento múltiple está instalada y habilitada, se deshabilita el subprocesamiento múltiple. Cuando el reinicio de la CPU establece el modo por defecto, puede guardar la PSW actual de modo que se pueda restaurar la PSW.

Un reinicio de la CPU inicial proporciona funciones de un reinicio de una CPU junto con la inicialización de la PSW actual, el temporizador de la CPU, el comparador de reloj y otros registros, tales como: dirección de evento de interrupción, PSW capturada, control, control de coma flotante, prefijo y registros programables de TOD. El reinicio de la CPU inicial puede establecer el modo de arquitectura al modo por defecto si se causa por la activación de la tecla de carga normal o carga con volcado. Si se habilita el subprocesamiento múltiple cuando se causa un reinicio de la CPU inicial mediante la activación de la tecla de carga normal o carga con volcado, las funciones de reinicio de la CPU inicial se pueden realizar para la CPU numerada más baja de un núcleo, y se realiza el reinicio de la CPU para todas las otras CPU en el núcleo. Un reinicio de borrado hace que el reinicio de la CPU inicial y el reinicio del subsistema sean realizados y, adicionalmente, borra o inicializa todas las ubicaciones y registros de almacenamiento en todas las CPU en la configuración, con la excepción del reloj de TOD. El borrado no afecta al almacenamiento

externo, tal como los dispositivos de almacenamiento de acceso directo usados por el programa de control para contener los contenidos de páginas no direccionables.

Un reinicio de encendido de la CPU hace que el reinicio de la CPU inicial sea realizado y borra los contenidos de los registros generales, registros de acceso, registros de control y registros de coma flotante a valores cero/por defecto con un código de bloque de configuración válido. Se entenderá que el borrado o la inicialización de estados no necesitan ser a valores cero, sino que pueden por defecto a valores distintos de cero en el estado de borrado. Si un reinicio de encendido de la CPU establece la configuración, puede establecer el modo de arquitectura al modo por defecto; de otro modo, puede establecer el modo de arquitectura al de las CPU que ya están en la configuración. El reinicio de la CPU, el reinicio de la CPU inicial, el reinicio del subsistema y el reinicio de borrado se pueden iniciar manualmente.

En realizaciones ejemplares, cada CPU tiene un número asignado, llamado su dirección de CPU. Una dirección de CPU identifica de forma única una CPU dentro de una configuración. Se designa una CPU especificando esta dirección en un campo de dirección de CPU de una instrucción SIGP. Una CPU que señala una alerta de mal funcionamiento, señal de emergencia o llamada externa se puede identificar almacenando esta dirección en el campo de dirección de CPU con la interrupción. La dirección de CPU se asigna mediante un proceso de definición de configuración y no se cambia típicamente como resultado de cambios de reconfiguración. Un programa puede determinar la dirección de una CPU usando una instrucción almacenar dirección de CPU. La instrucción almacenar dirección de CPU también se puede usar para identificar una dirección de CPU mediante la cual se identifica una CPU en una configuración de multiprocesamiento.

Cuando se habilita el subprocesamiento múltiple, la dirección de CPU puede incluir una identificación de núcleo (ID de núcleo), concatenada con una identificación de una CPU dentro del núcleo. La identificación de CPU dentro de un núcleo es una identificación de subproceso (ID de subproceso o TID). Dentro de una configuración, todos los núcleos proporcionan el mismo número de CPU; no obstante, dependiendo del modelo y del tipo de CPU, algunas CPU en un núcleo pueden no estar operativas.

En base a la PSMTID de un registro de parámetro usado por la orden de subprocesamiento múltiple de establecimiento de procesador de señal, un número fijo de bits representa la identificación de subproceso. Este número de bits se conoce como la anchura de TID.

La ID de núcleo se puede formar a partir de los bits de más a la derecha de la dirección de CPU antes de que se habilite el subprocesamiento múltiple. La ID de núcleo se desplaza a la izquierda por los bits de anchura de TID, dando como resultado los bits de más a la izquierda de la dirección de CPU después de que esté disponible el subprocesamiento múltiple. La ID de subproceso tiene el mismo número de bits de anchura de TID, y ocupa los bits de más a la derecha de la dirección de CPU después de que se habilita el subprocesamiento múltiple. Las ID de subproceso se pueden asignar en un rango contiguo de números. La Tabla 1 ilustra una relación de ejemplo de la PSMTID, la anchura de TID y los bits de dirección de CPU que comprenden la identificación de núcleo y la identificación de subproceso.

PSMTID	Anchura de TID	Bits de Dirección de CPU	
		ID de núcleo	ID de subproceso
0	0	0-15	-
1	1	0-14	15
2-3	2	0-13	14-15
4-7	3	0-12	13-15
8-15	4	0-11	12-15
16-31	5	0-10	11-15

Tabla 1 - Ejemplo de correlación de bits de dirección

La expansión de direcciones se representa en la FIG. 6A como ejemplo de un proceso de expansión de direcciones de CPU 600A según una realización. En el bloque 602, se puede acceder a un subproceso primario en el modo ST usando un valor de dirección de núcleo 604 como un número de bits de dirección de CPU. La flecha 606 indica conmutar del modo ST al modo MT. En el bloque 608, se puede acceder al subproceso primario o uno o más subprocesos secundarios en el modo MT usando un valor de dirección expandido 610. El valor de dirección expandido 610 incluye el valor de dirección de núcleo 604 desplazado como un valor de dirección de núcleo desplazado 612 y concatenado con un valor de dirección de subproceso 614. El valor de dirección de núcleo desplazado 612 es el identificador de núcleo (ID de núcleo), y el valor de dirección de subproceso 614 es un identificador de subproceso (TID). El valor de dirección de núcleo desplazado 612 se puede desplazar en una

cantidad basada en un identificador de subproceso máximo solicitado, por ejemplo, PSMTID. Se pueden determinar una serie de bits TID en el valor de dirección de subproceso 614 en base a la PSMTID como se muestra en la tabla 1 anterior. El valor de dirección de subproceso 614 se puede concatenar a bits de orden inferior del valor de dirección de núcleo desplazado 612 para formar el valor de dirección expandido 610. Un valor de dirección de subproceso 614 de todos ceros designaría el subproceso primario, y valores mayores que cero identifican y se dirigen a subprocesos secundarios.

Cuando se conmuta entre el modo MT y el modo ST, se selecciona o bien el valor de dirección de núcleo 604 (modo ST) o bien el valor de dirección expandido 610 (modo MT) para usar como una dirección de CPU en un modo ST o modo MT respectivo. El valor de dirección de núcleo 604 es un ejemplo de una dirección de formato estándar usada en el modo ST, y el núcleo revierte del modo MT al modo ST en base a la deshabilitación del modo MT. En una realización ejemplar, solamente es accesible el subproceso primario (es decir, subprocesos no secundarios) en base a la deshabilitación del modo MT. La FIG. 6B representa un ejemplo de un proceso de contracción de direcciones de CPU 600B según una realización. La flecha 616 de la FIG. 6B ilustra la conmutación del modo MT del bloque 608 de vuelta al modo ST del bloque 602. La reversión del modo MT al modo ST puede incluir el desplazamiento del valor de dirección expandido 610 hacia la derecha y la eliminación del valor de dirección de subproceso 614 para formar una dirección de formato estándar que incluye el valor de dirección de núcleo 604 (ID de núcleo) como la dirección de la CPU del valor de dirección de núcleo desplazado 612.

Cuando una función de reinicio deshabilita el subprocesamiento múltiple, (a) la dirección o las direcciones de la o las CPU que tienen el ID de subproceso cero se desplazan hacia la derecha en el mismo número de bits de anchura de TID usado durante la habilitación, (b) se insertan ceros en el número de bits de la anchura TID a la izquierda de la dirección, y (c) la dirección de CPU revierte a su formato original sin subprocesamiento múltiple (es decir, dirección de formato estándar). Todas las CPU en un núcleo que tienen ID de subprocesos distintos de cero cuando está habilitado el subprocesamiento múltiple ya no están operativos más cuando se deshabilita el subprocesamiento múltiple.

Cuando el subprocesamiento múltiple no está habilitado, la dirección de la CPU permanece sin cambios desde el valor asignado por el proceso de definición de la configuración. En este caso, no existe la identificación de subproceso.

Una serie de órdenes de procesador de señal pueden proporcionar órdenes a las CPU, incluyendo, por ejemplo, arrancar, parar, reiniciar, parar y almacenar estado, reiniciar la CPU inicial, reiniciar la CPU, almacenar estado en la dirección, establecer arquitectura, detectar estado de ejecución, establecer subprocesamiento múltiple, almacenar estado adicional en la dirección, y similares. Un reinicio de la CPU inicial o un reinicio de la CPU se puede iniciar mediante una instrucción de procesador de señal y no afecta al modo de arquitectura u otras CPU, no deshabilita el subprocesamiento múltiple y no hace que la I/O sea reiniciada.

Una orden establecer arquitectura especifica un modo de arquitectura al que han de ser establecidas todas las CPU en la configuración. Las diferencias de arquitectura pueden incluir diferentes modos de direccionamiento, definiciones de registro e instrucciones soportadas por las CPU. Tras un cambio en el modo de arquitectura, seleccionar campos de bits de registros se puede establecer a un estado por defecto (por ejemplo, puesta a cero), los almacenadores temporales de traducción anticipada de registro de acceso (ALB) y los almacenadores temporales de traducción anticipada (TLB) de todas las CPU en la configuración se borran, y una función de serialización y una de sincronización de punto de control se pueden realizar sobre todas las CPU en la configuración.

Un orden detectar estado de ejecución puede indicar si está ejecutándose una CPU direccionada. En el modo ST, un indicador se puede volver a ejecutar como estado de ejecución/no ejecución. En el modo MT, se puede usar un indicador para identificar si está ejecutándose cualquier CPU del núcleo en el que la CPU direccionada es miembro, o no están ejecutándose todas las CPU del núcleo en el que la CPU direccionada es miembro.

Una orden establecer MT habilita la facilidad de subprocesamiento múltiple. Las posiciones de bits de un registro de parámetros pueden contener la PSMTID a ser proporcionada en la configuración. La PSMTID se puede definir como uno menos que el número de CPU que se pueden direccionar en cada núcleo. Por ejemplo, un valor de 3 en posiciones de bits designadas indica que se han de proporcionar un máximo de cuatro subprocesos. Los contenidos de un registro de dirección de la CPU de la instrucción SIGP se pueden ignorar ya que todas las CPU en la configuración se consideran que son direccionables. Si se acepta, la orden establecer MT se completa por todas las CPU durante la ejecución de la instrucción SIGP. Con referencia a la FIG. 7, se representa un proceso 700 para una orden establecer MT de SIGP 702. Se puede proporcionar una indicación de error y se puede evitar una habilitación del modo MT en base a determinar que la orden establecer MT de SIGP 702 se emitió con uno o más de: una orden no válida, un estado incorrecto y un parámetro no válido, como se describe además en la presente memoria en referencia al proceso 700 de la FIG. 7.

Si la facilidad de subprocesamiento múltiple no está instalada en el bloque 704 o la CPU no está habilitada en un modo de arquitectura válido 708, entonces no se acepta la orden establecer MT y una indicación de orden no válida se puede devolver a los bloques 706 o 710, respectivamente. Si las otras CPU en la configuración no están en el

estado de parada o de comprobación de parada en el bloque 712, o si la configuración ya está habilitada para subprocesamiento múltiple en el bloque 716, la orden establecer MT no se acepta y una indicación de estado incorrecto se puede devolver al bloque 714 o 718, respectivamente.

5 Si la PSMTID no es válida en el bloque 720, entonces la orden establecer MT no se acepta y una indicación de parámetro no válido se puede devolver al bloque 722. Cuando la PSMTID es cero en el bloque 724, la configuración no está habilitada para el subprocesamiento múltiple, permanece en modo ST, y proporciona cualquier estado como código de condición en el bloque 728. En una realización ejemplar, cuando la PSMTID es válida y distinta de cero, en el bloque 726, la configuración está habilitada para subprocesamiento múltiple, dando como resultado la expansión de direcciones de CPU, los ALB y los TLB de todas las CPU en la configuración se borran de sus contenidos, y se realiza una función de serialización y de sincronización de punto de control en todas las CPU en la configuración. El estado se puede proporcionar en el bloque 728 en un código de condición. Tras la terminación con éxito, todas las CPU distintas de la CPU que ejecuta la orden establecer MT permanecen en el estado de parada o de comprobación de parada. No obstante, si una CPU estaba en estado de comprobación de parada antes de que se habilite el subprocesamiento múltiple, puede ser impredecible si las CPU que tienen ID de subprocesos distintos de cero en el mismo núcleo se colocan en el estado de parada o de comprobación de parada.

20 Un contexto de subproceso también se puede conocer como contexto de registro de arquitectura. El contexto de registro de arquitectura (es decir, los contenidos de la PSW, temporizador de CPU, comparador de reloj, registros generales, registros de coma flotante y registro de control de coma flotante, registros de vector, registros de control, registros de acceso, registro de prefijo y registro programable por TOD, etc.) de cada CPU antes de que se habilite el subprocesamiento múltiple llega a ser el contexto de registro de arquitectura de la CPU que tiene TID cero de cada núcleo respectivo después de que se habilita el subprocesamiento múltiple. De manera similar, el contexto de registro de arquitectura de la CPU que tiene TID cero de cada núcleo de una configuración habilitada para MT llega a ser el contexto de registro de arquitectura de cada CPU respectiva cuando se deshabilita el subprocesamiento múltiple como resultado de la activación de una tecla de carga normal o carga con volcado.

25 El contexto de registro de arquitectura de todas las CPU que tienen una identificación de subproceso distinto de cero se puede retener cuando la facilidad de subprocesamiento múltiple se deshabilita como resultado de la activación de una operación de tecla de carga normal o de carga con volcado. Si la facilidad de subprocesamiento múltiple se vuelve a habilitar posteriormente sin un reinicio de borrado interviniente, se restaura el contexto de registro de arquitectura de todas las CPU que tienen una identificación de subprocesos distintos de cero.

30 Cuando se vuelve a habilitar el subprocesamiento múltiple después de haber sido deshabilitado por la activación de la tecla de carga normal o de carga con volcado, si el valor de PSMTID en bits del registro de parámetros difiere del usado en la habilitación precedente, entonces puede ser impredecible el contexto de registro de arquitectura de todas las CPU que tienen los ID de subproceso distintos de cero.

35 Se puede usar una instrucción de almacenar información del sistema para almacenar información acerca de un componente o componentes de una configuración en un bloque de información del sistema (SYSIB). El SYSIB puede incluir un campo MT instalado, un campo MT general, un recuento total de CPU/núcleos, un recuento de CPU/núcleos configurados, un recuento de CPU/núcleos en espera, un recuento de CPU/núcleos reservados y otros campos. El campo MT instalado puede indicar si la facilidad de subprocesamiento múltiple está instalada y también puede indicar la TID más alta soportada para un primer tipo de núcleo, por ejemplo, un tipo de núcleo especializado. El campo MT general puede indicar la TID más alta soportada para un segundo tipo de núcleo, por ejemplo, un tipo de núcleo general. La TID soportada más alta en el campo MT general puede estar limitada a ser menor o igual que la TID más alta soportada en el campo MT instalado. El recuento total de CPU/núcleos puede indicar un número total de CPU o núcleos generales que comprenden las CPU generales en la configuración, ya sea en el estado configurado, en espera o reservado. El recuento de CPU/núcleos configurados puede indicar un número de CPU o núcleos generales que comprenden las CPU generales en el estado configurado, es decir, en la configuración y listos para ejecutar programas. El recuento de CPU/núcleos en espera indica un número de CPU o núcleos generales que comprenden CPU generales en el estado de espera, es decir, no disponibles para ser usados para ejecutar programas hasta que se colocan en el estado configurado. El recuento de CPU/núcleos reservados indica un número de CPU o núcleos generales que comprenden CPU generales en el estado reservado, es decir, indisponibles para ser usados para ejecutar programas e incapaces para ser colocados en el estado configurado.

55 La FIG. 8 representa un ejemplo de almacenamiento de información de capacidad de subprocesamiento múltiple según una realización. Un programa que se ejecuta en un subproceso, como el subproceso 1 del núcleo 800A, puede traer una instrucción ALMACENAR INFORMACIÓN DE SISTEMA (STSI) 830 de la memoria 801 de una configuración 850 tal como una LPAR. La ejecución de la instrucción STSI puede dar como resultado el almacenamiento 832 de un bloque de información del sistema (SYSIB) 802. En el ejemplo de la FIG. 8, el SYSIB 802 incluye un identificador MT instalado 804 que indica si la configuración 850 soporta subprocesamiento múltiple. El SYSIB 802 también incluye un identificador de subproceso máximo de un subproceso soportado más alto de un núcleo 800A/800B que se puede proporcionar como una TID máxima por núcleo 806 para núcleos especiales y una TID máxima para núcleos generales 808. El SYSIB 802 también puede incluir un identificador de subproceso máximo especificado por programa (PSMTID) 809 actual. El PSMTID 809 actual refleja un modo de

subprocesamiento múltiple como habilitado en la configuración 850 por el programa. El PSMTID 809 actual no se puede definir si la instrucción STSI 830 se ejecuta a nivel de máquina básica.

Un programa que se ejecuta en un subproceso, tal como el subproceso 2 de un núcleo 800B, también puede traer una instrucción de LLAMADA DE SERVICIO (SERVC) 834 de la memoria 801 de la configuración 850, donde la instrucción específica un comando leer información de programa de control del sistema (leer info SCP, o RSCPI). La ejecución del comando RSCPI puede hacer que un bloque de control de llamada de servicio (SCCB) 810 sea almacenado 836 en la memoria 801. En una realización ejemplar, el SCCB 810 almacenado por la ejecución del comando RSCPI proporciona información similar y adicional que puede no estar disponible en el SYSIB 802. En el ejemplo de la FIG. 8, el SCCB 810 incluye un identificador MT instalado 812 que indica si el núcleo 800B soporta subprocesamiento múltiple. El SCCB 810 también incluye un identificador de subproceso máximo de un subproceso soportado más alto del núcleo 800B que se puede proporcionar como una TID máxima por núcleo 814 para núcleos especiales y una TID máxima para núcleos generales 816. Los valores de 812-816 del SCCB 810 son equivalentes a los valores 804-808 que pueden estar accesibles en el SYSIB 802. Adicionalmente, el SCCB 810 puede incluir un identificador de subproceso máximo especificado por programa último establecido de un subproceso soportado más alto del núcleo 800B, que también se conoce como identificador de subproceso máximo especificado por programa (PSMTID) 818 último establecido. El SCCB 810 también puede incluir una máscara de valores PSMTID aceptables en la orden establecer MT como una máscara soportada PSMTID 820. La máscara soportada PSMTID 820 se puede usar para identificar las CPU/subprocesos soportados cuando se desean menos que el número definido por la TID máxima por núcleo 814.

Se entenderá que los núcleos 800A y 800B incluyen otros aspectos que no se representan en este ejemplo. Además, el SYSIB 802 y el SCCB 810 pueden incluir valores adicionales más allá de los representados en el ejemplo de la FIG. 8.

La FIG. 9 representa un flujo de proceso 900 para determinar la capacidad de subprocesamiento múltiple según una realización. En el bloque 902, el núcleo ejecuta una instrucción recuperar información de capacidad de subprocesamiento múltiple (RMTCI), que puede ser, por ejemplo, cualquiera de una instrucción SERVC o una instrucción STSI. En el bloque 904, se obtiene información de identificación de subproceso que identifica una capacidad de subprocesamiento múltiple de una configuración. En el bloque 906, se almacena la información de identificación de subproceso obtenida. En el bloque 908, se determina si la configuración previamente había habilitado subprocesamiento múltiple en base a la información de identificación de subproceso obtenida.

Como se ha descrito previamente, la instrucción SERVC está configurada para almacenar información de identificación de subproceso en un bloque de respuesta en la memoria (por ejemplo, SCCB 810 de la FIG. 8), y la instrucción STSI está configurada para almacenar la información de identificación de subproceso en un SYSIB en la memoria (por ejemplo, SYSIB 802 de FIG. 8). La información de subproceso obtenida puede incluir un identificador MT instalado (por ejemplo, el identificador MT instalado 804 u 812 de la FIG. 8) que indica si el núcleo soporta subprocesamiento múltiple. La información de subproceso obtenida también puede incluir un identificador de subproceso máximo del subproceso soportado más alto del núcleo (por ejemplo, valores máximos de TID 806, 808, 814 u 816 de la FIG. 8). La información de subproceso obtenida puede incluir un identificador de subproceso máximo especificado por programa actual (por ejemplo, PSMTID 809 actual de la FIG. 8) y un identificador de subproceso máximo especificado por programa último establecido (por ejemplo, PSMTID 818 de FIG. 8). El bloque de respuesta puede incluir una máscara de bits que indica identificadores de subprocesos específicos que se soportan individualmente (por ejemplo, la máscara PSMTID soportada 820 de la FIG. 8). La determinación de que la configuración previamente tenía habilitado MT se puede basar en un valor distinto de cero en el identificador de subproceso máximo especificado por programa último establecido (por ejemplo, PSMTID último establecido > 0). En una realización ejemplar, la configuración soporta una pluralidad de tipos de núcleos.

En realizaciones ejemplares, registros y valores tales como valores de contador de programa, que se pueden incluir en los registros o gestionar por separado, se capturan como contexto de subproceso. Cuando la expansión de direcciones ocurre en modo MT, llega a estar accesible un contexto de subproceso adicional. Como se ha descrito previamente en referencia a la FIG. 6, se forma una dirección de la CPU para cada núcleo en una configuración. La dirección de la CPU se puede inspeccionar por la instrucción almacenar dirección de la CPU, aparece en otras estructuras, y se usa en diversas órdenes SIGP. Cuando MT no está habilitado, este esquema de direccionamiento permanece sin cambios. Cuando MT está habilitado, la dirección de la CPU se somete a un proceso de expansión. Como se ha descrito previamente, la parte de la dirección de la CPU no habilitada para MT se puede desplazar a la izquierda suficientes bits para acomodar la TID. Por ejemplo, si un sistema operativo emitió la orden establecer MT de SIGP con un valor 1 de PSMTID, la dirección de la CPU se desplazaría a la izquierda en 1 bit; si PSMTID fuera 2 o 3, la dirección de la CPU se desplazaría a la izquierda en 2 bits, si PSMTID es 4-7, la dirección de la CPU se desplazaría a la izquierda en 3 bits, y así sucesivamente.

Cuando el subprocesamiento múltiple se deshabilita posteriormente (como resultado de un reinicio de borrado o reinicio de la CPU causado por una operación de carga normal), ocurre una contracción de direcciones de la CPU. La dirección de la CPU habilitada para MT se puede desplazar a la derecha en el mismo número de bits de PSMTID usados en la orden establecer MT de SIGP que habilitó MT, y la parte de ID de subproceso de la dirección desaparece. El contexto de subproceso que es accesible durante el modo MT puede residir en una o más

ubicaciones, tal como el ejemplo representado en la FIG. 10. En el ejemplo de FIG. 10, una configuración 1000 incluye el núcleo 1002 y puede incluir otros núcleos (no representados). La memoria 1006 puede incluir una memoria de configuración 1005 como parte de la configuración 1000 y una memoria de ordenador central/microprograma 1007 que está separada de la configuración 1000. La memoria de ordenador central/microprograma 1007 puede incluir un bloque de descripción de estado 1008 mantenido por un ordenador central, que puede almacenar un contexto de subproceso 1010 para un subproceso (por ejemplo, el subproceso n en la FIG. 10). Un bloque satélite 1012 se puede anclar al bloque de descripción de estado 1008 en la memoria 1006 como parte de la memoria de ordenador central/microprograma 1007, donde el bloque satélite 1012 puede incluir un contexto de subproceso 1014 como alternativa al contexto de subproceso 1010 o en combinación con el contexto de subproceso 1010. Cada subproceso puede tener un bloque de descripción de estado 1008 correspondiente y opcionalmente un bloque satélite 1012, donde se puede almacenar el contexto de subproceso 1010 o el contexto de subproceso 1014. Como alternativa adicional, los registros de contexto de hardware 1016 se pueden usar para almacenar un contexto de subproceso 1018, por ejemplo, en el núcleo 1002. Los ejemplos de contexto de subproceso 1010, 1014 y 1018 se pueden usar en combinación o por separado como opciones de almacenamiento. Las opciones de almacenamiento de alternativas se pueden emplear en realizaciones. Independientemente de dónde se mantenga el contexto de subproceso, tras la contracción de direcciones, el contexto de subproceso puede que ya no esté accesible directamente, pero se puede conservar para el acceso mediante un programa de volcado.

Cuando MT está deshabilitado, el proceso de contracción de direcciones de la CPU hace que ya no sean direccionables los subprocesos 1-n de un núcleo; de manera similar, el contexto de subproceso incluyendo los registros de arquitectura ya no es visible para un programa. Si MT se deshabilitó como resultado de un reinicio de la CPU resultante de una operación de carga sin borrado, se retiene el contexto de registro de los subprocesos 1-n; estos datos se pueden inspeccionar posteriormente si la configuración se devuelve al modo MT. El contexto de registro para cada subproceso invitado se puede mantener por un ordenador central en el bloque de descripción de estado del subproceso 1008 (o como en el caso de los registros de vector, en un bloque satélite 1012 anclado en la descripción de estado) como se representa en la FIG. 10.

La retención del contexto de los subprocesos 1-n durante la deshabilitación de MT es una característica de diagnóstico para el estado de los subprocesos a ser volcados después de un fallo del OS. Después de un fallo de OS, un operador puede elegir ejecutar un programa de volcado autónomo (SADMP) para capturar la memoria y el contexto de subproceso del sistema en el momento del fallo. No obstante, cargar el programa SADMP puede hacer que la configuración revierta a un modo de arquitectura por defecto con el modo ST habilitado, de esta manera MT está deshabilitado. Pero, debido a que SADMP se carga mediante una operación de carga sin borrado, se conserva el contexto de registro de los subprocesos 1-n de cada núcleo. SADMP puede determinar si MT se habilitó en la configuración que se vuelca examinando los resultados de un bloque de respuesta del comando leer información SCP de SERVC. Este número se puede usar posteriormente como entrada para la orden establecer MT de SIGP para volver a habilitar MT en el mismo nivel que antes.

La FIG. 11 representa un ejemplo de conservación de registro de subprocesamiento múltiple según una realización. Un sistema, tal como un sistema informático 1100 de FIG. 11, puede incluir configuraciones múltiples 1102 y 1104. En el ejemplo de la FIG. 11, la configuración 1102 incluye el núcleo 1106 y el núcleo 1108, y la configuración 1104 incluye el núcleo 1110 y el núcleo 1112. Cada una de las configuraciones 1102 y 1104 se puede conmutar independientemente entre los modos ST y MT en diferentes momentos. Cada una de las configuraciones 1102 y 1104 del sistema informático 1100 es configurable con un número diferente de ID de subproceso máximos para soportar un número diferente de subprocesos habilitados simultáneamente en cada una de las configuraciones 1102 y 1104. En el ejemplo de la FIG. 11, los núcleos 1106 y 1108 soportan cada uno un máximo de dos subprocesos, mientras que la configuración 1102 está en modo MT 1114, mientras que los núcleos 1110 y 1112 soportan cada uno un máximo de cuatro subprocesos, mientras que la configuración 1104 está en modo MT 1116.

Mientras que el modo MT 1114 está habilitado en la configuración 1102, tanto TID 0 como TID 1 son accesibles como contextos de subproceso separados, tales como instancias separadas del contexto de subproceso 1115. En el tiempo 1118, el modo MT 1114 se puede deshabilitar mediante una operación de carga normal o un reinicio sin borrado para la configuración 1102, que conmuta ambos núcleos 1106 y 1108 al modo ST 1120. Debido a la contracción de direcciones como se ha descrito previamente, los registros TID0 son accesibles en el modo ST 1120; no obstante, los registros TID1 que estaban accesibles en el modo MT 1114 se retienen pero ya no son accesibles más. Por ejemplo, los registros TID1 se pueden incorporar como el contexto de subproceso 1010, 1014 o 1018 de la FIG. 10, donde una dirección que estuvo disponible con expansión de direcciones ya no está accesible más después de la contracción de direcciones tras conmutar al modo ST 1120.

Mientras que la configuración 1104 tiene habilitado el modo MT 1116, los registros TID0, TID 1, TID2 y TID3 están accesibles como contexto de subproceso separado, tal como instancias separadas del contexto de subproceso 1010, 1014 o 1018 de la FIG. 10. En este ejemplo, TID0 representa un subproceso primario y TID1-TID3 representan subprocesos secundarios que se mantienen por separado para cada uno de los núcleos 1110 y 1112. En el tiempo 1122, el modo MT 1116 se puede deshabilitar mediante un reinicio de borrado para la configuración 1104, que conmuta ambos núcleos 1110 y 1112 al modo ST 1124. El reinicio de borrado en el tiempo 1122 puede borrar todos los registros de TID0, TID1, TID2 y TID3. Debido a la contracción de direcciones como se ha descrito anteriormente, los registros TID0 son accesibles en el modo ST 1124; no obstante, los registros TID1, TID2 y TID3

que eran accesibles en el modo MT 1116 se retienen en un estado de borrado pero ya no son accesibles más. Como se representa en la FIG. 11, las operaciones se pueden realizar independientemente en cada configuración 1102 y 1104 en diferentes momentos 1118 y 1122 con los efectos localizados para cada configuración 1102 y 1104. De esta manera, la configuración 1102 puede estar en modo ST 1120, mientras que la configuración 1104 está en el modo MT 1116, y los modos ST/MT no necesitan estar alineados para todas las configuraciones del sistema informático 1100.

La FIG. 12 representa un flujo de proceso 1200 para conservación de registros de subprocesamiento múltiple según una realización. En el bloque 1202, en base a la determinación mediante un núcleo en el modo MT, que el MT ha de ser deshabilitado en el núcleo, se realiza conmutando del modo MT al modo ST. El subproceso primario del modo MT se puede mantener como el único subproceso del modo ST. Uno o más contextos de subproceso que incluyen valores de registro accesibles por programa y valores de contador de programa de subprocesos secundarios se hacen inaccesibles a los programas de aplicaciones. En el bloque 1204, en base a la conmutación, se realiza un tipo de operación (por ejemplo, borrado frente a no borrado) que se determina para o bien borrar los valores de registro accesibles por programa o bien retener los valores de registro accesibles por programa. En el bloque 1206, en base a una operación sin borrado, se determina que han de ser retenidos los valores de registro accesibles por programa. En el bloque 1208, en base a una operación de borrado, se determina que han de ser borrados los registros accesibles por programa.

Como se ha descrito previamente, los valores de registro accesibles por programa y los valores de contador de programa de contexto de subproceso pueden incluir registros de propósito general de programa, registros de coma flotante, registros de control, registros de acceso, un registro de prefijo y registros programables de TOD. Los registros de control pueden incluir un registro de control de coma flotante, controles de instrumentación de tiempo de ejecución, controles de medición de CPU y similares. Otros ejemplos de registros que se pueden incluir en el contexto de subproceso incluyen una palabra de estado de programa (por ejemplo, incluyendo una dirección de instrucción/contador de programa, código de condición y otra información para controlar la secuencia de instrucciones y determinar el estado de la CPU), registros de vector, un temporizador de CPU, un comparador de reloj, un registro de direcciones de evento de interrupción y otros registros conocidos en la técnica. Como se ha descrito anteriormente, el PSMTID se establece en base a una última instrucción de procesador de señal ejecutada con éxito que causó que MT esté habilitado. En base a la conmutación al modo MT, los valores de registro accesibles por programa se hacen accesibles para los programas de aplicaciones en base a los subprocesos secundarios correspondientes que se vuelven a habilitar. Por ejemplo, la conmutación del modo ST 1120 de vuelta al modo MT 1114 en la FIG. 11 permite que los registros TID1 sean accedidos, y se puede volver a habilitar TID1. El contexto de subproceso se puede mantener en cualquiera de: un bloque de descripción de estado, un bloque satélites anclado al bloque de descripción de estado en la memoria, o un registro de contexto, tal como el contexto de subproceso 1010, 1014 o 1018 de la FIG. 10.

Un contexto de subproceso primario puede incluir valores de registro accesibles por programa y valores de contador de programa de un subproceso primario, por ejemplo, TID0 y los registros TID0 para la configuración 1104 de la FIG. 11, donde el contexto de subproceso primario es accesible para los programas de aplicaciones tanto en el modo ST 1124 como en el modo MT 1116. Un contexto de subproceso secundario puede incluir valores de registro accesibles por programa y valores de contador de programa de un subproceso secundario, por ejemplo, TID1-TID3 y los registros TID 1-TID3 para la configuración 1104 de la FIG. 11.

La FIG. 13 representa un ejemplo de restauración de registro de subprocesamiento múltiple según una realización. El ejemplo de la FIG. 13 incluye un sistema informático 1300 con una única configuración 1302. La configuración 1302 incluye el núcleo 1304, el núcleo 1306 y el núcleo 1308. Cada uno de los núcleos 1304-1308 incluye un máximo de cuatro subprocesos (TID0, TID1, TID2 y TID3) en este ejemplo. En el modo MT 1310, todo el contexto de subproceso de TID0-TID3 está disponible en los núcleos 1304-1308. En el tiempo 1312, el modo MT 1310 se puede deshabilitar mediante una operación de carga normal o un reinicio sin borrado de la configuración 1302, que conmuta los núcleos 1304-1308 al modo ST 1314. En el modo ST 1314, los registros TID0 permanecen accesibles, y los registros TID1-TID3 están inaccesibles, pero se retienen para cada uno de los núcleos 1304-1308. En el tiempo 1316, MT se puede volver a habilitar mediante la ejecución de una orden establecer MT de SIGP para introducir un modo MT 1318 reanudado. En el modo MT 1318 reanudado, se restaura el acceso al contexto de subproceso de los registros TID1-TID3 para cada uno de los núcleos 1304-1308. Esto permite la inspección de todos los registros de subproceso, incluyendo los registros TID1-TID3, mediante un programa de volcado, tal como el programa de volcado autónomo 1320, para guardar información de contexto de subproceso para su análisis.

La FIG. 14 representa un flujo de proceso 1400 para la restauración de registros de subprocesamiento múltiple según una realización que se puede emplear por un programa de volcado autónomo (SADMP), tal como el programa de volcado autónomo 1320 de la FIG. 13, para capturar el contexto de registro de arquitectura de subprocesos que siguen al fallo de un sistema operativo. En el bloque 1405, se carga un programa SADMP a través de una operación de carga sin borrado (por ejemplo, carga normal o carga con volcado). La operación de carga sin borrado causa implícitamente que la configuración revierta al modo ST, tal como el modo ST 1314 para la configuración 1302 de la FIG. 13. El programa SADMP entonces puede consultar si la facilidad MT está disponible en la configuración en el bloque 1410 usando la instrucción STSI o SERVC. Si MT está instalado, el programa SADMP consulta la identificación de subproceso máximo especificado por programa (PSMTID) última establecida, establecida para la

5 configuración en el bloque 1415. Si MT nunca se hubiera establecido previamente para la configuración, el valor de PSMTID último establecido será cero. El programa SADMP entonces puede ejecutar la instrucción para volver a habilitar el subprocesamiento múltiple en el bloque 1420 a cualquiera que fuera la PSMTID última establecida (incluso si fue cero). Si la consulta en el bloque 1410 revela que MT no está instalado, entonces no se hace ningún intento de consultar el valor de PSMTID última establecida en el bloque 1415 o volver a habilitar MT en el bloque 1420.

10 El programa SADMP intenta señalar entre sí la CPU (subproceso) en la configuración para guardar su contexto de registro de arquitectura en una ubicación predefinida en la memoria. Si MT no se habilitó previamente antes de cargar SADMP, las direcciones de la CPU son el formato normal no expandido. Si MT se habilitó previamente, las direcciones de la CPU son el formato expandido, que incluyen la ID de núcleo y la ID de subproceso. SADMP comienza con una dirección de la CPU (N) de cero en el bloque 1425, y determina si esa dirección de la CPU representa la CPU sobre la cual SADMP está ejecutándose en el bloque 1430. Si es así, esa CPU/subproceso se omite y N se incrementa al siguiente valor en el bloque 1450. Si N difiere de la dirección actual de la CPU, entonces esa CPU/subproceso se señala para almacenar su contexto de registro de arquitectura en la memoria, por ejemplo, mediante la ejecución o bien de una orden almacenar estado en la dirección de SIGP o bien de una orden parar y almacenar estado de SIGP en el bloque 1435. Si la configuración incluye una facilidad de vector, una orden almacenar estado adicional en la dirección de SIGP también se puede ejecutar para almacenar los contenidos de los registros de vector de la CPU/subproceso. Se hace una determinación en cuanto a si la señal del bloque 1435 tuvo éxito en el bloque 1440. Si tuvo éxito, el programa SADMP puede guardar el contexto de registro de la CPU/subproceso en un archivo de volcado en cinta o disco en el bloque 1445, y el procesamiento continúa incrementando N en el bloque 1450. Si la señal del bloque 1435 no tiene éxito (por ejemplo, si el subproceso no está operativo) como se determina por el bloque 1440, entonces se omite, y el procesamiento continúa incrementando N en el bloque 1450. El valor de la dirección de la CPU usado en señalización (N) se incrementa en el bloque 1450, y se hace una determinación en cuanto a si N ahora es mayor que la dirección de la CPU más alta posible para la configuración en el bloque 1455. Si N no es mayor que la dirección de la CPU más alta posible para la configuración, entonces el procesamiento continúa determinando si N representa la CPU/subproceso actual bajo el cual está ejecutándose el programa SADMP en el bloque 1430. Si N es mayor que la dirección de la CPU más alta posible para la configuración, entonces la restauración y el volcado del contexto de registro de arquitectura se ha completado en el bloque 1460.

30 Aunque la FIG. 14 se describe con respecto a un núcleo de una configuración, se entenderá que el flujo de proceso 1400 de la FIG. 14 se puede extender para ejecutarse a través de la dirección máxima de la CPU a través de todos los núcleos de una configuración que incluye múltiples núcleos. Se pueden hacer adaptaciones adicionales en las configuraciones para soportar volcado para un OS que no soporta MT o un programa que es compatible con MT pero que no explote MT. Por ejemplo, se puede realizar un reinicio de borrado antes de cargar un OS que no soporta MT en la configuración para evitar que un programa de volcado autónomo compatible con MT intente volcar cualquier subproceso secundario de la configuración. Como otro ejemplo, un programa que es compatible con MT pero que no explota MT, puede emitir una orden establecer MT con un id de subproceso máximo correspondiente de cero antes de ejecutar un programa de volcado autónomo para la configuración.

40 Los efectos y beneficios técnicos incluyen la expansión y contracción de direcciones en un sistema informático de subprocesamiento múltiple que soporta tanto un modo de subproceso único como un modo de operación de subprocesamiento múltiple.

45 El sistema descrito en la presente memoria permite que el software mitigue la variabilidad del hardware requiriendo que un OS "opte a" explotar explícitamente el hardware MT. Cuando el OS entiende la naturaleza MT del entorno de ejecución, el OS tiene la capacidad de gestionar explícitamente las densidades de subproceso por núcleo (en la medida de su capacidad, dado un patrón de despacho de carga de trabajo). El OS tiene la opción de mantener densidades altas de subprocesos incluso cuando los recursos de cálculo se utilizan menos, mitigando por ello mucha de la variabilidad en la capacidad de cálculo total que se ve en otras implementaciones de MT. Como resultado directo de mantener densidades altas de subprocesos, tanto los tiempos de respuesta de transacción como los aspectos de facturación pueden ser más coherentes.

50 Las realizaciones incluyen un sistema, un método y un producto de programa informático para la expansión y contracción de direcciones en un sistema informático de subprocesamiento múltiple. Según un aspecto, un sistema informático incluye una configuración con un núcleo configurable entre un modo de subproceso único (ST) y un modo de subprocesamiento múltiple (MT). El modo ST se dirige a un subproceso primario y el modo MT se dirige al subproceso primario y uno o más subprocesos secundarios en los recursos compartidos del núcleo. Una facilidad de subprocesamiento múltiple está configurada para controlar la utilización de la configuración para realizar un método que incluye el acceso al subproceso primario en el modo ST usando un valor de dirección de núcleo y conmutando del modo ST al modo MT. Se accede al subproceso primario o a uno del uno o más subprocesos secundarios en el modo MT usando un valor de dirección expandido, donde el valor de dirección expandido incluye el valor de dirección de núcleo concatenado con un valor de dirección de subproceso.

60 Según otro aspecto, se proporciona un método implementado por ordenador para el ajuste de direcciones en una configuración. La configuración incluye un núcleo configurable entre un modo ST y un modo MT, donde el modo ST

- 5 se dirige a un subproceso primario y el modo MT se dirige al subproceso primario y a uno o más subprocesos secundarios en recursos compartidos del núcleo. Se accede al subproceso primario en el modo ST usando un valor de dirección de núcleo. Se realiza conmutación del modo ST al modo MT. Se accede al subproceso primario o a uno del uno o más subprocesos secundarios en el modo MT usando un valor de dirección expandido. El valor de dirección expandido incluye el valor de dirección de núcleo concatenado con un valor de dirección de subproceso.
- 10 Un aspecto adicional incluye un producto de programa de ordenador para el ajuste de direcciones en una configuración. La configuración incluye un núcleo configurable entre un modo ST y un modo MT, donde el modo ST se dirige a un subproceso primario y el modo MT se dirige al subproceso primario y a uno o más subprocesos secundarios en recursos compartidos del núcleo. El producto de programa informático incluye un medio de almacenamiento legible por ordenador que tiene instrucciones de programa incorporadas con el mismo, donde el medio de almacenamiento legible por ordenador no es una señal. Las instrucciones de programa son legibles por un circuito de procesamiento para hacer que el circuito de procesamiento realice un método que incluye acceder al subproceso primario en el modo ST usando un valor de dirección de núcleo, y conmutando del modo ST al modo MT. Se accede al subproceso primario o a uno del uno o más subprocesos secundarios en el modo MT usando un valor de dirección expandido, donde el valor de dirección expandido incluye el valor de dirección de núcleo concatenado con un valor de dirección de subproceso.
- 15 Además de una o más de las características descritas anteriormente, o como alternativa, realizaciones adicionales pueden incluir dónde el valor de dirección expandido comprende un valor de dirección de núcleo desplazado, el valor de dirección de núcleo desplazado que se desplaza en una cantidad en base a un identificador de subproceso máximo solicitado.
- 20 Además de una o más de las características descritas anteriormente, o como alternativa, realizaciones adicionales pueden incluir dónde el valor de dirección de subproceso se concatena a bits de orden bajo del valor de dirección de núcleo para formar el valor de dirección expandido.
- 25 Además de una o más de las características descritas anteriormente, o como alternativa, realizaciones adicionales pueden incluir conmutar entre el modo MT y el modo ST, y además dónde se selecciona uno del valor de dirección de núcleo o del valor de dirección expandido en base al núcleo que está en un modo ST o modo MT respectivo.
- Además de una o más de las características descritas anteriormente, o como alternativa, realizaciones adicionales pueden incluir dónde se usa una dirección de formato estándar en el modo ST, y el núcleo revierte del modo MT al modo ST en base a deshabilitar el modo MT.
- 30 Además de una o más de las características descritas anteriormente, o como alternativa, realizaciones adicionales pueden incluir dónde es accesible solamente el subproceso primario y no el uno o más subprocesos secundarios en base a la deshabilitación del modo MT.
- Además de una o más de las características descritas anteriormente, o como alternativa, realizaciones adicionales pueden incluir dónde la reversión del modo MT al modo ST incluye además el desplazamiento del valor de dirección expandido y la eliminación del valor de dirección de subproceso.
- 35 Además de una o más de las características descritas anteriormente, o como alternativa, realizaciones adicionales pueden incluir dónde se determina un número de bits de identificador de subproceso en el valor de dirección de subproceso en base a un identificador de subproceso máximo especificado por programa.
- 40 La terminología usada en la presente memoria es con el propósito de describir realizaciones particulares solamente y no se pretende que sea limitante de la invención. Como se usa en la presente memoria, las formas singulares “un”, “una”, “el” y “la” se pretende que incluyan también las formas plurales, a menos que el contexto lo indique claramente de otro modo. Se entenderá además que los términos “comprende” y/o “que comprende”, cuando se usan en esta especificación, especifican la presencia de características, enteros, pasos, operaciones, elementos y/o componentes indicados, pero no excluyen la presencia o adición de una o más de otras características, enteros, pasos, operaciones, componentes de elementos y/o grupos de los mismos.
- 45 Las estructuras, materiales, actos y equivalentes correspondientes de todos los medios o elementos de paso más función en las reivindicaciones a continuación se pretende que incluyan cualquier estructura, material o acto para realizar la función en combinación con otros elementos reivindicados como se reivindica específicamente.
- 50 La terminología usada en la presente memoria fue elegida para explicar mejor los principios de las realizaciones, la aplicación práctica o la mejora técnica sobre las tecnologías encontradas en el mercado, o para permitir que otros expertos en la técnica entiendan las realizaciones descritas en la presente memoria.
- Con referencia ahora a la FIG. 15, se muestra de manera general un producto de programa informático 1500 según una realización que incluye un medio de almacenamiento legible por ordenador 1502 y las instrucciones de programa 1504.

La presente invención puede ser un sistema, un método y/o un producto de programa informático. El producto de programa informático puede incluir un medio (o medios) de almacenamiento legible por ordenador que tiene instrucciones de programa legibles por ordenador en el mismo para hacer que un procesador lleve a cabo los aspectos de la presente invención.

5 El medio de almacenamiento legible por ordenador puede ser un dispositivo tangible que puede retener y almacenar instrucciones para su uso por un dispositivo de ejecución de instrucciones. El medio de almacenamiento legible por ordenador puede ser, por ejemplo, pero no se limita a, un dispositivo de almacenamiento electrónico, un dispositivo de almacenamiento magnético, un dispositivo de almacenamiento óptico, un dispositivo de almacenamiento electromagnético, un dispositivo de almacenamiento de semiconductores, o cualquier combinación adecuada de los anteriores. Una lista no exhaustiva de ejemplos más específicos del medio de almacenamiento legible por ordenador incluye los siguientes: un disquete de ordenador portátil, un disco duro, una memoria de acceso aleatorio (RAM), una memoria de sólo lectura (ROM), una memoria de sólo lectura programable y borrable (EPROM o memoria rápida), una memoria de acceso aleatorio estática (SRAM), una memoria de sólo lectura de disco compacto (CD-ROM) portátil, un disco versátil digital (DVD), una tarjeta de memoria, un disquete, un dispositivo codificado mecánicamente tal como tarjetas perforadas o estructuras elevadas en un surco que tiene instrucciones grabadas sobre ellas, y cualquier combinación adecuada de los anteriores. Un medio de almacenamiento legible por ordenador, como se usa en la presente memoria, no ha de ser interpretado como que son señales transitorias por sí mismas, tales como ondas de radio u otras ondas electromagnéticas que se propagan libremente, ondas electromagnéticas que se propagan a través de una guía de ondas u otros medios de transmisión (por ejemplo, pulsos de luz que pasan a través de un cable de fibra óptica), o señales eléctricas transmitidas a través de un hilo.

Las instrucciones de programa legibles por ordenador descritas en la presente memoria se pueden descargar a dispositivos informáticos/de procesamiento respectivos desde un medio de almacenamiento legible por ordenador o a un ordenador externo o dispositivo de almacenamiento externo a través de una red, por ejemplo, Internet, una red de área local, un red de área extensa y/o una red inalámbrica. La red puede comprender cables de transmisión de cobre, fibras de transmisión óptica, transmisión inalámbrica, encaminadores, cortafuegos, conmutadores, ordenadores de pasarela y/o servidores de borde. Una tarjeta adaptadora de red o interfaz de red en cada dispositivo informático/de procesamiento recibe instrucciones de programa legibles por ordenador de la red y envía las instrucciones de programa legibles por ordenador para su almacenamiento en un medio de almacenamiento legible por ordenador dentro del dispositivo informático/de procesamiento respectivo.

Las instrucciones de programa legibles por ordenador para llevar a cabo operaciones de la presente invención pueden ser instrucciones de ensamblador, instrucciones de arquitectura de conjunto de instrucciones (ISA), instrucciones de máquina, instrucciones dependientes de máquina, microcódigo, instrucciones de microprograma, datos de establecimiento de estado o cualquiera de código fuente o código objeto escrito en cualquier combinación de uno o más lenguajes de programación, incluyendo un lenguaje de programación orientado a objetos tal como Smalltalk, C++ o similar, y lenguajes de programación de procedimiento convencional, tal como el lenguaje de programación "C" o lenguajes de programación similares. Las instrucciones de programa legibles por ordenador pueden ejecutarse completamente en el ordenador del usuario, parcialmente en el ordenador del usuario, como un paquete software autónomo, parcialmente en el ordenador del usuario y parcialmente en un ordenador remoto o enteramente en el ordenador o servidor remoto. En este último escenario, el ordenador remoto se puede conectar al ordenador del usuario a través de cualquier tipo de red, incluyendo una red de área local (LAN) o una red de área extensa (WAN), o la conexión se puede hacer a un ordenador externo (por ejemplo, a través de Internet usando un Proveedor de Servicios de Internet). En algunas realizaciones, circuitería electrónica incluyendo, por ejemplo, circuitería de lógica programable, agrupaciones de puertas programables en campo (FPGA) o agrupaciones de lógica programable (PLA) puede ejecutar las instrucciones de programa legibles por ordenador utilizando información de estado de las instrucciones de programa legibles por ordenador para personalizar la circuitería electrónica, con el fin de realizar los aspectos de la presente invención

Los aspectos de la presente invención se describen en la presente memoria con referencia a ilustraciones de diagrama de flujo y/o diagramas de bloques de métodos, aparatos (sistemas) y productos de programa informático según las realizaciones de la invención. Se entenderá que cada bloque de las ilustraciones de diagramas de flujo y/o diagramas de bloques, y las combinaciones de bloques en las ilustraciones de diagramas de flujo y/o diagramas de bloques, se pueden implementar mediante instrucciones de programa legibles por ordenador.

Estas instrucciones de programa legibles por ordenador se pueden proporcionar a un procesador de un ordenador de propósito general, ordenador de propósito especial u otro aparato de procesamiento de datos programable para producir una máquina, de manera que las instrucciones, que se ejecutan a través del procesador del ordenador u otro aparato de procesamiento de datos programable, crean medios para implementar las funciones/actos especificados en el diagrama de flujo y/o bloques o bloques del diagrama de bloques. Estas instrucciones de programa legibles por ordenador también se pueden almacenar en un medio de almacenamiento legible por ordenador que puede dirigir un ordenador, un aparato de procesamiento de datos programable y/u otros dispositivos para funcionar de una manera particular, de manera que el medio de almacenamiento legible por ordenador que tiene instrucciones almacenadas dentro del mismo comprende un artículo de fabricación que incluye instrucciones que implementan aspectos de la función/acto especificado en el diagrama de flujo y/o el bloque o bloques del diagrama de bloques.

5 Las instrucciones de programa legibles por ordenador también se pueden cargar en un ordenador, otro aparato de procesamiento de datos programable u otro dispositivo para hacer que una serie de pasos operativos sean realizados en el ordenador, otro aparato programable u otro dispositivo para producir un proceso implementado por ordenador, de manera que las instrucciones que se ejecutan en el ordenador, otro aparato programable u otro dispositivo implementen las funciones/actos especificados en el diagrama de flujo y/o el bloque o bloques del diagrama de bloques.

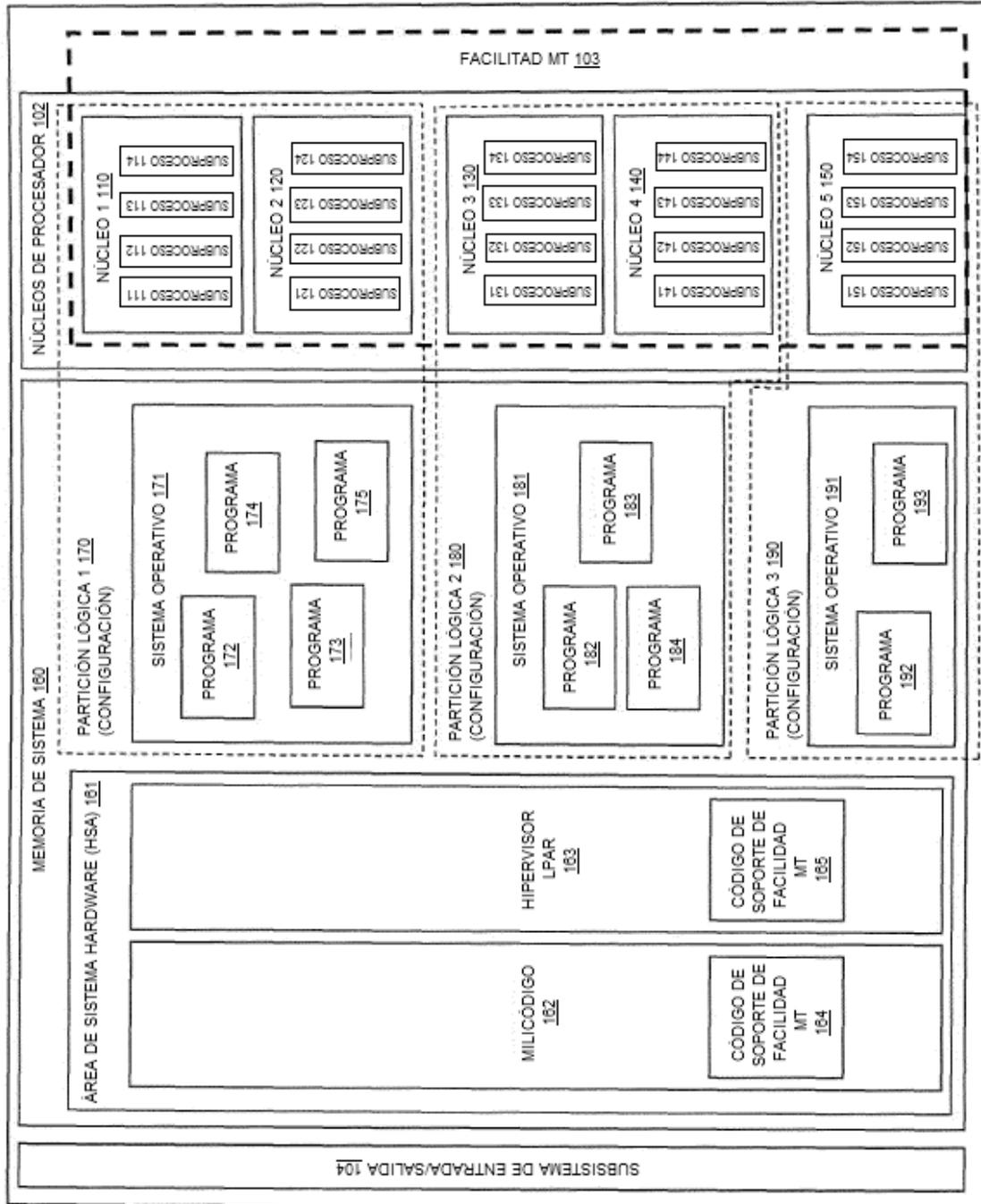
10 El diagrama de flujo y los diagramas de bloques en las Figuras ilustran la arquitectura, funcionalidad y operación de posibles implementaciones de sistemas, métodos y productos de programa informático según diversas realizaciones de la presente invención. A este respecto, cada bloque en el diagrama de flujo o diagramas de bloques pueden representar un módulo, segmento o parte de instrucciones, que comprende una o más instrucciones ejecutables para implementar la función o funciones lógicas especificadas. En algunas implementaciones alternativas, las funciones señaladas en el bloque pueden ocurrir fuera del orden señalado en las figuras. Por ejemplo, dos bloques mostrados en sucesión se pueden ejecutar, de hecho, sustancialmente concurrentemente, o los bloques se pueden ejecutar algunas veces en el orden inverso, dependiendo de la funcionalidad implicada. También se observará que
15 cada bloque de los diagramas de bloques y/o la ilustración del diagrama de flujo, y las combinaciones de bloques en los diagramas de bloques y/o la ilustración del diagrama de flujo, se pueden implementar mediante sistemas basados en hardware de propósito especial que realizan las funciones o actos especificados o llevan a cabo combinaciones de hardware de propósito especial e instrucciones de ordenador.

REIVINDICACIONES

1. Un sistema informático, que comprende:
 - una configuración (102) que comprende un núcleo configurable entre un modo de subproceso único (ST) y un modo de subprocesamiento múltiple (MT), el modo ST que se dirige a un subproceso primario y el modo MT que se dirige al subproceso primario y a uno o más subprocesos secundarios sobre recursos compartidos del núcleo; y
 - una facilidad de subprocesamiento múltiple (103) configurada para controlar la utilización de la configuración, en donde la facilidad de subprocesamiento múltiple está adaptada para:
 - acceder al subproceso primario en el modo ST usando un valor de dirección de núcleo;
 - conmutar del modo ST al modo MT; y
 - acceder al subproceso primario o a uno del uno o más subprocesos secundarios en el modo MT,
 - y caracterizado por que la facilidad de subprocesamiento múltiple está adaptada para acceder al subproceso primario o a uno del uno o más subprocesos secundarios en el modo MT usando un valor de dirección expandido, comprendiendo el valor de dirección expandido el valor de dirección de núcleo concatenado con un valor de dirección de subproceso.
2. El sistema informático según la reivindicación 1, en donde el valor de dirección expandido comprende un valor de dirección de núcleo desplazado, el valor de dirección de núcleo desplazado estando desplazado en una cantidad basada en un identificador de subproceso máximo solicitado.
3. El sistema informático según la reivindicación 1, en donde el valor de dirección de subproceso se concatena a bits de orden bajo del valor de dirección de núcleo para formar el valor de dirección expandido.
4. El sistema informático según la reivindicación 1, en donde la facilidad de subprocesamiento múltiple está adaptada además para conmutar entre el modo MT y el modo ST, y para seleccionar uno del valor de dirección de núcleo o el valor de dirección expandido basado en el núcleo que está en un modo ST o modo MT respectivo.
5. El sistema informático según la reivindicación 4, en donde se usa una dirección de formato estándar en el modo ST, y el núcleo está adaptado para revertir desde el modo MT al modo ST en base a la deshabilitación del modo MT.
6. El sistema informático según la reivindicación 5, en donde solamente el subproceso primario y no el uno o más subprocesos secundarios es accesible en base a la deshabilitación del modo MT.
7. El sistema informático según la reivindicación 5, en donde la reversión desde el modo MT al modo ST comprende además el desplazamiento del valor de dirección expandido y la eliminación del valor de dirección de subproceso.
8. El sistema informático según la reivindicación 1, en donde un número de bits de identificador de subproceso en el valor de dirección de subproceso se determina en base a un identificador de subproceso máximo especificado por programa.
9. Un método implementado por ordenador para el ajuste de direcciones en una configuración que comprende un núcleo configurable entre un modo de subproceso único (ST) y un modo de subprocesamiento múltiple (MT), el modo ST que dirige a un subproceso primario y el modo MT que dirige al subproceso primario y a uno o más subprocesos secundarios en recursos compartidos del núcleo, el método que comprende:
 - (502) acceder al subproceso primario en el modo ST usando un valor de dirección de núcleo;
 - (512) conmutar del modo ST al modo MT; y
 - (514) acceder al subproceso primario o a uno del uno o más subprocesos secundarios en el modo MT,
 - y caracterizado por que el acceso al subproceso primario o a uno del uno o más subprocesos secundarios en el modo MT comprende usar un valor de dirección expandido, comprendiendo el valor de dirección expandido el valor de dirección de núcleo concatenado con un valor de dirección de subproceso.
10. El método según la reivindicación 9, en donde el valor de dirección expandido comprende un valor de dirección de núcleo desplazado, el valor de dirección de núcleo desplazado estando desplazado en una cantidad basada en un identificador de subproceso máximo solicitado.
11. El método según la reivindicación 9, en donde el valor de dirección de subproceso se concatena con bits de orden bajo del valor de dirección de núcleo para formar el valor de dirección expandido.
12. El método según la reivindicación 9, que comprende además:

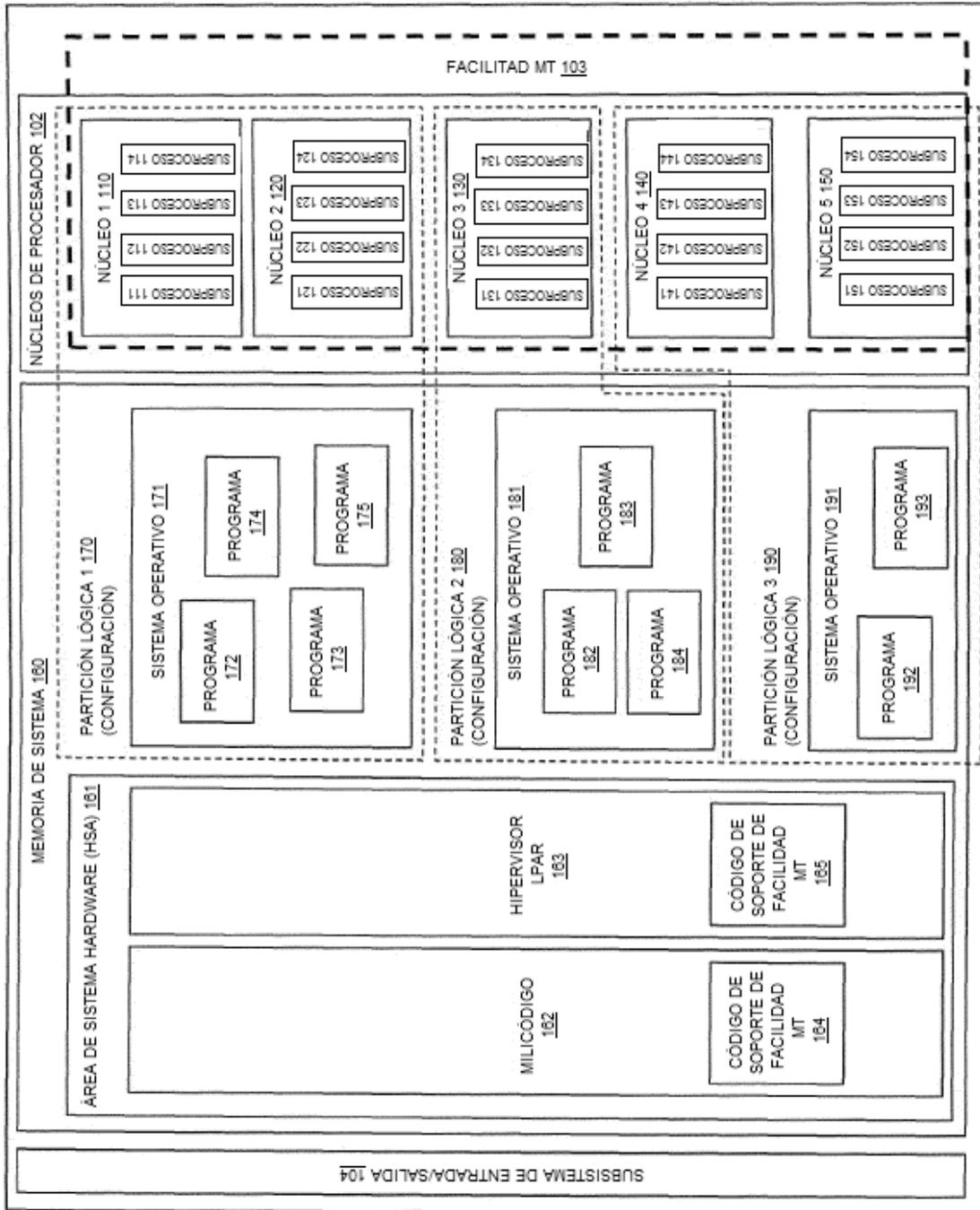
conmutar entre el modo MT y el modo ST, en donde se selecciona uno del valor de dirección de núcleo o el valor de dirección expandido en base al núcleo que está en un modo ST o modo MT respectivo.

13. El método según la reivindicación 12, en donde una dirección de formato estándar se usa en el modo ST, y el núcleo revierte del modo MT al modo ST en base a la deshabilitación del modo MT.
- 5 14. El método según la reivindicación 13, en donde solamente el subproceso primario y no el uno o más subprocesos secundarios es accesible en base a la deshabilitación del modo MT.
15. El método según la reivindicación 9, en donde un número de bits de identificador de subproceso en el valor de dirección de subproceso se determina en base a un identificador de subproceso máximo especificado por programa.
- 10 16. Un producto de programa informático para ajuste de direcciones en una configuración que comprende un núcleo configurable entre un modo de subproceso único (ST) y un modo de subprocesamiento múltiple (MT), el modo ST que se dirige a un subproceso primario y el modo MT que se dirige al subproceso primario y a uno o más subprocesos secundarios en los recursos compartidos del núcleo, el producto del programa informático que comprende:
- 15 un medio de almacenamiento legible por ordenador que tiene instrucciones de programa incorporadas con el mismo, en donde el medio de almacenamiento legible por ordenador no es una señal, las instrucciones de programa legibles por un circuito de procesamiento hacen que el circuito de procesamiento realice el método según una cualquiera de las reivindicaciones 9 a 15.



100

FIG. 1A



100

FIG. 1B

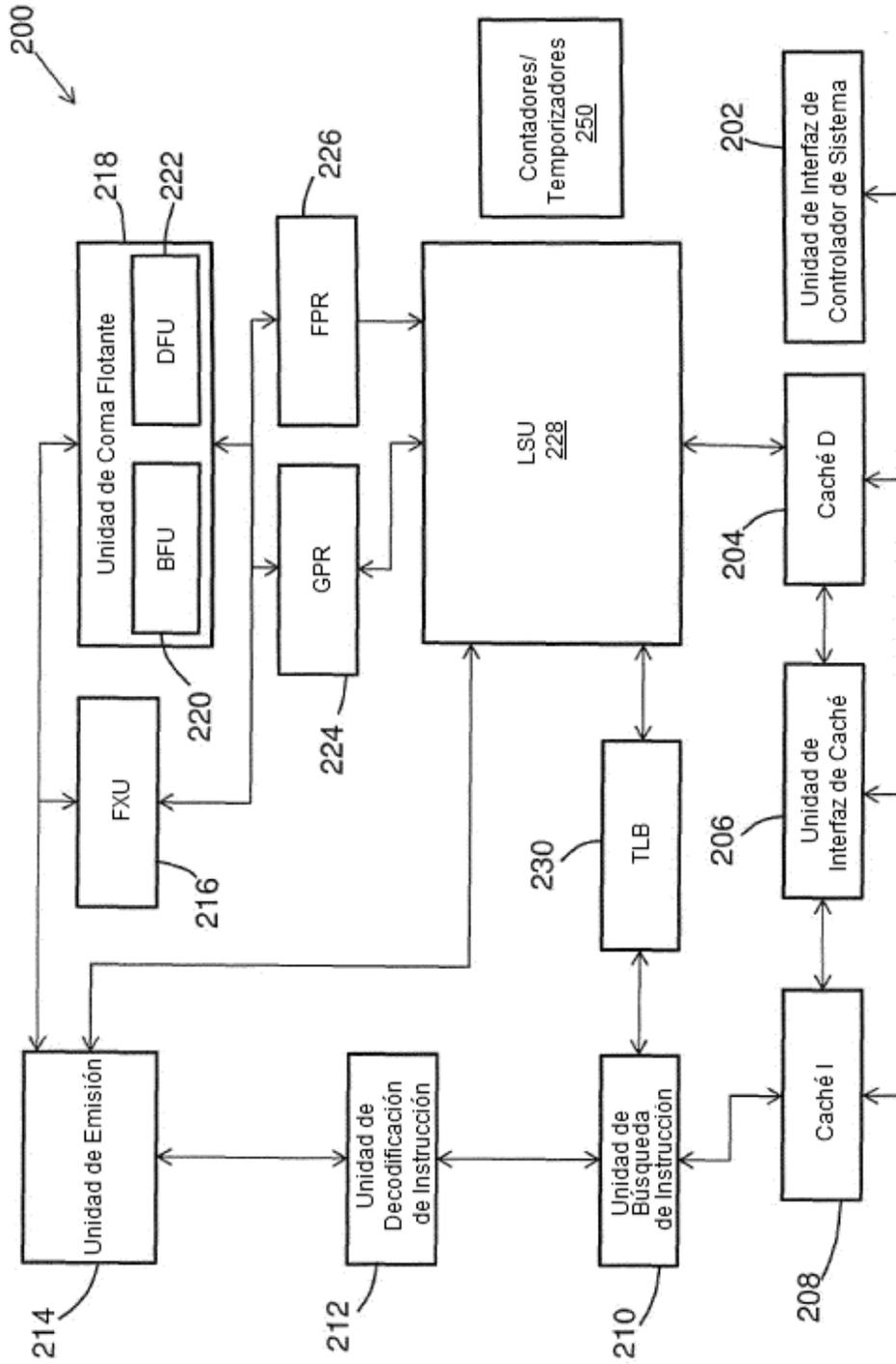
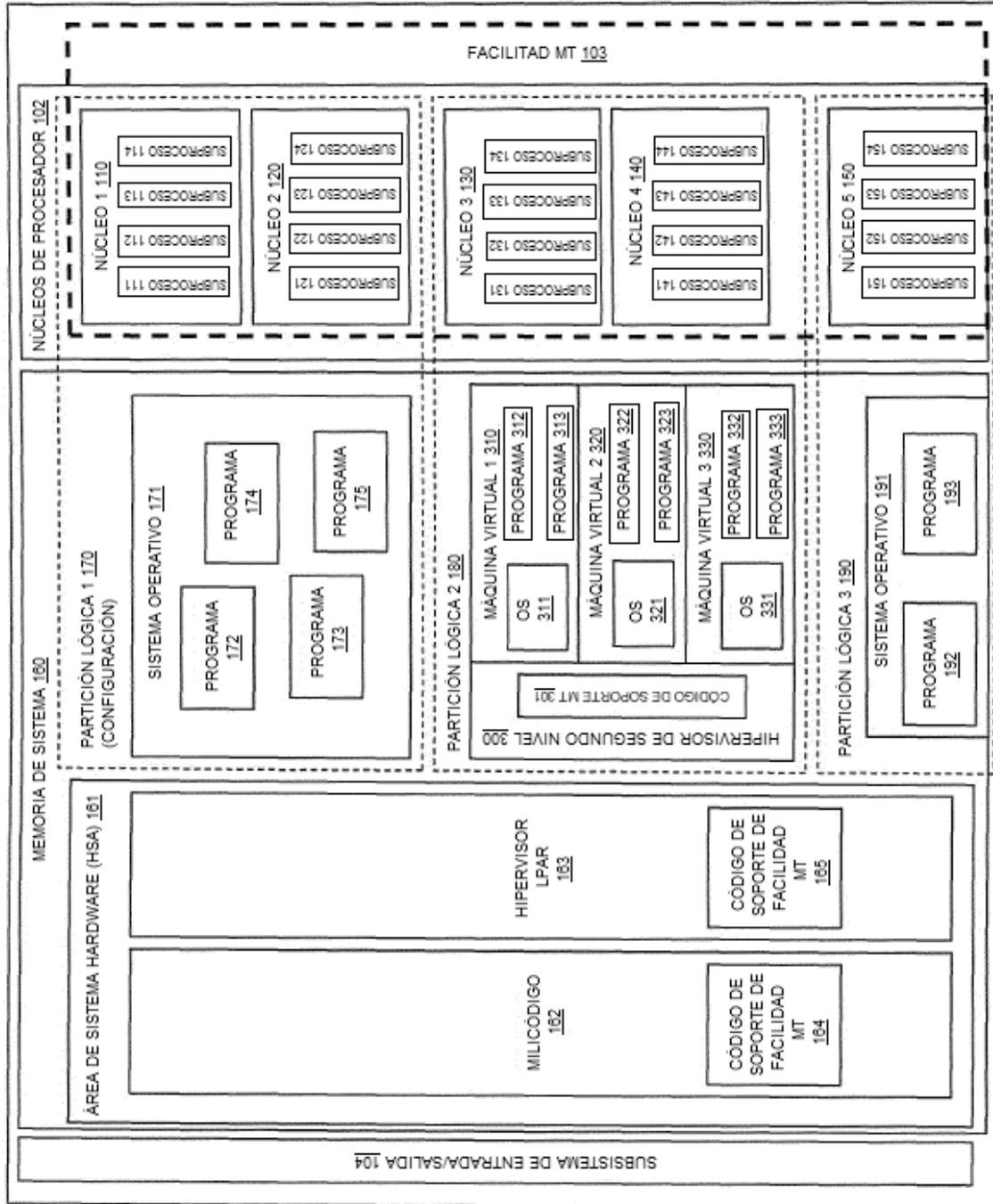


FIG. 2



100

FIG. 3

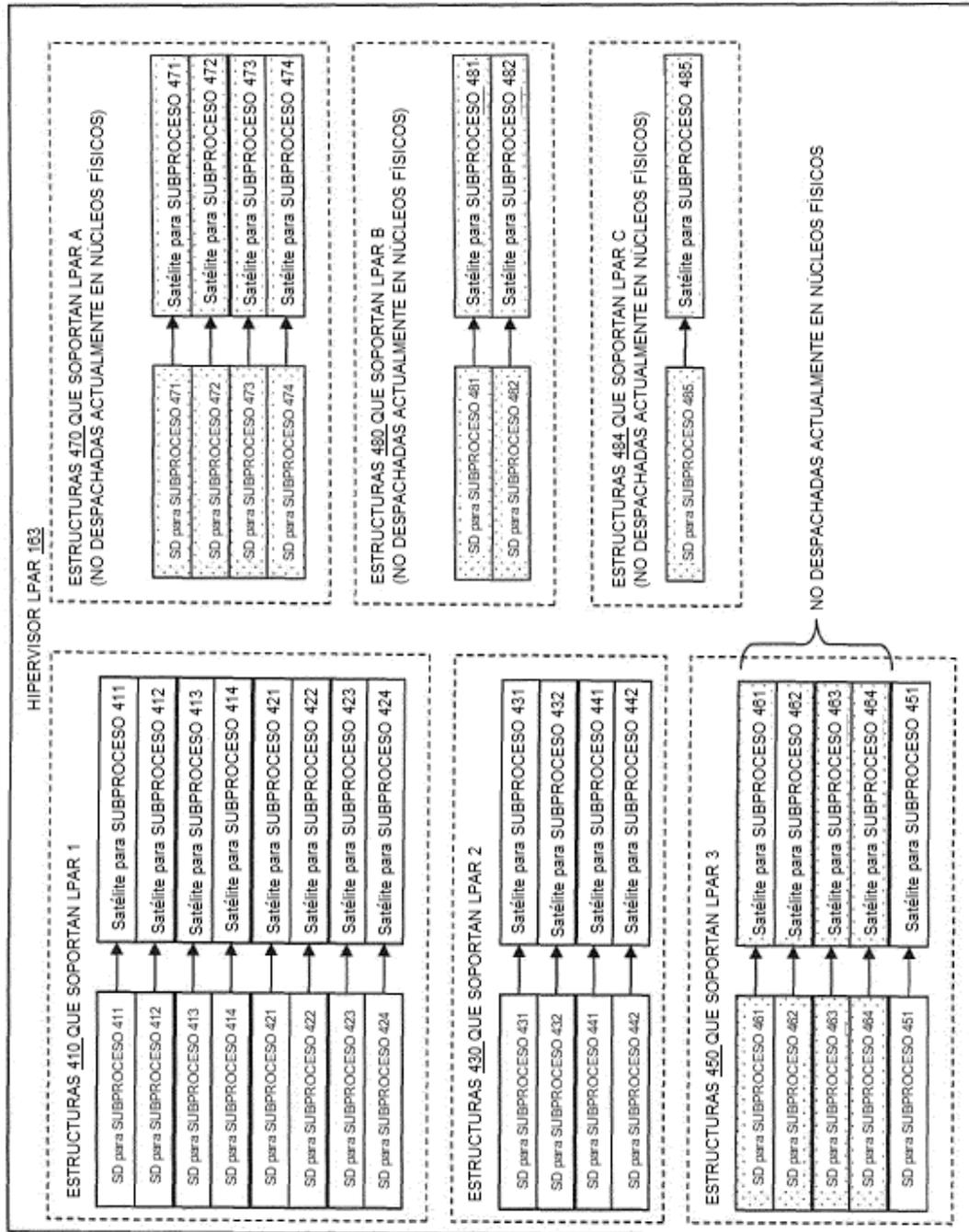


FIG. 4

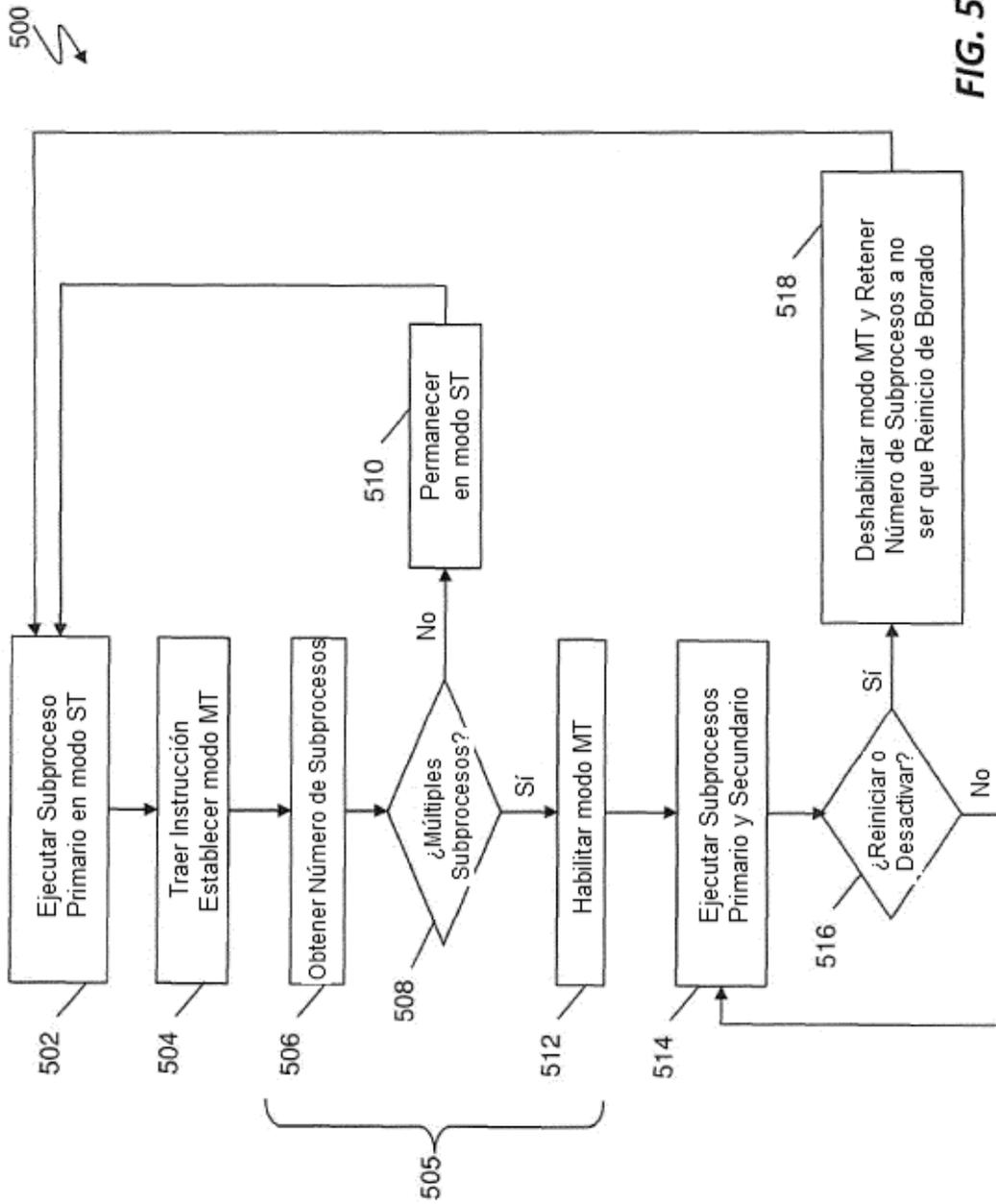


FIG. 5

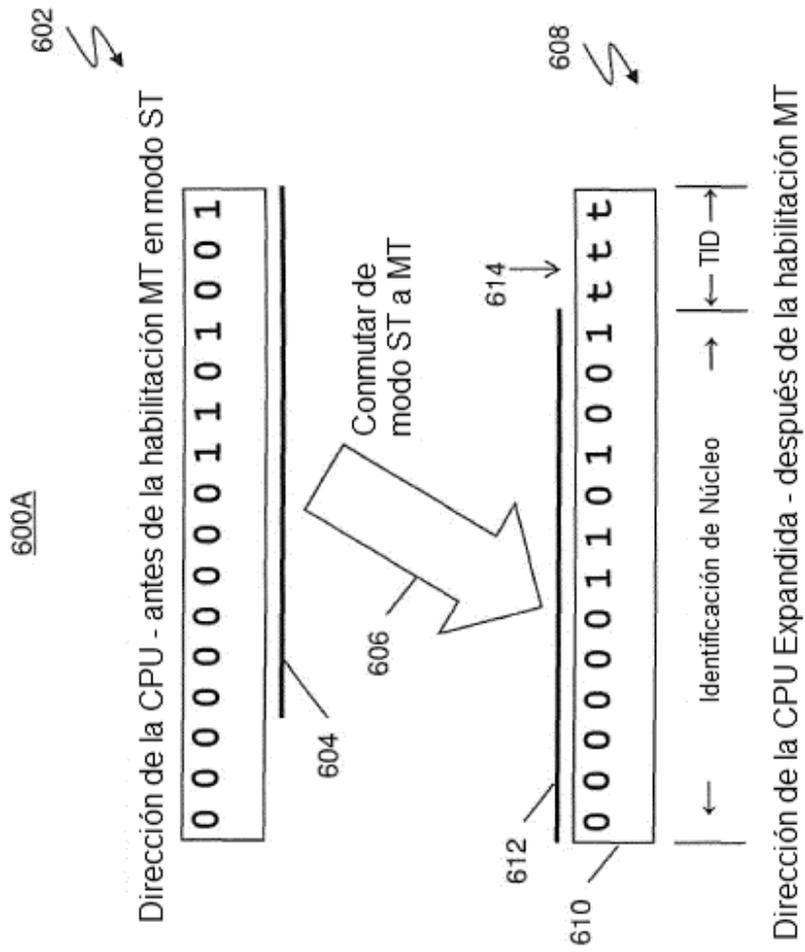


FIG. 6A

600B

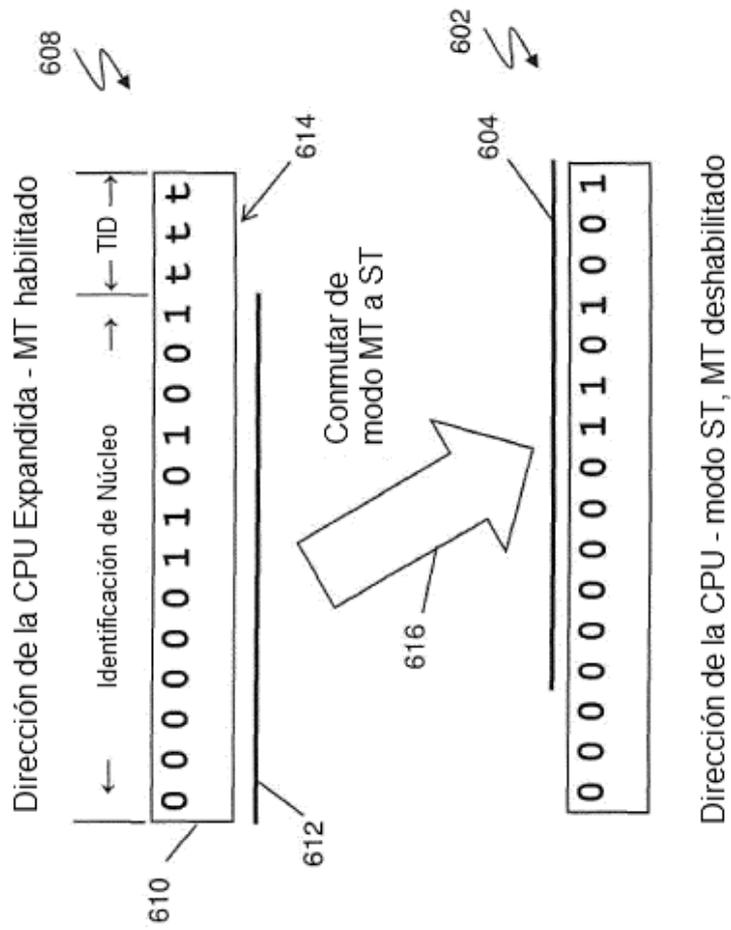


FIG. 6B

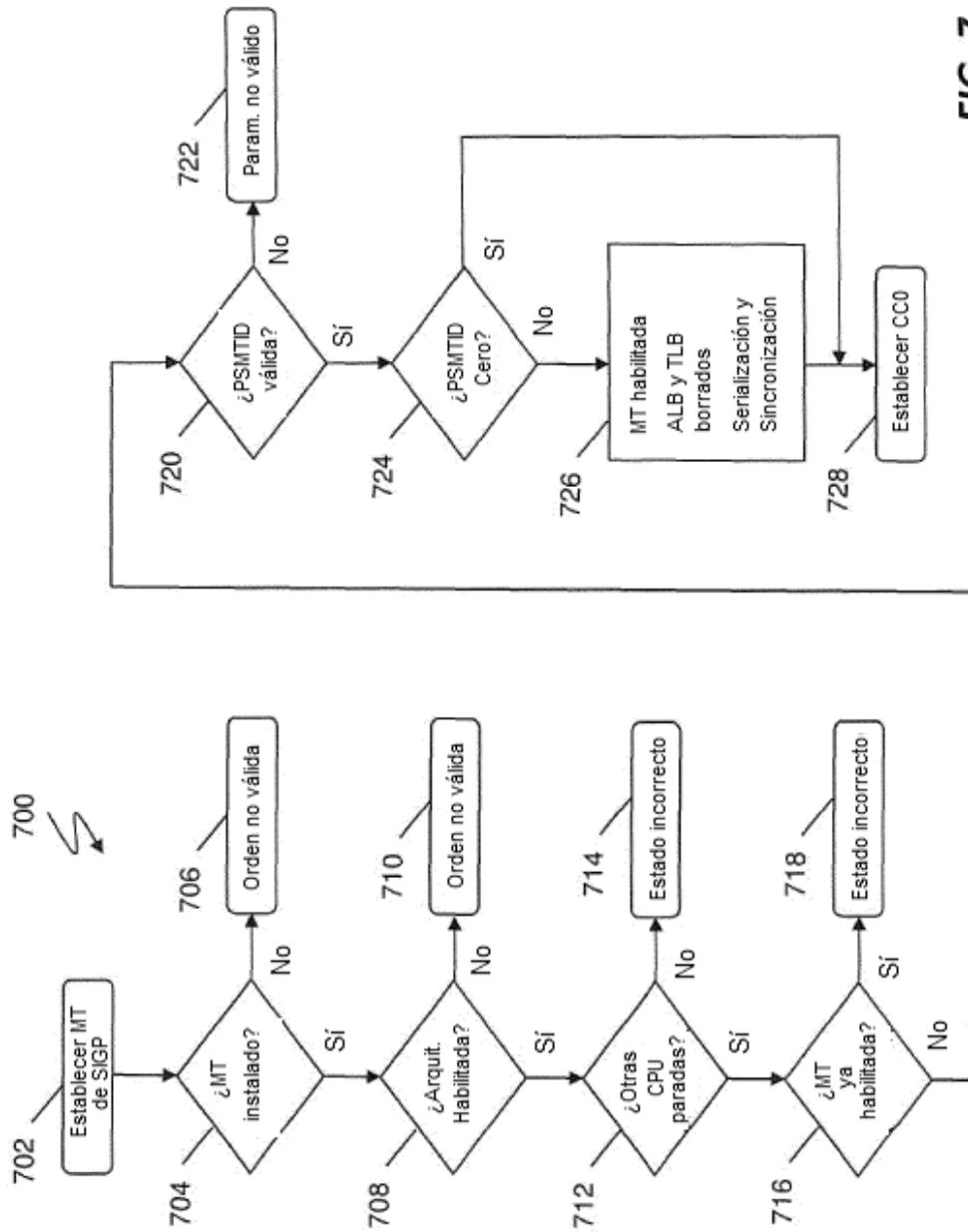


FIG. 7

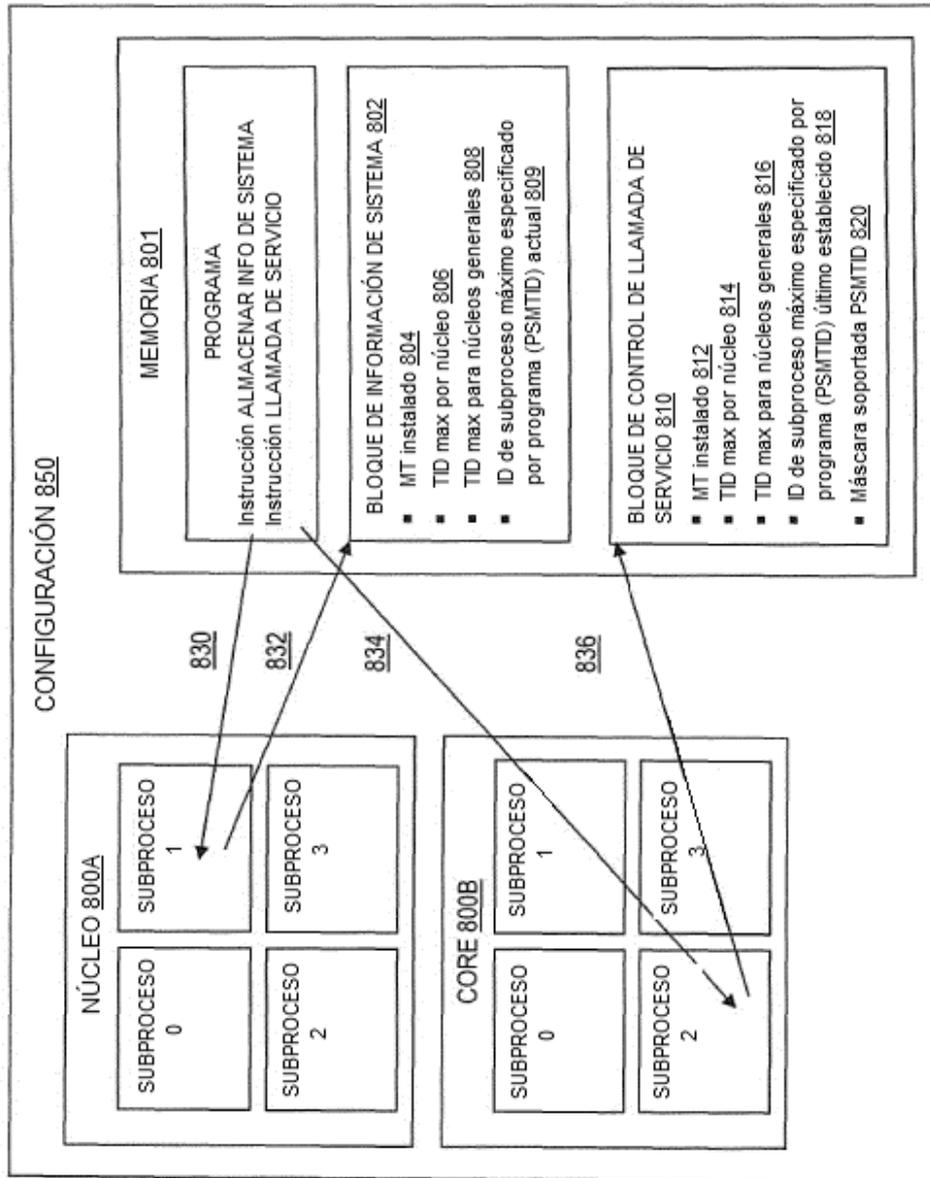


FIG. 8

900
↘

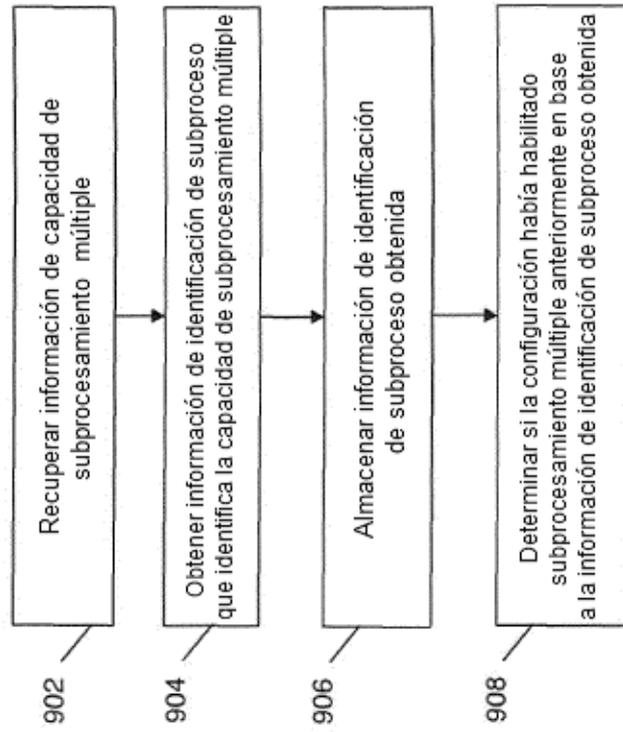


FIG. 9

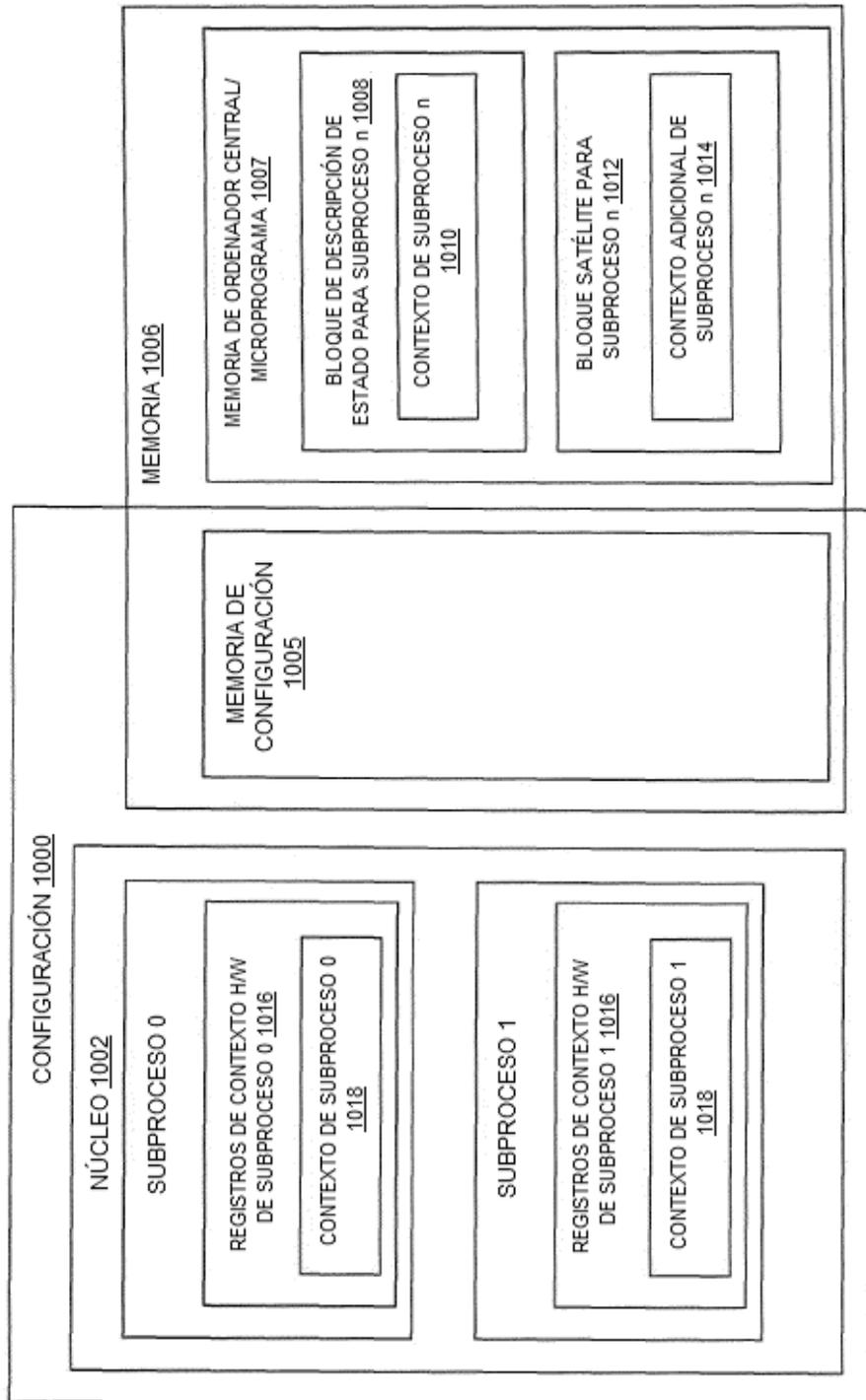


FIG. 10

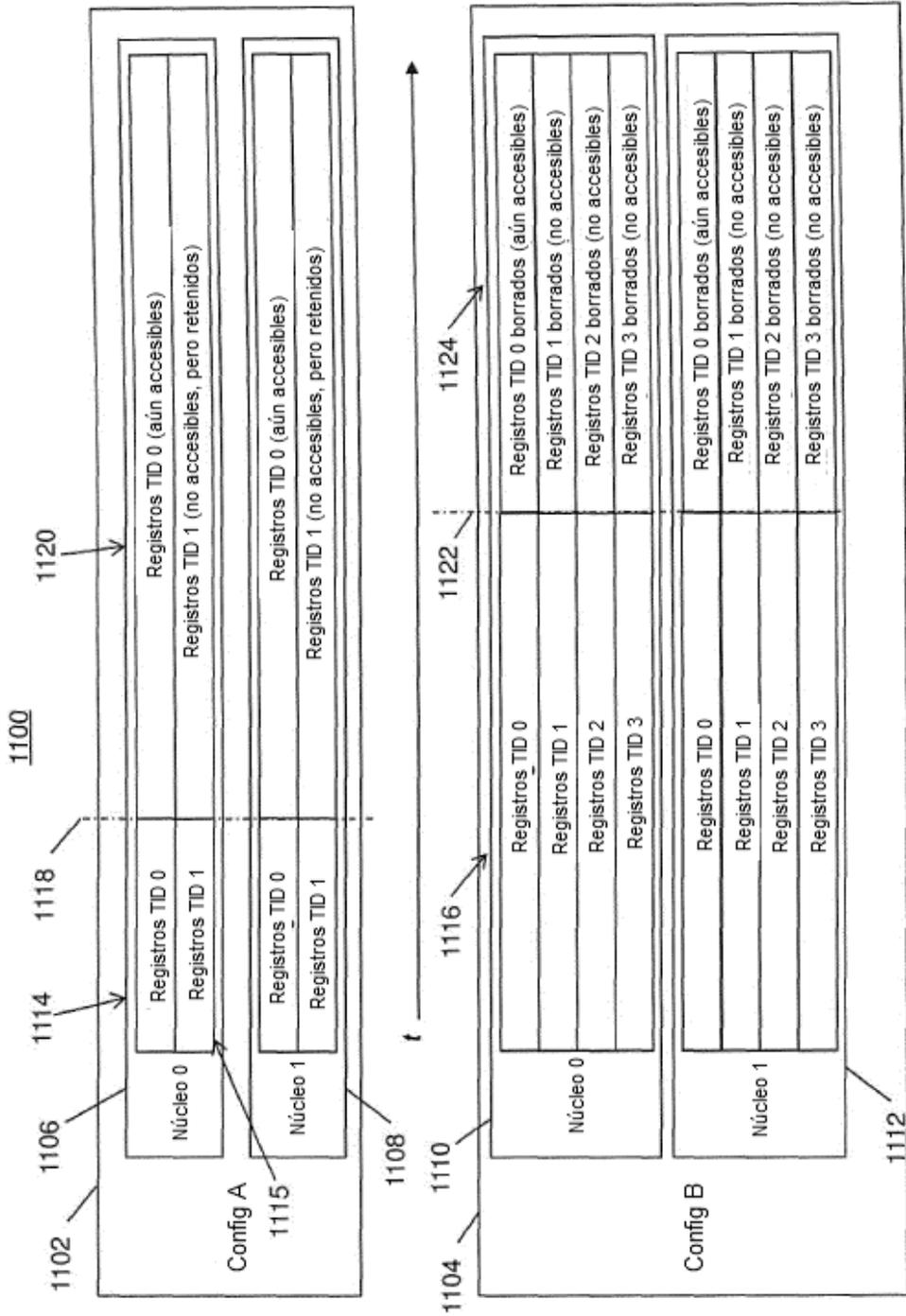


FIG. 11

1200 ↘

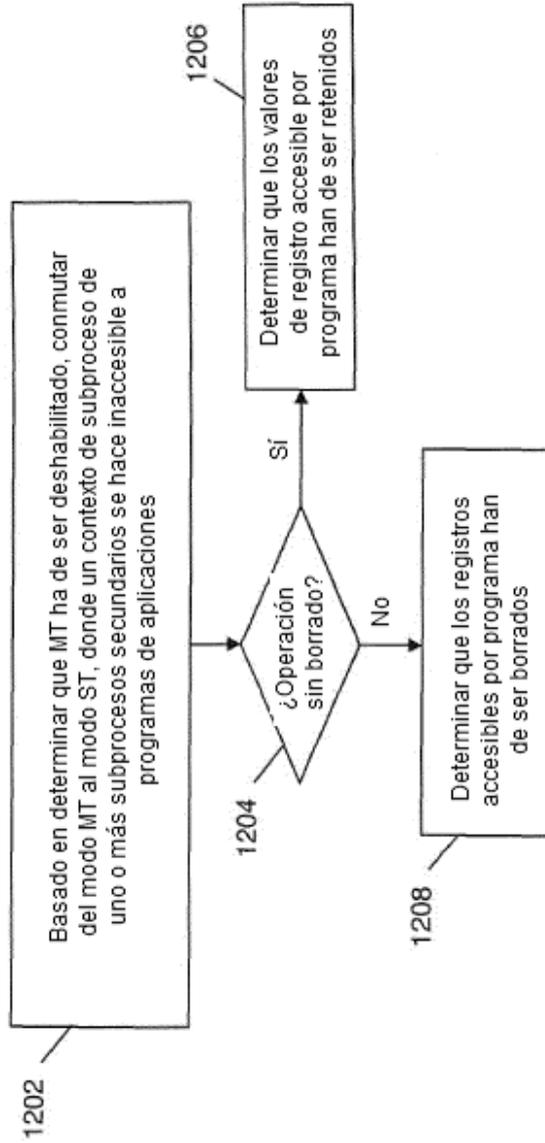


FIG. 12

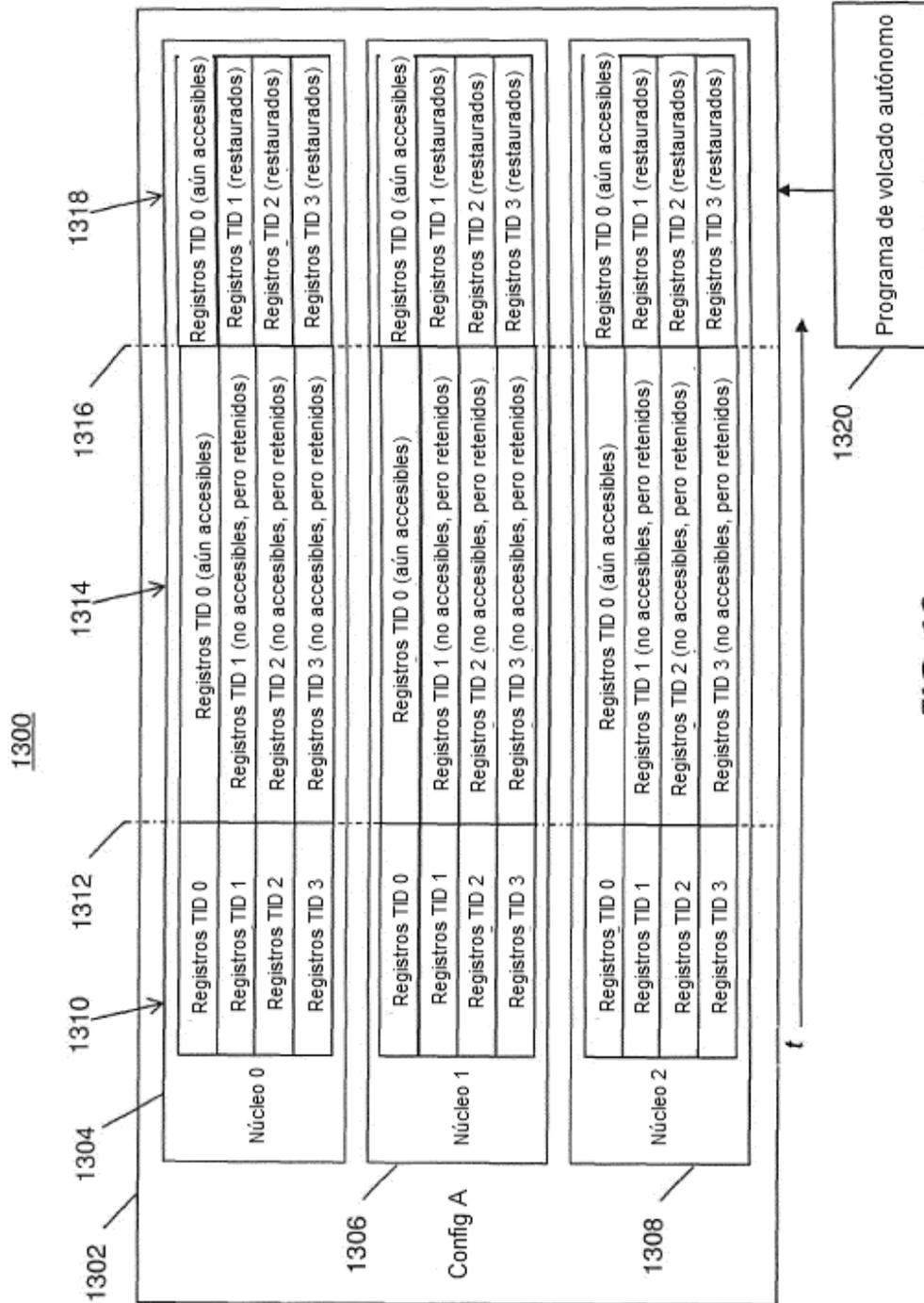


FIG. 13

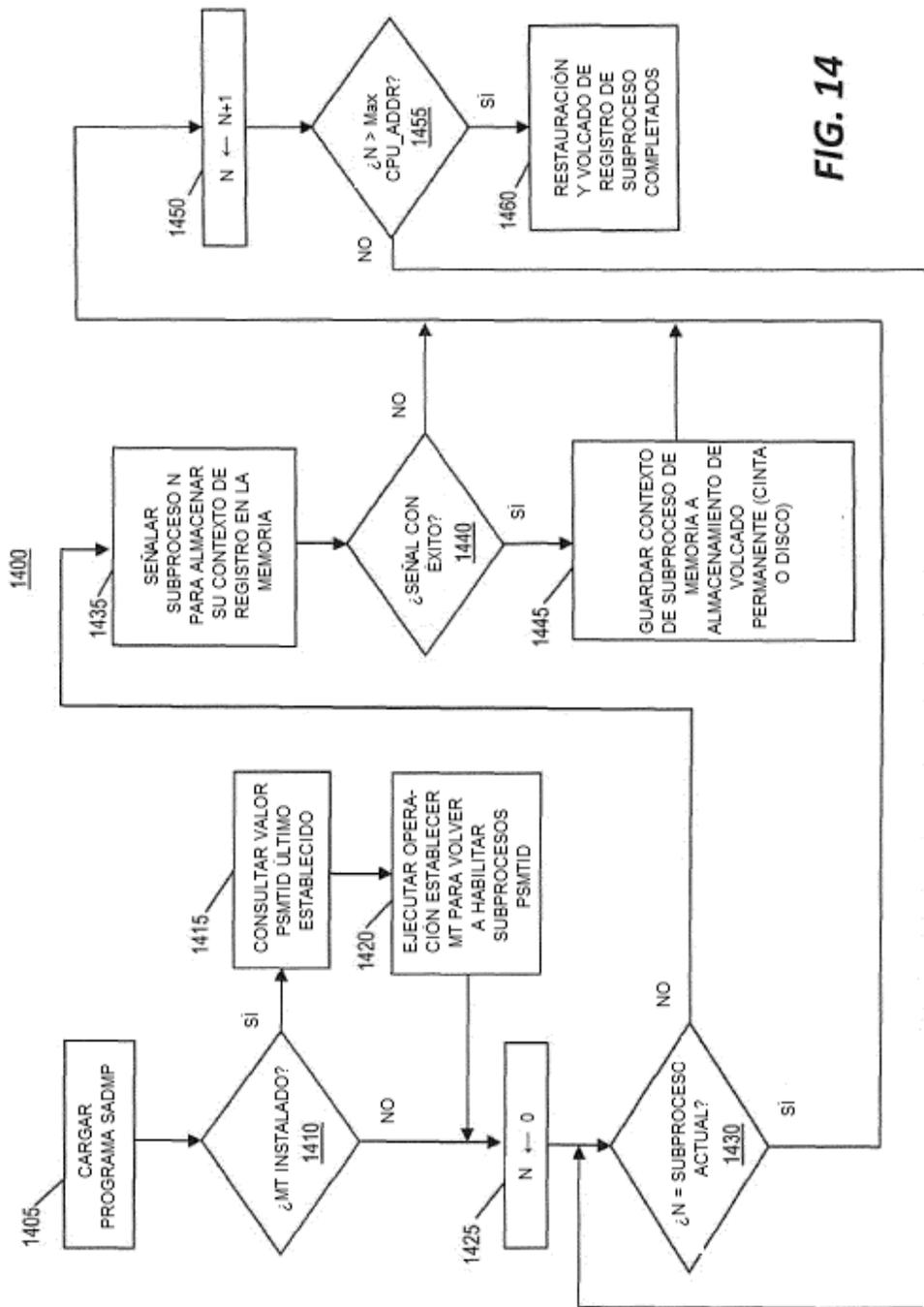


FIG. 14

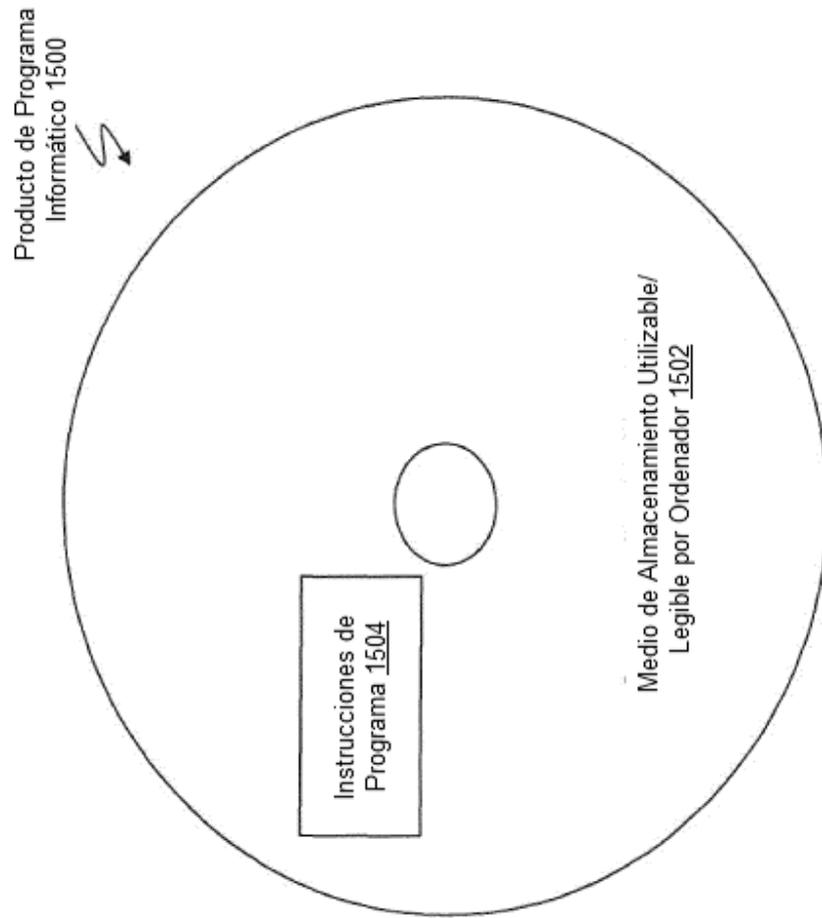


FIG. 15