

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 674 724**

51 Int. Cl.:

**H02H 3/20** (2006.01)

**H01L 29/87** (2006.01)

**H01L 27/02** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **28.08.2008 PCT/US2008/010197**

87 Fecha y número de publicación internacional: **12.03.2009 WO09032159**

96 Fecha de presentación y número de la solicitud europea: **28.08.2008 E 08795671 (0)**

97 Fecha y número de publicación de la concesión europea: **02.05.2018 EP 2183832**

54 Título: **Dispositivo semiconductor de baja capacitancia**

30 Prioridad:

**28.08.2007 US 895921**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**03.07.2018**

73 Titular/es:

**LITTELFUSE, INC. (100.0%)  
800 East Northwest Highway  
Des Plaines, IL 60016-3096, US**

72 Inventor/es:

**RODRIGUES, RICHARD, A.**

74 Agente/Representante:

**CURELL AGUILÁ, Mireia**

**ES 2 674 724 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Dispositivo semiconductor de baja capacitancia.

5 **Campo técnico de la invención**

La presente invención se refiere, generalmente, a dispositivos semiconductores, y más particularmente, a dispositivos de protección contra sobretensión en semiconductores.

10 **Antecedentes de la invención**

Los dispositivos de protección contra sobretensiones, o dispositivos de protección contra sobretensión, se han desarrollado considerablemente para proteger equipos eléctricos, especialmente circuitos semiconductores, contra daños debidos a transitorios peligrosos de tensión. Los transitorios de tensión que se producen en conductores, tales como líneas de comunicación, pueden venir provocados por rayos, por descargas electrostáticas, campos electromagnéticos, etcétera. Típicamente, los dispositivos de protección contra sobretensiones han incluido unos dispositivos semiconductores de cuatro capas, concretamente, tiristores. Idealmente, un dispositivo de protección contra sobretensiones debe tener una respuesta muy rápida para suprimir tensiones transitorias de alta velocidad con un sobreimpulso muy pequeño, deben tener una capacidad conductora de corriente muy alta, y deben presentar una capacitancia muy reducida.

Uno de los dispositivos de protección contra sobretensiones que ha experimentado un uso generalizado es un tiristor de dos terminales que utiliza cuatro capas semiconductoras y zonas enterradas para facilitar y controlar la activación del dispositivo como respuesta a tensiones transitorias. Dichos dispositivos se conocen como dispositivos de protección contra sobretensiones Sidactor<sup>®</sup> que son suministrados por Littlefuse, Inc., Des Plaines, Illinois, con el nombre comercial de Teccor<sup>®</sup>. La incorporación de zonas enterradas en un dispositivo de protección contra sobretensiones se da a conocer en las patentes US n.º 5.479.031 de Webb *et al.*, 6.084.253 de Turner, Jr., 6.531.717 de Casey, *et al.*, 6.956.248 de Casey *et al.* y en la solicitud de patente europea EP0700099-A2.

Las zonas enterradas en un dispositivo de tiristor determinan, o al menos afectan significativamente a muchos parámetros de funcionamiento del dispositivo. El número y la colocación de las zonas enterradas afectan a la respuesta de activación del dispositivo. La concentración de impurezas de las zonas enterradas determina el voltaje de transición conductiva (*breakover voltage*) del dispositivo de tiristor, es decir, la tensión en la cual el dispositivo entra en una zona de resistencia negativa de baja impedancia. Cuanto mayor sea la concentración de impurezas en las zonas enterradas, menor será el voltaje de transición conductiva del dispositivo. Típicamente, las zonas enterradas se forman depositando una concentración elevada de un dopante en la superficie de la oblea durante un periodo prolongado de tiempo, tal como 30 horas, y, a continuación, impulsando el dopante en la oblea durante otras 30 horas. Para impulsar los dopantes de manera profunda en la oblea se requieren una alta temperatura y una planificación de largo plazo. Una vez que se han formado las zonas enterradas, sobre ellas se forma una zona de base, y, en la zona de base, se forma la zona de emisor o cátodo, nuevamente a temperaturas convencionales elevadas de procesamiento de los semiconductores.

La Fig. 1 ilustra la construcción detallada de un dispositivo unidireccional de protección contra sobretensión 8 fabricado de acuerdo con planteamientos de la técnica anterior. El dispositivo 8 está formado en la superficie superior de un sustrato de silicio de tipo P 10, que se muestra entre contactos metálicos 26 y 28. La zona semiconductor 12 se encuentra en la parte central del sustrato semiconductor 10, y define tanto la zona central del tiristor de cuatro capas como la base de un transistor PNP. En la superficie superior del sustrato 10 se forma una primera zona de base de tipo N 14, y en la superficie inferior del sustrato 10 se forma una segunda zona de ánodo de tipo N 16. No obstante, en la zona central 12 se forman varias zonas enterradas, fuertemente dopadas, 18, mediante técnicas convencionales de difusión en semiconductores, antes de que se forme la zona de base o bien 14 o bien 16. Las zonas enterradas 18 se forman depositando iones de boro durante aproximadamente tres días, lo cual da como resultado una concentración de saturación de aproximadamente  $10^{19}$  átomos por  $\text{cm}^3$  en la superficie del sustrato 10, y una profundidad de aproximadamente 80 micras. La concentración de impurezas es eficaz para proporcionar un voltaje de transición conductiva en el intervalo de aproximadamente 8 a 12 voltios. La oblea experimenta un proceso de difusión a una temperatura de aproximadamente  $1.275^\circ\text{C}$  durante aproximadamente tres días para activar los iones de boro. Después de la activación de los iones de boro, los dos lados del sustrato semiconductor 10 se someten a otro proceso de difusión en el cual se forman la zona de base de tipo N 14 y la zona de ánodo 16. La concentración de la impureza de tipo N debe ser suficiente para compensar el boro del tipo P en las zonas enterradas 18. Como consecuencia, entre la zona de base 14 y las zonas enterradas 18 se forman uniones 20. Es esta unión 20 la que determina el voltaje de transición conductiva del dispositivo. La ruptura por avalancha de la unión proporciona una característica de resistencia negativa al dispositivo. En la zona de base 14 se forma un emisor de tipo P 22, con agujeros en el mismo que definen puntos de cortocircuito 24. Los puntos de cortocircuito 24 en el emisor 22 se pueden formar sobre las zonas enterradas 18 tal como se divulga en la patente US n.º 5.479.031. Alternativamente, las zonas enterradas 18 pueden estar completamente desplazadas con respecto a los bordes del emisor tal como se divulga en la patente US n.º

6.531.717. Un contacto metálico de emisor 26 se forma en contacto eléctrico tanto con los puntos de cortocircuito 24 de la zona de base 14 como con el emisor 22. En la parte inferior del chip se forma un contacto metálico de ánodo 28 en contacto eléctrico con la zona de ánodo 16.

5 Aunque lo descrito anteriormente consume mucho tiempo, y, por lo tanto, es económicamente costoso, representa el procedimiento convencionalmente aceptado para fabricar tiristores de dos terminales, del tipo dispositivo de protección contra sobretensiones Sidactor. Una de las desventajas del procedimiento anterior de formación de zonas enterradas es que dichas zonas no se pueden realizar, generalmente, con un área pequeña, y, por lo tanto, con una capacitancia pequeña, en la medida en la que las etapas de procesado de alta temperatura provocan que las impurezas se difundan hacia fuera en todas las direcciones en la oblea. Por lo tanto, cuanto mayor sea la profundidad a la que se forman las zonas enterradas, más se desarrollarán las mismas en función del tiempo y la temperatura. Cuando el chip experimenta un procesado de alta temperatura, las impurezas en las zonas enterradas se difunden hacia fuera, reduciéndose así la concentración de la impureza. La reducción de la concentración de impurezas de las zonas enterradas hace que aumente, de manera correspondiente, el voltaje de transición conductiva del dispositivo. Por lo tanto, resulta difícil conseguir un control ajustado sobre el voltaje de transición conductiva. Cuando las zonas enterradas forman uniones de gran área con la zona de base del chip, la capacitancia de dicho dispositivo es, de manera correspondiente, elevada. Los tiristores de gran capacitancia pueden resultar adecuados para algunas aplicaciones, pero no aplicaciones de transmisión de datos de alta velocidad, tales como en DSL, VDSL o con otros protocolos de transmisión para líneas de comunicación de alta velocidad.

Una preocupación adicional es que, si se requieren dispositivos de protección contra sobretensiones de baja tensión, tales como para líneas de transmisión digitales, entonces las zonas enterradas deben tener niveles de impurezas de alta concentración para reducir el voltaje de transición conductiva inverso de las uniones asociadas a las zonas enterradas. Nuevamente, en las zonas enterradas profundamente en el chip semiconductor resulta más difícil lograr niveles de alta concentración, ya que existe un límite en cuanto a la concentración del dopante depositado en la superficie del chip. En muchos casos, la concentración de las impurezas depositadas en la superficie del sustrato semiconductor para formar las zonas enterradas se encuentra en un nivel de saturación, para un funcionamiento de baja tensión. Entonces, a medida que se lleva a cabo el proceso de difusión prolongado para mover los dopantes a niveles profundos en el chip semiconductor, la concentración del dopante se hace menor en función de la distancia con respecto a la superficie del chip. Por consiguiente, resulta difícil y costoso fabricar dispositivos de protección contra sobretensiones, que tengan tensiones de ruptura bajas útiles en la protección de líneas digitales y otras líneas de baja tensión.

35 La patente US nº 4.314.266 se refiere a un tiristor con control de corriente de ruptura de tensión separado del emisor principal por una zona de limitación de corriente. Se proporciona un tiristor del tipo que presenta una zona localizada de ruptura de tensión, con medios limitadores de corriente para controlar la corriente a través del dispositivo durante la ruptura inicial de tensión. La zona de base del tiristor se divide en dos partes de base separadas al menos parcialmente, una de las cuales se encuentra en las proximidades de la zona de ruptura localizada. La otra parte de base se encuentra en la parte conductora de corriente principal del tiristor en contacto con el emisor principal. Las dos partes de base están conectadas eléctricamente a través de medios limitadores de corriente. Cuando se produce una ruptura por una tensión directa de ánodo-cátodo que supera el voltaje de transición conductiva directo del tiristor, la subida de corriente es limitada por los medios limitadores de corriente.

45 El documento FR 2 598 043 A1 divulga un componente semiconductor destinado a proteger circuitos eléctricos contra sobretensiones y sobrecorrientes, debidas particularmente a rayos. Con el fin de mejorar las condiciones de energización de dicho componente, con independencia de la forma de onda de la sobretensión que aparezca entre terminales, se proporciona una estructura concéntrica con un diodo Zener (zona A) en el centro de un tiristor auxiliar (zona B), que se encuentra, a su vez, en el centro de un tiristor principal (zona A). En caso de una sobretensión, el diodo Zener conduce y establece una corriente de disparo para el tiristor auxiliar y el tiristor principal. El tiristor auxiliar se activa antes que el tiristor principal, y proporciona una corriente con pendiente de subida brusca que contribuye a la energización uniforme del tiristor principal. Este principio se puede ampliar a estructuras bidireccionales.

55 A partir de lo anterior, puede observarse que existe una necesidad de un proceso y un producto correspondiente que permita la formación de zonas enterradas profundas de manera que puedan fabricarse, eficientemente, dispositivos protectores contra sobretensión bajos, y de baja capacitancia. Existe también una necesidad de un dispositivo de protección contra sobretensión, de baja capacitancia, destinado a usarse con líneas de comunicación de alta velocidad, de manera que las señales de alta velocidad no se vean afectadas negativamente. Existe una necesidad adicional de un procedimiento de formación de zonas enterradas en un dispositivo de protección contra sobretensión, de manera que pueda lograrse un alto grado de control sobre el voltaje de transición conductiva del dispositivo.

**Sumario de la invención**

- De acuerdo con los principios y conceptos de la invención, se divulgan unos dispositivos de protección contra sobretensión, que presentan características de baja capacitancia y bajo voltaje de transición conductiva. Estas y otras ventajas se consiguen formando diversas zonas enterradas someras, de área pequeña, en la superficie de un sustrato semiconductor, donde una alta concentración del dopante en las zonas enterradas produce un bajo voltaje de transición conductiva. A continuación, las zonas enterradas se cubren con una capa de material semiconductor epitaxial. En la superficie superior de la capa epitaxial se forma una zona de emisor según una manera convencional. La formación de una capa epitaxial de material semiconductor sobre las zonas enterradas, y las subsiguientes etapas de procesado del sustrato, reduce la difusión de las zonas enterradas, manteniendo así el área a un valor reducido y la capacitancia resultante del dispositivo. La concentración de impurezas en las zonas enterradas también permanece localizada, y no se ve sustancialmente reducida por procesos de difusión de largo plazo. Por lo tanto, se logra un voltaje de transición conductiva inferior con baja capacitancia.
- De acuerdo con la invención, las zonas enterradas se forman con una zona de tipo P y una zona de tipo N, formando de este modo una unión PN dentro de la zona enterrada.
- De acuerdo con otro aspecto de la invención, el área de la unión PN se mantiene a un valor reducido, minimizando así la capacitancia de la unión.
- De acuerdo todavía con otra característica de la invención, puede usarse una pluralidad de zonas enterradas para incrementar la capacidad de corriente del dispositivo de protección contra sobretensión, al mismo tiempo que se minimiza la capacitancia, en comparación con planteamientos de la técnica anterior.
- De acuerdo con una forma de realización de la invención, se divulga un dispositivo de protección contra sobretensión, del tipo que presenta cuatro capas semiconductoras, una o más zonas enterradas y por lo menos dos terminales, donde se produce una conducción desde una cara del chip hasta una cara opuesta del chip cuando, al dispositivo, se le aplica una tensión que supera un voltaje de transición conductiva. Las zonas enterradas se forman en una superficie de una capa semiconductor del dispositivo, y una concentración de impurezas de las zonas enterradas define, en parte, el voltaje de transición conductiva del dispositivo. Se incluye además una capa epitaxial de material semiconductor formada sobre la capa semiconductor, con el fin de cubrir las zonas enterradas, con lo cual el procesado de la capa epitaxial no hace que varíe sustancialmente el tamaño de las zonas enterradas, controlándose así la capacitancia del dispositivo.
- Según otro ejemplo, que no forma parte de la invención, se divulga un procedimiento de fabricación de un dispositivo de protección contra sobretensión de cuatro capas, que incluye las etapas de depositar una impureza en unas ubicaciones seleccionadas en una superficie expuesta de una capa semiconductor del dispositivo de protección contra sobretensión, donde una concentración de la impureza define, en parte, un voltaje de transición conductiva del dispositivo de protección contra sobretensión, y las ubicaciones seleccionadas de la impureza definen zonas enterradas. Otras etapas incluyen la formación de una capa epitaxial de material semiconductor sobre las zonas enterradas, y la formación de una capa semiconductor de base sobre la capa semiconductor epitaxial para definir, así, una unión PN entre ellas. A continuación, en la zona semiconductor de base, se forma una zona de emisor.
- Según todavía otra forma de realización de la invención, se divulga un procedimiento de fabricación de un chip de protección contra sobretensión de cuatro capas, que incluye las etapas de formar una zona PN en una primera capa semiconductor durante la fabricación del chip de protección contra sobretensión, de manera que la zona PN tiene, en ella, una unión PN. Otras etapas incluyen la formación de la unión PN con una concentración de impurezas para proporcionar un voltaje de transición conductiva deseado al chip de protección contra sobretensión, y la formación de una segunda capa de material semiconductor sobre la zona PN para enterrar, así, la zona PN. En el segundo material semiconductor se forma una zona de emisor, y, en caras opuestas del chip de protección contra sobretensión, se forman contactos respectivos.
- Según todavía otro ejemplo, que no forma parte de la invención, se divulga un dispositivo de protección contra sobretensión que incluye un sustrato, y una capa de material semiconductor sustancialmente intrínseco formado sobre el sustrato. En el material semiconductor intrínseco se forman una o más zonas enterradas, y, en el material semiconductor intrínseco, se forma una zona de base semiconductor. En la zona de base se forma un emisor. Como consecuencia, cuando una unión entre la capa de base semiconductor y el semiconductor intrínseco se polariza inversamente, una zona de agotamiento en el material semiconductor intrínseco es más amplia que una zona de agotamiento en la zona de base semiconductor, reduciéndose de este modo la capacitancia del dispositivo de protección contra sobretensión.
- En relación con otro ejemplo, que no forma parte de la invención, se divulga un dispositivo de protección contra sobretensión, que incluye un sustrato para sustentar el dispositivo de protección contra sobretensión, y una capa de barrera semiconductor epitaxial, dopada, formada sobre el sustrato. Sobre la capa de barrera se forma una capa epitaxial intrínseca, y, en la capa epitaxial intrínseca, se forman una o más zonas enterradas. Sobre la capa

epitaxial intrínseca se forma una zona de base epitaxial, dopada, y, en la zona de base, se forma un emisor. En el emisor, se forman una serie de puntos de cortocircuito, donde cada uno de los puntos de cortocircuito comprende una parte de la zona de base. Un contacto del emisor está en contacto tanto con el emisor como con los puntos de cortocircuito. Sobre el sustrato se forma un contacto de ánodo.

En relación con otro ejemplo, que no forma parte de la invención, se divulga un procedimiento de elaboración de un dispositivo de protección contra sobretensión. Las etapas incluyen formar una o más zonas que se entierran en una capa epitaxial intrínseca de material semiconductor. La concentración de impurezas de las zonas enterradas define un voltaje de transición conductiva del dispositivo de protección contra sobretensión. Sobre el material semiconductor epitaxial intrínseco se forma una capa de base semiconductor, de manera que entre ellos se forma una unión. Cuando la unión se polariza inversamente, una zona de agotamiento formada en el material semiconductor epitaxial intrínseco es más amplia que una zona de agotamiento formada en la capa de base, con lo cual se reduce la capacitancia del dispositivo de protección contra sobretensión. En la capa de base se forma un emisor.

**Breve descripción de los dibujos**

Se pondrán de manifiesto otras características y ventajas a partir de la siguiente descripción, más particular, de la forma de realización preferida y de otras formas de realización de la invención, según se ilustra en los dibujos adjuntos en los cuales los caracteres de referencia iguales remiten, generalmente, a las mismas zonas, funciones o elementos durante todas las vistas, y en los cuales:

la Fig. 1 es una vista en sección transversal de un chip semiconductor construido de acuerdo con la técnica anterior;

la Fig. 2 es una vista en sección transversal de un dispositivo de protección contra sobretensión de acuerdo con un ejemplo, que no forma parte de la invención;

la Fig. 3 es una vista superior de los islotes de la zona enterrada, con los puntos de cortocircuito del emisor mostrados en líneas de trazos;

la Fig. 4 es una vista superior de una zona enterrada con forma de entramado, con los puntos de cortocircuito del emisor mostrados en líneas de trazos;

la Fig. 5 es una vista en sección transversal de un dispositivo de protección contra sobretensión de acuerdo con una forma de realización de la invención, en el cual se usan unas capas epitaxiales, así como zonas enterradas PN;

la Fig. 6 es una vista isométrica y ampliada de zonas enterradas PN, que muestra la unión PN entre ellas;

las Figs. 7a y 7b son unas respectivas vistas superior y en sección transversal de otro tipo de zona enterrada PN que utiliza una operación de enmascaramiento;

la Fig. 8 es una vista en sección transversal de una forma de realización de un dispositivo de protección contra sobretensión que utiliza dos capas epitaxiales;

la Fig. 9 es una vista en sección transversal de otra forma de realización de un dispositivo de protección contra sobretensión en el cual las zonas enterradas se forman en el sustrato, con dos capas semiconductoras epitaxiales que se superponen sobre las zonas enterradas;

la Fig. 10 es una vista en sección transversal de otra forma de realización de un dispositivo de protección contra sobretensión en el cual se logra un funcionamiento bidireccional;

la Fig. 11 es una vista en sección transversal de otra forma de realización de un dispositivo de protección contra sobretensión de la invención, con una capa adicional de material semiconductor en la cual se forma el emisor para lograr características eléctricas deseadas;

la Fig. 12 es otro ejemplo, que no forma parte de la invención, similar al correspondiente mostrado en la Fig. 11, pero con solamente un tipo de dopante de una sola impureza que forma las zonas enterradas;

la Fig. 13a es un símbolo eléctrico de un dispositivo unidireccional de acuerdo con la invención, la Fig. 13b es un símbolo eléctrico de un dispositivo bidireccional de acuerdo con la invención, y la Fig. 13c es un símbolo eléctrico de un dispositivo unidireccional de la invención con un diodo antiparalelo conectado en paralelo con el mismo; y

la Fig. 14 es una vista en sección transversal de un ejemplo de un dispositivo de protección unidireccional contra sobretensión, mostrado durante su fabricación inicial, después de que se haya formado una zona amortiguadora epitaxial sobre el sustrato semiconductor;

5 la Fig. 15 es una vista en sección transversal después de que, sobre la capa amortiguadora, se haya desarrollado una primera parte de una capa epitaxial intrínseca;

10 la Fig. 16 es una vista en sección transversal después de que la oblea se haya enmascarado y de que en la misma se haya implantado una impureza para formar zonas enterradas en la primera parte de la capa epitaxial intrínseca;

15 la Fig. 17 es una vista en sección transversal después de que, sobre la primera parte epitaxial, se haya desarrollado una segunda parte de la capa epitaxial intrínseca, enterrando así las zonas enterradas en la capa epitaxial intrínseca;

la Fig. 18 es una vista en sección transversal después de que, sobre la capa epitaxial intrínseca, se haya desarrollado una capa de base epitaxial;

20 la Fig. 19 es una vista en sección transversal después de que la oblea se haya enmascarado y se hayan formado zonas de emisor en la capa de base del dispositivo de protección contra sobretensión;

la Fig. 20 es una vista en sección transversal después de que la oblea haya experimentado un procesado para formar canales llenados con un aislamiento de óxido;

25 la Fig. 21 es una vista en sección transversal después de que la oblea se haya procesado para formar contactos metálicos superiores e inferiores;

30 la Fig. 22 representa gráficamente las características eléctricas de un dispositivo semiconductor que utiliza material semiconductor intrínseco, que presenta una capacidad global baja, y en el que el cambio de capacitancia es extremadamente pequeño en función de la tensión aplicada sobre el dispositivo;

la Fig. 23 es una vista en sección transversal de una forma de realización de un dispositivo de protección contra sobretensión, similar a la mostrada en la Fig. 21, pero con zonas enterradas PN; y

35 la Fig. 24 es una vista en sección transversal de un ejemplo de un dispositivo de protección contra sobretensión, que no forma parte de la invención, con capacidades de bloqueo bidireccionales.

### Descripción detallada de la invención

40 Haciendo referencia a la Fig. 2, se ilustra un dispositivo de protección contra sobretensión 30 que no forma parte de la invención. Los dispositivos de protección contra sobretensión divulgados en la presente son dispositivos de cuatro capas que presentan características de resistencia negativa cuando se entra en conducción completa. Se selecciona un sustrato de partida 32 de una impureza de tipo N dopada ligeramente. La impureza de tipo N dopada ligeramente proporciona una zona central 34 para el tiristor de cuatro capas 30. La zona central dopada ligeramente 34 minimiza la capacitancia del chip, entendiéndose que la zona de agotamiento de uniones dopadas ligeramente es amplia, lo cual hace que presente una baja capacitancia en comparación con uniones formadas entre zonas dopadas fuertemente. La cara posterior del sustrato a continuación se procesa para difundir, en la misma, una impureza de tipo P con el fin de formar una zona de ánodo P+ dopada fuertemente 36.

50 Seguidamente, la oblea se enmascara con una máscara de nitruro u óxido de silicio para definir aberturas con vistas a la formación de las zonas enterradas 38. Las aberturas en la máscara pueden tener cualquier forma. Con unas aberturas redondas, el diámetro puede estar entre aproximadamente 10 micras y aproximadamente 100 micras. No obstante, pueden usarse aberturas de otros tamaños para optimizar características eléctricas deseadas. Por ejemplo, aberturas de tamaño pequeño en las cuales se forman las zonas enterradas minimizan la capacitancia, pero pueden comprometer la capacidad de conducción de corriente de pico del dispositivo. Aberturas de tamaño grande pueden optimizar la capacidad de conducción de corriente de pico, pero también pueden hacer que aumente la capacitancia del dispositivo. Preferentemente, las aberturas en las cuales se forman las zonas enterradas no deberían tener bordes o esquinas pronunciados. Las zonas enterradas 38 se forman en la superficie superior de la zona central 34 difundiendo o implantando una impureza de tipo N, tal como arsénico o fósforo. La dosificación de la impureza de tipo N es fuerte para formar las zonas enterradas dopadas fuertemente 38 y lograr, así, un bajo voltaje de transición conductiva. Se cree que una dosificación de aproximadamente  $10^{18}$  átomos/cm<sup>3</sup> establece un voltaje de transición conductiva de aproximadamente 5,5 voltios. La profundidad de cada zona enterrada 38 formada en la zona central 38 es, preferentemente, pequeña. De acuerdo con una característica importante de la invención, las características de las zonas enterradas se mantienen a un valor pequeño para minimizar, así, la capacitancia del dispositivo. Se cree que las zonas enterradas fabricadas de acuerdo con las enseñanzas de la presente, dan como resultado un dispositivo de

protección contra sobretensión que presenta capacitancias de aproximadamente 10 pf, o inferiores, con tamaños de dado pequeños. La capacitancia de las zonas enterradas 38 se encuentra en la anchura de la zona de agotamiento de la unión entre el material N+ de la zona enterrada 38 y el material de tipo P de la capa epitaxial superpuesta 40, que se describirá posteriormente. Para lograr una gran capacidad de corriente de pico para el dispositivo de tiristor 30, puede formarse un número elevado de zonas enterradas. No se requiere una impulsión de largo plazo de las impurezas de tipo N en el chip, en la medida en la que las zonas 38 se entierran mediante el uso de la zona semiconductor 40 formada sobre las zonas enterradas 38. Una vez que se forman las zonas enterradas 38 en la superficie de la zona central 34, la máscara se elimina.

De acuerdo con una característica importante de este ejemplo, las zonas 38 se entierran depositando una capa 40 de material epitaxial de tipo P sobre la superficie de la zona central 34. Esto entierra eficazmente las zonas N+ 38 de manera que sobre ellas puede formarse un emisor 42. Para formar la capa epitaxial 40 pueden utilizarse etapas y equipos de procesamiento epitaxial convencionales. Tal como es conocido convencionalmente, los reactores epitaxiales se pueden controlar para introducir la impureza seleccionada con una concentración deseada, y se puede desarrollar la misma hasta un grosor especificado. El grosor de la capa epitaxial 40 se puede seleccionar para enfatizar diversos parámetros eléctricos. Por ejemplo, la capa epitaxial 40 se puede realizar de manera que sea delgada para aumentar la velocidad del dispositivo, en la medida en la que el tiempo de transición de los portadores a través de ella se hace más corto. Uno de los grosores de la capa epitaxial puede ser de aproximadamente 50 micras, u otro grosor deseado. Es importante observar que la formación de una capa epitaxial 40 se lleva a cabo a temperaturas algo menores que la correspondiente requerida para procesos de difusión, y en un tiempo mucho menor, reduciéndose así al mínimo el ensanchamiento de las zonas enterradas 38 y los cambios en la concentración de sus impurezas. Además, en el desarrollo de capas epitaxiales se ocupa un tiempo mucho menor en comparación con la formación de zonas semiconductoras similares mediante técnicas de difusión. Utilizando procedimientos epitaxiales, también puede lograrse un mejor control sobre el voltaje de transición conductiva deseado. La capa epitaxial 40 forma una zona de base para un transistor NPN del dispositivo de cuatro capas.

La unión semiconductor formada entre la capa epitaxial 40 y la zona central subyacente 34, incluyendo las zonas enterradas 38, se caracteriza como una unión abrupta. Este es principalmente el resultado de que la unión se forme en la interfaz de la capa epitaxial 40, en lugar de formarse mediante técnicas de difusión. Se forma una unión abrupta cuando el perfil del dopante cambia bruscamente en la unión. De este modo, el material semiconductor de la capa epitaxial 40 forma una unión PN de gradiente abrupto con la zona central subyacente 34. El uso de una unión abrupta permite realizar el dispositivo de protección contra sobretensión con un voltaje de transición conductiva menor.

La oblea se procesa adicionalmente enmascarando la misma para formar una zona de emisor 42 o cátodo en la parte superior de la capa epitaxial 40. Aunque la sección transversal del dispositivo de protección contra sobretensión 30 mostrado en la Fig. 2 parece tener islotes de emisor, en la práctica el emisor es una capa única de material de tipo N fuertemente dopado con aberturas en el mismo para definir puntos de cortocircuito 44. Los puntos de cortocircuito 44 son, efectivamente, unas partes de la capa de base epitaxial 40 que se extienden a través de las aberturas en el emisor 42. Los puntos de cortocircuito 44 funcionan de manera que definen la corriente de activación y desactivación del dispositivo. Tal como puede apreciarse, se pierde corriente inicial que pasa desde la zona de base 40 a través de los puntos de cortocircuito 44 hacia el contacto de emisor 46, y la misma no colabora en la producción del umbral de 0,7 voltios requerido para la unión de emisor de base con vistas a la activación del dispositivo. El número, la forma y la ubicación de los puntos de cortocircuito se pueden determinar de manera experimental para fijar la corriente de activación del dispositivo de protección contra sobretensión 30.

Después del procesamiento de la oblea para formar la zona de emisor 42, la oblea se procesa adicionalmente para formar en ella contactos metálicos. Sobre la superficie superior del chip se forma un contacto de emisor 46 con el fin de cortocircuitar la zona de base epitaxial 40, por medio de los puntos de cortocircuito 44, con la zona de emisor 42. Sobre la parte inferior del chip se forma un contacto de ánodo metálico inferior 48 con el fin de formar, así, un dispositivo de cuatro capas y dos terminales de protección contra sobretensión 30. Aunque el dispositivo de protección contra sobretensión de la Fig. 2 se describe comenzando con un sustrato de tipo N 32, podría usarse un sustrato de partida de tipo P, junto con un cambio en las impurezas de las otras zonas semiconductoras.

La Fig. 3 ilustra un posible patrón de zonas enterradas 50 formadas en la zona central 34 según la manera antes descrita. Tal como puede apreciarse, las zonas enterradas 50 se pueden formar usando una máscara con muchas aberturas individuales en ella, para formar las zonas enterradas individuales 50. Debe apreciarse, también, que, usando unas zonas enterradas de área pequeña 50, se reduce al mínimo la capacitancia del dispositivo. Incluso cuando se incrementa el número de zonas enterradas pequeñas 50 para aumentar la capacidad de corriente de pico del dispositivo, el área total puede que siga siendo menor que las zonas enterradas de área grande convencionales. De este modo, se consigue además una reducción de la capacitancia al mismo tiempo que no se compromete la baja capacitancia del dispositivo. No es necesario que las zonas enterradas 50 estén separadas equitativamente entre sí tal como se muestra en la Fig. 3, sino que se pueden

disponer para presentar densidades mayores en algunas áreas del chip, y densidades menores en otras áreas del chip. Adicionalmente, el área de algunas de las zonas enterradas puede ser mayor que la correspondiente de otras, en función de su ubicación en el chip. No es necesario que la forma en sección transversal de las zonas enterradas sea redonda tal como se muestra, sino que puede ser de muchas otras formas geométricas, incluyendo líneas circulares o parcialmente circulares formadas en torno a los puntos de cortocircuito 52. Muchas de las alternativas anteriores, y de otras, y combinaciones de las mismas, pueden ser utilizadas por aquellos versados en la materia para lograr efectos o resultados especiales, basándose en la geometría y la separación de los puntos de cortocircuito 52 formados en el emisor 42, así como otras consideraciones.

La Fig. 4 ilustra una zona enterrada de tipo entramado 54 formada en la zona central del chip. La zona enterrada con forma de entramado 54 puede ser una matriz de líneas a lo largo de un eje x y un eje y, o líneas diagonales. La anchura de las líneas de la zona enterrada con forma de matriz puede limitarse a las técnicas fotolitográficas utilizadas. Además, la zona enterrada puede comprender solamente líneas paralelas o bandas que discurren en cualquier dirección, o líneas de trazos, o cualquier variación de las mismas.

La Fig. 5 representa una forma de realización de un dispositivo de protección contra sobretensión de la invención. En este caso, el dispositivo incluye muchas de las capas descritas en relación con la forma de realización mostrada en la Fig. 2, aunque incluye, adicionalmente, una zona enterrada de dos partes 60. La zona enterrada 60 incluye un área P+ 62 adyacente a un área N+ 64, que forman, entre ellas, una unión PN 66, tal como se muestra en la ampliación de la Fig. 6. Tal como se ha indicado anteriormente, las zonas enterradas se forman, preferentemente, con características de área pequeña para reducir al mínimo su capacitancia. En el tipo de unión PN de la zona enterrada 60, tanto el área P+ dopada fuertemente 62 como el área N+ dopada fuertemente 64 son pequeñas, y, por lo tanto, la unión PN 66 es también pequeña. Esto está en concordancia con la invención, ya que la zona enterrada fuertemente dopada 60 se caracteriza por una zona de agotamiento delgada, de área pequeña. Tal como se ha descrito anteriormente, el fuerte dopaje de las zonas enterradas 60 es necesario para proporcionar un voltaje de transición conductiva bajo para el dispositivo. Debe indicarse que la anchura de la zona de agotamiento de una unión PN es similar al intersticio entre las placas de un condensador discreto. Cuando el área de la unión 66 se mantiene a un valor pequeño, se reduce también al mínimo la capacitancia de la zona enterrada. Los expertos en la materia apreciarán que las dos máscaras se pueden utilizar para formar las diferentes áreas 62 y 64 de la zona enterrada 60. Aunque la zona enterrada de dos partes 60 mostrada en la Fig. 6 es generalmente cuadrada, la misma puede realizarse sin bordes pronunciados usando aberturas de enmascaramiento circulares que se solapan en la parte central. Con esta disposición, una vista superior de la zona enterrada resultante tendría forma de reloj de arena, o similar a la misma, en función del alcance del solapamiento de las aberturas de enmascaramiento. Alternativamente, con la forma de realización de la Fig. 5 pueden usarse zonas enterradas de un solo dopante, tal como se muestra en la Fig. 2, sin utilizar las zonas enterradas de dos partes.

En la parte superior de la oblea entre los chips individuales se realiza por ataque químico un canal. El canal se rebaja por ataque químico en el sustrato P+ 36. A continuación, el canal se llena con un óxido, tal como un material de aislamiento/pasivación vítreo, según se muestra con el carácter de referencia 56.

Aunque la zona enterrada 60 de la Fig. 6 se ilustra como un área semiconductor 62 adyacente a otra área semiconductor 64 para formar una unión plana 66, dicha arquitectura no es un requisito. El dispositivo de protección contra sobretensión se puede fabricar usando zonas enterradas 70, tal como se muestra mediante la vista superior de la Fig. 7a y la vista lateral de la Fig. 7b. En este caso, la zona enterrada 70 se construye en primer lugar difundiendo o implantando una impureza P+ en una abertura de una máscara formada en el material semiconductor de la zona central 34. Usando la misma máscara, a continuación se difunde o implanta una impureza N+ en la misma abertura de enmascaramiento. Durante el procesado adicional del chip, la impureza P+ se difundirá hacia fuera algo más que la impureza N+, dejando algo de material de impureza P+ generalmente fuera del núcleo N+. Debe indicarse que se requiere una alta concentración de la impureza N+ para compensar o superar la impureza P+ en el centro de la zona enterrada 70. En cualquier caso, entre el material P+ y el material N+ de la zona enterrada 70 se forma una unión PN 76. Esta arquitectura de una zona enterrada proporciona una alta capacidad de corriente de pico. Aunque la zona enterrada 70 se muestra de manera que es circular, según se ve desde la parte superior, la zona enterrada 70 se puede constituir con otras formas en función de la forma de la abertura en la máscara.

De acuerdo con otra forma de realización de la invención mostrada en la Fig. 8, se divulga un dispositivo de protección contra sobretensión que utiliza dos capas epitaxiales. El dispositivo de protección contra sobretensión de la Fig. 8 se fabrica usando un sustrato de silicio de partida P+ 80, con un grosor en el intervalo comprendido entre aproximadamente 200 y 500 micras. A continuación, sobre la superficie del sustrato 80 se deposita una capa epitaxial de tipo N 82. El uso de una capa epitaxial 82 sobre el sustrato P+ 80 proporciona un alto grado de flexibilidad en el control del grosor de la capa 82 que funciona como zona central. La capa epitaxial de tipo N 82 se puede realizar delgada para controlar la disipación de potencia del dispositivo e incrementar su velocidad de funcionamiento. Típicamente, la capa epitaxial 82 puede tener un grosor comprendido entre aproximadamente 20 y 40 micras, aunque pueden utilizarse otros grosores. En aplicaciones en las que la tensión de funcionamiento de



los circuitos a proteger es bajo, tales como en DSL, VDSL y otras líneas de comunicación digitales, la capa epitaxial 82 se puede realizar delgada, bajándola hasta aproximadamente entre 5 y 10 micras.

5 Seguidamente, la superficie expuesta de la capa epitaxial inferior (o primera capa epitaxial) 82 se enmascara para formar en ella las zonas enterradas 60. Las zonas enterradas 60 que comprenden unas zonas P+ fuertemente dopadas 62 y zonas N+ fuertemente dopadas 64 se pueden formar de la misma manera que la descrita anteriormente. Nuevamente, las zonas enterradas 60 se pueden formar con características muy pequeñas para minimizar la capacitancia del dispositivo, e incluir uniones PN de área pequeña.

10 Una vez que se han formado las zonas enterradas 60 en la capa epitaxial inferior de tipo N 82, el chip experimenta otro proceso epitaxial en el cual, sobre la primera capa epitaxial 82, se deposita una segunda capa epitaxial (o capa epitaxial superior) 84. La segunda capa epitaxial 84 es una capa de tipo P que forma una capa de base para un transistor NPN del dispositivo de protección contra sobretensión de cuatro capas. La segunda capa epitaxial se puede desarrollar hasta una profundidad de aproximadamente 50 micras.

15 A continuación, en la segunda capa epitaxial 84 se forma una zona de emisor o cátodo 86. La zona de emisor 86 se puede formar con un número y un patrón deseados de puntos de cortocircuito 88 para controlar la corriente de conmutación ( $I_s$ ) y la corriente de mantenimiento ( $I_h$ ) del dispositivo. Los diversos chips en una oblea se aíslan con unos canales rellenos de vidrio, de manera muy similar a la forma de realización descrita en relación con la Fig. 5. En lados opuestos del chip se forman un contacto de emisor 90 y un contacto de ánodo 92 para proporcionar un contacto eléctrico en el chip mediante un bastidor de conductores o terminales de hilos metálicos.

20 La forma de realización mostrada en la Fig. 9 es muy similar a la mostrada en la Fig. 8, pero las zonas enterradas 60 se forman en el sustrato semiconductor 80, en lugar de en la primera capa epitaxial. En este caso, el sustrato semiconductor P+ 80 se procesa para formar en él las zonas enterradas 60. Sobre el sustrato 80 se deposita una primera capa epitaxial 82 de un tipo N, enterrando así las zonas enterradas 60. A continuación, sobre la primera capa epitaxial 82 se deposita una segunda capa epitaxial 84. El grosor y la concentración de impurezas de la segunda capa epitaxial, que constituye una capa de base para el dispositivo, se pueden controlar para lograr características eléctricas deseadas para el dispositivo. En un dispositivo de este tipo, se puede hacer que la corriente de mantenimiento ( $I_H$ ) sea independiente del voltaje de transición conductiva. La zona de emisor 86, los puntos de cortocircuito 88 y los contactos metálicos 90 y 92 se forman de una manera similar a la descrita anteriormente en relación con la Fig. 8.

35 La Fig. 10 ilustra un dispositivo bidireccional de protección contra sobretensión, construido de acuerdo con una forma de realización de la invención. Para el dispositivo bidireccional se utiliza un sustrato P+ de partida 100. El sustrato P+ 100 se procesa enmascarando el mismo con el fin de formar aberturas para el área N+ 104 de cada zona enterrada 106. A continuación, la oblea se somete a un proceso en el cual, en las aberturas de la máscara de la zona enterrada, se deposita una impureza de tipo N, con una concentración muy alta, para formar las respectivas áreas N+ 104 de las zonas enterradas 106. Seguidamente, la máscara superior se elimina y se sustituye con otra máscara para formar el área P+ 110 de las zonas enterradas 106. La oblea se somete a la deposición o implantación de una impureza de tipo P para formar las áreas P+ fuertemente dopadas 110 de las zonas enterradas 106. El alineamiento de la máscara es importante para que el área N+ 104 forme una unión con el área P+ 110. Las zonas enterradas 106 están asociadas a un primer dispositivo unidireccional de protección contra sobretensión del chip.

40 Una vez que se han formado las zonas enterradas 106 en el sustrato 100, se deposita una primera capa epitaxial 112 en el sustrato 100, sobre las zonas enterradas 106, formando así una zona central para el chip. La capa epitaxial 112 se deposita usando una impureza de tipo N, y se deposita hasta un grosor deseado con el fin de controlar los diversos parámetros eléctricos del dispositivo bidireccional de protección contra sobretensión. La superficie de la primera capa epitaxial 112 se enmascara para formar el área N+ 114 de cada zona enterrada 116. El área N+ 114 de cada zona enterrada 116 se dopa fuertemente usando una impureza de tipo N. A continuación, la oblea se procesa para eliminar la máscara usada en la elaboración de las áreas N+ 114 de las zonas enterradas 116, y se enmascara nuevamente para formar las áreas P+ 118 de las zonas enterradas 116. Una impureza de tipo P se difunde o implanta en las aberturas de la máscara para formar el área P+ 118 de cada zona enterrada 116. Las zonas enterradas 116 están asociadas a un segundo dispositivo unidireccional de protección contra sobretensión, del chip. La fabricación de los dos dispositivos unidireccionales de protección contra sobretensión en el mismo chip da como resultado un funcionamiento bidireccional.

60 A continuación, las zonas enterradas 116 del otro dispositivo se cubren con una segunda capa epitaxial 120. En el segundo proceso epitaxial se usa una impureza de tipo P para formar la zona de base de tipo P 120. A continuación, la oblea se enmascara por sus dos lados con el fin de definir áreas para formar en ella las zonas de emisor N+ 102 y 122 para ambos dispositivos unidireccionales de protección contra sobretensión. En las aberturas de las máscaras del emisor se difunde o implanta una impureza de tipo N para formar la zona de emisor 102 del dispositivo en la parte inferior del chip, y para formar la zona de emisor 122 del dispositivo formada en la parte superior del chip. En las zonas de emisor 102 y 122 también pueden formarse putos de

65

cortocircuito 108 y 124 respectivos. Aunque se observa que la Fig. 10 se describe en términos de un dispositivo en las porciones superior e inferior del chip, cada dispositivo unidireccional usa cada una de las capas semiconductoras durante la conducción para llevar corriente desde un contacto 126 al otro contacto 128, en función de la polaridad de la tensión sobre el chip. Además, las diversas zonas semiconductoras se pueden fabricar con capas semiconductoras adaptadas para proporcionar un funcionamiento eléctrico simétrico para tensiones transitorias de ambas polaridades. Alternativamente, las diversas zonas semiconductoras, y, especialmente, las zonas enterradas, se pueden fabricar con diferentes concentraciones de impurezas para proporcionar un funcionamiento eléctrico asimétrico. Además, las diversas zonas semiconductoras se pueden fabricar para obtener corrientes de mantenimiento diferentes, corrientes de conmutación y de enclavamiento diferentes, etcétera, para tensiones transitorias de polaridades opuestas.

Por último, sobre las caras opuestas del chip se forman contactos metálicos 126 y 128 con el fin de proporcionar una conexión para un bastidor de conectores o terminales de hilos metálicos para el chip. En otros casos, los contactos metálicos 126 y 128 pueden servir como contactos para soldar por ola los chips con placas de circuito impreso o similares.

La Fig. 11 ilustra una variante del dispositivo de protección contra sobretensión mostrado en la Fig. 5. La capa semiconductor en la cual se forma la zona de emisor 42 se modifica con una impureza y una concentración para lograr las características eléctricas deseadas del dispositivo. En lugar de formar la zona de emisor 42 directamente en la capa epitaxial 40, se forma otra zona o capa semiconductor 130. Esta característica se puede caracterizar como un chip con una primera zona de base 40 y una segunda zona de base 130 asociadas al mismo emisor 42. La capa semiconductor 130 se forma o bien por difusión de una impureza de tipo P en la capa epitaxial superior 40, o bien depositando una capa epitaxial adicional de tipo P 130 sobre la capa epitaxial 40. Como alternativa, la segunda capa 130 se puede formar durante el mismo proceso epitaxial que el utilizado para formar la primera capa epitaxial 40, aunque, en la última fase del proceso epitaxial, la concentración de la impureza de tipo P se cambia para lograr una concentración diferente en la segunda capa 130, en comparación con la primera capa 40.

La resistencia efectiva del material en los puntos de cortocircuito 44 es una función de la corriente de enclavamiento y mantenimiento requerida para llevar el dispositivo de protección contra sobretensión a un estado de enclavamiento. Modificando la concentración de impurezas de la capa semiconductor 130 en la cual se forma la zona de emisor 42, la resistencia de los puntos de cortocircuito 44 puede adaptarse a medida para lograr diferentes corrientes de enclavamiento y mantenimiento. Cuanto mayor sea la resistencia de los puntos de cortocircuito 44, menor será la corriente de enclavamiento y mantenimiento para el dispositivo, entendiendo que el producto de los dos parámetros eléctricos debe dar como resultado una tensión de aproximadamente 0,7 con el fin de polarizar en sentido directo la zona de emisor 42 en conducción total. La capa semiconductor 130 se puede formar con una concentración de impurezas de tipo P inferior o superior a la correspondiente de la capa epitaxial subyacente 40.

La capa semiconductor superior 130 también se puede realizar con un grosor deseado, que está también en relación con los parámetros deseados de corriente de enclavamiento y mantenimiento del dispositivo. En función de la profundidad de la zona de emisor 42, la capa semiconductor 130 puede tener un grosor de 20 micras, o incluso menos. Cuanto más delgada sea la zona semiconductor, menos resistencia habrá en los puntos de cortocircuito 44. Puede apreciarse que, cuando se utilizan procesos de epitaxia, el grosor de diversas capas semiconductoras se puede controlar cuidadosamente.

Aunque el dispositivo de protección contra sobretensión de la Fig. 11, y otras formas de realización descritas en la presente, utilizan unas zonas enterradas con zonas P y N, puede que dicho tipo de zona enterrada no sea necesario. En la Fig. 12 se muestra un dispositivo de protección contra sobretensión similar al correspondiente mostrado en la Fig. 11, pero con una única zona enterrada dopada 132. En este caso, en la zona central 34 se forma una zona enterrada N<sup>+</sup> 132. Este tipo de zona enterrada 132 puede ser efectiva con dispositivos de protección contra sobretensión que funcionan en aplicaciones de mayor tensión.

Los símbolos eléctricos de los dispositivos de protección contra sobretensión no están completamente normalizados, y varían en función del dispositivo y del fabricante concretos. La Fig. 13a ilustra el símbolo eléctrico para un dispositivo unidireccional de protección contra sobretensión, y la Fig. 13b ilustra el símbolo eléctrico para un dispositivo bidireccional de protección contra sobretensión. La Fig. 13c ilustra el símbolo eléctrico para un dispositivo unidireccional de protección contra sobretensión con un diodo antiparalelo conectado al dispositivo. Normalmente, se conecta un diodo antiparalelo con un dispositivo unidireccional para proporcionar protección contra sobretensión en una dirección a través del dispositivo de protección contra sobretensión, y un camino de baja impedancia a través del diodo para sobretensiones de polaridad opuesta. A partir de la descripción anterior, aquellos versados en la materia observarán que la incorporación de diodos antiparalelos en el circuito integrado sería una tarea elemental.

Las Figs. 14 a 21 ilustran un dispositivo de protección contra sobretensión durante varias fases del procesado. Una característica de este ejemplo, que no forma parte de la invención, es la baja capacitancia global del

dispositivo de protección contra sobretensión, y que la capacitancia del dispositivo es sustancialmente independiente de la tensión de funcionamiento, es decir, un bajo  $\Delta$  de la capacitancia. La baja capacitancia que presenta el dispositivo de protección contra sobretensión que se describe a continuación es atribuible a la utilización de una capa semiconductor intrínseca y una capa de base semiconductor, en las cuales la unión entre ellas proporciona una amplia capa de agotamiento y una baja capacitancia correspondiente. Además de las características de baja capacitancia, y de las características de bajo  $\Delta$  de capacitancia del dispositivo de protección contra sobretensión, dicho dispositivo se puede fabricar usando múltiples etapas de procesado epitaxial de semiconductores, lo cual permite que las zonas enterradas se realicen con un tamaño pequeño, pero fuertemente dopadas para lograr las capacidades de bajo voltaje de transición conductiva.

La capacitancia global de un dispositivo convencional de protección contra sobretensión del tipo semiconductor es aquella a la que contribuyen las zonas enterradas, y aquella a la que contribuye la zona de agotamiento entre la zona central y la capa de base. La capacitancia de las zonas enterradas está en la zona de agotamiento entre la propia zona enterrada y la zona central, en la cual se forman las zonas enterradas. Estas dos capacitancias del dispositivo están en paralelo, y por lo tanto se suman. La capacitancia atribuible a las zonas enterradas se puede reducir fabricando las zonas enterradas en forma de pequeños islotes, lo cual reduce al mínimo el área respectiva de las zonas de agotamiento. La reducción al mínimo de la capacitancia de las zonas enterradas se ha descrito anteriormente. La otra capacitancia paralela del dispositivo se puede minimizar fabricando el dispositivo de protección contra sobretensión de acuerdo con las siguientes técnicas.

El dispositivo de protección contra sobretensión de acuerdo con esta forma de realización de la invención se fabrica usando una oblea de partida de un sustrato de tipo P fuertemente dopado 140, tal como se muestra en la Fig. 14. El nivel de dopaje del sustrato semiconductor 140 puede ser tal que la resistividad del material se sitúe en el intervalo de aproximadamente 0,005 a 0,02  $\Omega$ -cm. Seguidamente, el sustrato de oblea 140 se coloca en un reactor epitaxial para desarrollar una capa amortiguadora de tipo N 142 de material semiconductor. La capa amortiguadora 142 de material epitaxial puede tener un grosor de aproximadamente 5 micras, y se puede formar con una resistividad de aproximadamente 0,3  $\Omega$ -cm. Para unos dispositivos de protección contra sobretensión con bajo voltaje de transición conductiva, el grosor de la capa amortiguadora 142 se puede reducir, rebajándolo hasta aproximadamente una micra, o un valor similar, para dispositivos de seis voltios. La función de la capa amortiguadora 142 de material epitaxial es evitar que una capa de agotamiento formada en la zona central del dispositivo llegue al sustrato de tipo P 140 durante condiciones de tensión inversa.

El dispositivo de protección contra sobretensión de este ejemplo incluye una zona central construida mediante un proceso epitaxial bipartito para formar una capa intrínseca de material epitaxial con pozos conductores, es decir, zonas enterradas, formados en la misma. Una vez que se ha formado la capa amortiguadora 142, se puede seguir con el procesado epitaxial de la oblea formando la primera parte de una capa epitaxial intrínseca 144 en la misma, tal como se muestra en la Fig. 15. Preferentemente, la primera capa epitaxial intrínseca 144 tiene una resistividad muy alta, es decir, baja concentración de impurezas. Resistividades de la capa epitaxial intrínseca 144 entre 200 y 400  $\Omega$ -cm son prácticas, aunque resistividades de mayor valor son mejores. Aunque es menos preferible, pueden utilizarse resistividades intrínsecas en las proximidades de 100  $\Omega$ -cm. Para lograr resistividades mayores de la capa epitaxial intrínseca 144, puede que resulte necesario purgar el reactor epitaxial después de formar la capa amortiguadora 142 para eliminar del reactor las impurezas de fondo de tipo N. En cualquier caso, la primera parte de la capa epitaxial intrínseca 144 se puede formar con un grosor entre aproximadamente 10 y 25 micras, y, preferentemente, 15 micras, para un dispositivo de protección contra sobretensión de 350 voltios.

Una vez que se ha formado la primera parte de la capa epitaxial intrínseca 144 sobre la capa amortiguadora 142, a continuación, en la misma, se forman zonas enterradas, tal como se muestra con el numeral de referencia 146 en la Fig. 16. En la superficie de la primera capa epitaxial intrínseca 144 se pueden formar una o más zonas enterradas 146. La oblea se enmascara con un óxido adecuado 148, y en ella se forman aberturas en unas ubicaciones en donde se desea formar las zonas enterradas 146. De este modo, áreas superficiales selectivas de la primera capa epitaxial intrínseca 144 se exponen a las impurezas usadas para formar las zonas enterradas 146. Preferentemente, las impurezas se implantan (tal como se muestra mediante las flechas 150) en las áreas no enmascaradas de la oblea. La etapa de implantación de iones es preferible, en la medida en la que las impurezas se pueden incrustar en la oblea a una temperatura de procesado mucho menor que la correspondiente requerida para una difusión profunda de las impurezas. No obstante, la oblea podría experimentar una etapa de impulsión en la cual la temperatura de la oblea se eleva durante un periodo de tiempo para impulsar las impurezas hacia la primera capa epitaxial intrínseca 144, y, también, para recocer el dispositivo con el fin de reparar cualquier deterioro de la superficie de la oblea debido al impacto de alta energía de los iones de impurezas que inciden en la superficie de la oblea. Las zonas enterradas 146 siguen teniendo un área pequeña, y, por lo tanto, presentan una capacitancia correspondientemente pequeña, ya que no son necesarias impulsiones de impurezas de larga duración y de alta temperatura para enterrar las zonas 146 en la zona central. El tipo de impureza implantado en la primera capa epitaxial intrínseca 144 es, preferentemente, de tipo N en la oblea mostrada. El tipo particular de impureza utilizado se puede seleccionar adecuadamente por parte del diseñador del dispositivo con el fin de alcanzar los beneficios deseados. Debe apreciarse que un dispositivo de

protección contra sobretensión, de baja capacitancia, se puede realizar con impurezas de tipo opuesto, en comparación con los correspondientes que se muestran y describen en la presente.

5 Una vez que se han formado las zonas enterradas 146, la máscara de óxido 148 se elimina con un reactivo de ataque químico adecuado. A continuación, las zonas enterradas 146 se “entierran” desarrollando una segunda capa epitaxial intrínseca 152 sobre la primera capa epitaxial intrínseca 144 y sobre las zonas enterradas 146. Esto se muestra en la Fig. 17. La primera y segunda capas epitaxiales intrínsecas combinadas que forman la zona central se muestran con el numeral de referencia 154. Preferentemente, la segunda capa epitaxial intrínseca 152 se desarrolla con la misma alta resistividad que la correspondiente de la primera capa epitaxial intrínseca 144, de manera que las capas intrínsecas 144 y 152 resultan, generalmente, homogéneas e indistinguibles entre sí. El grosor global de las capas epitaxiales intrínsecas 154 afecta a la magnitud de voltaje de transición conductiva del dispositivo de protección contra sobretensión.

15 La Fig. 18 ilustra el procesado del dispositivo de protección contra sobretensión para formar una capa de base de tipo P 156 sobre la oblea. La capa de base 156 se forma con un proceso epitaxial desarrollando una capa de tipo P, hasta un grosor de aproximadamente cinco micras. La concentración de impurezas de tipo P puede situarse en las cercanías de aproximadamente  $0,1 \Omega\text{-cm}$ . No es necesario extraer la oblea del reactor epitaxial cuando se forman la segunda capa epitaxial intrínseca 152 y la capa de base de tipo P 156. Por el contrario, únicamente es necesario controlar el reactor admitiendo en él la impureza de tipo P después de que se haya formado la segunda capa epitaxial intrínseca 152. Tal como puede apreciarse, el tiempo total del procesado del dispositivo de protección contra sobretensión, así como el balance de temperatura, se reducen sustancialmente, en comparación con la formación de las diversas zonas y capas semiconductoras mediante planteamientos de difusión convencionales bien conocidas en la técnica.

25 La Fig. 19 ilustra las etapas de procesado del dispositivo de protección contra sobretensión en la formación del emisor 158 ó zona de cátodo del dispositivo de protección contra sobretensión. La zona de emisor 158 se forma como una zona de tipo N fuertemente dopada en la capa de base de tipo P 156. En la formación de la zona de emisor 158, la oblea se enmascara con un óxido adecuado u otro material de máscara, tal como se muestra con el numeral 160. Aunque no se muestra, la zona de emisor 158 es esencialmente una única zona, con una serie de islotes o áreas que no son emisor, mostrándose una con el numeral 162. Las áreas individuales que no son emisor son conocidas ampliamente como puntos de cortocircuitos 162 donde la capa de base 156 se extiende a la superficie de la oblea. Tal como se describirá posteriormente, el contacto de emisor metálico hace contacto tanto con los puntos de cortocircuito 162 como con la zona de emisor 158. Como es ampliamente conocido en la técnica, el número, la colocación y el área superficial de los puntos de cortocircuito están relacionados con la corriente de conmutación ( $I_s$ ) y la corriente de mantenimiento ( $I_h$ ) del dispositivo. En cualquier caso, el emisor 158 se forma difundiendo impurezas de tipo N en las áreas no enmascaradas de la capa de base 156. El emisor 158 se dopa fuertemente a una concentración de  $N^+$ . Esta etapa de difusión es el único proceso de alta temperatura que se lleva a cabo sobre el dispositivo de protección contra sobretensión durante un periodo de tiempo prolongado. La exposición mínima del dispositivo de protección contra sobretensión a un procesado de alta temperatura mantiene sustancialmente invariables las concentraciones de las uniones de las zonas enterradas, en comparación con el momento de su formación, y mantiene sustancialmente el mismo tamaño, eliminando así una serie de variables a considerar cuando se define el voltaje de transición conductiva y otros parámetros del dispositivo.

45 La máscara de emisor 160 se elimina, y la oblea se procesa para reducir el grosor del sustrato P+ 140. Durante el procesado de la oblea se desea un sustrato grueso 140 para proporcionar resistencia física a la oblea y reducir al mínimo las roturas. No obstante, un sustrato grueso 140 no es deseable en un dispositivo en el cual fluye corriente entre caras opuestas del sustrato, ya que el material extra del sustrato únicamente contribuye a la resistencia serie del dispositivo. Por consiguiente, la oblea experimenta un proceso de *backgrind* (pulido de la parte posterior) en el cual el sustrato P+ 140 se pule para reducir su grosor, mostrándose el resultado de ello en la Fig. 20.

55 A continuación, la parte superior de la oblea se procesa para formar un entramado de canales en ella, mediante técnicas adecuadas de enmascaramiento y ataque químico. El entramado de canales se llena entonces con un óxido 164, tal como un óxido de tipo vítreo para proporcionar aislamiento de las uniones en los bordes laterales de cada chip de la oblea. Los canales llenos de óxido 164 se extienden bajando hacia el sustrato P+ 140 una distancia suficiente para garantizar que no se produce una ruptura inversa bajo dichos canales 164. Con los canales de aislamiento 164 formados a profundidad en el sustrato 140, se pueden soportar tensiones de gran amplitud de cualquier polaridad.

60 A continuación, se depositan unos contactos metálicos sobre el dispositivo de protección contra sobretensión. Tal como se muestra en la Fig. 21, en la parte superior de la oblea se forma un contacto de emisor o cátodo 166. El contacto de emisor 166 es eficaz para cortocircuitar la zona de emisor 158 con la porción de puntos de cortocircuito 162 de la capa de base 156. El contacto de emisor 166 se forma de una manera convencional mediante la evaporación de aluminio en la superficie superior de la oblea. De modo similar, la cara posterior de la oblea, a saber, la superficie inferior expuesta del sustrato P+ 140 se procesa para formar, en ella, un contacto de

aluminio de ánodo 168. A continuación, el dispositivo de protección contra sobretensión se puede procesar adicionalmente para separar la oblea en chips individuales, y encapsular los chips en el conjunto encapsulado deseado de dos terminales.

5 El dispositivo de protección contra sobretensión mostrado en la Fig. 21 se caracteriza por una capacitancia de la unión 155 entre las zonas enterradas N+ 146 y la capa epitaxial intrínseca 154. Tal como puede apreciarse, cuanto menor sea el número de zonas enterradas 146, menor será la capacitancia, pero menor será la capacidad inicial conductora de corriente del dispositivo. Además, cuanto mayor sea la concentración de impurezas de las zonas enterradas 146, mayor será la capacitancia, pero menor será el voltaje de transición conductiva del dispositivo.

10 La otra capacitancia principal del dispositivo de protección contra sobretensión de la Fig. 21 es la capacitancia de la unión 157 entre la capa de base de tipo P 156 y la capa epitaxial intrínseca 154. Es esta última capacitancia la que se minimiza mediante la utilización de la capa epitaxial intrínseca 154 que forma la zona central del dispositivo. Tal como es bien conocido, la capacitancia de una unión semiconductor es una función de la anchura de la capa de agotamiento, además de otros parámetros. Cuanto más amplia sea la capa de agotamiento, menor será la capacitancia. La anchura de la capa de agotamiento es eléctricamente similar al espacio entre las placas de un condensador discreto.

15 La capacitancia global del dispositivo de protección contra sobretensión debe minimizarse con el fin de reducir la carga capacitiva sobre la línea de comunicación (u otro conductor) a la cual se conecta el dispositivo. Con una menor capacitancia, el dispositivo de protección contra sobretensión se puede conectar a líneas digitales de alta velocidad y otras líneas de comunicación sin afectar negativamente a la velocidad de transmisión de datos, a la tasa de errores, y a otros parámetros. Tal como se ha indicado anteriormente, es igualmente importante que el dispositivo de protección contra sobretensión presente un  $\Delta$  de capacitancia relativamente constante para la línea de comunicación, con el fin de minimizar el cambio de las características eléctricas de la línea en función de las tensiones normales aplicadas a esta última. Cuando la línea de comunicación experimenta una sobretensión, el dispositivo de protección contra sobretensión entra en ruptura de avalancha, y el dispositivo de cuatro capas presenta una baja impedancia para la línea, protegiendo así de la sobretensión los circuitos de aguas abajo.

20 La Fig. 22 ilustra las características capacitivas de un dispositivo de tres capas que presenta una capa de tipo P de material semiconductor, separada de una capa de tipo N de material semiconductor, por una capa intrínseca de material. La capacitancia se muestra en función de diferentes resistividades y grosores de la capa epitaxial intrínseca. Las características capacitivas son representativas de un dispositivo que presenta un tamaño de un cuadrado de treinta milésimas de pulgada cuadradas. Tal como puede observarse, a medida que se incrementa la resistividad de la capa semiconductor intrínseca (se reduce la concentración de impurezas), se reduce la capacitancia del dispositivo. Además, a medida que aumenta la resistividad de la capa semiconductor intrínseca, se reduce el cambio de capacidad ( $\Delta$  de capacidad) en función de la tensión inversa sobre el dispositivo. Por ejemplo, para una tensión inversa sobre el dispositivo de aproximadamente cuarenta voltios, la capacitancia del dispositivo es aproximadamente 6 pF con una resistividad de la capa intrínseca de 10  $\Omega$ -cm, mientras que, con una resistividad de 1.000  $\Omega$ -cm, la capacitancia del dispositivo es aproximadamente 2 pF. Adicionalmente, la capacitancia del dispositivo con una resistividad de la capa intrínseca de 1.000  $\Omega$ -cm es relativamente constante en el intervalo de tensiones de 5 a 50 voltios, y por encima. Tal como se observa también en la Fig. 22, la capacitancia del dispositivo se reduce a medida que aumenta el grosor de la capa semiconductor intrínseca. Con una capa semiconductor intrínseca más gruesa, la zona de agotamiento formada por la unión PN puede ser más amplia.

25 Un condensador cargado, ya sea del tipo semiconductor o de un tipo discreto, tiene la misma carga en sus dos placas, aunque de polaridad opuesta. Por lo tanto, cuando la unión 157 (Fig. 21) entre la capa de base de tipo P 156 y la capa semiconductor intrínseca 154 se carga, se acumula la misma carga en las dos placas. La zona de agotamiento se extiende durante una corta distancia hacia la zona de base de tipo P ya que está dopada más fuertemente, en comparación con la profundidad de la zona de agotamiento en la zona semiconductor intrínseca 154. Esto es debido a que hay disponible más carga en la zona de base de tipo P 156. Por otro lado, la zona de agotamiento se extiende claramente hacia la zona semiconductor intrínseca 154, ya que hay mucha menos carga disponible para contrarrestar la carga de polaridad opuesta en la otra placa del condensador, definida por la capa de base de tipo P 156. De hecho, para tensiones inversas elevadas sobre el dispositivo de protección contra sobretensión, la zona de agotamiento se puede extender durante una distancia sustancial hacia la zona semiconductor intrínseca 154, e incluso a través de la zona intrínseca 154, en función de su grosor y de la magnitud de la tensión inversa. Para evitar que la zona de agotamiento se extienda a través de la zona semiconductor intrínseca 154 y hacia el sustrato 140, cortocircuitando así el dispositivo, la capa amortiguadora de tipo N 142 evita una diseminación sustancial de la zona de agotamiento en ella. Con una cantidad sustancial de carga disponible en la capa amortiguadora 142, puede lograrse el igualamiento de la carga del condensador semiconductor, incluso con tensiones inversas elevadas y capas intrínsecas delgadas 154, sin extenderse a través de la capa amortiguadora 142. De este modo, la capa amortiguadora 142 funciona efectivamente como un tope para la capa de agotamiento. Con un funcionamiento de baja tensión, y/o capas intrínsecas gruesas 154, podría omitirse la capa amortiguadora 142.

El dispositivo de protección contra sobretensión mostrado en la Fig. 21 es un dispositivo de cuatro capas que se activa en conducción por un efecto de regeneración. El transistor NPN de una estructura de este tipo incluye el cátodo de tipo N 158, la base de tipo P 156, y la capa intrínseca 145 y la capa amortiguadora de tipo N 142. El transistor PNP del dispositivo de protección contra sobretensión incluye la base de tipo P 156, la capa intrínseca 154 y la capa amortiguadora de tipo N 142, y el sustrato de tipo P 140. Esta estructura se polariza en sentido directo cuando el contacto de ánodo 168 se polariza en positivo con respecto al contacto de cátodo 166. En este estado de polarización, para hacer entrar el dispositivo en conducción, la unión entre la capa semiconductor intrínseca 154 y la capa de base 156 se debe polarizar en sentido directo. En un estado de polarización inversa cuando el contacto de cátodo 166 se polariza en positivo con respecto al contacto de ánodo 168, la unión que bloquea el flujo de corriente es la unión entre el sustrato de tipo P 140 y la capa amortiguadora de tipo N 142.

La Fig. 23 ilustra otra forma de realización del dispositivo de protección contra sobretensión que incorpora material epitaxial intrínseco en la sección central 154 del dispositivo. En este caso, las zonas enterradas 170 podrían ser zonas compuestas por una zona N+ 172 que forma una unión con una zona P+ 174. Estas zonas enterradas PN 170 se pueden formar de la misma manera que la descrita anteriormente.

La Fig. 24 es otro ejemplo de dispositivo de protección contra sobretensión que no forma parte de la invención y que está bien adaptado para el bloqueo inverso. Excepto por la capa intrínseca adicional 176 de material semiconductor, la estructura se puede fabricar de la misma manera antes descrita en relación con las Figs. 14 a 22. En la fabricación del dispositivo de protección contra sobretensión de la Fig. 24, el sustrato P+ 140 se coloca en un reactor epitaxial y se desarrolla la capa 176 de material epitaxial intrínseco. Para un dispositivo con ruptura de 350 voltios, la capa intrínseca 176 puede tener un grosor de aproximadamente 20 micras. Nuevamente, es deseable que la capa intrínseca 176 sea tan altamente resistiva como práctica. Durante el mismo procesado del reactor epitaxial, la capa amortiguadora de tipo N 142 se puede desarrollar encima de la capa epitaxial intrínseca 176. Únicamente, es necesario controlar el reactor para que se admita una impureza de tipo N en el reactor después de que se haya completado la capa intrínseca 176. El resto del dispositivo de protección contra sobretensión se puede fabricar de la misma manera descrita anteriormente.

Se han divulgado varias formas de realización de un dispositivo de protección contra sobretensión, que materializan los principios y conceptos de la invención. Debe entenderse que las diferentes características de cada una de las formas de realización se pueden utilizar juntas, o por separado para lograr los resultados deseados. De hecho, las diversas características dadas a conocer anteriormente se pueden seleccionar y usar juntas para combinar las diversas características deseadas en un dispositivo de protección contra sobretensión. Adicionalmente, aunque las diversas formas de realización se describen con las zonas semiconductoras fabricadas con un cierto tipo de impureza, los dispositivos se pueden fabricar usando las impurezas de tipo opuesto para las zonas semiconductoras. Las diversas características se han descrito en relación con un tiristor de dos terminales. No obstante, las características se pueden utilizar en otros dispositivos semiconductores, incluyendo SCR, triacs, y otros dispositivos de dos y tres terminales. Aunque las diversas formas de realización de la invención utilizan puntos de cortocircuito en el emisor, puede haber otras aplicaciones u otras situaciones en las que no sean necesarios puntos de cortocircuito.

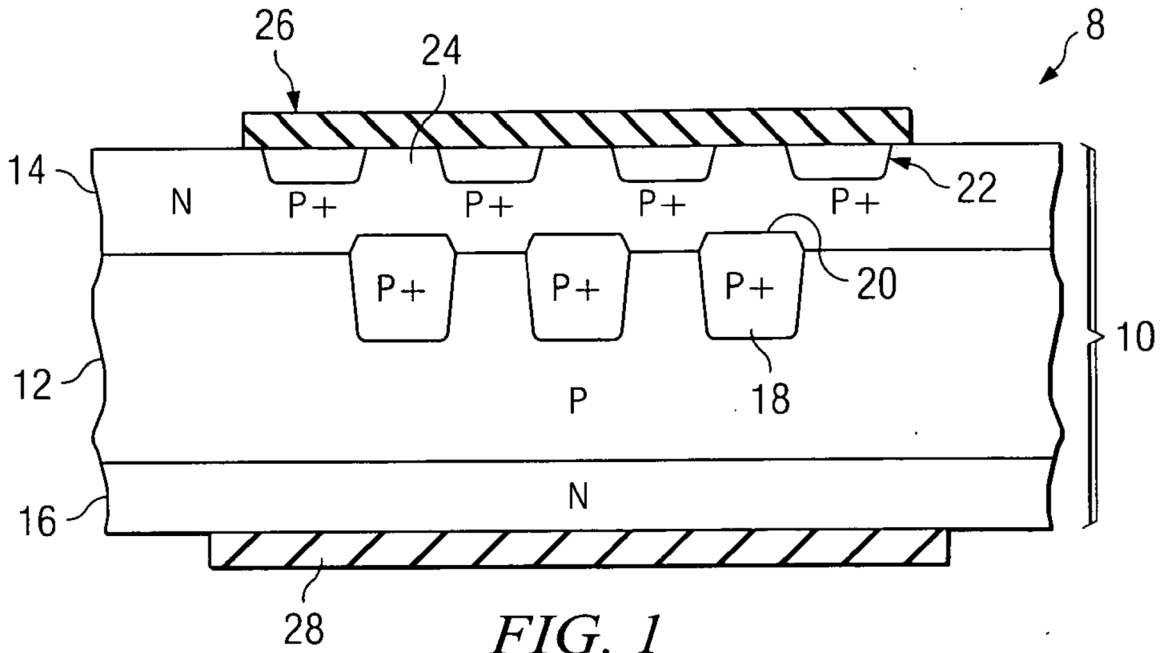
**REIVINDICACIONES**

- 5 1. Dispositivo de protección contra sobretensión del tipo que presenta un chip semiconductor de cuatro capas y por lo menos dos terminales, en el que la conducción se produce desde una cara de dicho chip hasta una cara opuesta de dicho chip cuando se aplica al dispositivo una tensión que supera un voltaje de transición conductiva, comprendiendo el dispositivo de protección contra sobretensión:
- 10 una o más zonas enterradas (60) de dopante formadas en una superficie de una capa semiconductor de dicho dispositivo de protección contra sobretensión, comprendiendo cada una de dichas zonas enterradas dos zonas semiconductoras unidas por una unión PN, y definiendo una concentración de impurezas de dichas zonas enterradas en parte el voltaje de transición conductiva de dicho dispositivo de protección contra sobretensión; y
- 15 una capa epitaxial (40) de material semiconductor formada sobre dicha capa semiconductor para cubrir dichas zonas enterradas.
- 20 2. Dispositivo de protección contra sobretensión según la reivindicación 1, en el que dicha capa epitaxial define una primera capa epitaxial, e incluye asimismo una segunda capa epitaxial de material semiconductor formada sobre dicha primera capa epitaxial, siendo dicha primera y segunda capas epitaxiales de impurezas de tipo opuesto.
- 25 3. Dispositivo de protección contra sobretensión según la reivindicación 2, que incluye asimismo uno o más emisores formados en dicha segunda capa epitaxial de material semiconductor.
- 30 4. Dispositivo de protección contra sobretensión según la reivindicación 1, en el que la unión PN de cada zona enterrada es generalmente ortogonal a una interfaz entre dicha capa semiconductor y dicha capa epitaxial.
- 35 5. Dispositivo de protección contra sobretensión según la reivindicación 4, en el que una zona semiconductor de dichas dos zonas semiconductoras rodea lateralmente la otra zona semiconductor de dichas dos zonas semiconductoras.
- 40 6. Dispositivo de protección contra sobretensión según la reivindicación 1, en el que dicho dispositivo de protección contra sobretensión es un dispositivo unidireccional para conducir una corriente resultante de una sobretensión en una dirección a través de dicho dispositivo de protección contra sobretensión.
- 45 7. Dispositivo de protección contra sobretensión según la reivindicación 1, en el que dicho dispositivo de protección contra sobretensión es un dispositivo bidireccional para conducir una corriente resultante de una sobretensión en sentidos opuestos a través de dicho dispositivo de protección contra sobretensión en función de una polaridad de la sobretensión.
- 50 8. Procedimiento de fabricación de un dispositivo de protección contra sobretensión de cuatro capas, que comprende las etapas siguientes:
- 55 depositar una impureza en unas ubicaciones seleccionadas en una superficie expuesta de capa semiconductor de dicho dispositivo de protección contra sobretensión, definiendo una concentración de dicha impureza, en parte, un voltaje de transición conductiva de dicho dispositivo de protección contra sobretensión, y definiendo las ubicaciones seleccionadas de la impureza unas zonas enterradas (60) de dopante, comprendiendo cada una de dichas zonas enterradas dos zonas semiconductoras unidas por una unión PN;
- formar una capa epitaxial (40) de material semiconductor sobre dichas zonas enterradas para cubrir, de este modo, las zonas enterradas;
- formar una capa semiconductor de base sobre dicha capa semiconductor epitaxial para definir, de este modo, una unión PN entre ellas; y
- formar una zona de emisor en dicha zona semiconductor de base.
- 60 9. Procedimiento según la reivindicación 8, que incluye asimismo depositar un primer contacto metálico que cortocircuita dicha zona de emisor y dicha capa semiconductor de base, y depositar un segundo contacto metálico sobre una capa semiconductor de ánodo.
- 65 10. Procedimiento según la reivindicación 8, que incluye asimismo formar dicho dispositivo de protección contra sobretensión para minimizar la capacitancia formando dichas zonas enterradas con un área pequeña, y formando una pluralidad de dichas zonas enterradas.

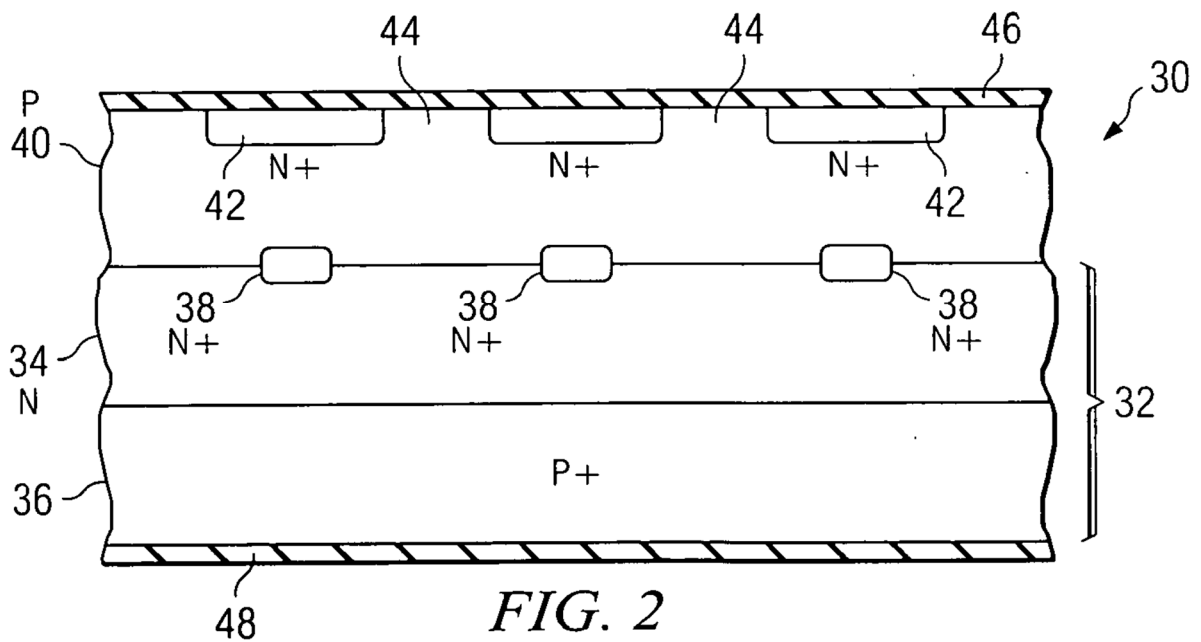
11. Procedimiento según la reivindicación 8, que incluye asimismo formar unos puntos de cortocircuito en dicho emisor.

5 12. Procedimiento según la reivindicación 8, que incluye asimismo formar dicha segunda capa de material semiconductor como una capa epitaxial.





**FIG. 1**  
(TÉCNICA ANTERIOR)



**FIG. 2**

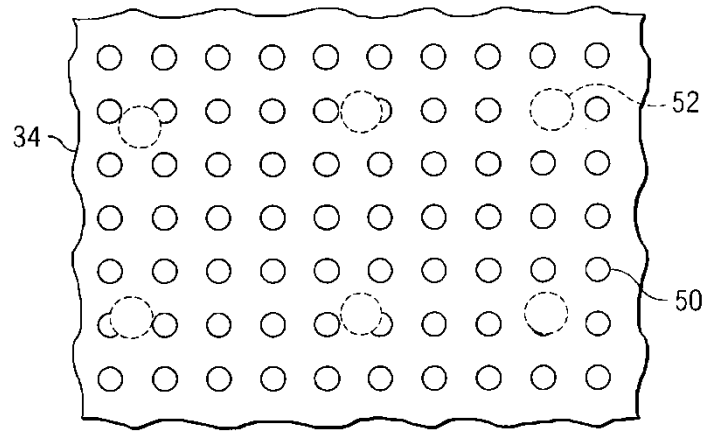


FIG. 3

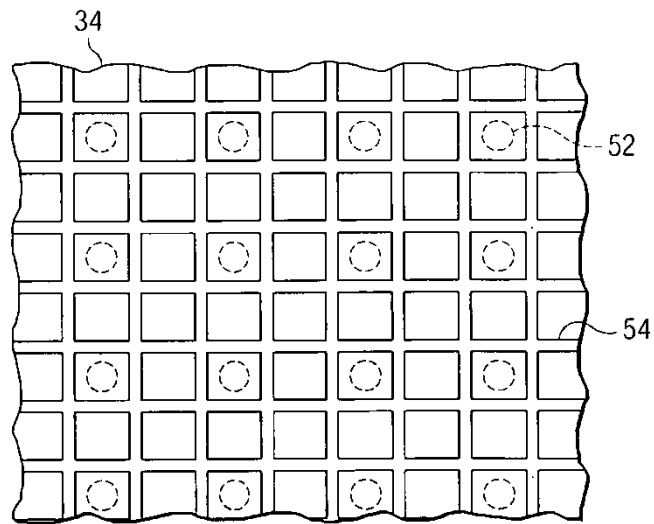
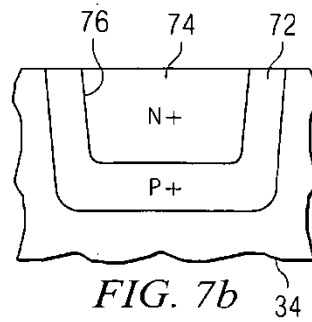
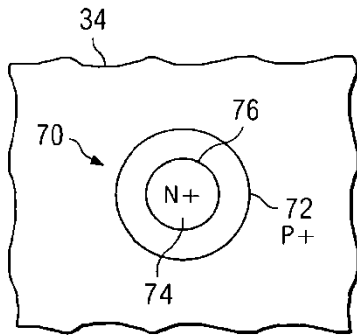
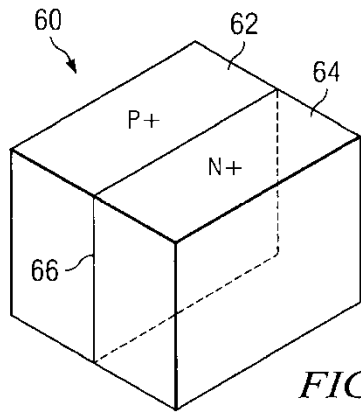
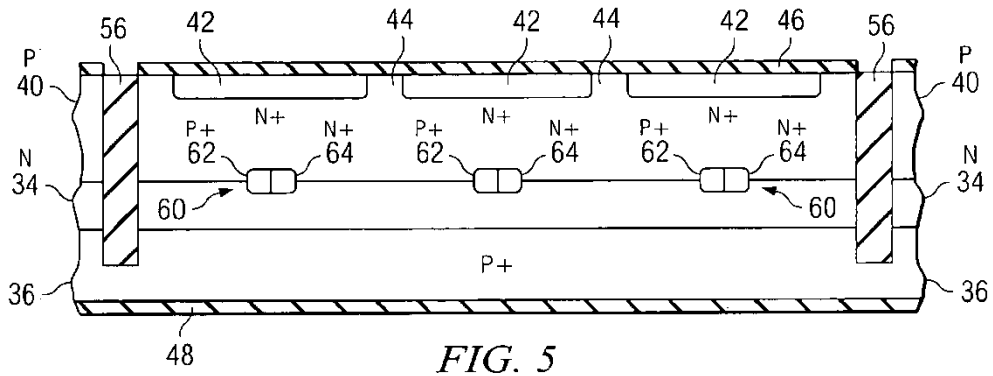
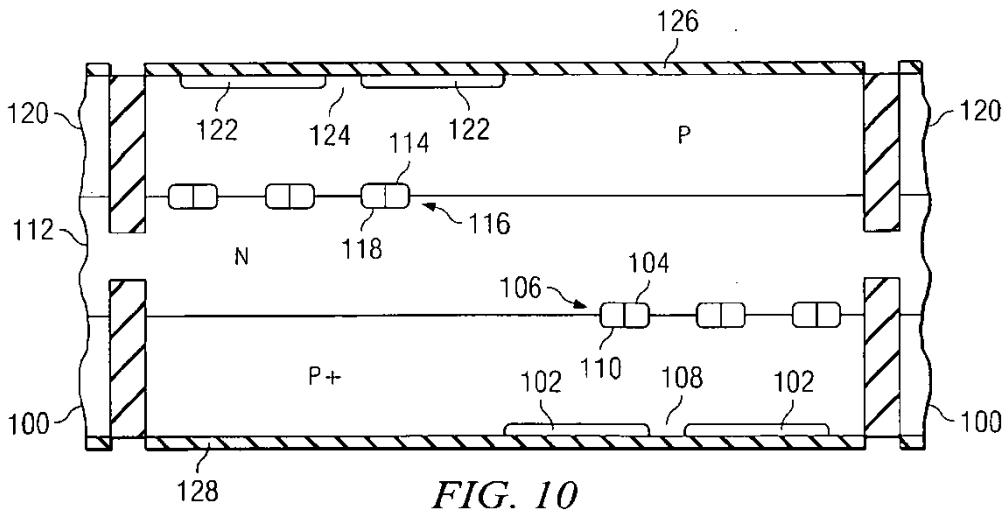
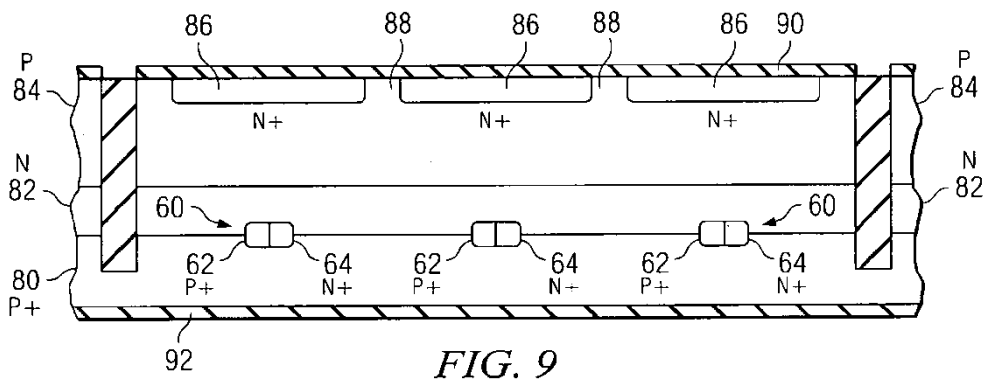
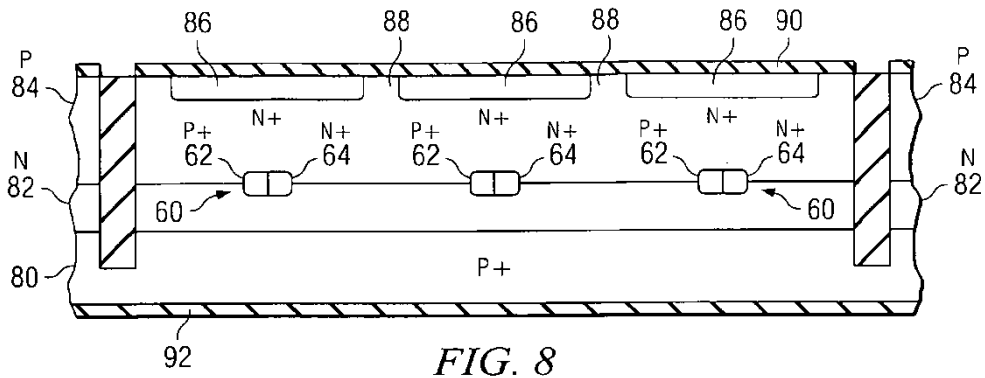
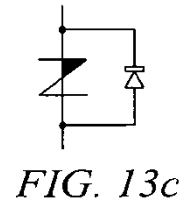
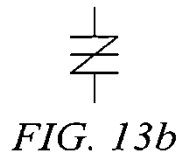
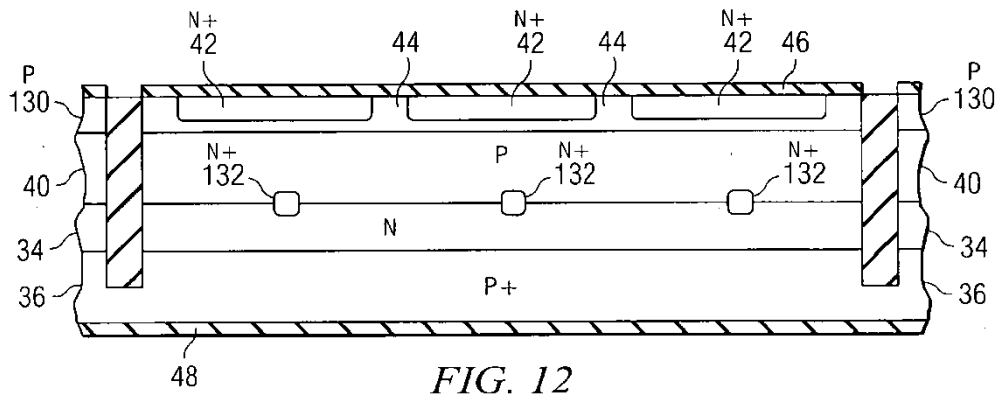
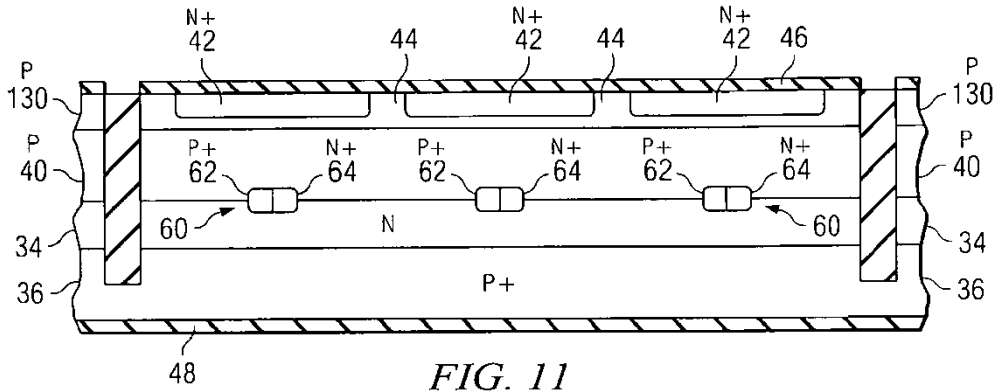


FIG. 4







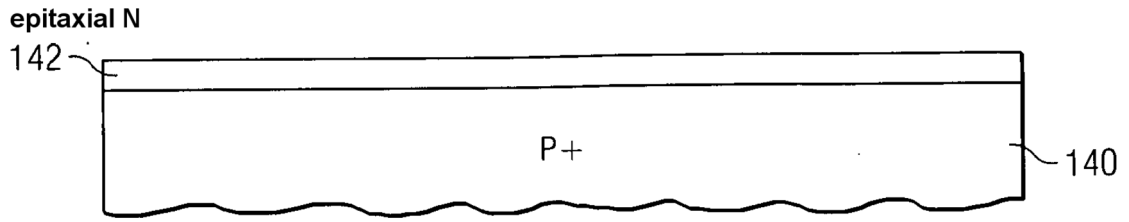


FIG. 14

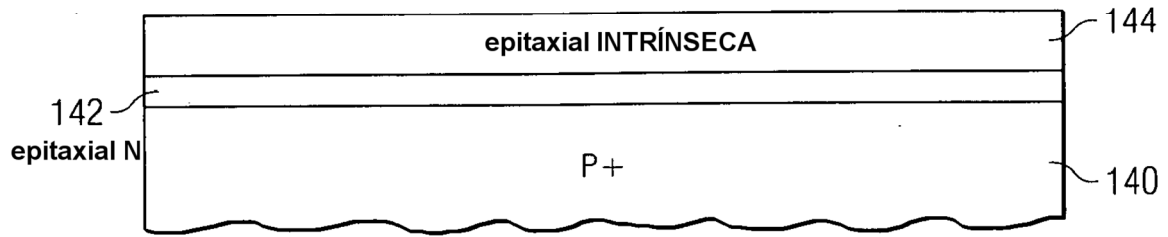


FIG. 15

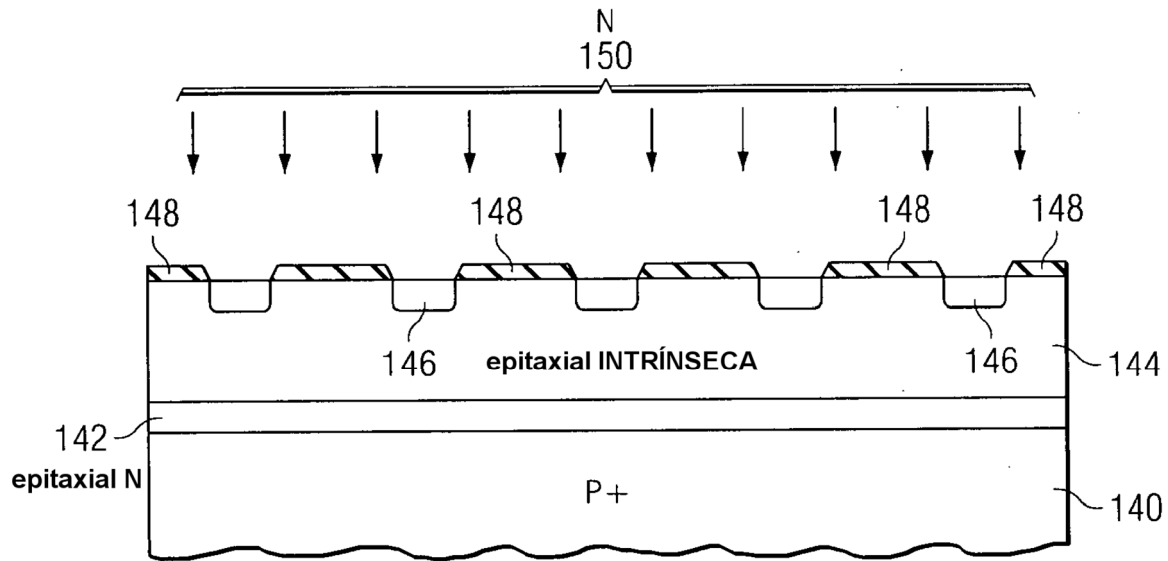


FIG. 16

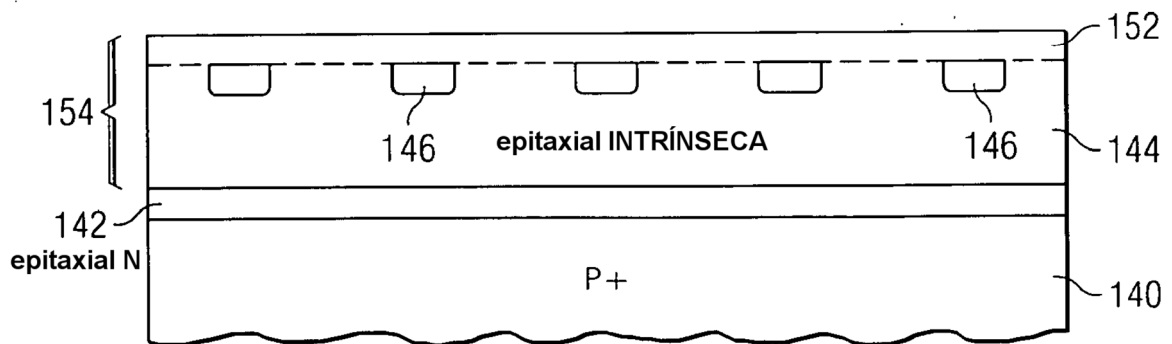


FIG. 17

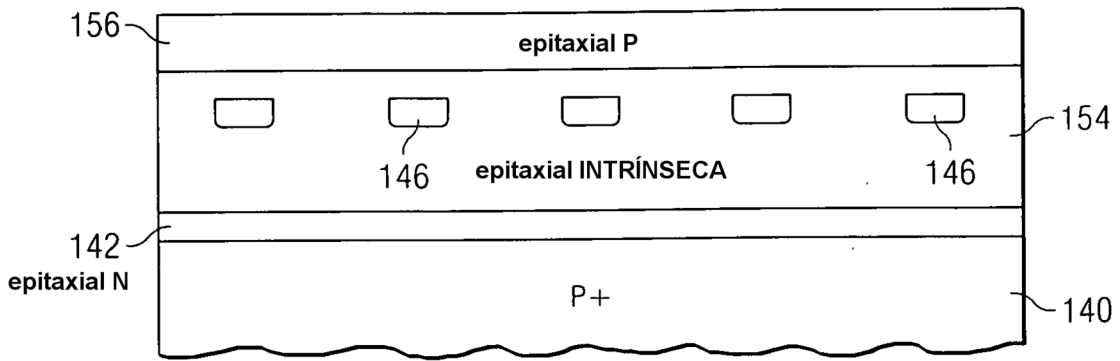


FIG. 18

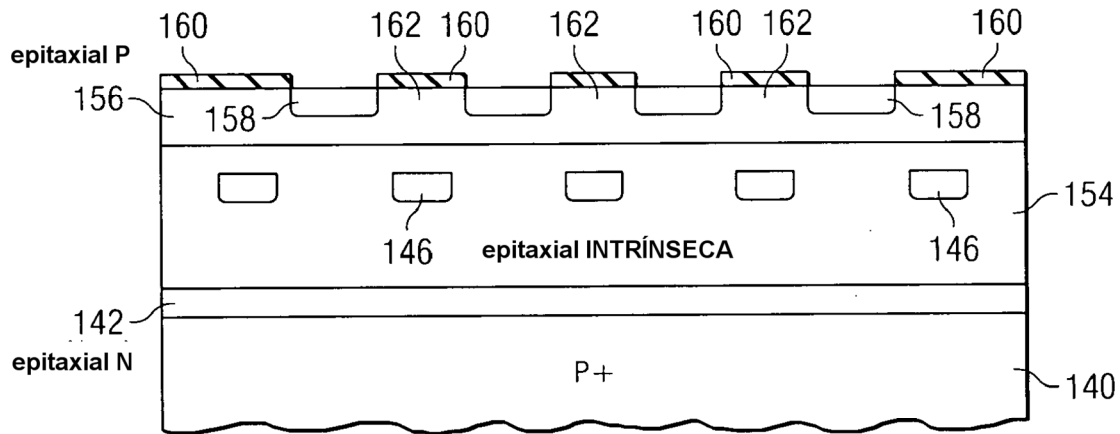


FIG. 19

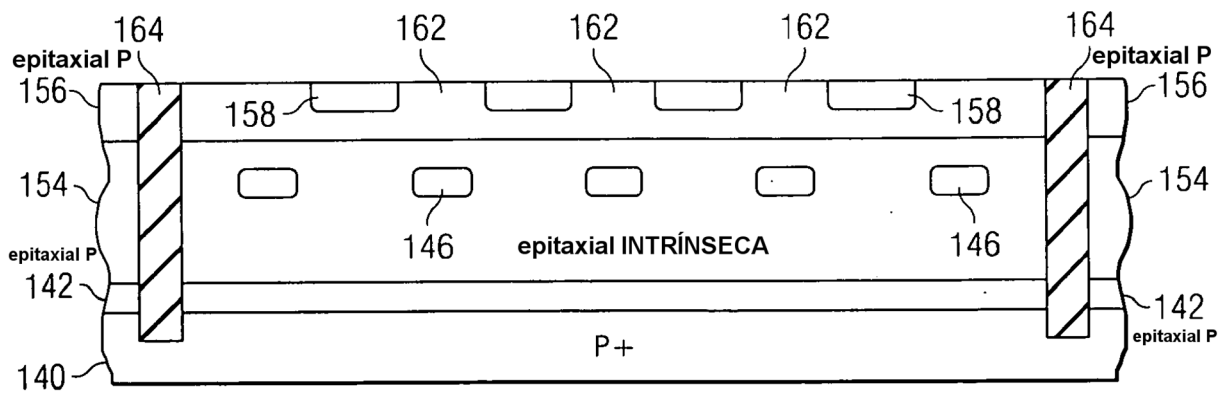


FIG. 20

