

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 678 171**

51 Int. Cl.:

G05F 5/00	(2006.01)
G06F 1/32	(2006.01)
G06F 11/30	(2006.01)
G06F 21/82	(2013.01)
G07G 3/00	(2006.01)
G06F 21/75	(2013.01)
G01R 31/317	(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Fecha de presentación y número de la solicitud internacional: **11.09.2013 PCT/CN2013/083258**
- 87 Fecha y número de publicación internacional: **05.06.2014 WO14082477**
- 96 Fecha de presentación y número de la solicitud europea: **11.09.2013 E 13858322 (4)**
- 97 Fecha y número de publicación de la concesión europea: **25.04.2018 EP 2919210**

54 Título: **Método de protección para información de datos relativos a un dispositivo electrónico y su circuito de protección**

30 Prioridad:

29.11.2012 CN 201210498948
26.06.2013 CN 201310260806

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
09.08.2018

73 Titular/es:

SHENZHEN XINGUODU TECHNOLOGY CO. LTD.
(100.0%)
17/F Jinsong Mansion Terra Industrial & Trade
Park Futian
Shenzhen Guangdong 518000, CN

72 Inventor/es:

HUANG, SHANBING;
ZHAI, JIANGUANG y
WU, HONGYUAN

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 678 171 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método de protección para información de datos relativos a un dispositivo electrónico y su circuito de protección

5 Campo de la invención

La presente invención se refiere a un método de protección para información de datos y su circuito de protección y más en particular, a un método para proteger información de datos sobre un dispositivo electrónico y su circuito de protección.

10 Antecedentes de la invención

El documento US 2010/0213951 A1 describe una puesta en práctica de un sistema sensor con múltiples sensores para la protección de productos de ingeniería inversa.

15 El documento de Salvador Manich et al: Detección de intentos de sondeo en circuitos integrados seguros, XP032193450 describe un módulo detector de intentos de sondeo (módulo PAD), en donde se comparten partes analógicas de un detector de fase.

20 El documento US 2014/0240283 A1 describe un circuito que transmite datos desde un componente a otro a través de una pluralidad de electrodos, y un circuito sensor táctil acoplado a la pluralidad de electrodos para detectar cambios en la capacitancia.

25 El documento US 2011/0095919 A1 describe un teclado que tiene una pluralidad de campos de teclas y una pluralidad de elementos capacitivos asociados con los campos de teclas. Elementos electrónicos de medición se ponen en práctica para detectar un cambio de un valor de capacitancia del nivel de no accionamiento, y un nivel de manipulación superior a un segundo margen de valores de capacitancia. Se puede detectar un intento de manipular el teclado (y obtener una salida de una señal de alarma) en un incremento del valor de capacitancia asociado con el intento de manipular el teclado.

30 Las máquinas POS son terminales de punto de venta con una función de liquidación no en efectivo, que se utilizan para realizar transacciones en línea mediante la lectura de información de banda magnética, desde una tarjeta de débito, a través de un lector de tarjetas, y la introducción de información de identificación personal (contraseña) por el titular de la tarjeta, y se aplican a supermercados, cadenas de tiendas, hipermercados, restaurantes, etc. Puesto que se trata de transacciones en línea de tarjetas de débito, se requiere un funcionamiento de alta seguridad y debe garantizar datos importantes en la máquina POS desde que es objeto de hurto.

35 Para cumplir con la norma de seguridad de datos, la presente máquina POS utiliza un método para proteger las líneas de datos importantes o elementos sensibles mediante líneas de señales seguras para evitar que las personas, no legalmente, detecten las líneas y elementos de datos importantes. Si la unidad CPU detecta que los niveles de las líneas de señales seguras se cambian, la CPU borrará todos los datos protegidos.

40 Los métodos para proteger líneas de datos importantes o elementos sensibles, a través de líneas de señales seguras incluyen tecnología de cableado, tecnología de protección de contacto y tecnología de 'zebra'. La tecnología de cableado se consigue, en general, disponiendo las líneas de señales seguras en placas de circuito impreso, PCB, de conformidad con un determinado modo y principio y combinando algunas PCB con envoltorio de cables, soporte y estructura de protección, etc., para hacer que la CPU y la tarjeta de circuitos integrados IC queden rodeadas por las líneas de señales seguras. Si el equipo electrónico se desmonta de cualquier manera, el procesador borrará todos los datos protegidos. Sin embargo, la tecnología de cableado es compleja y costosa y, debido a la necesidad de envoltorio de cable alrededor de la CPU y de la tarjeta de circuito integrado IC, su período de desarrollo es demasiado prolongado.

45 La tecnología de protección de contacto se consigue utilizando el principio de conmutación. El cierre del conmutador se puede lograr disponiendo la resina conductora en el contacto y aplicándole alguna presión. El denominado 'zebra' es similar a un conmutador, cuya intercapa conductora presenta una cierta conductividad después de sufrir presión en una determinada dirección. El contacto y el denominado conmutador 'zebra' se utilizan para impedir el desmontaje. Si alguien intenta separar la caja principal, la placa base y la placa de cubierta de la máquina POS, la unidad CPU borrará los datos protegidos. Sin embargo, esta tecnología es costosa.

50 Exceptuada la máquina POS, existe una máquina ATM (cajero automático) y todo tipo de terminales inteligentes proporcionados al público y que funcionan sin supervisión, cuyos datos importantes pueden ser robados.

55 Por lo tanto, es necesario desarrollar un método para proteger la información de datos y su circuito de protección con bajos costes y facilidad de mantenimiento.

60 Sumario de la invención

Un objeto de la presente invención es dar a conocer un método para proteger información de datos sobre un equipo electrónico para superar los inconvenientes de la técnica anterior.

- 5 Otro objeto de la presente invención es dar a conocer un circuito para proteger información de datos sobre un equipo electrónico.

Con el fin de conseguir los objetos anteriores, se dan a conocer las soluciones técnicas siguientes:

- 10 Un método para proteger información de datos de un equipo electrónico, en donde el equipo electrónico es una máquina POS, una máquina ATM o una caja registradora, comprendiendo el método las etapas siguientes: (1) realizar una detección de encendido en un equipo electrónico en el que se realizan su producción e instalación, la detección de la capacitancia parásita de su línea de señales y su registro como un valor estándar de la línea de señales; (2) durante un encendido posterior en modo operativo, la supervisión de la capacitancia parásita de la línea de señales; (3) la comparación del valor de capacitancia supervisado con el valor estándar, y pasar a la etapa (4) cuando se supera un valor umbral preestablecido, de no ser así, pasar a la etapa (2); y (4) borrar los datos significativos en el equipo electrónico.

- 20 El número de líneas de señales es más de uno, durante la detección de encendido, registrando el valor estándar de la capacitancia parásita de cada línea de señales, y durante la operación de encendido, supervisando la capacitancia parásita de cada línea de señales y comparando el valor de capacitancia supervisado con el valor estándar correspondiente. Durante la operación de encendido, la capacitancia parásita de cada línea de señales se supervisa en un orden aleatorio.

- 25 De conformidad con otra solución técnica, la capacitancia parásita de la línea de señales se supervisa mediante un método de supervisión directa que comprende las etapas de: cargar y descargar la capacitancia parásita de la línea de señales, supervisar la tensión y el tiempo de carga y descarga de la capacitancia parásita y a continuación, determinar el valor de capacitancia de la capacitancia parásita de conformidad con una fórmula sobre la carga-descarga de la capacitancia. De conformidad con una solución técnica adicional, la capacitancia parásita de la línea de señales se supervisa mediante un método de supervisión indirecta que comprende las etapas de: supervisar la frecuencia de oscilación de un circuito oscilante RC, o un circuito oscilante LC, conectado con la capacitancia parásita y determinar el valor de capacitancia, de la capacitancia parásita, de conformidad con una fórmula sobre la frecuencia de oscilación.

- 35 De conformidad con otra solución técnica, se da a conocer un multiplexor entre las líneas de señales y el circuito oscilante RC, o el circuito oscilante LC, para establecer comunicaciones entre las líneas de señales y el circuito oscilante RC o el circuito oscilante LC, uno por uno.

- 40 Un circuito para proteger información de datos de un equipo electrónico, que comprende un procesador y un dispositivo electrónico conectado con el procesador a través de una línea de señales, en donde dicho circuito para proteger información de datos comprende, además, un módulo de detección de capacitancia conectado, eléctricamente, con la línea de señales, teniendo el módulo de detección de capacitancia un extremo de detección conectado con la línea de señales, y un extremo de salida de pulsos conectado con el procesador; en donde cuando se realiza la detección de encendido en el equipo electrónico por primera vez, una señal de pulsos formada por la capacitancia parásita de la línea de señales, junto con el módulo de detección de capacitancia, se transmite al procesador y a continuación, se registra la frecuencia de la señal de pulsos como una frecuencia estándar por el procesador; en donde durante el uso del equipo electrónico, el procesador compara una frecuencia recibida en tiempo real con la frecuencia estándar y determina que existe materia extraña exterior que está en contacto con la línea de señales, si existe una diferencia entre la frecuencia en tiempo real y la frecuencia estándar que supera un valor preestablecido, en donde la capacitancia parásita de la línea de señales se cambia y la señal de pulsos, formada por el módulo de detección de capacitancia, que combina la capacitancia parásita también se cambia y el procesador borra datos significativos en el equipo electrónico; en el que la línea de señales es un cable de conexión que conecta el dispositivo electrónico y el procesador.

- 55 El módulo de detección de capacitancia es un circuito oscilante RC que comprende un inversor; el número de líneas de señales es más de uno; y se proporciona un multiplexor entre las líneas de señales y el módulo de detección de capacitancia.

- 60 El multiplexor es un multiplexor analógico de 8 canales que tiene ocho extremos de entrada conectados con las líneas de señales, un solo extremo de salida conectado con el módulo de detección de capacitancia, y tres extremos de entrada de control conectados con el procesador, y el multiplexor analógico de 8 canales determina cuál de los extremos de entradas se comunica con el extremo de salida, de conformidad con una señal compuesta a partir de los tres extremos de entrada de control; cuando se realiza el encendido por primera vez, el procesador envía ocho señales compuestas al multiplexor analógico de 8 canales, una por una, y registra una frecuencia de pulso generada por el módulo de detección de capacitancia junto con la línea de señales relativa a cada señal compuesta como una frecuencia estándar relativa a la señal compuesta; en donde durante el uso, el procesador envía las señales

compuestas y compara la frecuencia recibida en tiempo real con la frecuencia estándar relativa a la señal compuesta, y el procesador realizará una determinación de si existe, o no, materia extraña externa que está en contacto con la línea de señales en relación con la señal compuesta, si existe es una diferencia entre la frecuencia en tiempo real y la frecuencia estándar relativa a la señal compuesta que supera un valor preestablecido, cambiando la capacitancia parásita de la línea de señales y se cambia, además, la señal de pulsos formada por el módulo de detección de capacitancia que combina la capacitancia parásita, y el procesador envía una señal de alarma y/o una señal para proteger los datos importantes; en donde el equipo electrónico es una máquina POS, una máquina ATM o una caja registradora; y el dispositivo electrónico comprende un teclado, una pantalla de presentación visual, un lector de tarjetas IC y un lector de tarjetas magnéticas. Durante el uso, el procesador envía las señales compuestas en un orden aleatorio.

El circuito para proteger información de datos de un equipo electrónico puede incluir un procesador y un dispositivo electrónico conectado con el procesador a través de una línea de señales, en donde comprende, además, un módulo de detección de capacitancia conectado, eléctricamente con la línea de señales, teniendo el módulo de detección de capacitancia un extremo de detección conectado con la línea de señales, un extremo de control y un extremo de salida de señal, estando ambos conectados con el procesador; el módulo de detección de capacitancia es un circuito integrado de detección de capacitancia; cuando se realiza la detección de encendido en el equipo electrónico por primera vez, el módulo de detección de capacitancia detecta la capacitancia parásita de la línea de señales, y envía un valor de capacitancia detectado al procesador, y el procesador registra el valor de capacitancia como un valor de capacitancia estándar; y durante el uso, el procesador recibe el valor de capacitancia detectado por el módulo de detección de capacitancia en tiempo real, y lo compara con el valor de capacitancia estándar, y el procesador determina que existe materia extraña externa que está en contacto con la línea de señales y, a continuación, borra datos importantes en el equipo electrónico si existe una diferencia entre el valor de capacitancia en tiempo real y el valor de capacitancia estándar que supera un valor umbral preestablecido.

El equipo electrónico puede ser una máquina POS y el circuito para proteger la información de datos puede comprender:

un módulo de selección multicanal, siendo el módulo de selección multicanal un circuito multicanal tipo 74HC4051 que tiene ocho extremos de entrada de señal externa (A0 a A7), tres extremos de selección digitales (S0 a S2) y un extremo de salida de señal (A); y

un módulo de detección de capacitancia, que comprende un primer inversor (U418A), un segundo inversor (U418B) y un tercer inversor (U418C), estando un extremo de entrada (1) del primer inversor (U418A) conectado con el extremo de salida (A) del módulo de selección multicanal (90) a través de un primer condensador (C35), estando un extremo de salida (2) del primer inversor (U418A), conectado con un extremo de entrada (3) del segundo inversor (U418B), estando un extremo de salida (4) del segundo inversor (U418B), conectado con un extremo de entrada (5) del tercer inversor (U418C), estando conectada una primera resistencia (R1) entre el extremo de entrada (1) y el extremo de salida (2) del primer inversor (U418A), estando el extremo de entrada (1) del primer inversor (U418A), conectado con el extremo de salida (4) del segundo inversor (U418B) a través de una segunda resistencia (R2) y un segundo condensador (C37), ambos conectados en serie y un punto de conexión con el que se conectan con un extremo de salida (6) del tercer inversor (U418C), a través de una tercera resistencia (R3), estando el extremo de entrada (5) y el extremo de salida (6) del tercer inversor (U418C) conectado a un extremo de salida (tecla-LED) a través de una cuarta resistencia (R4) y una quinta resistencia (R5), respectivamente; un extremo de entrada de energía (VCC33) del primer inversor (U418A) que está puesto a tierra mediante un tercer condensador (C207) y una cuarta capacitancia (C135) estando, ambos, conectados en paralelo.

En comparación con la técnica anterior, la presente invención tiene las ventajas operativas siguientes:

el método de protección de la presente invención se consigue mediante la detección del cambio del valor de capacitancia parásita de las líneas de señales por medio de la supervisión de las líneas de señales en tiempo real, realizando la determinación de que existe materia extraña externa detectando las líneas de señales si el valor de cambio está superando un valor umbral preestablecido y luego, borra los datos importantes en el equipo electrónico. El método utiliza el modo de supervisión de la capacitancia parásita para supervisar el contacto de materia extraña externa con las líneas de señales, asegurando, de este modo, la seguridad de los datos en el dispositivo electrónico. El método tiene las características de que el proceso de puesta en práctica es simple y fácil, seguro y fiable, y el costo es bajo. Podría aplicarse para la protección de datos de diversas clases de equipos electrónicos en el campo de la información, tal como un equipo electrónico utilizado para el comercio electrónico, un equipo de memorización para memorizar datos importantes, etc.

El circuito de protección de la presente invención se consigue mediante un método de control indirecto, y mediante la conexión del circuito oscilante compuesto de inversores, resistencias y condensadores con cable que han de detectarse, el cambio de la capacitancia parásita del cable provocará el cambio de la frecuencia de oscilación. Cuando la materia extraña externa entra en contacto con el cable que ha de detectarse, el procesador detectará el cambio de la frecuencia de oscilación y a continuación, determinará que existe contacto de materia extraña externa con la línea de señales y, por último, emitirá una señal de alarma y una señal de procesamiento relacionada. El

circuito de protección no solamente es seguro y fiable, sino que también tiene un corto ciclo de desarrollo, bajo costo de fabricación y estructura simple; y es fácil de producir y podría aplicarse a diferentes equipos electrónicos, tal como máquinas POS, máquina ATM, etc. La información de datos importante del equipo electrónico se puede detectar desde el exterior mediante la selección de algunos de los cables, de modo que se utiliza un multiplexor para que más de un cable que ha de detectarse, pueda compartir un solo módulo de detección de capacitancia, ahorrando costos y optimizando la estructura del circuito. Además, mediante el uso de la señal de control compuesta del procesador para seleccionar uno, que se determina entre los canales analógicos a eliminar, cuando un intruso no autorizado elimina el módulo de detección de capacitancia, solamente se detecta una de las señales de frecuencia de los cables antes de que el módulo eliminado pueda ser grabado. Si la señal de frecuencia se sustituye con otra señal, es difícil lograr una adaptación con la señal de control compuesta del procesador, y las otras señales de frecuencia incluso no pueden ser reemplazadas por otras señales, con lo que se aumenta la dificultad del robo de datos del equipo electrónico y se mejora, en gran medida, el rendimiento de seguridad del equipo electrónico.

El circuito de protección de la presente invención podría conseguirse, además, utilizando un circuito integrado de detección de capacitancia con múltiples puertos de detección para supervisar la capacitancia parásita de cada línea de señales directamente, determinando así si cada una de las líneas de señales entra en contacto con la materia extraña conductora. La estructura del circuito utiliza un circuito integrado para controlar el cambio de la capacitancia parásita de cada línea de señales en tiempo real y en un orden aleatorio. Presenta las características de que la estructura del circuito es simple, el costo es bajo, es fácil de producir y mantener y no es fácil de ruptura.

La presente invención podría aplicarse a la máquina POS, aplicarse al equipo utilizado para el comercio electrónico, tal como una máquina ATM, y se puede aplicar a los equipos de memorización para memorizar datos importantes, tales como la base de datos del departamento de gestión de seguridad, etc. La presente invención se describirá, además, a continuación, combinando los dibujos adjuntos y formas de realización.

Breve descripción de los dibujos

La Figura 1 es un diagrama de flujo de un método para proteger la información de datos sobre un equipo electrónico, de conformidad con una forma de realización de la presente invención;

La Figura 2 es un diagrama de bloques de un circuito para proteger información de datos sobre un equipo electrónico, de conformidad con una primera forma de realización de la presente invención (utilizando un método de supervisión indirecta);

La Figura 3 es un primer diagrama circuital esquemático del circuito para proteger información de datos sobre un equipo electrónico de conformidad con una segunda forma de realización de la presente invención (que ilustra un multiplexor);

La Figura 4 es un segundo diagrama circuital esquemático del circuito para proteger información de datos sobre un equipo electrónico de conformidad con una segunda forma de realización de la presente invención (que ilustra un módulo de detección de capacitancia);

La Figura 5 ilustra una forma de onda de pulsos de un extremo de entrada y un extremo de salida del módulo de detección de capacitancia del circuito para proteger información de datos sobre un equipo electrónico, de conformidad con una segunda forma de realización de la presente invención; y

La Figura 6 es un diagrama circuital esquemático del circuito para proteger información de datos sobre un equipo electrónico de conformidad con una segunda forma de realización de la presente invención (que ilustra un circuito, y que utiliza un método de supervisión directa).

Descripción de las referencias numéricas en los dibujos adjuntos:

Máquina POS 10; procesador 20; dispositivo electrónico 30; cable detectado 40; módulo de detección de capacitancia 50; extremo detectado 51; extremo de salida de pulsos 52, multiplexor 60; extremo de entrada 61; extremo de salida 62; y extremo de entrada de control 63.

Descripción detallada de formas de realización ilustradas

Para comprender el contenido técnico de la presente invención de forma más suficiente, algunas formas de realización de la presente invención ahora se describirán, a continuación, solamente a modo de ejemplo, con referencia a los dibujos adjuntos.

Según se ilustra en la Figura 1, de conformidad con la presente invención, el método para proteger información de datos sobre un equipo electrónico incluye las etapas siguientes:

(1) La realización de la detección de encendido en un equipo electrónico cuya producción e instalación están

terminadas, la detección de capacitancia parásita de su línea de señales, y su registro como un valor estándar de la línea de señales; dicha etapa se pone en práctica, en general, durante la configuración de fábrica de la producción.

5 (2) Durante una operación de encendido, la supervisión de la capacitancia parásita de la línea de señales; dicha etapa se realiza durante la iniciación operativa del equipo electrónico, pudiendo ser el período de supervisión de 0.01 s a 1 s, que no es demasiado corto ni demasiado largo; el período de supervisión no puede ser demasiado corto con el fin de evitar un desperdicio de recursos, y el período de supervisión no puede ser demasiado largo con el fin de proteger los datos contra el robo rápido.

10 (3) La comparación de un valor de capacitancia supervisado con el valor estándar y pasar a la etapa (4) cuando se supera un valor umbral preestablecido, de no ser así, pasar a la etapa (2); el valor umbral preestablecido es relativo a la precisión de un dispositivo de detección, y podría ser 0.1 pF a 1 pF.

15 (4) El borrado de datos importantes en el equipo electrónico; la etapa de borrado podría ponerse en práctica en una forma de vaciar los datos, o ponerse en práctica mediante el formateo o destrucción de los datos de una manera específica (que corresponde a la modificación del contenido de los datos) de modo que la persona que se apodera ilícitamente de los datos no pueda obtener el contenido real de los mismos.

20 En general, existe más de una línea de señales (debido a que un equipo electrónico está constituido de más de un dispositivo electrónico). Cuando se realiza la detección de encendido, se registra el valor estándar de la capacitancia parásita de cada línea de señales, y durante la operación de encendido, se supervisa la capacitancia parásita de cada línea de señales en un orden aleatorio y se compara el valor de capacitancia supervisado con el valor estándar correspondiente.

25 Existen dos modos para la supervisión de la capacitancia parásita de la línea de señales, como sigue:

uno es un método de supervisión directa, que incluye etapas de: cargar y descargar la capacitancia parásita de la línea de señales, supervisando la tensión y el tiempo de carga-descarga de la capacitancia parásita y luego, determinar el valor de la capacitancia parásita de conformidad con una fórmula sobre carga-descarga de la capacitancia. El método se podría poner en práctica por intermedio de un circuito integrado de detección de capacitancia, tal como un circuito integrado de detección de capacitancia de tipo GT811, que se ilustra en la Figura 6, de conformidad con una forma de realización de la presente invención.

35 El otro modo es un método de supervisión indirecta, que incluye las etapas de: supervisar la frecuencia de oscilación de un circuito oscilante RC, o un circuito oscilante LC, que se conecta con la capacitancia parásita, y realizar el cálculo del valor de la capacitancia parásita de conformidad con una fórmula sobre la frecuencia de oscilación. Existe un circuito de selección provisto entre la línea de señales y el circuito oscilante RC, o el circuito oscilante LC, para establecer la comunicación entre las líneas de señales y el circuito oscilante RC, o el circuito oscilante LC, en el modo uno por uno. De conformidad con una forma de realización ilustrada en la Figura 3 a la Figura 5, el método se pone en práctica mediante un circuito oscilante RC y un multiplexor de 8 canales.

45 De conformidad con una forma de realización ilustrada en la Figura 2, se da a conocer un circuito para proteger información de datos sobre un equipo electrónico. El equipo electrónico es una máquina POS 10 e incluye un procesador 20, una pluralidad de dispositivos electrónicos 30, todos ellos conectados con el procesador 20, y un módulo de detección de capacitancia 50 conectado, eléctricamente, con los cables 40 que han de detectarse. El módulo de detección de capacitancia 50 es un circuito oscilante RC que incluye inversores (debido al cambio del tiempo de carga-descarga del circuito oscilante por medio del cambio de la capacitancia parásita de la línea de señales, se cambia, de este modo, la frecuencia de salida del circuito oscilante, se denomina módulo de detección de capacitancia). El módulo de detección de capacitancia tiene un extremo de detección 51, conectado con los cables 40, y un extremo de salida de pulsos 52 conectado con el procesador 20. Cuando se realiza la detección de encendido en la máquina POS 10 por primera vez, se forma una señal de pulsos constante por la capacitancia parásita del cable 40, que ha de detectarse junto con el módulo de detección de capacitancia 50 y se transmite al procesador 20. Y a continuación, la frecuencia de la señal de pulsos se registra como una frecuencia estándar por el procesador 20. Durante el uso del equipo electrónico, el procesador 20 compara una frecuencia recibida en tiempo real con la frecuencia estándar, y determina que existe materia extraña externa en contacto con el cable 40 que ha de detectarse si existe una diferencia (el valor podría ser positivo y, además, podría ser negativo) entre la frecuencia en tiempo real y la frecuencia estándar que supera un valor preestablecido (dependiendo el valor preestablecido del valor de la variación de frecuencia en condiciones normales, podría ser del 1% de la frecuencia estándar y, además, podría ser 0.1% de la frecuencia estándar). La capacitancia parásita del cable 40, que ha de detectarse es objeto de cambio y, además, se cambia la señal de pulsos formada por el módulo de detección de capacitancia 50 que combina la capacitancia parásita y el procesador 20 envía una señal de alarma y/o una señal para proteger los datos significativos. En donde el cable 40 que ha de detectarse, es un cable de conexión que conecta el dispositivo electrónico 30 y el procesador 20. De conformidad con esta forma de realización, se da a conocer una solución preferida como sigue: existe un multiplexor analógico de 8 canales 60 provisto entre los cables 40, que han de detectarse, y el módulo de detección de capacitancia 50. El multiplexor 60 tiene ocho extremos de entrada 61 conectados con cables 40 a detectar, un extremo de salida 62 conectado con el módulo de detección de

capacitancia 50 y tres extremos de entrada de control 63 conectados todos ellos con el procesador 20. El multiplexor analógico de 8 canales 60 determina cuál de los extremos de entrada se comunica con el extremo de salida de conformidad con una señal compuesta, a partir de los tres extremos de entrada de control 63. Cuando se realiza el encendido por primera vez, el procesador 20 envía ocho señales compuestas al multiplexor analógico de 8 canales 5 60 una por una, y registra una frecuencia de pulsos producida por el módulo de detección de capacitancia junto con el cable que ha de detectarse, en relación con cada señal compuesta como una frecuencia estándar relativa a la señal compuesta. Durante el uso, el procesador envía las señales compuestas en un orden aleatorio, y compara la frecuencia recibida en tiempo real con la frecuencia estándar relativa a la señal compuesta, y el procesador determina que existe una materia extraña externa que está en contacto con el cable, que ha de detectarse, y en 10 relación con la señal compuesta si existe una diferencia entre la frecuencia en tiempo real y la frecuencia estándar, relativa a la señal compuesta que supera un valor preestablecido. La capacitancia parásita de la línea de señales se cambia y la señal de pulsos, formada por el módulo de detección de capacitancia que combina la capacitancia parásita, también se cambia y el procesador envía una señal de alarma y/o una señal para la protección de los datos importantes. Durante el uso, el procesador envía las señales compuestas en un orden aleatorio. Los dispositivos electrónicos incluyen un teclado, una pantalla de presentación visual, un lector de tarjetas IC y un lector de tarjetas magnéticas. De conformidad con otras formas de realización, el equipo electrónico podría ser una máquina ATM o una caja registradora.

Según se ilustra en la Figura 3 a la Figura 5, de conformidad con otra forma de realización específica de la presente invención, el equipo electrónico es una máquina POS y el circuito para proteger la información de datos incluye un módulo de selección multicanal y un módulo de detección de capacitancia, como sigue:

el módulo de selección multicanal (multiplexor) tiene extremos de selección digital, extremos de entrada de señal externa y extremo de salida de señal. Más concretamente, el módulo de selección multicanal es un circuito integrado multicanal, y el tipo de circuito es 74HC4051, que tiene tres extremos de selección digitales (S0 a S2), ocho extremos de entrada de señal externa (A0 a A7) y un extremo de salida de señal (A). En donde, los terminales de A0 a A7 están conectados con las líneas de señales importantes, tales como las líneas de escaneo del teclado y las líneas de datos de la tarjeta IC; los terminales de S0 a S2 están conectados con las líneas de señales LED0, LED1 y LED2, respectivamente. El procesador podría hacer que los datos de alguno de los terminales de A0 a A7 se transmitan al extremo de salida de señal A, controlando las líneas de señales LED0, LED1 y LED2.

El módulo de detección de capacitancia incluye un primer inversor U418A, un segundo inversor U418B y un tercer inversor U418C, todos los cuales son del tipo 74HC14. El primer inversor U418A tiene un extremo de entrada 1 conectado con el extremo de salida A del módulo de selección multicanal 90, a través de un primer condensador C35, y un extremo de salida 2 conectado con un extremo de entrada 3 del segundo inversor U418B. Un extremo de salida 4 del segundo inversor U418B está conectado con un extremo de entrada 5 del tercer inversor U418C y una primera resistencia R1 está conectada entre el extremo de entrada 1 y el extremo de salida 2 del primer inversor U418A. El extremo de entrada 1 del primer inversor U418A está conectado con el extremo de salida 4 del segundo inversor U418B a través de una segunda resistencia R2 y un segundo condensador C37, estando ambos componentes conectados en serie, y un punto de conexión que está conectado con un extremo de salida 6 del tercer inversor U418C a través de una tercera resistencia R3. El extremo de entrada 5 y el extremo de salida 6 del tercer inversor U418C están conectados a una tecla-LED de extremo de salida, a través de una cuarta resistencia R4 y una quinta resistencia R5, respectivamente.

El extremo de entrada de energía VCC33, del primer inversor U418A está puesto a tierra a través de un tercer condensador C207 y una cuarta capacitancia C135, las cuales están conectadas en paralelo, con lo que se elimina la interferencia de circuito producida por la capacitancia AC única.

Durante el funcionamiento del equipo electrónico, el procesador hace que los datos de alguno de los terminales de A0 a A7 se transmitan al extremo de salida de señal A controlando las líneas de señales LED0, LED1 y LED2. Cuando se selecciona alguno de los extremos A0 a A7, un bucle de carga-descarga RC se forma por la capacitancia parásita de cualquiera de entre A0 a A7, junto con las resistencias R1, R2 y R3. Cuando la máquina POS está desactivada, no hay carga en el primer condensador C35 ni la capacitancia parásita. Cuando la máquina POS se activa, el módulo de detección de capacitancia comienza a funcionar, el extremo de entrada 1 del primer inversor U418A es de nivel bajo y el extremo de salida 2 es de nivel alto, y debido a dos procesos inversos del segundo inversor U418B y el tercer inversor U418C, el extremo de salida 6 del tercer inversor U418C es también de alto nivel. El primer inversor U418A y el tercer inversor U418C recargan el primer condensador C35 y la capacitancia parásita de cualquiera de los terminales A0-A7 a través de la primera resistencia R1 y la segunda resistencia R2, respectivamente. El extremo de entrada 1 del primer inversor U418A tiene una forma de onda de tensión V_c , ilustrada en la Figura 2. En el tiempo t_0 , la tensión del extremo de entrada 1 del primer inversor U418A alcanza un nivel V_{T+} , que se considera como entrada de alto nivel por el primer inversor U418A, por lo que el extremo de salida 2 es de nivel bajo y el extremo de salida 6 del tercer inversor U418C también es de bajo nivel. Tanto el extremo de salida 2 del primer inversor U418A como el extremo de salida 6 del tercer inversor U418C tienen una forma de onda de tensión V_0 ilustrada en la Figura 2. En este momento, el primer condensador C35 y la capacitancia parásita de cualquiera de los terminales A0-A7 se descargan a través de la primera resistencia R1 y de la segunda resistencia R2, durante el tiempo de t_0 - t_1 . Cuando la tensión del primer inversor U418A se reduce a V_{T-} , que se considera

como entrada de bajo nivel, por el primer inversor U418A el extremo de salida 2 se cambia a nivel alto y el extremo de salida 6 del tercer inversor U418C es también de nivel alto. En este momento, el primer inversor U418A y el tercer inversor U418C recargan el primer condensador C35 y la capacitancia parásita de cualquiera de los terminales A0-A7, de nuevo a través de la primera resistencia R1 y de la segunda resistencia R2, respectivamente, y se ilustra su forma de onda como el tiempo de t_1-t_2 en la Figura 2.

El módulo de detección de capacitancia tiene un estado de carga y un estado de descarga, entre los cuales existe un conmutador con la acción del circuito integrado de selección multicanal 74HC14. Las tensiones del primer condensador C35 y la capacitancia parásita de cualquiera de los terminales A0-A7 formarán una señal periódica y la totalidad del primer inversor U418A, el segundo inversor U418B y el tercer inversor U418C, tienen una función de conversión de onda, de este modo, el extremo de salida 4 del segundo inversor U418B puede proporcionar una onda rectangular con una determinada frecuencia. La frecuencia de la onda rectangular es $1/(T_1+T_2)$, que es relativa al primer condensador C35, la capacitancia parásita de cualquiera de los terminales A0-A7, la primera resistencia R1 y la segunda resistencia R2. Cuando se cambia la capacitancia parásita de cualquiera de los terminales A0-A7, cambiará también la frecuencia. Por lo tanto, el procesador puede determinar si la capacitancia parásita de cualquiera de los terminales A0-A7 se cambia, o no, mediante la detección del cambio de la frecuencia.

Cuando alguien intenta sondear los datos importantes en la máquina POS, en general, existen dos modos de conseguirlo, mediante el sondeo de las líneas de señales directamente o encontrando una manera de causar el fallo operativo del módulo de detección de capacitancia. Si utiliza el modo de sondeo directamente, la persona no autorizada usará una sonda o una aguja para sondear la señal en la línea de datos. Aunque el valor de capacitancia en la sonda o aguja suele ser pequeño, el valor de capacitancia de la sonda o aguja presente es al menos mayor que 5pF. De conformidad con la forma de realización de la presente invención, el módulo de detección de capacitancia puede detectar el cambio de la capacitancia de 1pF, que es mucho menor que el valor de capacitancia de 5pF de la sonda o aguja, mediante el uso de un condensador de alta precisión con poca influencia de temperatura y la optimización del algoritmo del software. En consecuencia, resulta difícil detectar las señales de las líneas de datos mediante sonda. Cuando la sonda o aguja detecta las señales de las líneas de datos, la capacitancia parásita de cualquiera de los terminales A0 a A7 cambiará y entonces, además, se cambiará la frecuencia y el procesador borrará los datos protegidos de inmediato, protegiendo así los datos de ser sustraídos. Además, las líneas de datos importantes podrían organizarse en la capa interna de la placa PCB con el fin de reducir la posibilidad de ser detectado. Si se usa el modo de causar el fallo operativo del módulo de detección de capacitancia, la persona no autorizada detectará, en primer lugar, la frecuencia de tecla-LED del extremo de salida del módulo de detección de capacitancia, colocará el módulo de detección de capacitancia en un estado desactivado y luego, introducirá una señal con misma frecuencia que la de la tecla-LED de extremo de salida del módulo de detección de capacitancia al procesador después de la activación inicial de la máquina POS. Sin embargo, de este modo, solamente se puede conseguir una frecuencia igual que la de algunos de los terminales A0 a A7, mientras que el procesador detecta la frecuencia de cualquiera de A0 a A7 constantemente y con la circulación a través de los extremos de selección digital. En comparación con las frecuencias de 8 canales inicialmente calculadas, las señales transmitidas al procesador necesitan cambiar su frecuencia, con el fin de mantenerse en coherencia con las frecuencias de 8 canales, lo que es muy difícil de lograr. Por lo tanto, la presente invención puede proteger los datos contra su utilización no autorizada. Cuando las frecuencias son incompatibles (no iguales), se determinará que existe materia extraña que entra en contacto con los cables que han de detectarse, y el procesador enviará una señal de alarma o ejecutará una acción de protección relacionada, tal como iniciar una autodestrucción con el fin de destruir los datos importantes. De conformidad con el circuito de la forma de realización, el cambio de la frecuencia de pulso producida por la capacitancia parásita inferior a 1pF del cable se puede detectar, mientras que el contacto de una materia extraña general (normalmente un conductor), con los cables que han de detectarse, causará un cambio de 5pF, por lo tanto, en cualquier caso, se detectarán los cables mediante sondeo. Se podrían utilizar los ocho extremos de entrada del multiplexor analógico de 8 canales. Si no se detectan tantos cables, los extremos de entrada innecesarios podrían estar inactivos. Se podrían utilizar ocho extremos de entrada para detectar ocho cables que han de detectarse y es suficiente para la protección del equipo electrónico.

De conformidad con otras formas de realización, lo que antecede se podría conseguir utilizando solamente dos inversores. El tercer inversor U418C, de la forma de realización anterior se proporciona para mejorar la capacidad de carga, podría sustituirse con otros tipos y los parámetros de las resistencias y el condensador podrían cambiarse en función de las necesidades reales. De conformidad con otras formas de realización, si los cables a detectar son demasiados, se podrían añadir para ser dos multiplexores; y si el módulo de detección de capacitancia no es suficiente, también podría agregarse para ser dos multiplexores.

De conformidad con una forma de realización ilustrada en la Figura 6, se da a conocer un circuito para proteger información de datos sobre un equipo electrónico mediante la utilización de un método de supervisión directa, y utilizando un circuito integrado de tipo GT811. Existen ocho extremos de entrada de detección SENS1-SENS7 que están conectados con ocho líneas de señales. Su lado derecho tiene un extremo de control y un extremo de salida que están conectados con la unidad central de procesamiento (CPU) para recibir señales de control y proporcionar, a la salida, valores de capacitancia supervisados. En donde existen resistencias R0-R7, que se proporcionan para la limitación de la intensidad de corriente durante el periodo de carga y descarga.

El método de supervisión directa incluye etapas de: carga y descarga de una capacitancia, detección de una tensión, y tiempo de descarga de carga de la capacitancia y luego, la determinación del valor de capacitancia de conformidad con una fórmula sobre la carga-descarga de la capacitancia.

5 De conformidad con el método de supervisión directa, existen fórmulas proporcionadas como sigue:

suponiendo que V_0 es un valor de tensión inicial de la capacitancia, V_1 es un valor de tensión final de la capacitancia en una carga o descarga completa, y V_t es un valor de tensión de la capacitancia en el tiempo t , entonces $V_t = "V_0" + (V_1 - V_0) * [1 - \exp(-t/RC)]$. De conformidad con esta fórmula, si se desea determinar el valor de capacitancia, solamente es necesario detectar el valor de tensión y el tiempo de carga-descarga.

Sobre la base de la detección de capacitancia por una pantalla táctil capacitiva IC para el valor de capacitancia detectado, dicho valor se comparará con el valor de capacitancia memorizado en la unidad CPU y a continuación, la CPU borrará datos importantes cuando la diferencia entre ellos supere un valor umbral.

En conclusión, el método de protección de la presente invención se consigue mediante la detección del cambio del valor de capacitancia parásita de las líneas de señales por medio de la supervisión de las líneas de señales, en tiempo real, la determinación de que existe materia extraña externa que detecta las líneas de señales si cambia el valor superando un valor umbral preestablecido y luego, borra los datos importantes en el equipo electrónico. El método utiliza el modo de supervisión de la capacitancia parásita para controlar el contacto de materia extraña externa con las líneas de señales, con lo que se garantiza la seguridad de los datos en el dispositivo electrónico. El método tiene las características de que el proceso de puesta en práctica es simple y fácil, seguro y fiable, y el costo es bajo. Podría aplicarse para la protección de datos de varias clases de equipos electrónicos en el campo de la información, tal como un equipo electrónico utilizado para el comercio electrónico, un equipo de memorización para memorizar datos importantes, etc.

El circuito de protección de la presente invención se consigue mediante un método de supervisión indirecta, y mediante la conexión del circuito oscilante compuesto de inversores, resistencias y condensadores con cable a detectar, el cambio de la capacitancia parásita del cable dará lugar al cambio de la frecuencia de oscilación. Cuando la materia extraña externa entra en contacto con el cable que ha de detectarse, el procesador detectará el cambio de la frecuencia de oscilación y a continuación, determinará que existe contacto de materia extraña externa con la línea de señales y, por último, proporcionará una señal de alarma y una señal de procesamiento relacionada. El circuito de protección no es solamente seguro y fiable, sino que también tiene un corto ciclo de desarrollo, bajo costo de fabricación y estructura simple; y es fácil de producir y podría aplicarse a diferentes equipos electrónicos, tales como una máquina POS, una máquina ATM, etc. La información de datos importante del equipo electrónico se puede detectar desde el exterior seleccionando algunos de los cables, por lo que se utiliza un multiplexor para que más de un cable, que ha de detectarse, pueda compartir un solo módulo de detección de capacitancia, con lo que se ahorran costes y se optimiza la estructura del circuito. Además, mediante el uso de la señal de control compuesta del procesador para seleccionar alguno de los canales analógicos a interrumpir, cuando una persona no autorizada elimina el módulo de detección de capacitancia, solamente se detecta una de las señales de frecuencia de los cables antes de que se pueda registrar el módulo extraído. Si la señal de frecuencia se sustituye con otra señal, es difícil lograr una coincidencia con la señal de control compuesta del procesador, y las otras señales de frecuencia incluso no pueden sustituirse por otras señales, lo que aumenta la dificultad del 'robo' de datos del equipo electrónico y mejora, en gran medida, el rendimiento de seguridad del equipo electrónico.

El circuito de protección de la presente invención se puede conseguir, además, utilizando un circuito integrado de detección de capacitancia con múltiples puertos de detección para supervisar la capacitancia parásita de cada línea de señales directamente, con lo que se determina, de este modo, si cada una de las líneas de señales entra en contacto, o no, con la materia extraña conductora. La estructura del circuito utiliza un circuito integrado para supervisar el cambio de la capacitancia parásita de cada línea de señales en tiempo real y en un orden aleatorio. Tiene las características de que la estructura del circuito es simple, el costo es bajo, es fácil de producir y mantener y no es fácil de ruptura.

La presente invención se podría aplicar a una máquina POS, aplicarse al equipo utilizado para el comercio electrónico, tal como una máquina ATM, y aplicarse al equipo de memorización para memorizar datos importantes, tal como la base de datos del departamento de gestión de seguridad, etc.

Las descripciones anteriores de formas de realización se proporcionan para ilustrar, de forma adicional, el contenido técnico de la presente invención, con el fin de facilitar la comprensión y ha de entenderse que la invención no está limitada a las formas de realización dadas a conocer. Cualquier extensión técnica y recreación de conformidad con la presente invención debería incluirse dentro del alcance de protección de la invención.

REIVINDICACIONES

1. Un circuito para proteger información de datos de un equipo electrónico, que comprende un procesador (20) y un dispositivo electrónico (30) conectado con el procesador (20) a través de una línea de señales (40),
- 5 en donde dicho circuito para proteger información de datos comprende, además, un módulo de detección de capacitancia (50) conectado eléctricamente con la línea de señales (40), teniendo el módulo de detección de capacitancia (50) un extremo de detección (51) conectado con la línea de señales (40) y un extremo de salida de pulsos (52) conectado con el procesador (20);
- 10 en donde cuando se realiza la detección de encendido en el equipo electrónico por primera vez, una señal de pulsos, formada por la capacitancia parásita de la línea de señales (40), junto con el módulo de detección de capacitancia (50), se transmite al procesador (20) y, entonces, la frecuencia de la señal de pulsos se registra como una frecuencia estándar por el procesador (20);
- 15 en donde durante el uso del equipo electrónico, el procesador (20) compara una frecuencia recibida en tiempo real con la frecuencia estándar y determina que existe una materia extraña externa en contacto con la línea de señales (40) si hay una diferencia entre la frecuencia en tiempo real y la frecuencia estándar que supera un valor preestablecido,
- 20 en donde la capacitancia parásita de la línea de señales (40) se cambia y, además, se cambia la señal de pulsos formada por el módulo de detección de capacitancia (50) que combina la capacitancia parásita, y el procesador (20) borra datos importantes en el equipo electrónico;
- 25 en donde la línea de señales (40) es un cable de conexión que conecta el dispositivo electrónico (30) y el procesador (20),
- en donde el módulo de detección de capacitancia (50) es un circuito oscilante RC que comprende un primer inversor (U418A); el número de las líneas de señales (40) es más de uno; y se proporciona un multiplexor (60) entre las
- 30 líneas de señales (40) y el módulo de detección de capacitancia (50), en donde el multiplexor (60) es un multiplexor analógico de 8 canales que tiene ocho extremos de entrada (61), conectados con las líneas de señales (40), un extremo de salida (62) conectado con el módulo de detección de capacitancia (50) y tres extremos de entrada de control (63) conectados con el procesador (20), y el multiplexor analógico de 8 canales (60) determina cuál de los extremos de entrada (61) se comunican con el extremo de salida (52), de conformidad con una señal compuesta
- 35 desde los tres extremos de entrada de control (63); cuando se realiza el encendido por primera vez, el procesador (20) envía ocho señales compuestas al multiplexor analógico de 8 canales (60), una por una, y registra una frecuencia de pulso producida por el módulo de detección de capacitancia (50) junto con la línea de señales relativa a cada señal compuesta como una frecuencia estándar con respecto a la señal compuesta;
- 40 en donde durante el uso, el procesador (20) envía las señales compuestas y compara la frecuencia recibida en tiempo real con la frecuencia estándar con respecto a la señal compuesta, y el procesador (20) determinará que existe contacto de materia extraña externa con la línea de señales (40), relativa a la señal compuesta, si existe una diferencia entre la frecuencia en tiempo real y la frecuencia estándar relativa a la señal compuesta, que supera un
- 45 valor preestablecido, se cambia la capacitancia parásita de la línea de señales (40) y, además, cambia la señal de pulsos formada por el módulo de detección de capacitancia (50), que combina la capacitancia parásita, y el procesador (20) envía una señal de alarma y/o una señal para proteger los datos importantes;
- en donde el equipo electrónico es una máquina POS (10), una máquina ATM o una caja registradora; y el dispositivo electrónico (30) comprende un teclado, una pantalla de presentación visual, un lector de tarjeta IC y un lector de tarjeta magnética; en donde dicho extremo de detección (51), de dicho módulo de detección de capacitancia (50), está conectado a una entrada (1) de dicho primer inversor (U418A) a través de un primer condensador (C35) de dicho módulo de detección de capacitancia (50).
- 50

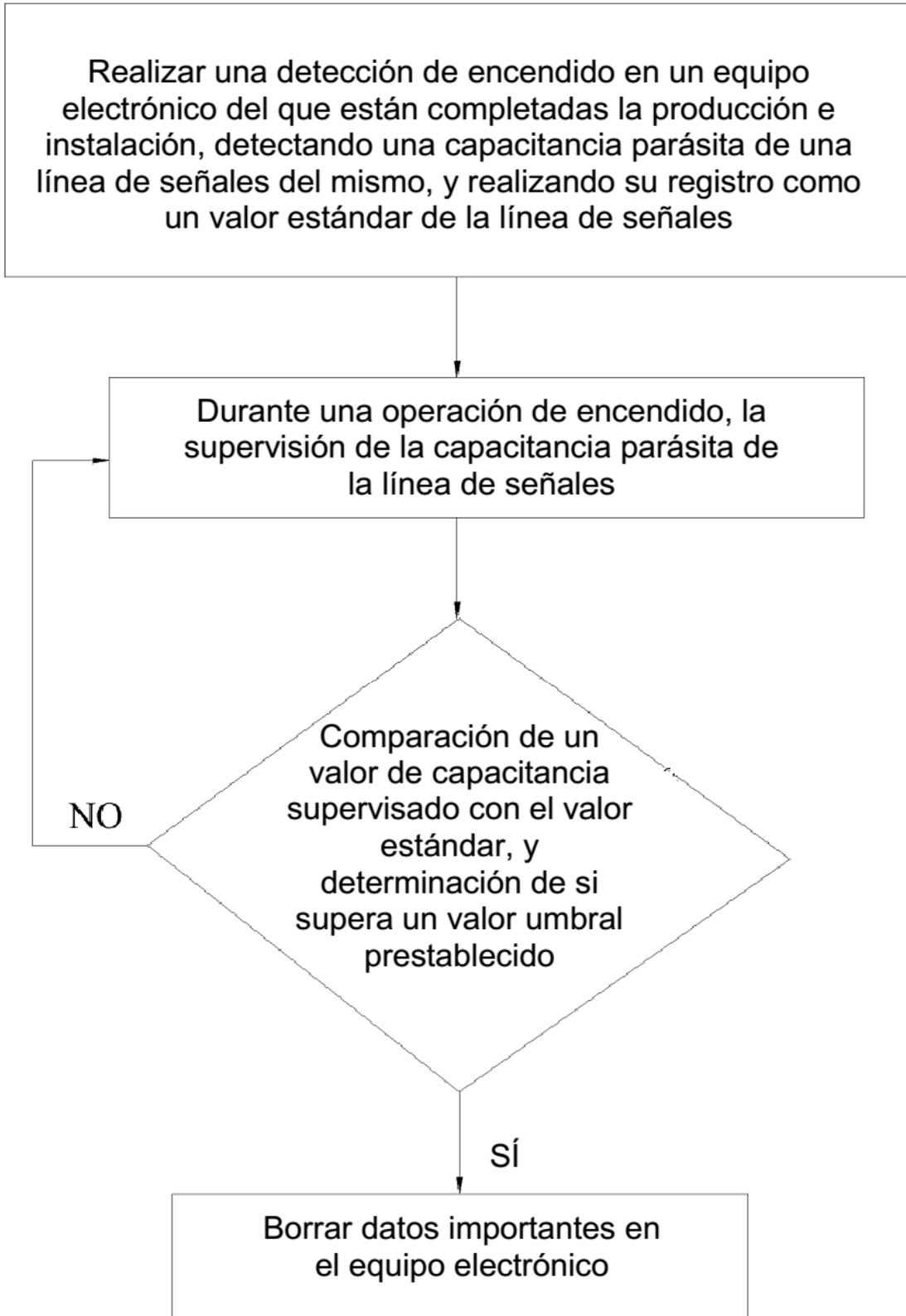


Fig. 1

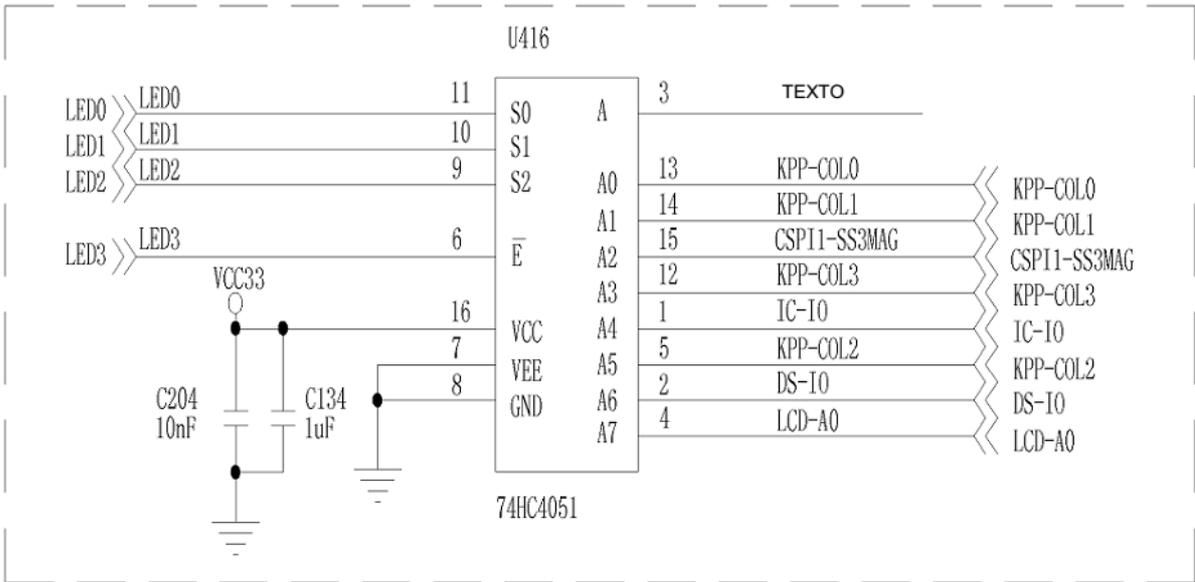


Fig. 3

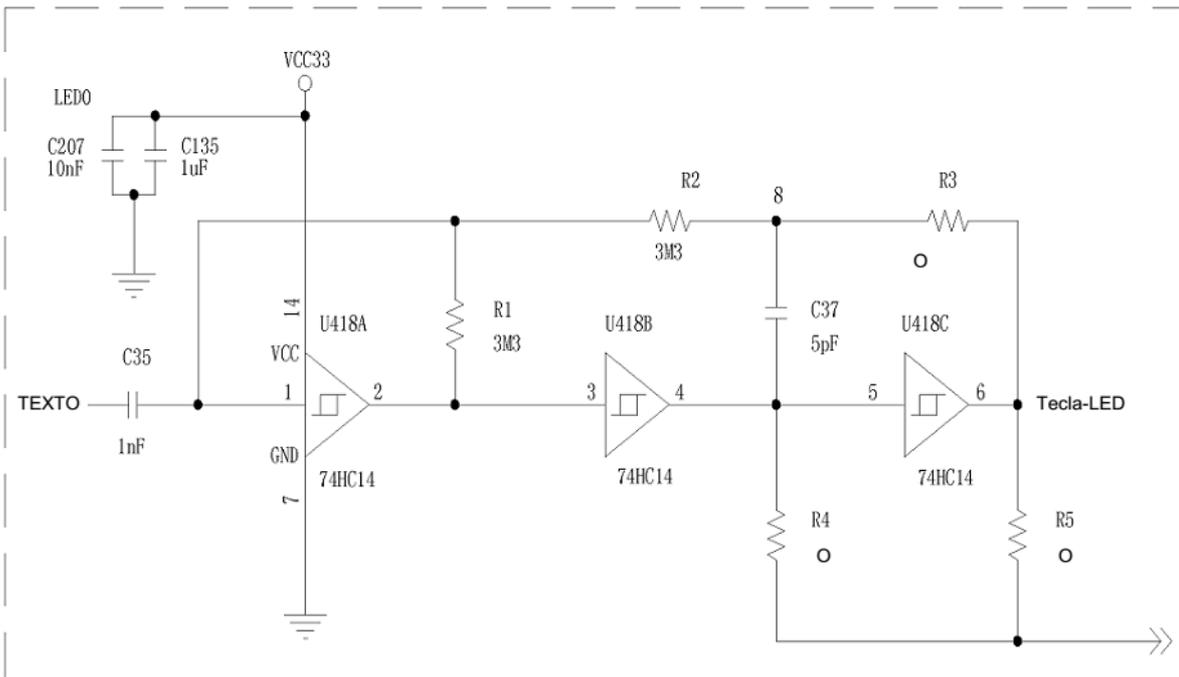


Fig. 4

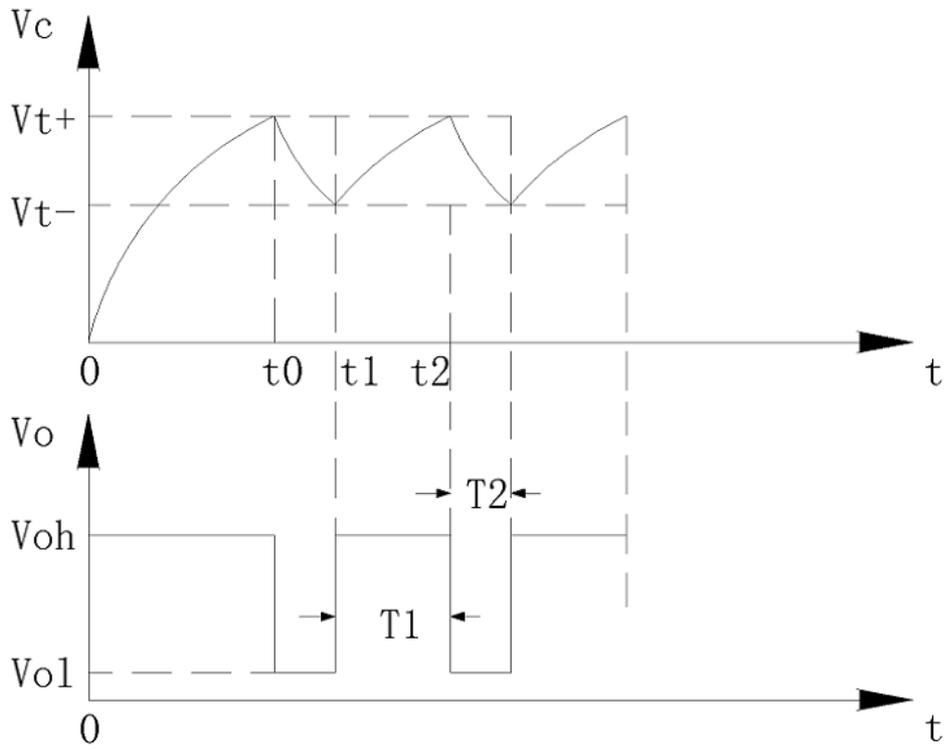


Fig. 5

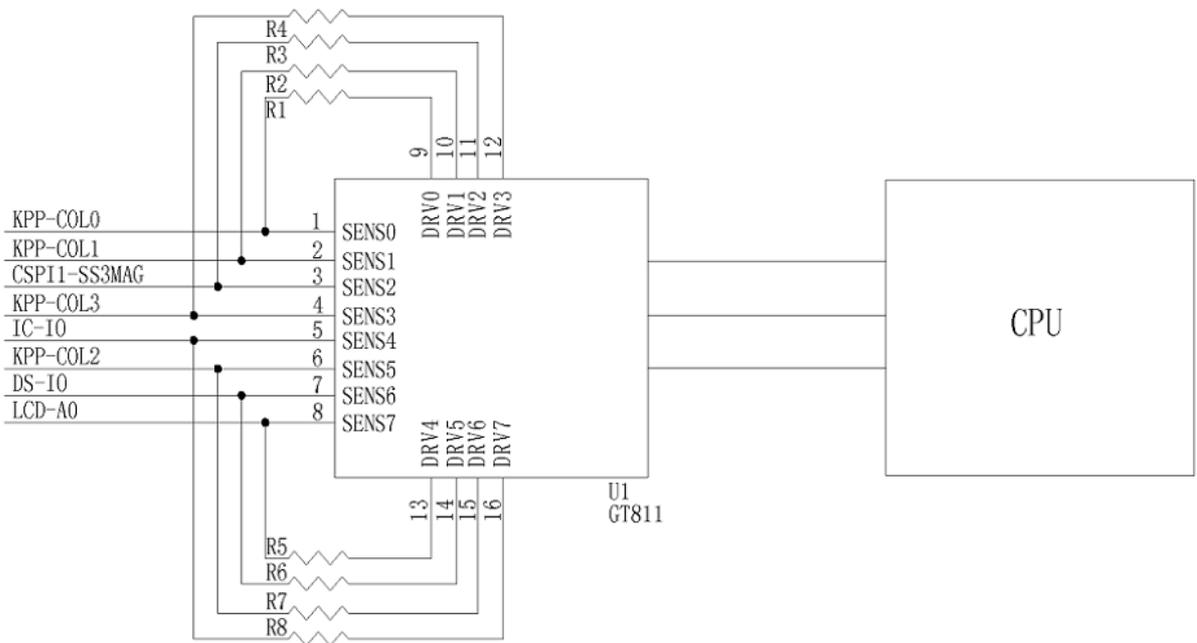


Fig. 6