

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 682 602**

51 Int. Cl.:

**G06F 13/16** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **26.08.2010 PCT/US2010/046858**

87 Fecha y número de publicación internacional: **03.03.2011 WO11025895**

96 Fecha de presentación y número de la solicitud europea: **26.08.2010 E 10752664 (2)**

97 Fecha y número de publicación de la concesión europea: **09.05.2018 EP 2470998**

54 Título: **Esquema de interfaz de DDR de un único canal y de doble canal híbrida mediante intercalado de las señales de dirección/control durante el funcionamiento de doble canal**

30 Prioridad:

**26.08.2009 US 547578**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**21.09.2018**

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)  
Attn: International IP Administration 5775  
Morehouse Drive  
San Diego, CA 92121, US**

72 Inventor/es:

**SANKURATRI, RAGHU;  
DROP, MICHAEL y  
MAO, JIAN**

74 Agente/Representante:

**FORTEA LAGUNA, Juan José**

ES 2 682 602 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

## DESCRIPCIÓN

Esquema de interfaz de DDR de un único canal y de doble canal híbrida mediante intercalado de las señales de dirección/control durante el funcionamiento de doble canal

5

## CAMPO DE LA DIVULGACIÓN

[1] Los modos de realización de los conceptos de la invención divulgados en el presente documento se refieren en general al campo de los sistemas de procesamiento de datos. Más particularmente, los modos de realización de los conceptos de la invención divulgados en el presente documento se refieren a un esquema de interfaz de velocidad de datos doble de doble canal que utiliza un único bus de control / dirección intercalando señales de dirección/control.

10

## ANTECEDENTES

15

[2] Los sistemas de procesamiento de datos pueden incluir varios componentes que interactúan entre sí para procesar una instrucción. Estos componentes pueden incluir un bus de ordenador y un controlador de memoria que interactúan con la memoria de acceso aleatorio (RAM). Una RAM dinámica síncrona de velocidad de datos doble (DDR) funciona mediante el uso de un reloj externo para sincronizar el funcionamiento de la memoria con un bus de datos externo. En este esquema, las transferencias de datos se producen tanto en los bordes ascendentes como en los descendentes de una señal de reloj, doblando así la velocidad de transmisión de datos con respecto a enfoques de velocidad de datos únicos. El enfoque de DDR para el funcionamiento de la memoria incluye el estándar DDR original así como los enfoques DDR2 y DDR3 desarrollados posteriormente.

20

25

[3] La arquitectura de un sistema de procesamiento de datos puede comprender una arquitectura de doble canal para duplicar la capacidad de rendimiento del canal desde la RAM a un controlador de memoria asociado. En una arquitectura de este tipo, se instalan dos o más módulos de memoria SDRAM en bancos de memoria coincidentes y se accede mediante un controlador de memoria a través de canales de datos independientes.

30

[4] Un enfoque conocido para la implementación de la arquitectura de memoria es utilizar un único controlador de memoria DDR para controlar dos módulos de memoria DDR de X bits (donde "X-bit" puede ser de 8 bits, 16 bits, 32 bits, etc.). El funcionamiento de esta arquitectura con buses de datos independientes pero un solo bus de señal de dirección/control y una sola señal de selección de chip produce una arquitectura que funciona efectivamente como un único módulo de memoria DDR de 2X bits. En una arquitectura de este tipo, el controlador DDR interactúa con dos módulos de memoria DDR de X bits independientes a través de buses de datos independientes. Ambos módulos de memoria están sincronizados por las mismas señales de reloj. Además, ambos módulos de memoria están controlados por la misma señal de habilitación de reloj y la misma señal de selección de chip. La disponibilidad de un segundo conjunto de señales de habilitación de reloj y selección de chip permite ampliar la arquitectura para que funcione con un segundo conjunto de módulos de memoria. Ambos módulos de memoria están acoplados al controlador de memoria a través del mismo bus de dirección/control. Por lo tanto, por ejemplo, si cada uno de los módulos de memoria es una memoria de 16 bits, esta arquitectura funciona efectivamente como un dispositivo de un único canal de 32 bits.

35

40

45

[5] Otra arquitectura de ejemplo utiliza un único controlador de memoria con dos módulos de memoria DDR de X bits, dos buses de datos independientes y dos buses de señal de dirección/control independientes para funcionar como un verdadero sistema de doble canal. En este enfoque, ambos módulos de memoria son sincronizados por las mismas señales de reloj, pero son controlados por diferentes señales de habilitación de reloj y diferentes señales de selección de chip. Además, cada módulo de memoria se acopla al controlador de memoria a través de su propio bus de dirección/control independiente. Esta arquitectura da como resultado un verdadero funcionamiento de doble canal.

50

55

[6] El rendimiento del sistema de procesamiento de datos puede depender de la naturaleza de las transferencias de datos. Para transferencias de datos en ráfagas pequeñas, se ha sugerido que una arquitectura de doble canal puede dar como resultado un mejor rendimiento que una arquitectura de un único canal con el mismo tamaño de memoria agregada. También hay sistemas en los que el tráfico de datos puede tener longitudes de ráfaga mixtas, es decir, pequeñas ráfagas de datos y grandes ráfagas de datos. Sin embargo, en el enfoque de doble canal, la duplicación del bus de dirección/control conlleva un aumento en el recuento de patillas sobre la configuración de un único canal. Por ejemplo, para una interfaz de DDR típica de un único canal de 32 bits, el recuento de patillas puede ser de 66 patillas. Debido a la duplicación del bus de dirección/control, la interfaz de DDR de doble canal de 16 bits correspondiente puede tener 86 patillas. Por lo tanto, el enfoque de doble canal puede dar como resultado un aumento del 30 % en el recuento de patillas sobre un enfoque de un único canal con la misma memoria agregada. El enfoque de doble canal es por lo tanto incompatible con un diseño típico de un único canal, y por consiguiente aprovechar el rendimiento de la arquitectura de doble canal aumenta el coste del diseño a nivel del sistema. El aumento en el recuento de patillas evita el reemplazo simple de un enfoque de un único canal por un enfoque de doble canal.

60

65

[7] De acuerdo con ello, se desea un enfoque de doble canal que evite el aumento en el recuento de patillas y pueda ser compatible con la arquitectura de un único canal mientras, no obstante, genere un aumento del rendimiento con respecto al enfoque de un único canal. Además, un enfoque híbrido para soportar tanto un modo de un único canal como un modo de doble canal sin ningún aumento adicional de patillas aumentaría también el rendimiento del sistema. El documento US2002/018393 divulga un dispositivo de memoria que comprende un controlador de memoria, una patilla de entrada de reloj para recibir una señal de reloj, una primera patilla de entrada de señal de selección de chip para recibir una primera señal de selección de chip para un estroboscopio de dirección de fila desde el controlador de memoria, una segunda patilla de entrada de señal de selección de chip para recibir una segunda señal de selección de chip para un estroboscopio de dirección de columna desde el controlador de memoria, una patilla de entrada de comando de fila para recibir un comando de fila desde el controlador de memoria, una patilla de entrada de comando de columna para recibir un comando de columna desde el controlador de memoria, una pluralidad de patillas de entrada de dirección de fila para recibir direcciones de fila desde el controlador de memoria, y una pluralidad de patillas de entrada de dirección de columna para recibir direcciones de columna desde el controlador de memoria.

### SUMARIO DE LA DIVULGACIÓN

[8] La aplicación se refiere a una estructura de memoria como se define en la reivindicación independiente 1. Las ventajas adicionales se hacen evidentes a partir de los modos de realización definidos en las reivindicaciones dependientes.

### BREVE DESCRIPCIÓN DE LOS DIBUJOS

[9] Estas y otras características, aspectos y ventajas de los presentes conceptos de la invención divulgados en el presente documento se entienden mejor cuando se lee la siguiente Descripción detallada con referencia a los dibujos adjuntos, en los que:

La **figura 1** es un diagrama que ilustra una relación funcional entre componentes en un modo de realización.

La **figura 2** es un diagrama que ilustra una relación entre componentes en un modo de realización.

La **figura 3** es un diagrama que ilustra un modo de realización de una arquitectura de interfaz de memoria DDR de doble canal de X bits.

La **figura 4** es un diagrama de flujo que ilustra un modo de realización de las señales de dirección/control de intercalado entre dos módulos de memoria.

La **figura 5** es un diagrama de flujo que ilustra un modo de realización de señales de dirección/control de multiplexación entre dos módulos de memoria.

La **figura 6** es un diagrama de flujo que ilustra un modo de realización de conmutación entre funcionamiento de un único canal y de doble canal.

La **figura 7** es un diagrama que ilustra un dispositivo de comunicación portátil de ejemplo que puede incluir una arquitectura de interfaz de memoria DDR de doble canal de X bits.

La **figura 8** es un diagrama que ilustra un teléfono celular de ejemplo que puede incluir una arquitectura de interfaz de memoria DDR de doble canal de X bits.

La **figura 9** es un diagrama que ilustra un ejemplo de teléfono de protocolo de Internet inalámbrico que puede incluir una arquitectura de interfaz de memoria DDR de doble canal de X bits.

La **figura 10** es un diagrama que ilustra un ejemplo de asistente digital portátil que puede incluir una arquitectura de interfaz de memoria DDR de doble canal de X bits.

La **figura 11** es un diagrama que ilustra un reproductor de archivos de audio de ejemplo que puede incluir una arquitectura de interfaz de memoria DDR de doble canal de X bits.

### DESCRIPCIÓN DETALLADA

[10] A lo largo de la descripción, con fines explicativos, se exponen numerosos detalles específicos con el fin de proporcionar una comprensión exhaustiva de los conceptos de la invención divulgados en el presente documento. Sin embargo, será evidente para un experto en la técnica que los conceptos de la invención divulgados en el presente documento pueden practicarse sin algunos de estos detalles específicos. En otros casos, las estructuras y dispositivos bien conocidos se muestran en forma de diagrama de bloques para evitar oscurecer los principios subyacentes de los conceptos de la invención divulgados en el presente documento.

**[11]** Los modos de realización de los conceptos de la invención divulgados en el presente documento se refieren a una interfaz de memoria DDR de doble canal de X bits. "X-bits" como se usa en el presente documento se refiere al tamaño de los módulos de memoria utilizados y puede ser de 8 bits, 16 bits, 32 bits, 64 bits, 128 bits, etc. "DDR" como se usa en el presente documento se refiere a el estándar de velocidad de datos doble para transferir datos tanto en los bordes ascendentes como descendentes de una señal de reloj y abarca los estándares DDR, DDR2 y DDR3, así como los estándares futuros compatibles.

**[12]** La figura 1 es una ilustración general que muestra una relación funcional entre un master de bus 110, un controlador DDR 120 y una memoria DDR 130. El master de bus puede ser un microprocesador. En esta relación, el controlador DDR 120 soporta el acceso a la memoria DDR 130 mediante el master de bus 110. En algunos modos de realización, el controlador DDR se puede incluir en un procesador de señal digital. La figura 2 ilustra un procesador de señal digital a modo de ejemplo 200 que abarca un microprocesador 210 y un controlador DDR 220 y su relación con una memoria DDR 230.

**[13]** En un modo de realización, la interfaz de memoria DDR de doble canal de X bits funciona con buses de datos independientes y señales independientes de habilitación de reloj y selección de chip para cada módulo de memoria, pero un único bus de señales de dirección/control y un único reloj (señales CK, /CK). Utilizando un único bus de dirección/control, la interfaz puede lograr un funcionamiento de doble canal intercalando las señales de dirección/control y alternando los funcionamientos entre los módulos de memoria. La figura 3 ilustra un modo de realización de la interfaz de memoria DDR de doble canal de X bits 300. El controlador de memoria DDR 310 interactúa con la memoria DDR de X bits cero 320 y la memoria DDR de X bits uno 330 a través de buses de datos independientes 340, 350. Ambos módulos de memoria 320, 330 son sincronizados por las mismas señales CK y /CK. Sin embargo, cada uno de los módulos de memoria 320, 330 está controlado por señales de habilitación de reloj independientes CKE0, CKE1 y señales de selección de chip independientes CS0, CS1 respectivamente. Ambos módulos de memoria 320, 330 se acoplan al controlador de memoria DDR 330 a través del mismo bus de dirección/control 360.

**[14]** Las señales de habilitación de reloj CKE0 y CKE1 permiten el funcionamiento de características de ahorro de energía al permitir que el controlador de memoria DDR 310 inhabilite la sincronización de cualquiera de los módulos de memoria 320 o 330 cuando dicho módulo de memoria no se utiliza durante un período de tiempo. Además, las señales de selección de chip CS0, CS1 permiten que el controlador de memoria DDR 310 alterne los funcionamientos entre los módulos de memoria 320 y 330 según sea necesario.

**[15]** Los principales comandos de DDR no se emiten en cada ciclo de reloj y ciertos modos de realización pueden aprovechar esto para aumentar la eficacia del procesamiento de datos. Por ejemplo, cuando el controlador de memoria DDR 310 emite un comando PRECARGA al módulo de memoria 320, el controlador de memoria DDR 310 espera un período de tiempo, denominado tRP, antes de emitir el siguiente comando a ese mismo módulo de memoria 320. En este modo de realización, en lugar de permanecer inactivo durante el período de espera, el controlador de memoria DDR 310 puede emitir un comando al otro módulo de memoria 330. Por lo tanto, si el controlador de memoria DDR 310 ha emitido un comando PRECARGA al módulo de memoria 320, entonces durante el período de espera tRP después de la emisión de este comando, el controlador de memoria DDR 310 puede activar CS1 para habilitar el funcionamiento con el módulo de memoria 330 y emitir un comando a un módulo de memoria 330. Dependiendo del comando, puede haber un tiempo de espera después de la emisión del comando al módulo de memoria 330 antes de que se emita el siguiente comando a ese mismo módulo de memoria. Por lo tanto, si el período de espera tRP después de la emisión del comando PRECARGA al módulo de memoria 320 ha transcurrido, entonces durante el período de espera después de la emisión del comando al módulo de memoria 330, el controlador de memoria DDR 310 puede emitir un próximo comando al módulo de memoria 320. Este intercalado de comandos puede continuar, permitiendo así que el controlador de memoria DDR 310 aumente el rendimiento con relación al rendimiento del mismo controlador DDR que funciona en una arquitectura de un único canal de 2X bits, que también tiene un único canal de dirección/control. Por lo tanto, se puede lograr un aumento en el funcionamiento del doble canal de X bits sin el aumento correspondiente en el recuento de patillas.

**[16]** Los principales comandos de DDR y sus correspondientes tiempos de espera posteriores a la emisión son los siguientes:

Comando de DDR	Tiempo de espera
ACTIVO	tRCD
PRECARGA	tRP
AUTO-ACTUALIZAR	tRFC
REGISTRO DEL MODO DE CARGA	tMRD

Comando de DDR	Tiempo de espera
LEER/ ESCRIBIR	BL/2 donde BL es la longitud de ráfaga

Los comandos pueden ponerse en una cola, y el controlador de memoria DDR 310 los emite uno tras otro. Aunque la longitud de la ráfaga puede ser de 2, 4 u 8 ciclos, por ejemplo, típicamente se establece en 4 u 8. BL = 2 ciclos puede permitir que los funcionamientos de LEER/ESCRIBIR ocurran cada ciclo de reloj. Los sistemas típicamente no funcionan de esta manera. Cada uno de tRP, tRCD, tRFC y tMRD suele ser mayor o igual que 2 ciclos para un funcionamiento a velocidad. Esto proporciona la oportunidad de intercalar comandos a los módulos de memoria independientes 320, 330.

**[17]** En un modo de realización, el intercalado se produce asignando comandos de ciclo par a un módulo de memoria 320 y comandos de ciclo impar al otro módulo de memoria 330. La figura 4 ilustra un modo de realización de este enfoque. En el bloque 410, el controlador de memoria DDR 310 identifica el ciclo de reloj actual como par o impar. Por ejemplo, un ciclo de reloj par está asociado con el módulo de memoria 320, mientras que un ciclo de reloj impar está asociado con el módulo de memoria 330. Después de identificar el ciclo de reloj como par o impar, en el bloque 420 el controlador de memoria DDR 310 obtiene el siguiente comando para emitir al correspondiente módulo de memoria 320 o 330 según corresponda (por ejemplo, módulo de memoria 320 si el ciclo de reloj es par, módulo de memoria 330 si el ciclo del reloj es impar). En el bloque de decisión 430, el controlador de memoria DDR 310 determina si ha transcurrido el tiempo de espera después de la emisión del comando anterior al módulo de memoria. Si el tiempo de espera aún no ha transcurrido, entonces el controlador de memoria DDR 310 no emite un comando en este ciclo de reloj, como se indica en el bloque 440, y el funcionamiento vuelve al bloque 410 para el siguiente ciclo de reloj. Si ha transcurrido el tiempo de espera, entonces en el bloque 450 el controlador de memoria DDR 310 activa la señal de selección de chip para el módulo de memoria apropiado si no está ya activo y luego emite el comando en el bloque 460. El controlador de memoria DDR 310 comienza entonces a controlar el tiempo de espera apropiado que sigue a la emisión del comando en el bloque 470 y luego el funcionamiento vuelve al bloque 410.

**[18]** En un modo de realización diferente, el controlador de memoria DDR 310 multiplexa dinámicamente los comandos de dirección/control a los módulos de memoria 320, 330 en el bus de dirección/control 360 basándose en la condición de espera del bus. Así, por ejemplo, si el tiempo de espera antes de que el controlador de memoria DDR 310 pueda emitir un siguiente comando al módulo de memoria 320 es tal que el controlador de memoria DDR 310 puede emitir múltiples comandos al módulo de memoria 330, entonces es más eficiente para el controlador de memoria DDR 310 emitir estos múltiples comandos al módulo de memoria 330 en lugar de esperar para alternar comandos entre los módulos de memoria 320, 330. El controlador de memoria DDR 310 puede comprender lógica de hardware para supervisar los comandos en la cola y sus tiempos de espera asociados y, basándose en esa información, controlar la emisión de comandos para optimizar el uso del ancho de banda.

**[19]** La figura 5 ilustra un modo de realización de comandos de dirección/control de multiplexación dinámica a los módulos de memoria 320, 330. En el bloque 510, el controlador de memoria DDR 310 emite un comando a un módulo de memoria 320. El controlador de memoria DDR 310 determina entonces un tiempo de espera asociado con el comando recién emitido en el bloque 520. Aunque no se puede emitir un comando posterior al mismo módulo de memoria 320 durante el tiempo de espera, puede ser posible emitir un comando al otro módulo de memoria 330 durante este tiempo de espera si el tiempo de espera asociado con un comando previamente emitido a ese módulo de memoria 330 ya ha transcurrido. Por lo tanto, en el bloque 530 el controlador de memoria DDR 310 compara los tiempos de espera asociados con los comandos emitidos más recientemente con cada uno de los diferentes módulos de memoria 320, 330 para determinar qué tiempo de espera transcurrirá primero. Una vez transcurrido el tiempo de espera identificado, el controlador de memoria DDR 310 emite el siguiente comando al módulo de memoria apropiado 320 o 330 cuyo tiempo de espera ha transcurrido primero en el bloque 540. El funcionamiento vuelve al bloque 520. Un experto en la técnica reconocerá que este modo de realización es solo una aproximación para optimizar el ancho de banda del bus de dirección/control y que son posibles otras variaciones.

**[20]** En un modo de realización, el controlador de memoria DDR 310 está configurado para cambiar dinámicamente entre funcionamiento de canal simple y doble. En este modo de realización, el controlador de memoria DDR 310 tiene la capacidad de enviar la misma señal de habilitación de reloj y la misma señal de selección de chip a cada uno de los módulos de memoria 320, 330. En el funcionamiento de doble canal, el controlador de memoria DDR 310 funciona como se analizó anteriormente con habilitación de reloj independiente y señales de selección de chip independientes que se envían a los diferentes módulos de memoria. Sin embargo, en el funcionamiento de un único canal, el controlador de memoria DDR 310 envía la misma señal de habilitación de reloj y la misma señal de selección de chip a cada uno de los módulos de memoria 320 y 330 y emite comandos a través del bus de dirección/control 360 para funcionar como una única estructura de memoria de 2X bits tradicional. La figura 6 ilustra un modo de realización de este enfoque. En el bloque 610, el controlador de memoria DDR 310 recibe una solicitud de acceso a la memoria. En el bloque de decisión 620, el controlador de

memoria DDR 310 decide si la solicitud es para funcionamiento de un único canal o para funcionamiento de doble canal. Un posible desencadenante para esta decisión es la región de memoria a la que se accede. Por ejemplo, ciertas regiones de memoria pueden estar asociadas con el funcionamiento de un único canal, mientras que otras regiones de memoria pueden estar asociadas con el funcionamiento de doble canal. Si la solicitud es para funcionamiento de un único canal, entonces en el bloque 630 el controlador de memoria DDR 310 implementa el funcionamiento de un único canal, después de lo cual el proceso vuelve al bloque 610 para la siguiente solicitud de acceso a la memoria. Si, por otro lado, la solicitud es para el funcionamiento de doble canal, entonces en el bloque 640 el controlador de memoria DDR implementa el funcionamiento de doble canal, después de lo cual el proceso vuelve al bloque 610 para la siguiente solicitud de acceso a la memoria.

**Dispositivos de ejemplo que incluyen las características descritas anteriormente**

[21] La figura 7 es un diagrama que ilustra un modo de realización a modo de ejemplo de un dispositivo de comunicación portátil 700. Como se ilustra en el diagrama general de la figura 7, el dispositivo de comunicación portátil incluye un sistema en chip 702 que incluye un procesador de señal digital (DSP) 704. El diagrama general de la figura 7 también muestra un controlador de pantalla 706 que está acoplado al procesador de señal digital (DSP) 704 y a una pantalla 708. Además, un dispositivo de entrada 710 está acoplado al DSP 704. Como se muestra, una memoria 712 está acoplada al DSP 704. Además, un codificador/descodificador (CODEC) 714 se puede acoplar al DSP 704. Un altavoz 716 y un micrófono 718 se pueden acoplar al CODEC 614.

[22] El diagrama general de la figura 7 ilustra además un controlador inalámbrico 720 acoplado al procesador de señal digital 704 y una antena inalámbrica 722. En un modo de realización particular, una fuente de alimentación 724 está acoplada al sistema en chip 702. La pantalla 708, el dispositivo de entrada 710, el altavoz 716, el micrófono 718, la antena inalámbrica 722 y la fuente de alimentación 724 pueden ser externos al sistema en chip 702. Sin embargo, cada uno puede acoplarse a un componente del sistema en chip 702.

[23] En un modo de realización particular, el procesador de señal digital 704 incluye un controlador de memoria DDR 762, tal como se describe con referencia a las figuras 1-3, que puede gestionar el flujo de datos entre DSP 704 y módulos de memoria en la memoria 712 y que puede proporcionar un aumento del rendimiento con respecto a una arquitectura de un único canal de 2X bits sin aumentar el recuento de patillas.

[24] La figura 8 es un diagrama que ilustra un modo de realización a modo de ejemplo de un teléfono celular 800. Como se muestra, el teléfono celular 800 incluye un sistema en chip 802 que incluye un procesador de banda base digital 804 y un procesador de banda base analógica 806 que están acoplados entre sí. En un modo de realización particular, el procesador de banda base digital 804 es un procesador de señal digital. Como se ilustra en el diagrama general de la figura 8, un controlador de visualización 808 y un controlador de pantalla táctil 810 están acoplados al procesador de banda base digital 804. A su vez, una pantalla táctil 812 externa al sistema en chip 802 está acoplada al controlador de visualización 808 y al controlador de pantalla táctil 810.

[25] El diagrama general de la figura 8 ilustra adicionalmente un codificador de vídeo 814; por ejemplo, un codificador de línea alterna de fase (PAL), un codificador de color secuencial a memoria (SECAM), o un codificador de comité de sistemas de televisión nacional (NTSC), está acoplado al procesador de banda base digital 804. Además, un amplificador de vídeo 816 está acoplado al codificador de vídeo 814 y a la pantalla táctil 812. Además, un puerto de vídeo 818 está acoplado al amplificador de vídeo 816. Un controlador de bus serie universal (USB) 820 está acoplado al procesador de banda base digital 804. Además, un puerto USB 822 está acoplado al controlador USB 820. Una memoria 824 y una tarjeta de módulo de identidad de abonado (SIM) 826 también se pueden acoplar al procesador de banda base digital 804. Además, como se muestra en el diagrama general de la figura 8, una cámara digital 828 se puede acoplar al procesador de banda base digital 804. En un modo de realización a modo de ejemplo, la cámara digital 828 es una cámara de dispositivo de acoplamiento de carga (CCD) o una cámara de semiconductor de óxido de metal complementario (CMOS).

[26] Como se ilustra adicionalmente en el diagrama general de la figura 8, un CODEC de audio estéreo 830 se puede acoplar al procesador de banda base analógico 806. Además, un amplificador de audio 832 puede acoplarse al CODEC de audio estéreo 830. En un modo de realización a modo de ejemplo, un primer altavoz estéreo 834 y un segundo altavoz estéreo 836 están acoplados al amplificador de audio 832. Un amplificador de micrófono 838 también puede acoplarse al CODEC de audio estéreo 830. Además, un micrófono 840 puede acoplarse al amplificador de micrófono 838. En un modo de realización particular, un sintonizador de radio de modulación de frecuencia (FM) 842 puede acoplarse al CODEC de audio estéreo 830. Una antena de FM 844 se puede acoplar al sintonizador de radio FM 842. Además, los auriculares estéreo 846 se pueden acoplar al CODEC de audio estéreo 830.

[27] El diagrama general de la figura 8 ilustra además un transceptor de radiofrecuencia (RF) 848 que puede acoplarse al procesador de banda base analógico 806. Un conmutador de RF 850 puede acoplarse al transceptor de RF 848 y a una antena de RF 852. Un teclado 854 se puede acoplar al procesador de banda base analógico 806. Además, un auricular mono con un micrófono 856 se puede acoplar al procesador de banda base analógico 806. Además, un dispositivo vibrador 858 se puede acoplar al procesador de banda base analógico

806. El diagrama general de la figura 8 también muestra una fuente de alimentación 860 que se puede acoplar al sistema en chip 802. En un modo de realización particular, la fuente de alimentación 860 es una fuente de alimentación de corriente continua (CC) que proporciona energía a los diversos componentes del teléfono celular 800. Además, en un modo de realización particular, la fuente de alimentación es una batería de CC recargable o una fuente de alimentación de CC que se obtiene de un transformador de corriente alterna (CA) a CC que está conectado a una fuente de alimentación de CA.

**[28]** Como se representa en el diagrama general de la figura 8, la pantalla táctil 812, el puerto de video 818, el puerto USB 822, la cámara 828, el primer altavoz estéreo 834, el segundo altavoz estéreo 836, el micrófono 840, la antena FM 844, los auriculares estéreo 846, el interruptor de RF 850, la antena de RF 852, el teclado 854, el auricular mono 856, el vibrador 858 y la fuente de alimentación 860 pueden ser externos al sistema en chip 802.

**[29]** En un modo de realización particular, el procesador de banda base digital 804 incluye un controlador DDR 862, tal como se describe con referencia a las figuras 1-3, que puede gestionar el flujo de datos entre DSP 804 y memoria 824 y que puede proporcionar un aumento del rendimiento relativo a una única arquitectura de canal de 2X bits sin aumentar el recuento de patillas.

**[30]** La figura 9 es un diagrama que ilustra un modo de realización a modo de ejemplo de un teléfono inalámbrico de protocolo de Internet (IP) 900. Como se muestra, el teléfono IP inalámbrico 900 incluye un sistema en chip 902 que incluye un procesador de señal digital (DSP) 904. Un controlador de visualización 906 se puede acoplar al DSP 904 y un visualizador 908 está acoplado al controlador de visualización 906. En un modo de realización a modo de ejemplo, la pantalla 908 es una pantalla de cristal líquido (LCD). La figura 9 muestra además que un teclado 910 puede acoplarse al DSP 904.

**[31]** Una memoria flash 912 se puede acoplar al DSP 904. Una memoria de acceso aleatorio dinámica síncrona (SDRAM) 914, una memoria de acceso aleatorio estática (SRAM) 916, y una memoria de solo lectura programable y borrrable eléctricamente (EEPROM) 918 también pueden acoplarse al DSP 904. El diagrama general de la figura 9 también muestra que un diodo emisor de luz (LED) 920 se puede acoplar al DSP 904. Adicionalmente, en un modo de realización particular, una voz CODEC 922 se puede acoplar al DSP 904. Se puede acoplar un amplificador 924 a la voz CODEC 922 y un altavoz mono 926 se puede acoplar al amplificador 924. El diagrama general de la figura 9 ilustra además un auricular mono 928 acoplado a la voz CODEC 922. En un modo de realización particular, el auricular mono 928 incluye un micrófono.

**[32]** Un procesador 930 de banda base de red de área local inalámbrica (WLAN) se puede acoplar al DSP 904. Un transceptor RF 932 puede acoplarse al procesador de banda base WLAN 930 y una antena RF 934 puede acoplarse al transceptor RF 932. En un modo de realización particular, un controlador Bluetooth 936 también se puede acoplar al DSP 904 y una antena Bluetooth 938 se puede acoplar al controlador 936. El diagrama general de la figura 9 también muestra que un puerto USB 940 también se puede acoplar al DSP 904. Además, una fuente de alimentación 942 está acoplada al sistema en chip 902 y proporciona energía a los diversos componentes del teléfono IP inalámbrico 900.

**[33]** Como se indica en el diagrama general de la figura 9, la pantalla 908, el teclado 910, el LED 920, el altavoz mono 926, el auricular mono 928, la antena RF 934, la antena Bluetooth 938, el puerto USB 940 y la fuente de alimentación 942 pueden ser externos al sistema en chip 902 y estar acoplados a uno o más componentes del sistema en chip 902.

**[34]** En un modo de realización particular, el DSP 904 incluye un controlador DDR 962, tal como se describe con referencia a las figuras 1-3, que puede gestionar el flujo de datos entre DSP 904 y memoria 914 y que puede proporcionar un aumento de rendimiento relativo a una arquitectura de un único canal de 2X bits sin aumentar el recuento de patillas.

**[35]** La figura 10 es un diagrama que ilustra un modo de realización a modo de ejemplo de un asistente digital portátil (PDA) 1000. Como se muestra, el PDA 1000 incluye un sistema en chip 1002 que incluye un procesador de señal digital (DSP) 1004. Una memoria flash 1014 se puede acoplar al DSP 1004. Una memoria de solo lectura (ROM) 1016, una memoria de acceso aleatorio dinámica síncrona (SDRAM) 1018, y una memoria de solo lectura programable y borrrable eléctricamente (EEPROM) 1020 también pueden acoplarse al DSP 1004. Un controlador de pantalla táctil 1006 y un controlador de pantalla 1008 están acoplados al DSP 1004. Además, una pantalla táctil 1010 está acoplada al controlador de pantalla táctil 1006 y al controlador de pantalla 1008. El diagrama general de la figura 10 también indica que un teclado 1012 puede acoplarse al DSP 1004.

**[36]** En un modo de realización particular, un CODEC de audio estéreo 1026 se puede acoplar al DSP 1004. Un primer amplificador estéreo 1028 se puede acoplar al CODEC de audio estéreo 1026 y un primer altavoz estéreo 1030 se puede acoplar al primer amplificador estéreo 1028. Adicionalmente, un amplificador de micrófono 1032 se puede acoplar al CODEC de audio estéreo 1026 y un micrófono 1034 se puede acoplar al amplificador de micrófono 1032. El diagrama general de la figura 10 muestra además un segundo amplificador

estéreo 1036 que puede acoplarse al CODEC de audio estéreo 1026 y un segundo altavoz estéreo 1038 que puede acoplarse al segundo amplificador estéreo 1036. En un modo de realización particular, los auriculares estéreo 1040 también pueden acoplarse al CODEC de audio estéreo 1026.

5 **[37]** El diagrama general de la figura 10 también ilustra un controlador 802.11 1042 que se puede acoplar al DSP 1004 y una antena 802.11 1044 que se puede acoplar al controlador 802.11 1042. Además, un controlador Bluetooth 1046 se puede acoplar al DSP 1004 y una antena Bluetooth 1048 se puede acoplar al controlador Bluetooth 1046. Un controlador USB 1050 se puede acoplar al DSP 1004 y un puerto USB 1052 se puede acoplar al controlador USB 1050. Adicionalmente, una tarjeta inteligente 1054, por ejemplo, una tarjeta multimedia (MMC) o una tarjeta digital segura (SD), se puede acoplar al DSP 1004. Además, una fuente de alimentación 1056 puede estar acoplada al sistema en chip 1002 y puede proporcionar energía a los diversos componentes de la PDA 1000.

15 **[38]** Como se indica en el diagrama general de la figura 10, la pantalla 1010, el teclado 1012, el puerto IrDA 1022, la cámara digital 1024, el primer altavoz estéreo 1030, el micrófono 1034, el segundo altavoz estéreo 1038, los auriculares estéreo 1040, la antena 802.11 1044, la antena Bluetooth 1048, el puerto USB 1052 y la fuente de alimentación 1056 pueden ser externos al sistema en chip 1002 y estar acoplados a uno o más componentes en el sistema en chip 1002.

20 **[39]** En un modo de realización particular, el DSP 1004 incluye un controlador DDR 1062, como se describe con referencia a las figuras 1-3, que puede gestionar el flujo de datos entre DSP 1004 y memoria 1018 y que puede proporcionar un aumento de rendimiento relativo a una arquitectura de un único canal de 2X bits sin aumentar el recuento de patillas.

25 **[40]** La figura 11 es un diagrama que ilustra un modo de realización a modo de ejemplo de un reproductor de archivos de audio (por ejemplo, un reproductor de MP3) 1100. Como se muestra, el reproductor de archivos de audio 1100 incluye un sistema en chip 1102 que incluye un procesador de señal digital (DSP) 1104. Un controlador de visualización 1106 se puede acoplar al DSP 1104 y un visualizador 1108 está acoplado al controlador de visualización 1106. En un modo de realización a modo de ejemplo, la pantalla 1108 es una pantalla de cristal líquido (LCD). Un teclado 1110 puede acoplarse al DSP 1104.

30 **[41]** Como se representa adicionalmente en el diagrama general de la figura 11, una memoria flash 1112 y una memoria de solo lectura (ROM) 1114 se pueden acoplar al DSP 1104. Adicionalmente, en un modo de realización particular, se puede acoplar un CODEC de audio 1116 al DSP 1104. Un amplificador 1118 se puede acoplar al CODEC de audio 1116 y un altavoz mono 1120 se puede acoplar al amplificador 1118. El diagrama general de la figura 11 indica además que una entrada de micrófono 1122 y una entrada estéreo 1124 también pueden acoplarse al CODEC de audio 1116. En un modo de realización particular, los auriculares estéreo 1026 también pueden acoplarse al CODEC de audio 1116.

40 **[42]** Un puerto USB 1128 y una tarjeta inteligente 1130 se pueden acoplar al DSP 1104. Adicionalmente, una fuente de alimentación 1132 puede estar acoplada al sistema en chip 1102 y puede proporcionar energía a los diversos componentes del reproductor de archivos de audio 1100.

45 **[43]** Como se indica en el diagrama general de la figura 11, la pantalla 1108, el teclado 1110, el altavoz mono 1120, la entrada de micrófono 1122, la entrada estéreo 1124, los auriculares estéreo 1126, el puerto USB 1128 y la fuente de alimentación 1132 son externos a el sistema en chip 1102 y acoplados a uno o más componentes en el sistema en chip 1102.

50 **[44]** En un modo de realización particular, el DSP 1104 incluye un controlador DDR 1162, tal como se describe con referencia a las figuras 1-3, que puede gestionar el flujo de datos entre DSP 1104 y memoria 1112 y que puede proporcionar un aumento de rendimiento relativo a una arquitectura de un único canal de 2X bits sin aumentar el recuento de patillas.

**GENERAL**

55 **[45]** La descripción anterior de los modos de realización de los conceptos de la invención divulgados en el presente documento se ha presentado solo con fines de ilustración y descripción y no pretende ser exhaustiva ni limitar los conceptos de la invención divulgados en el presente documento a las formas precisas divulgadas. Numerosas modificaciones y adaptaciones son evidentes para los expertos en la técnica sin apartarse del alcance de la invención tal como se define en las reivindicaciones adjuntas.



**REIVINDICACIONES**

1. Una estructura de memoria, que comprende:

5 un controlador de memoria (220; 310) configurado para recibir una señal de reloj y para ser acoplado a una pluralidad de módulos de memoria (320; 330) a través de buses de datos independientes;

10 en el que el controlador de memoria está configurado para ser acoplado a cada módulo de memoria de la pluralidad de módulos de memoria a través de un bus de dirección y control común (360);

15 en el que el controlador de memoria (220; 310) está configurado para enviar una señal de selección de chip independiente a cada módulo de memoria de la pluralidad de módulos de memoria (320; 330) para intercambiar funcionamientos entre la pluralidad de módulos de memoria, en el que la activación de una selección de chip permite el funcionamiento del módulo de memoria al que se envía la selección de chip;

20 en el que el controlador de memoria (220; 310) está configurado además para emitir un primer comando (510) a un primero de la pluralidad de módulos de memoria (320; 330) a través del bus de dirección y control común y para emitir un segundo comando (540 ) a un segundo de la pluralidad de módulos de memoria (320; 330) a través del bus de dirección y control común (360) durante un período de tiempo posterior a la emisión del primer comando (510), **caracterizado por que** el controlador de memoria (220; 310) está configurado para hacer funcionar la estructura de memoria en un modo de doble canal enviando una señal de habilitación de reloj independiente y una señal de selección de chip independiente a cada uno de la pluralidad de módulos de memoria y hacer funcionar la estructura de memoria en un modo de un único canal enviando la misma señal de habilitación de reloj y la misma señal de selección de chip a cada uno de la pluralidad de módulos de memoria.

2. La estructura de memoria de la reivindicación 1, en la que

30 la señal de reloj comprende ciclos pares e impares;

la pluralidad de módulos de memoria comprende un primer módulo de memoria y un segundo módulo de memoria; y

35 en el que el controlador de memoria emite comandos a través del bus de dirección y control común al primer módulo de memoria en ciclos pares de la señal de reloj y emite comandos a través del bus de dirección y control común al segundo módulo de memoria en ciclos impares de la señal de reloj.

40 3. La estructura de memoria de la reivindicación 1, en el que el controlador de memoria está configurado para esperar al menos un período de tiempo determinado por un comando previamente emitido a un primer módulo de memoria de la pluralidad de módulos de memoria antes de emitir un comando posterior al primer módulo de memoria de la pluralidad de módulos de memoria y está configurada además para emitir un comando a un segundo módulo de memoria de la pluralidad de módulos de memoria durante el período de tiempo determinado por el comando previamente emitido al primer módulo de memoria de la pluralidad de módulos de memoria.

4. La estructura de memoria de la reivindicación 1, en la que la estructura de memoria está dispuesta dentro de un dispositivo de comunicación portátil.

50 5. La estructura de memoria de la reivindicación 1, en la que el controlador de memoria está configurado para activar una primera señal de selección de chip en el momento de emitir el primer comando y una segunda señal de selección de chip en el momento de emitir el segundo comando.

55 6. La estructura de memoria de la reivindicación 1, en la que el período de tiempo está asociado con el primer comando.

60 7. Una estructura de memoria según la reivindicación 1, en el que el controlador de memoria espera al menos un período de tiempo determinado por un comando previamente emitido al primero de la pluralidad de módulos de memoria antes de emitir un comando posterior al primero de la pluralidad de módulos de memoria y en el que el controlador de memoria multiplexa la emisión de comandos a través del bus de dirección y control común al primero y segundo de la pluralidad de módulos de memoria para optimizar el uso del ancho de banda del bus de dirección y control común.

65 8. La estructura de memoria de la reivindicación 7, en la que la estructura de memoria está dispuesta dentro de un dispositivo portátil.

- 5                    9.    Un procedimiento para hacer funcionar una estructura de memoria de acuerdo con una cualquiera de las reivindicaciones 1 a 8; el procedimiento comprende:
- emitir una primera señal de selección de chip y un primer comando (510) desde el controlador de memoria a un primer módulo de memoria (320) a través del bus de dirección y control común; y
- emitir una segunda señal de selección de chip y un segundo comando (540) desde el controlador de memoria a un segundo módulo de memoria (330) a través del bus de dirección y control común durante un período de tiempo después de la emisión del primer comando (510).
- 10                  10.   El procedimiento según la reivindicación 9, en el que el período de tiempo está asociado con el primer comando.
- 15                  11.   El procedimiento de acuerdo con la reivindicación 9, que comprende:
- emitir una tercera señal de selección de chip y un tercer comando al primer módulo de memoria a través del bus de dirección/control después de al menos el primer período de tiempo; y
- 20                    emitir una cuarta señal de selección de chip y un cuarto comando al segundo módulo de memoria después de al menos un segundo período de tiempo después de la emisión del segundo comando.
12.   El procedimiento según la reivindicación 11, que comprende además:
- 25                    supervisar una señal de reloj que comprende ciclos pares e impares;
- emitir un comando al primer módulo de memoria solo en un ciclo de reloj par; y
- emitir un comando al segundo módulo de memoria solo en un ciclo de reloj impar.
- 30                  13.   El procedimiento según la reivindicación 11, en el que el primer período de tiempo está asociado con el primer comando y el segundo período de tiempo está asociado con el segundo comando.
14.   El procedimiento según la reivindicación 11, que comprende además
- 35                    multiplexar comandos a los módulos de memoria primero y segundo para optimizar el uso del ancho de banda del bus de dirección/control.
15.   El procedimiento según la reivindicación 14, en el que el primer período de tiempo está asociado con el primer comando y el segundo período de tiempo está asociado con el segundo comando.

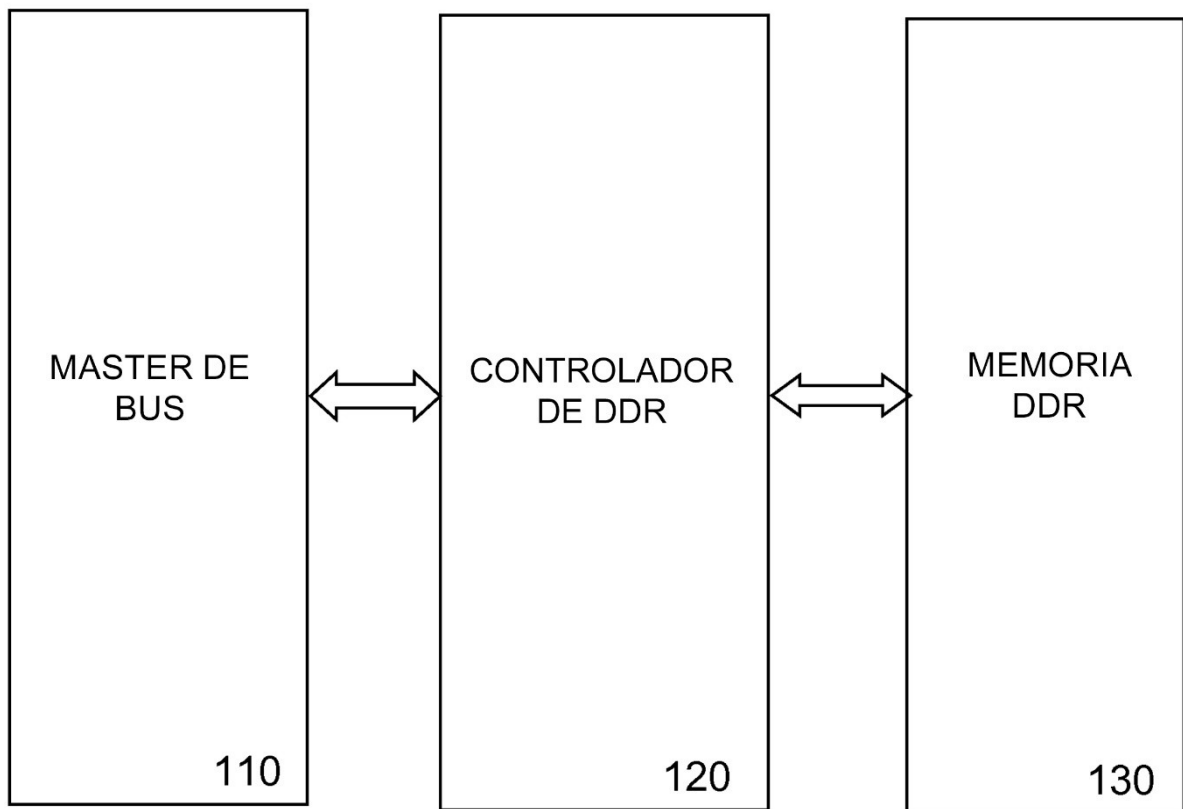


Figura 1

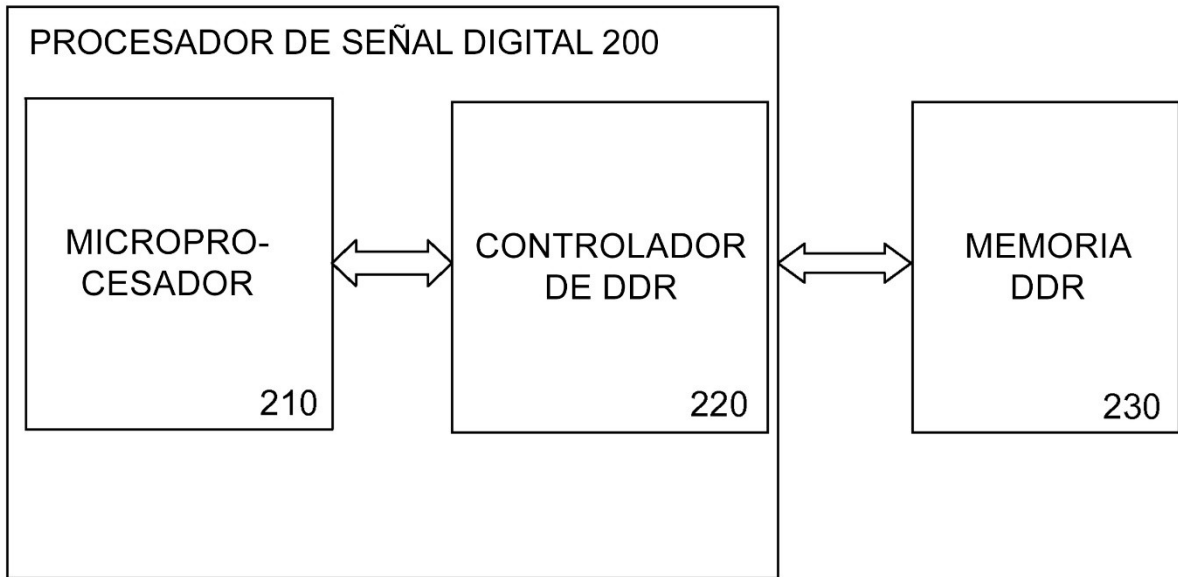


Figura 2

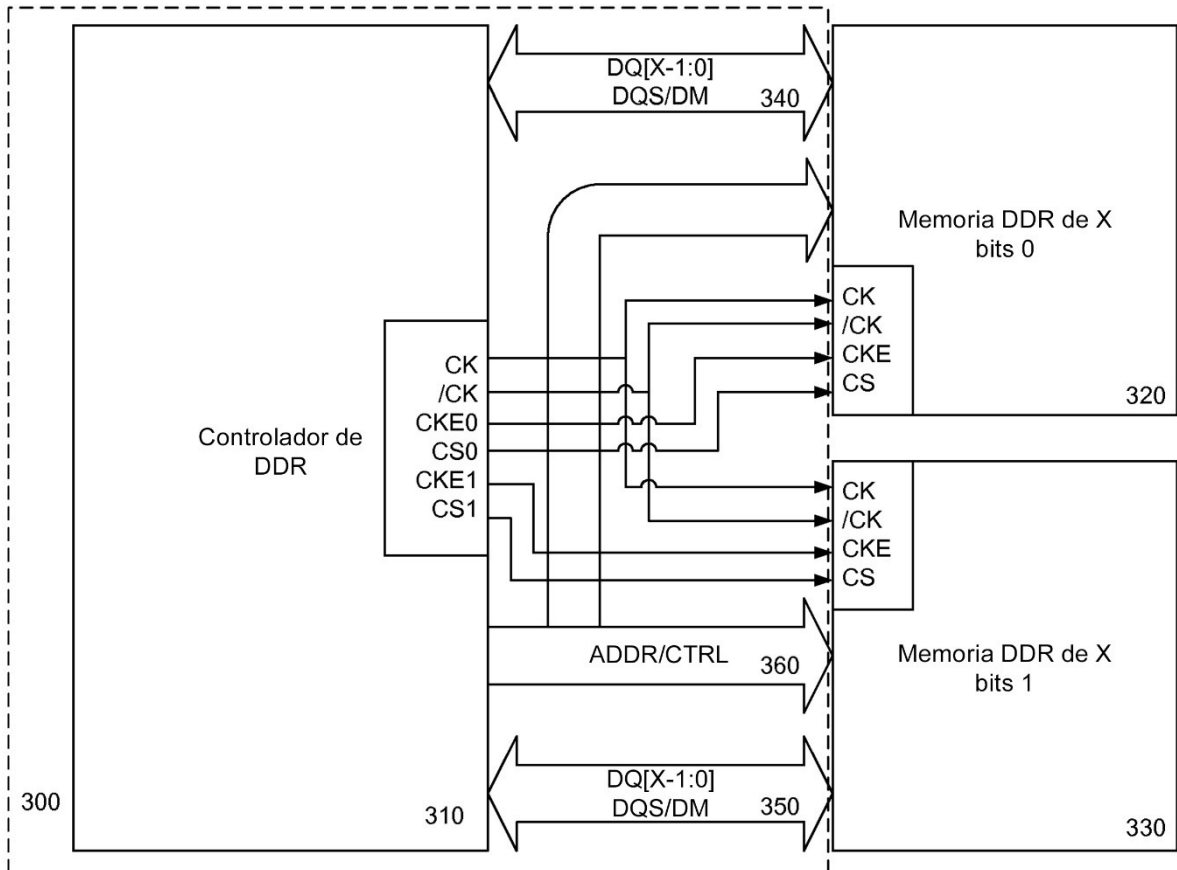


Figura 3

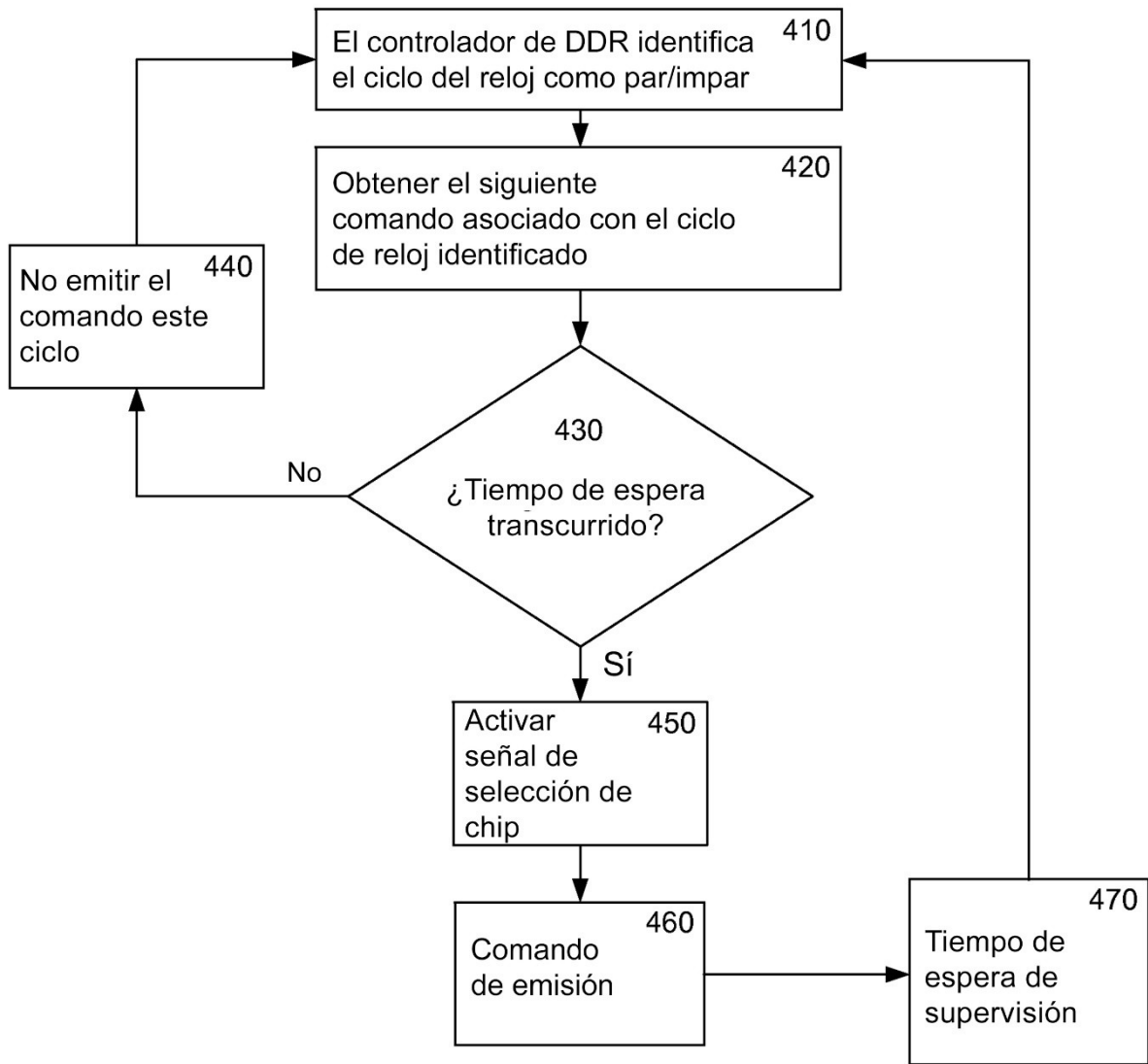


Figura 4

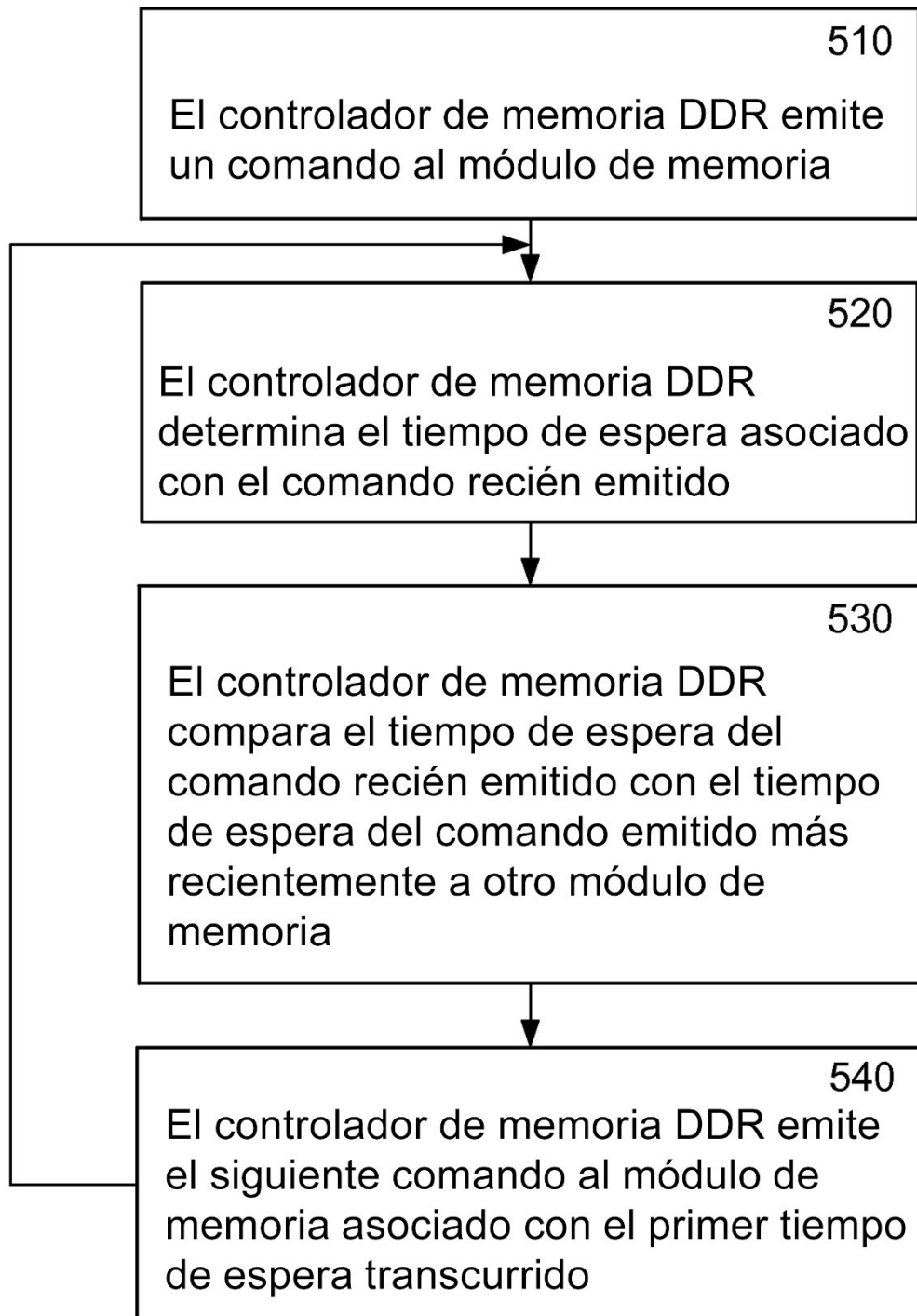


Figura 5

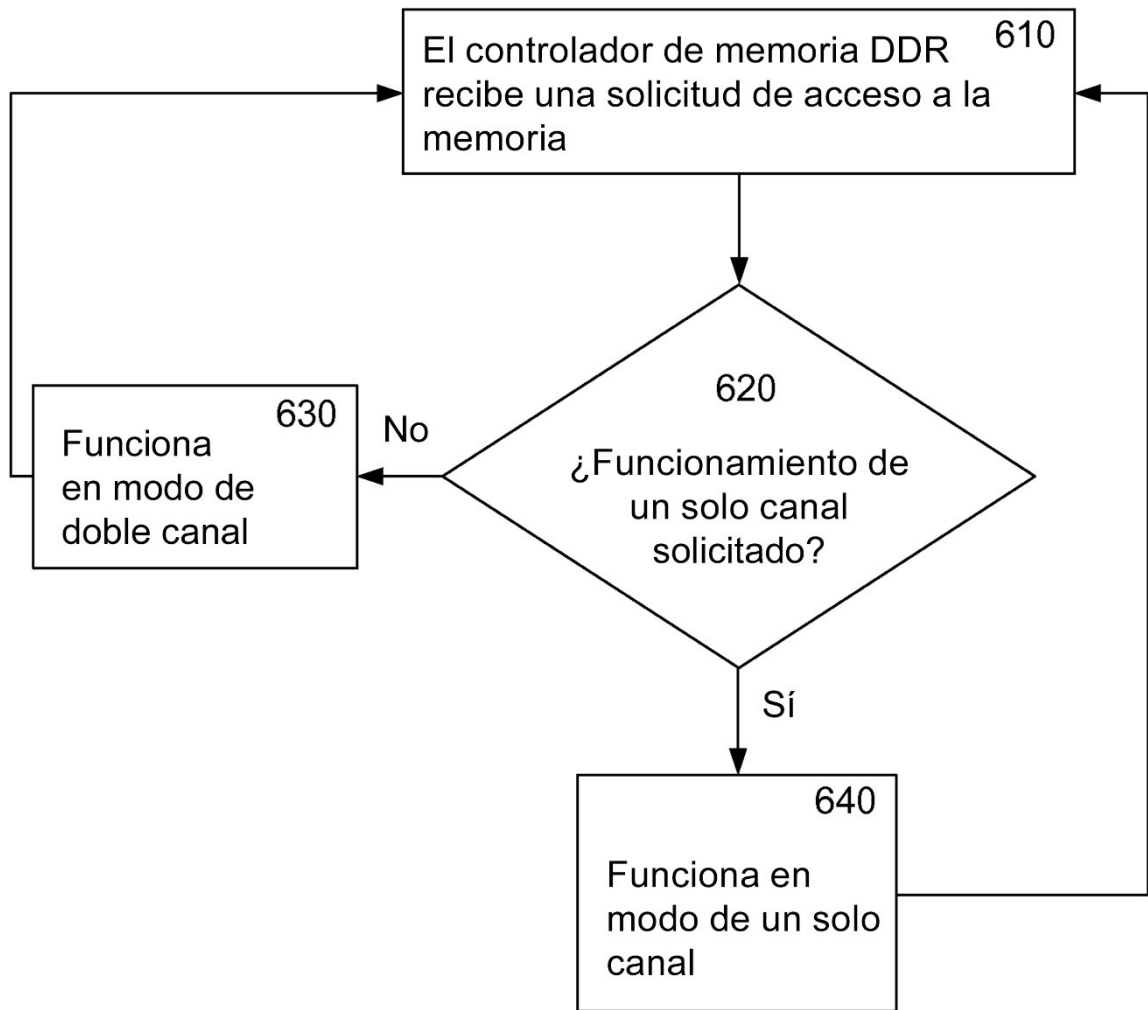


Figura 6



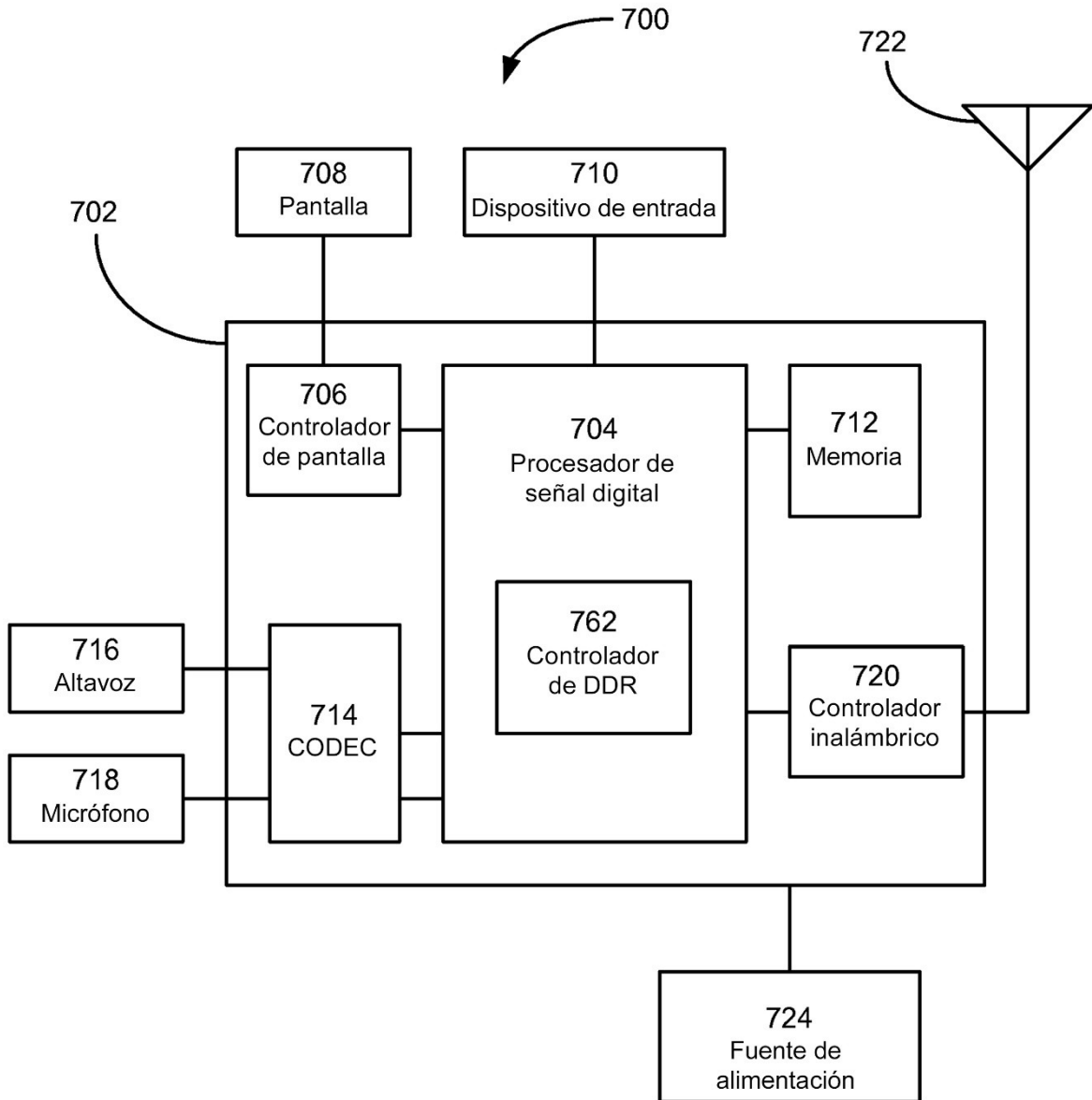


Figura 7

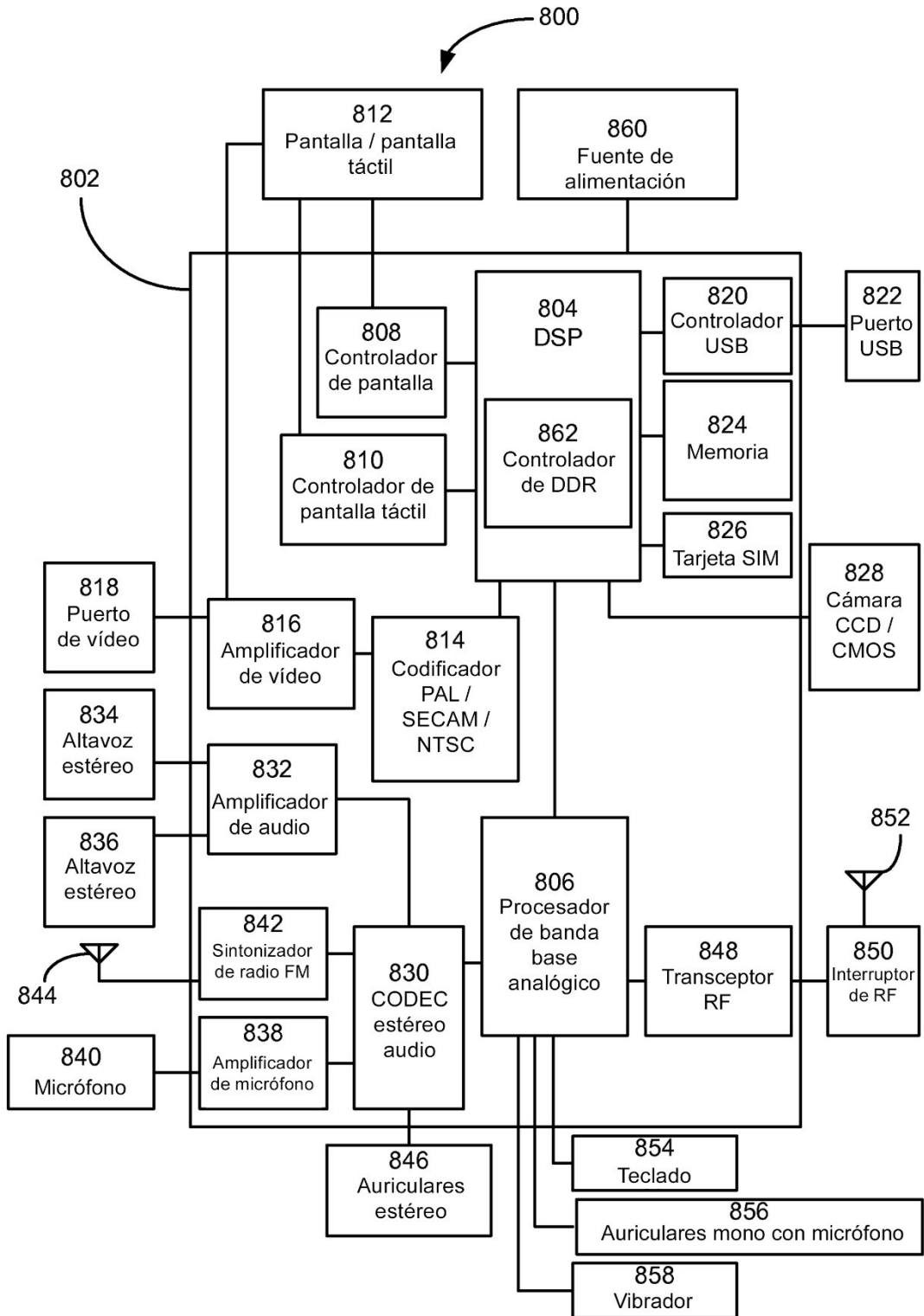


Figura 8

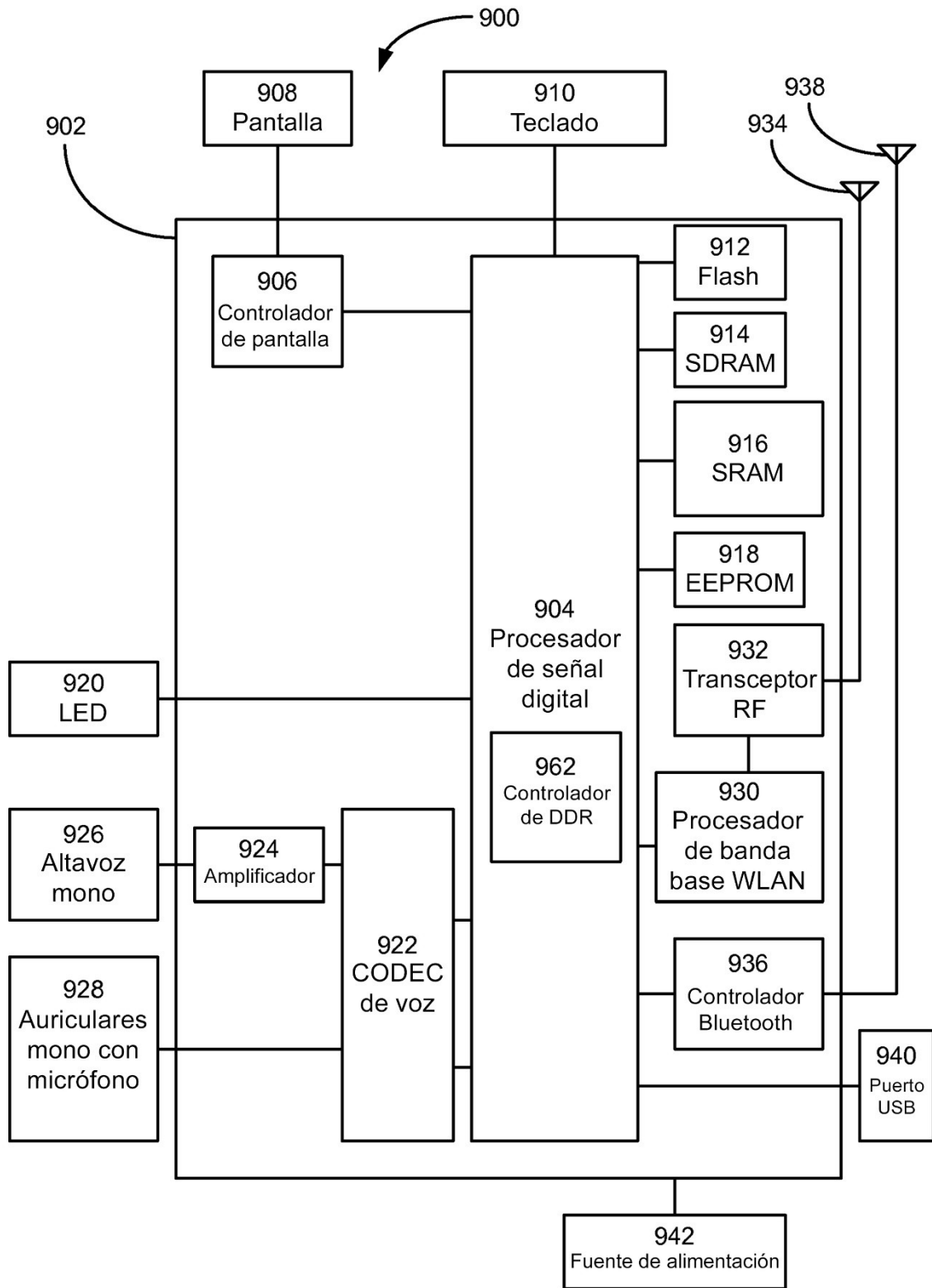


Figura 9

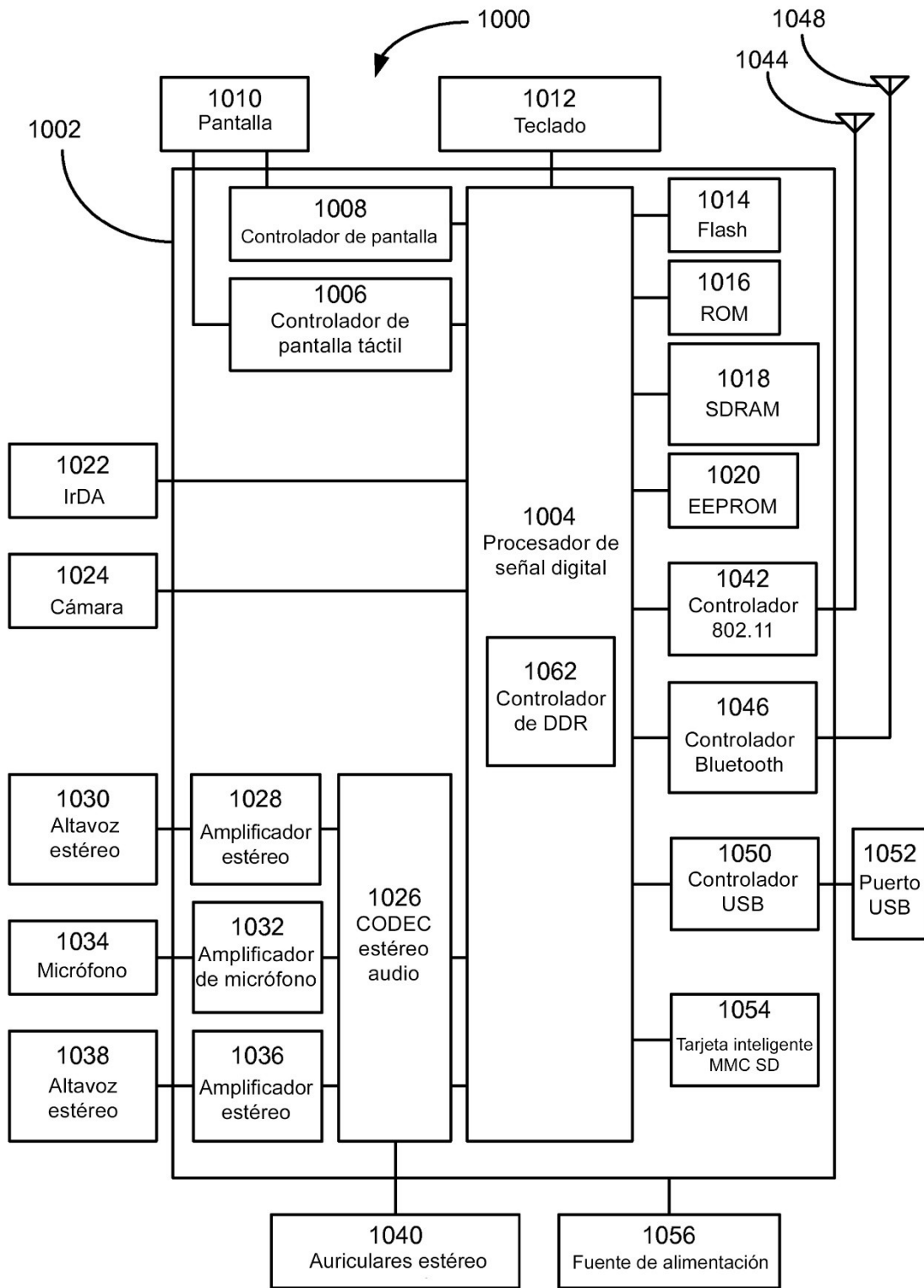


Figura 10

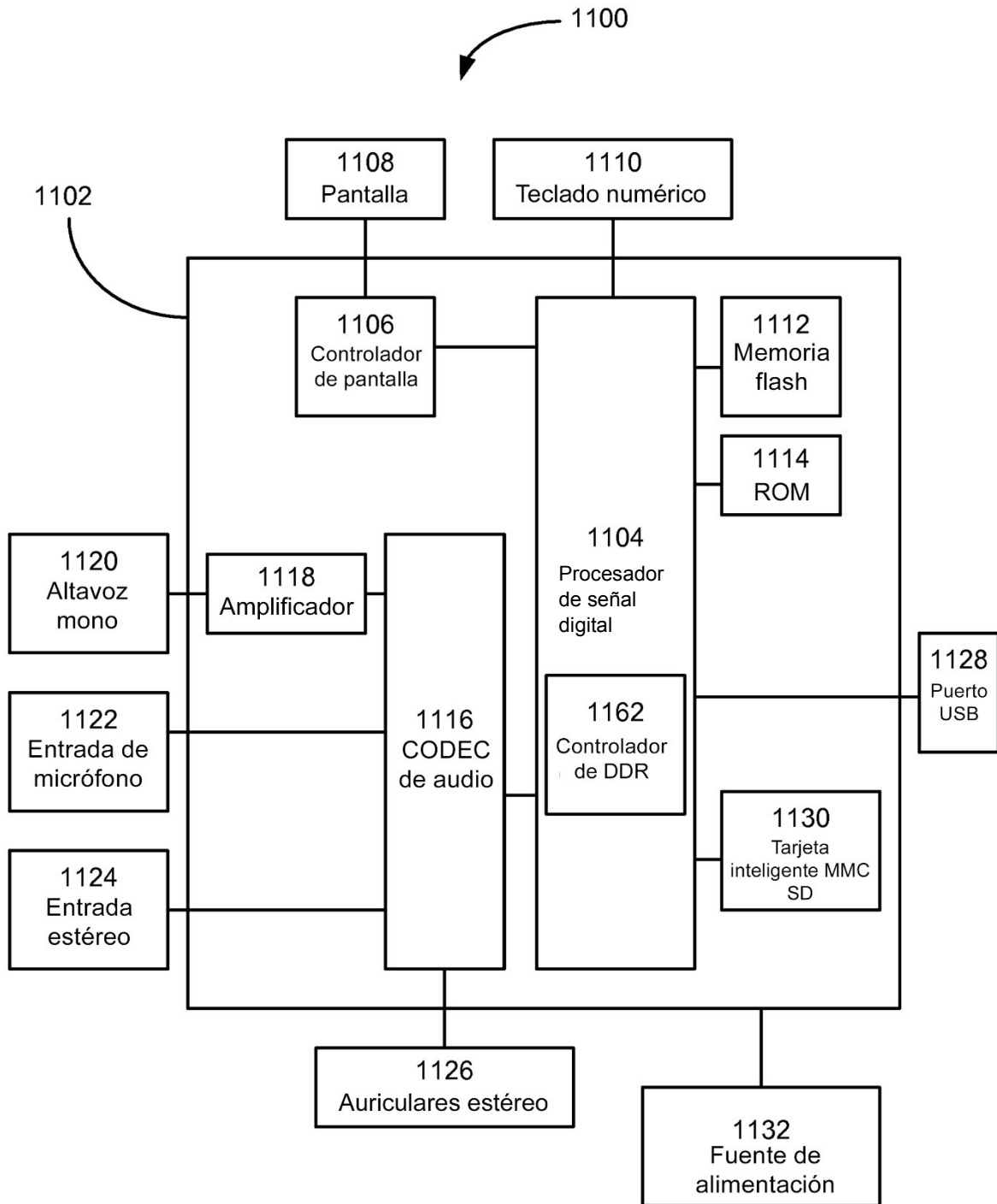


Figura 11