

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 684 541**

51 Int. Cl.:

G09G 3/20 (2006.01)

G09G 3/32 (2006.01)

G09G 5/399 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **15.02.2010 E 10001541 (1)**

97 Fecha y número de publicación de la concesión europea: **27.06.2018 EP 2306441**

54 Título: **Circuito de control de dispositivo de visualización de tipo barrido**

30 Prioridad:

30.09.2009 TW 98133304

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

03.10.2018

73 Titular/es:

**MACROBLOCK, INC. (100.0%)
6F.-4, No. 18, Pu-Ting Road
Hsinchu City, TW**

72 Inventor/es:

**WU, KEN-TANG y
SHIH, FU-YANG**

74 Agente/Representante:

SALVÀ FERRER, Joan

ES 2 684 541 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Circuito de control de dispositivo de visualización de tipo barrido

5 ANTECEDENTES

Campo de la invención

[0001] La presente invención se refiere a un circuito, y más en particular a un circuito de control de dispositivo
10 de visualización de tipo barrido.

Técnica relacionada

[0002] En los últimos años, el coste de fabricación de diodos electroluminiscentes (LED) se ha reducido
15 enormemente. En consecuencia, las pantallas LED se han aplicado ampliamente en diversas ocasiones, por ejemplo
en gimnasios y vallas publicitarias.

[0003] Normalmente, un dispositivo de visualización LED usa miles de LED como píxeles de visualización.
20 Una trama puede estar constituida por píxeles que tienen diferente brillo, y múltiples tramas pueden visualizarse en
secuencia para constituir una imagen dinámica.

[0004] Los píxeles son controlados por un controlador respectivamente. Según los datos de entrada, el
25 controlador emite una señal de activación o una señal de desactivación al controlador de LED, controlando de este
modo el brillo de los píxeles.

[0005] En términos generales, la imagen dinámica conmutará aproximadamente 60 tramas cada segundo. Es
30 decir, la velocidad de trama de las tramas de entrada es de 60 Hz. Dado que el período de conmutación de las
tramas es muy corto, cuando miran la imagen progresiva, las personas percibirán que la imagen progresiva es
continua debido al fenómeno de persistencia visual.

[0006] Además, el tiempo para visualizar una trama completa se refiere como tiempo de refresco. La inversa
35 del tiempo de refresco es la velocidad de refresco. Cuanto mayor es la velocidad de refresco, más difícil es que el
dispositivo de visualización LED parpadee (por ejemplo, cuando se toma una fotografía usando un obturador de alta
velocidad de un equipo fotográfico).

[0007] En otro aspecto, en un dispositivo de visualización LED común se necesita un número elevado de
40 controladores de LED. Para reducir el número de los controladores de LED, el dispositivo de visualización LED
puede adoptar un controlador de tipo barrido. En el controlador de tipo barrido, pueden accionarse múltiples LED en
diferente momento mediante un dispositivo de conmutación. Por tanto, el mismo controlador de LED puede controlar
múltiples LED.

[0008] Aunque el controlador de tipo barrido puede ahorrar el número de controladores de LED, para el
45 mismo controlador de LED, la cantidad de datos que se procesará es multiplicativa. Es decir, el controlador de LED
necesita una mayor anchura de banda de emisión. Además, dado que se invertirá más tiempo para visualizar una
trama completa, la velocidad de refresco disminuirá de forma consiguiente.

[0009] "Accionador de LED integrado de PWM de 16 canales MBI5031" de Macroblock
50 (http://www.kingelectronics.com/images/products/MBI5031_Preliminary_DatasheetV2.00-English.pdf) describe un
controlador de LED integrado de PWM de 16 canales que aleatoriza un tiempo de "activación" en varios períodos de
"activación".

[0010] "Electrónica para sistemas de proyección basados en tecnología DLP" de Peter van Kessel
55 (SIMPOSIO SOBRE CIRCUITOS VLSI RESUMEN DE ARTÍCULOS TÉCNICOS) describe una tecnología de
proyección de procesamiento de luz digital, que usa bancos de memoria de tipo ping-pong para transferencia de
datos.

[0011] El documento EP 1 814 365 A1 describe un dispositivo de control de LED con modulación de anchura
de pulsos (PWM), donde una unidad PWM modula la señal de activación/desactivación con un ciclo PWM a partir de
una señal de mayor resolución en dos o más señales de menor resolución.

[0012] El documento US 2004/046752 A1 describe un controlador para proporcionar de forma programable valores almacenados de datos de control de accionamiento para un dispositivo de visualización. Usando los valores almacenados de los datos de control de accionamiento, pueden formarse señales moduladas tales como formas de onda de modulación de anchura de pulso para accionar digitalmente elementos de visualización de accionamiento de un dispositivo de visualización.

[0013] El documento US 2006/0336092 A1 describe el accionamiento de un cristal líquido de matriz pasiva

10 RESUMEN

[0014] Los objetos se resuelven mediante las características de la reivindicación independiente.

[0015] De forma consiguiente, la presente invención es un circuito de control de un dispositivo de visualización de tipo barrido, que es capaz de mejorar la velocidad de refresco de un dispositivo de visualización de tipo barrido y de reducir la anchura de banda de emisión de un controlador de LED.

[0016] La presente invención proporciona un circuito de control de dispositivo de visualización de tipo barrido, que es adecuado para recibir una pluralidad de datos de trama sucesivos y accionar un dispositivo de visualización de diodos electroluminiscentes (LED) de forma consiguiente. El circuito de control de dispositivo de visualización de tipo barrido comprende una memoria intermedia de tipo ping-pong, un controlador de almacenamiento de datos, un controlador de barrido lineal, una memoria intermedia de visualización y un dispositivo de generación de señales por modulación de anchura de pulsos aleatorizada (PMW).

[0017] La memoria intermedia de tipo ping-pong comprende una primera zona de almacenamiento y una segunda zona de almacenamiento. El controlador de almacenamiento de datos recibe los datos de trama en secuencia y almacena los datos de trama en la primera zona de almacenamiento o la segunda zona de almacenamiento de forma alterna. El controlador de barrido lineal, conectado lógicamente con la memoria intermedia de tipo ping-pong, se usa para capturar datos de línea en los datos de trama desde la primera zona de almacenamiento o la segunda zona de almacenamiento de forma alterna. La memoria intermedia de visualización, conectada lógicamente con el controlador de barrido lineal, se usa para almacenar temporalmente los datos de línea.

[0018] El dispositivo de generación de señales PMW aleatorizadas está conectado lógicamente con la memoria intermedia de visualización y el controlador de barrido lineal. El dispositivo de generación de señales PMW aleatorizadas captura los datos de línea y genera una señal PMW aleatorizada según los datos de línea, de manera que acciona el dispositivo de visualización LED.

[0019] En una realización de la presente invención, los datos de línea tienen M bits. Después de que transcurra un periodo de cambio de línea de barrido, el dispositivo de generación de señales PMW aleatorizadas captura otros datos de línea y genera otra señal PMW aleatorizada de acuerdo con los otros datos de línea. El periodo de cambio de línea de barrido es de 2^N periodos de operación, y N es menor que M.

[0020] En otra realización de la presente invención, los datos de línea tienen M bits. Después de que transcurra un periodo de cambio de línea de barrido, el dispositivo de generación de señales PMW aleatorizadas captura otros datos de línea y genera otra señal PMW aleatorizada de acuerdo con los otros datos de línea. El periodo de cambio de línea de barrido es de 2^N periodos de operación más un periodo de tiempo muerto, y N es menor que M.

[0021] La presente invención proporciona otro circuito de control de un dispositivo de visualización de tipo barrido, que es adecuado para recibir una pluralidad de datos de trama sucesivos y para accionar un dispositivo de visualización LED de forma consiguiente. El circuito de control de dispositivo de visualización de tipo barrido comprende una memoria intermedia de tipo ping-pong, un controlador de almacenamiento de datos, un controlador de barrido lineal y un dispositivo de generación de señales por modulación de anchura de pulso (PMW). El controlador de barrido lineal, después de que transcurra un periodo de cambio de línea de barrido, captura otros datos de línea de los datos de trama y emite los otros datos de línea al dispositivo de generación de señales PMW. El periodo de cambio de línea de barrido es de 2^N periodos de operación más un periodo de tiempo muerto.

[0022] El circuito de control de dispositivo de visualización de tipo barrido puede usar datos de trama de

forma circular y repetida, de manera que se impide que se transmita repetidamente una gran masa de datos. Por tanto, la anchura de banda para introducir datos puede reducirse significativamente. Además, el dispositivo de generación de señales PWM aleatorizadas puede aleatorizar una señal PWM con un periodo largo en una pluralidad de señales PWM aleatorizadas con un periodo corto. Por tanto, la velocidad de refresco puede mejorarse de manera eficaz sin modificar la anchura de banda para introducir datos.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

[0023] La presente invención se entenderá más ampliamente a partir de la descripción detallada que se ofrece en la presente memoria descriptiva a continuación con fines sólo ilustrativos, y por tanto no limitativos de la presente invención, y en la que:

la FIG. 1 es una vista estructural de un dispositivo de visualización de tipo barrido LED de la presente invención;
 la FIG. 2 es un diagrama de bloques de un sistema según una primera realización de la presente invención;
 las FIG. 3A y 3B son diagramas de tiempos de una señal de activación según la presente invención;
 la FIG. 4A es un diagrama de bloques de un sistema de una primera realización de la señal PWM aleatorizada según la presente invención;
 la FIG. 4B es un diagrama de bloques de un sistema de una señal PWM aleatorizada;
 las FIG. 5A, 5B y 5C son vistas esquemáticas del procedimiento operativo en la FIG. 2 de la presente invención; y
 la FIG. 6 es un diagrama de bloques de un sistema según una segunda realización de la presente invención.

DESCRIPCIÓN DETALLADA

[0024] Las características y ventajas detalladas de la presente invención se describirán en detalle en las siguientes realizaciones. Los expertos en la materia pueden comprender e implementar fácilmente el contenido de la presente invención. Además, los objetivos y ventajas relativos de la presente invención son evidentes para los expertos en la materia con referencia al contenido descrito en la memoria descriptiva, las reivindicaciones y los dibujos. Las siguientes realizaciones se usan para ilustrar adicionalmente las opiniones de la presente invención en detalle, aunque el alcance de la presente invención no está limitado por ninguna opinión.

[0025] En referencia a la FIG. 1, se muestra una vista estructural de un dispositivo de visualización LED 90. El dispositivo de visualización LED 90 es una pantalla de visualización de tipo barrido y debe usarse con un conmutador 92. Por ejemplo, los LED en el dispositivo de visualización LED 90 pueden dividirse como un LED de primera línea, un LED de segunda línea, un LED de tercera línea, ... y un LED de octava línea. El conmutador 92 enciende el LED de primera línea, el LED de segunda línea, el LED de tercera línea, ... y el LED de octava línea de forma circular y en secuencia.

[0026] Cuando el conmutador 92 enciende el LED de primera línea, un circuito de control de dispositivo de visualización de tipo barrido 10 emite una señal de activación correspondiente al LED de primera línea. De una forma similar, se transmiten también señales de activación correspondientes a los LED de las otras líneas.

[0027] En referencia a la FIG. 2, se muestra un diagrama de bloques de un sistema según una primera realización de la presente invención. El circuito de control de dispositivo de visualización de tipo barrido 10 comprende una memoria intermedia de tipo ping-pong 11, un controlador de almacenamiento de datos 20, un controlador de barrido lineal 30, una memoria intermedia de visualización 50 y un dispositivo de generación de señales PWM aleatorizadas 60.

[0028] La memoria intermedia de tipo ping-pong 11 comprende una primera zona de almacenamiento 12 y una segunda zona de almacenamiento 14. La memoria intermedia de tipo ping-pong 11 puede escribir y leer datos continuamente. El controlador de almacenamiento de datos 20 se usa para recibir los datos de trama en secuencia, y almacenar los datos en la primera zona de almacenamiento 12 o la segunda zona de almacenamiento 14 de forma alterna.

[0029] El controlador de barrido lineal 30, conectado lógicamente con la memoria intermedia de tipo ping-pong 11, se usa para capturar datos de línea en los datos de trama desde la primera zona de almacenamiento 12 o la segunda zona de almacenamiento 14 de forma alterna.

[0030] La memoria intermedia de visualización 50, conectado lógicamente con el controlador de barrido lineal 30, se usa para almacenar temporalmente los datos de línea en los datos de trama en la primera zona de

almacenamiento 12 o la segunda zona de almacenamiento 14. La memoria intermedia de visualización 50 puede ser una báscula o una SRAM (memoria de acceso aleatorio estática).

5 **[0031]** El dispositivo de generación de señales PWM aleatorizadas 60 está conectado lógicamente con el controlador de barrido lineal 30 y la memoria intermedia de visualización 50. El dispositivo de generación de señales PWM aleatorizadas 60 se usa para capturar los datos de línea y generar una señal PWM aleatorizada según los datos de línea.

[0032] A continuación se ilustra el procedimiento operativo detallado de la presente invención.

10 **[0033]** En esta realización, los datos de trama son datos de trama en escala de grises. Es decir, la información almacenada en los datos de trama representa un brillo en escala de grises de la trama. Un valor del brillo en escala de grises puede representar una intensidad de cualquier color. Cuanto mayor es el valor del brillo en escala de grises, más brillante es el color. Por el contrario, cuanto menor es el valor del brillo en escala de grises, más oscuro es el color. Por ejemplo, para un brillo en escala de grises de dieciséis bits, el brillo en escala de grises "65535" representa blanco, y el brillo en escala de grises "0" representa negro.

20 **[0034]** En primer lugar, el controlador de almacenamiento de datos 20 almacena primeros datos de trama (trama 1) de un primer periodo de trama en la primera zona de almacenamiento 12, almacena segundos datos de trama (trama 2) de un segundo periodo de trama en la segunda zona de almacenamiento 12, almacena terceros datos de trama (trama 3) de un tercer periodo de trama en la primera zona de almacenamiento 12 y almacena cuartos datos de trama (trama 4) de un cuarto periodo de trama en la segunda zona de almacenamiento 14. Según dicha secuencia, los datos de trama se almacenan continuamente en la primera zona de almacenamiento 12 o la segunda zona de almacenamiento 14.

25 **[0035]** Durante el segundo periodo de trama, no sólo se escriben los segundos datos de trama en segunda área de almacenamiento 14, sino que además los primeros datos de trama se leen desde la primera zona de almacenamiento 12. Durante el tercer periodo de trama, no sólo se escriben los terceros datos de trama en la primera zona de almacenamiento 12, sino que además los segundos datos de trama se leen desde la segunda zona de almacenamiento 14. Debido a los pasos de escritura y lectura continuas y alternas, la memoria intermedia de tipo ping-pong 11 no genera un intervalo de interrupción entre la lectura y la escritura.

35 **[0036]** Durante el mismo periodo de trama, el controlador de barrido lineal 30 captura datos de línea de los datos de trama en secuencia y circularmente, y envía los datos de línea capturados a la memoria intermedia de visualización 50. Dado que cada dato de trama es procesado de la misma manera, en la presente memoria descriptiva sólo se describen los primeros datos de trama. Por ejemplo, la primera trama comprende octavos datos de línea (primeros datos de línea, segundos datos de línea, terceros datos de línea ...y octavos datos de línea). El controlador de barrido lineal 30 captura los datos de línea en una secuencia de los primeros datos de línea, los segundos datos de línea, los terceros datos de línea ... y los octavos datos de línea. Después de capturar los 40 octavos datos de línea, el controlador de barrido lineal 30 captura de nuevo los primeros datos de línea. Con estos círculos en secuencia, el controlador de barrido lineal 30 captura todos los datos de línea en los datos de trama y emite los datos de línea hacia la memoria intermedia de visualización 50.

45 **[0037]** La memoria intermedia de visualización 50 comprende un primer subregistro 51, un segundo subregistro 52 y un registro principal 53. El primer subregistro 51 y el segundo subregistro 52, conectado lógicamente con el controlador de barrido lineal 30, se usan para almacenar temporalmente datos de línea de la primera zona de almacenamiento 12 o la segunda zona de almacenamiento 14. El registro principal 53 se usa para capturar los datos de línea en el primer subregistro 51 o el segundo subregistro 52.

50 **[0038]** El dispositivo de generación de señales PWM aleatorizadas 60 puede aleatorizar una señal PWM con un periodo largo en una pluralidad de señales PWM aleatorizadas con un periodo corto. Por ejemplo, para un brillo en escala de grises de dieciséis bits, la longitud de los datos almacenados en cada dato de línea es dieciséis bits. El periodo de visualización de la señal PWM correspondiente a los datos de línea es 65.536 (2^{16}) ciclos. El dispositivo de generación de señales PWM aleatorizadas 60 puede aleatorizar la señal PWM que tiene una longitud de 65.536 55 ciclos en una pluralidad de (por ejemplo, 64) señales PWM aleatorizadas. En otras palabras, el periodo de visualización de cada señal PWM aleatorizada es 1.024 (2^{10}) ciclos.

[0039] En la presente memoria descriptiva, el ciclo puede definirse como un periodo de tiempo desde un borde ascendente de una señal de reloj a un borde ascendente de otra señal de reloj adyacente, y también puede

definirse como un periodo de tiempo desde un borde descendente de una señal de reloj a un borde descendente de otra señal de reloj adyacente.

[0040] El dispositivo de generación de señales PWM aleatorizadas 60 emite las señales PWM aleatorizadas al dispositivo de visualización LED 90. Cada periodo de cambio de línea de barrido, el controlador de barrido lineal 30 realiza acciones de cambio de línea. Por ejemplo, el controlador de barrido lineal 30 captura los primeros datos de línea, y emite los primeros datos de línea al dispositivo de generación de señales PWM aleatorizadas 60 para emitir una señal de activación. Después de que transcurra un periodo de cambio de línea de barrido (1.024 ciclos), el controlador de barrido lineal 30 captura los segundos datos de línea, y emite los segundos datos de línea al dispositivo de generación de señales PWM aleatorizadas 60 para emitir una señal de activación. Los pasos se repiten continuamente, y el controlador de barrido lineal 30 captura los primeros datos de línea, los segundos datos de línea ...los octavos datos de línea en secuencia. Después de capturar los octavos datos de línea, el controlador de barrido lineal 30 captura de nuevo los primeros datos de línea.

[0041] En referencia a la FIG. 3A, se muestra un diagrama de tiempos de la señal de activación. Durante el primer periodo de cambio de línea de barrido (1.024 ciclos), se transmiten los primeros datos de línea al dispositivo de generación de señales PWM aleatorizadas 60 para generar una señal PWM aleatorizada. Durante el segundo periodo de cambio de línea de barrido, es decir, los 1.024 ciclos siguientes, se transmiten los segundos datos de línea al dispositivo de generación de señales PWM aleatorizadas 60 para generar una señal PWM aleatorizada. Las acciones se repiten, y los primeros datos de línea, los segundos datos de línea ... y los octavos datos de línea son transmitidos al dispositivo de generación de señales PWM aleatorizadas 60 para generar una señal PWM aleatorizada en secuencia.

[0042] Después de ocho periodos de cambio de línea de barrido, los datos de trama pueden visualizarse totalmente. El tiempo total de los ocho periodos de subseñal se llama subperiodo. En esta realización, la longitud de un primer subperiodo es de 8.192 (8×1.024) ciclos, mientras que en un procedimiento común se requieren 524.288 (8×65.536) ciclos para visualizar una trama completa. El tiempo para visualizar una trama completa mediante el circuito de control de dispositivo de visualización de tipo barrido 10 de la presente invención es de 1/64 parte del procedimiento común. Es decir, la velocidad de refresco del circuito de control de dispositivo de visualización de tipo barrido 10 es de 64 veces la del procedimiento común.

[0043] En un dispositivo de visualización de tipo barrido LED en línea 90, para prevenir que aparezcan señales fantasma, tras completar la señal de activación correspondiente a los datos de línea, la señal de activación correspondiente a otros datos de línea puede transmitirse de nuevo después de una interrupción, lo que recibe el nombre de periodo de tiempo muerto.

[0044] En referencia a la FIG. 3B, se muestra un diagrama de tiempos de una señal de activación. Durante los primeros 1.024 ciclos, los primeros datos de línea se transmiten hacia el dispositivo de generación de señales PWM aleatorizadas 60 para generar una señal PWM aleatorizada. Posteriormente, durante el ciclo 1.025°, el circuito de control de dispositivo de visualización de tipo barrido 10 interrumpirá la generación de cualquier señal de activación. La longitud del periodo 1.025° periodo es la longitud del periodo de tiempo muerto.

[0045] En una realización de la presente invención, el controlador de barrido lineal 30 tiene un puerto de entrada de señal de reloj externa. El puerto de entrada de señal de reloj externa se usa para introducir una señal de reloj externa. La señal de reloj externa consiste en múltiples subseñales de reloj, y el periodo de cada subseñal de reloj corresponde a un ciclo. Es decir, la longitud de la señal de reloj externa puede modificarse, cambiando de este modo la longitud del periodo de tiempo muerto.

[0046] El dispositivo de generación de señales PWM aleatorizadas 60 puede implementarse como al menos dos realizaciones, que se ilustrarán a continuación.

[0047] La FIG. 4A es un diagrama de bloques de un sistema según una primera realización del dispositivo de generación de señales PWM aleatorizadas 60. El dispositivo de generación de señales PWM aleatorizadas 60 comprende un primer contador 41, un primer comparador 61, un segundo contador 42 y un segundo comparador 62.

[0048] El primer contador 41 se usa para enviar una primera señal numérica. La primera señal numérica es preferentemente una señal ascendente. El primer comparador 61 tiene un primer extremo de entrada y un segundo extremo de entrada. El primer extremo de entrada se usa para introducir los primeros N bits más significativos (MSB) de los datos de línea, y el segundo extremo de entrada se usa para introducir la primera señal numérica. El primer

comparador emite una señal principal según el primer extremo de entrada y el segundo extremo de entrada. Por ejemplo, cuando el valor del primer extremo de entrada es mayor que el del segundo extremo de entrada, el primer comparador 61 emite una señal "lógica 1", y cuando el valor del primer extremo de entrada es menor que el del segundo extremo de entrada, el primer comparador 61 emite una señal "lógica 0". Sólo cuando la señal "lógica 1" es transmitida al LED, es decir, sólo cuando el valor de los primeros N MSB de los datos de línea es mayor que el valor del primer contador 41, el LED emite luz.

[0049] El segundo contador 42 se usa para enviar una segunda señal numérica. El segundo comparador 62 tiene un tercer extremo de entrada y un cuarto extremo de entrada. El tercer extremo de entrada se usa para introducir los últimos L bits menos significativos (LSB) de los datos de línea, y el cuarto extremo de entrada se usa para introducir la segunda señal numérica. El segundo comparador 62 emite una señal de compensación según el tercer extremo de entrada y el cuarto extremo de entrada. Por ejemplo, cuando el valor del tercer extremo de entrada es mayor que el del cuarto extremo de entrada, el segundo comparador 62 emite una señal "lógica 1", y cuando el valor del tercer extremo de entrada es menor que el del cuarto extremo de entrada, el segundo comparador 62 emite una señal "lógica 0". La segunda señal numérica modifica su valor de salida en cada subperiodo. Por tanto, los puntos de interrupción en los periodos de salida de las señales PWM aleatorizadas de las líneas se registran al mismo tiempo, y cuando se realiza un barrido de la misma línea en el tiempo siguiente, la señal PWM aleatorizada sigue enviándose desde el punto de interrupción del periodo de envío de la señal PWM aleatorizada precedente. Así, puede completarse totalmente un periodo de envío de PWM sin que influya la interrupción del barrido. El segundo contador 42 puede adoptar un procedimiento de recuento secuencial o un procedimiento de recuento de saltos uniformes. El procedimiento de recuento de saltos uniformes puede hacer que las señales PWM aleatorizadas sean enviadas de manera más uniforme.

[0050] La señal PWM aleatorizada enviada por el dispositivo de generación de señales PWM aleatorizadas 60 comprende el envío de una señal principal por el primer comparador 61 y el envío de una señal de compensación por el segundo comparador 62. Es decir, la señal PWM aleatorizada puede dividirse en un primer segmento y un segundo segmento con respecto al tiempo, de manera que la señal en el primer segmento es la señal principal, y la señal en el segundo segmento es una señal de compensación.

[0051] Por ejemplo, para los datos de línea de dieciséis bits, se supone que el valor decimal de los datos de línea es "6405". Los diez primeros MSB de los datos de línea representan un valor decimal "100", y los últimos seis LSB de los datos de línea representan un valor decimal "5". Los datos de línea se aleatorizan en 64 señales PWM aleatorizadas, y la longitud de cada una de las señales PWM aleatorizadas es de 1.024 ciclos. Dado que los últimos seis LSB de los datos de línea representan un valor decimal "5", entre las 64 señales PWM aleatorizadas, la señal de compensación de las cinco señales PWM aleatorizadas es "1", y la señal de compensación de las otras 59 señales

PWM aleatorizadas es 101 "0". Es decir, el ciclo de trabajo de las cinco señales PWM aleatorizadas es $\frac{101}{1024}$, y el

ciclo de trabajo de las otras 59 señales PWM aleatorizadas es $\frac{100}{1024}$. Para reducir los componentes de baja

frecuencia y los parpadeos visuales, el segundo contador 42 puede adoptar el procedimiento de recuento de saltos uniformes, de manera que se preparen las cinco señales PWM aleatorizadas con el ciclo de trabajo

$\frac{101}{1024}$ distribuido en las 64 señales PWM aleatorizadas de manera uniforme. El procedimiento de implementación puede obtenerse con referencia a la solicitud de patente de Taiwán nº 200729133.

[0052] La FIG. 4B es un diagrama de bloques de un sistema del dispositivo de generación de señales PWM aleatorizadas 60. El dispositivo de generación de señales PWM aleatorizadas 60 comprende un generador de números aleatorios 43 y un primer comparador 61. El generador de números aleatorios 43 genera una señal de números aleatorios. El primer comparador 61 comprende un primer extremo de entrada y un segundo extremo de entrada. El primer extremo de entrada se usa para introducir los datos de línea, y el segundo extremo de entrada se usa para introducir una señal de números aleatorios. Cuando el valor del primer extremo de entrada es mayor que el del segundo extremo de entrada, el primer comparador 61 emite una primera señal, y cuando el valor del primer extremo de entrada es igual o menor que el del segundo extremo de entrada, el primer comparador emite una segunda señal. Por ejemplo, la primera señal es una señal "lógica 1", y la segunda señal es una señal "lógica 0". Sólo cuando la señal "lógica 1" se emite al LED, es decir, el valor de los datos de línea es mayor que la señal de números aleatorios generada por el generador de números aleatorios 43, el LED emite luz.

[0053] En las dos realizaciones, los periodos de cambio de línea de barrido son iguales. La acción de alimentación de la línea es realizada por el controlador de barrido lineal 30.

5 **[0054]** Para ilustrar adicionalmente el flujo de generación de la señal PMW, pueden consultarse las FIG. 5A, 5B y 5C. Las FIG. 5A, 5B y 5C son vistas esquemáticas del funcionamiento de la FIG. 2.

[0055] En referencia a la FIG. 5A, los primeros datos de línea se almacenan en el registro principal 53, y los segundos datos de línea se almacenan en el primer subregistro 51. En este momento, el dispositivo de generación de señales PMW aleatorizadas 60 captura el valor del registro principal 53 y genera una señal PMW aleatorizada.

[0056] En referencia a la FIG. 5B, después de que transcurra un periodo de cambio de línea de barrido, los segundos datos de línea almacenados originalmente en el primer subregistro 51 en la FIG. 5 son transmitidos al registro principal 53, y el controlador de barrido lineal 30 emite los terceros datos de línea al primer subregistro 51.

15 **[0057]** Después de que el circuito de control de dispositivo de visualización de tipo barrido 10 ha enviado las señales PMW aleatorizadas de los primeros datos de línea, los segundos datos de línea ... y los octavos datos de línea en secuencia, durante el siguiente periodo de tiempo, el circuito de control de dispositivo de visualización de tipo barrido 10 emite de nuevo la señal PMW aleatorizada de los primeros datos de línea. Al capturar los datos de línea de los mismos datos de trama de forma repetida de la misma manera, el circuito de control de dispositivo de visualización de tipo barrido 10 puede evitar transmitir una gran masa de datos de trama repetidamente. Por tanto, la anchura de banda para introducir datos puede reducirse significativamente.

[0058] Además, el controlador de barrido lineal 30 tiene un puerto de introducción de instrucciones (no mostrado). Cuando el puerto de introducción de instrucciones (no mostrado) recibe una instrucción de conmutación de trama, el registro principal 53 captura datos desde el segundo subregistro 52 en lugar de desde el primer subregistro 51 originalmente, o desde el primer subregistro 51 en lugar de desde el segundo subregistro 52 originalmente. En referencia a la FIG. 5C, los datos de línea del segundo subregistro 52 son transmitidos al registro principal 53, es decir, el procedimiento operativo en la FIG. 5A se convierte en el procedimiento operativo en la FIG. 5C.

[0059] Mediante la estructura de dos registros (el primer subregistro 51 y el segundo subregistro 52) y el mecanismo de almacenar los datos con antelación, el circuito de control de dispositivo de visualización de tipo barrido 10 puede transmitir las señales de activación correspondientes a los datos de trama sin interrupción.

35 **[0060]** En una realización de la presente invención, si existe una pluralidad de valores en los datos de línea, las señales de activación correspondientes a la pluralidad de valores pueden ser transmitidas en paralelo. El circuito de control de dispositivo de visualización de tipo barrido 10 comprende una pluralidad de memorias intermedias de visualización 50 y una pluralidad de dispositivos de generación de señales PMW aleatorizadas 60.

40 **[0061]** En referencia a la FIG. 6, se muestra un diagrama de bloques de un sistema según una segunda realización de la presente invención. El circuito de control de dispositivo de visualización de tipo barrido 10 comprende una memoria intermedia de tipo ping-pong 11, un controlador de almacenamiento de datos 20, un controlador de barrido lineal 30, una memoria intermedia de visualización 50 y un dispositivo de generación de señales PMW 60'. El dispositivo de generación de señales PMW 60' puede ser un dispositivo común de generación de señales PMW, y puede ser también un dispositivo de generación de señales PMW aleatorizadas 60. El modo de funcionamiento del circuito de control de dispositivo de visualización de tipo barrido 10 es similar al de la primera realización, y no se repetirá en la presente memoria descriptiva.

45 **[0062]** A la vista de lo anterior, el circuito de control de dispositivo de visualización de tipo barrido en la presente invención puede usar datos de trama de forma circular y repetida, de manera que se evite la transmisión repetida de una gran masa de datos. Por tanto, la anchura de banda para introducir datos puede reducirse significativamente. Además, el dispositivo de generación de señales PMW aleatorizadas puede aleatorizar una señal PMW con un periodo largo en una pluralidad de señales PMW aleatorizadas con un periodo corto. Por tanto, la velocidad de refresco puede mejorarse de manera eficaz sin modificar la anchura de banda para introducir datos.

REIVINDICACIONES

1. Un circuito de control de dispositivo de visualización de tipo barrido, adecuado para recibir una pluralidad de datos de trama sucesivos y accionar un dispositivo de visualización (90) de diodos electroluminiscentes (LED) de forma consiguiente, que comprende:
- una memoria intermedia de tipo ping-pong (11), que comprende una primera zona de almacenamiento (12) y una segunda zona de almacenamiento (14);
 - un controlador de almacenamiento de datos (20), para recibir los datos de trama en secuencia y almacenar los datos de trama en la primera zona de almacenamiento (12) o la segunda zona de almacenamiento (14) de forma alterna;
 - un controlador de barrido lineal (30) que tiene un puerto de entrada de señal de reloj externa para introducir señal de reloj externa, con el controlador de barrido lineal conectado lógicamente a la memoria intermedia de tipo ping-pong (11), para capturar de manera secuencial y circular una pluralidad de datos de línea en los datos de trama desde la primera zona de almacenamiento (12) o la segunda zona de almacenamiento (14);
 - una memoria intermedia de visualización (50), conectada lógicamente con el controlador de barrido lineal (30), para almacenar los datos de línea; y
 - un dispositivo de generación de señales (60) de modulación de anchura de pulsos aleatorizada (PWM), conectado lógicamente con la memoria intermedia de visualización (50) y el controlador de barrido lineal (30), para capturar los datos de línea y generar una señal PWM aleatorizada según los datos de línea, de manera que accione el dispositivo de visualización LED, donde la señal PWM aleatorizada comprende una señal principal y una señal de compensación y la modulación de anchura de pulsos aleatorizada comprende
 - un primer contador (41) para calcular una primera señal numérica;
 - un primer comparador (61), que tiene un primer extremo de entrada y un segundo extremo de entrada, donde el primer extremo de entrada se usa para introducir los primeros N bits más significativos (MSB) de los datos de línea, el segundo extremo de entrada se usa para introducir la primera señal numérica, y el primer comparador (61) emite la señal principal según el primer extremo de entrada y el segundo extremo de entrada;
 - un segundo contador (42) para emitir una segunda señal numérica, donde un valor de salida de la segunda señal numérica cambia en cada subperiodo; y
 - un segundo comparador (62), que tiene un tercer extremo de entrada y un cuarto extremo de entrada, donde el tercer extremo de entrada se usa para introducir los últimos L bits menos significativos (LSB) de los datos de línea, el cuarto extremo de entrada se usa para introducir la segunda señal numérica, y el segundo comparador (62) emite la señal de compensación según el tercer extremo y el cuarto extremo de entrada;
- 35 donde los datos de línea tienen M bits, después de que transcurra un periodo de cambio de línea de barrido, el dispositivo de generación de señales PWM aleatorizadas (60) captura otros datos de línea y genera otra señal PWM aleatorizada de acuerdo con los otros datos de línea, donde cada dato de trama se corresponde con una trama que se visualizará un número de veces T por trama de entrada, y
- 40 donde T es igual al número de subperiodo dentro de la trama.
2. El circuito de control de dispositivo de visualización de tipo barrido según la reivindicación 1, donde el periodo de cambio de línea de barrido es de 2^N ciclos más un periodo de tiempo muerto, y N es menor que M.
3. El circuito de control de dispositivo de visualización de tipo barrido según la reivindicación 2, donde se usa un periodo de la señal de reloj externa para controlar las longitudes del ciclo y el periodo de tiempo muerto.
4. El circuito de control de dispositivo de visualización de tipo barrido según la reivindicación 1, donde la memoria intermedia de visualización comprende:
- un primer subregistro (51), conectado lógicamente con el controlador de barrido lineal (30), para almacenar temporalmente los datos de línea de la primera zona de almacenamiento (12);
 - un segundo subregistro (52), conectado lógicamente con el controlador de barrido lineal (30), para almacenar temporalmente los datos de línea de la segunda zona de almacenamiento (14); y
 - un registro principal (53), para capturar los datos de línea del primer subregistro (51) o el segundo subregistro (52), donde el registro principal (53) está conectado lógicamente con el dispositivo de generación de señales PWM aleatorizadas (60).
5. El circuito de control de dispositivo de visualización de tipo barrido según la reivindicación 4, donde el

controlador de barrido lineal (30) tiene un puerto de introducción de instrucciones, cuando el puerto de introducción de instrucciones recibe una instrucción de conmutación de trama, el registro principal captura datos desde el primer subregistro (51) en lugar de desde el segundo subregistro (52) originalmente o desde el primer subregistro (51) en lugar de desde el segundo subregistro (52) originalmente.

5

6. El circuito de control de dispositivo de visualización de tipo barrido según la reivindicación 1, donde el periodo de cambio de línea de barrido es de 2^N ciclos, y N es menor que M.

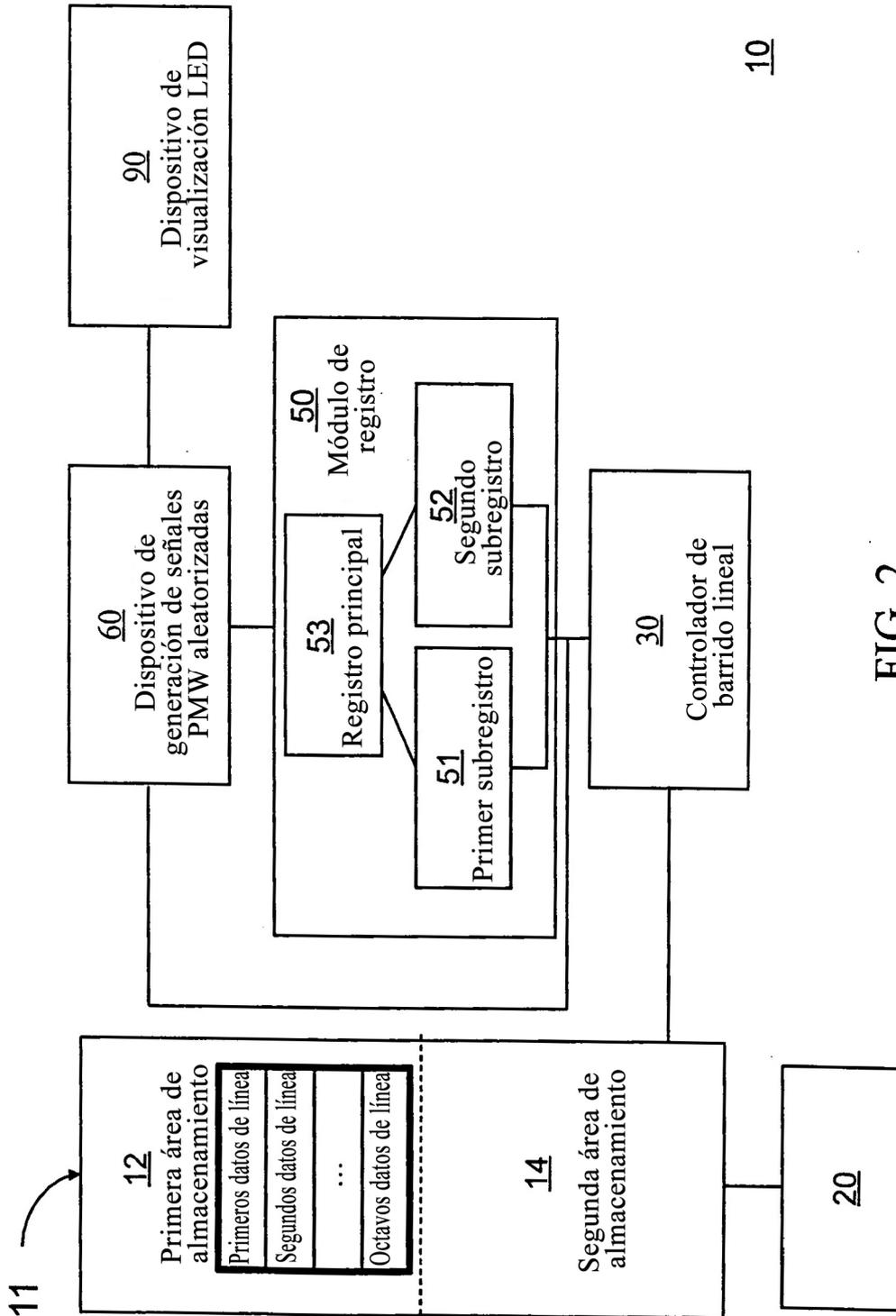


FIG. 2

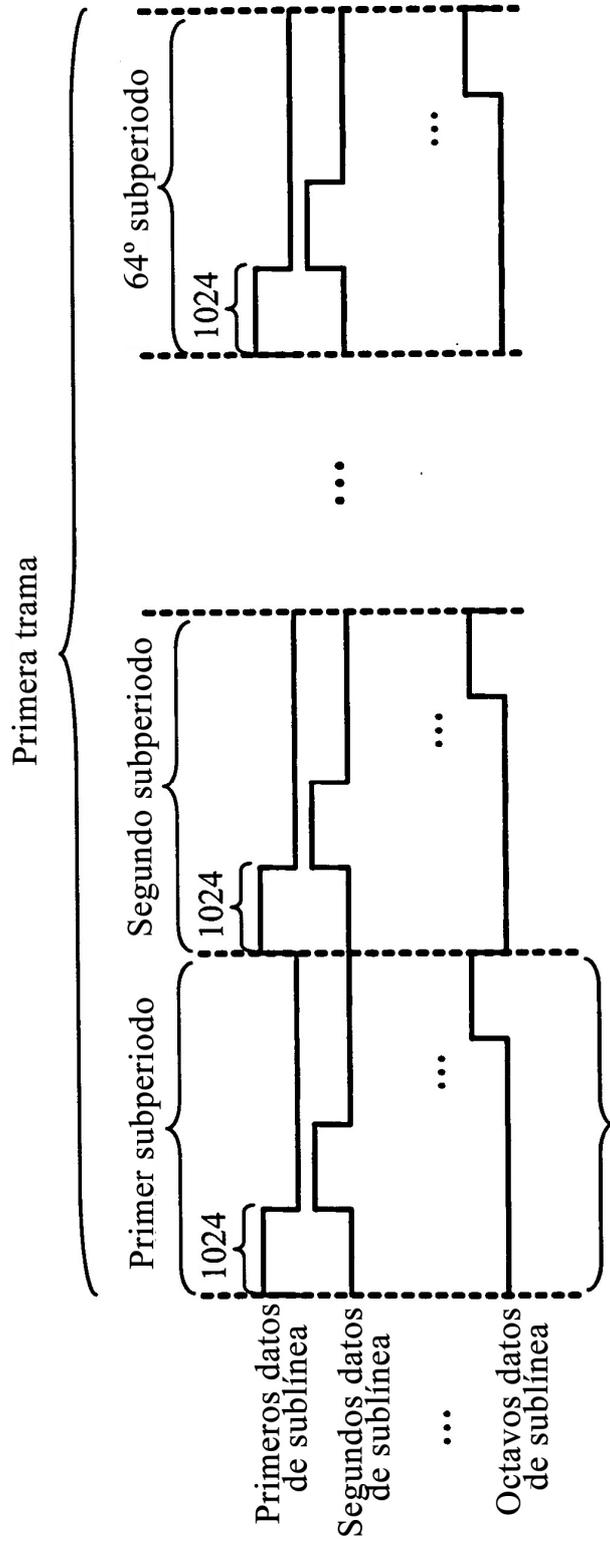


FIG. 3A

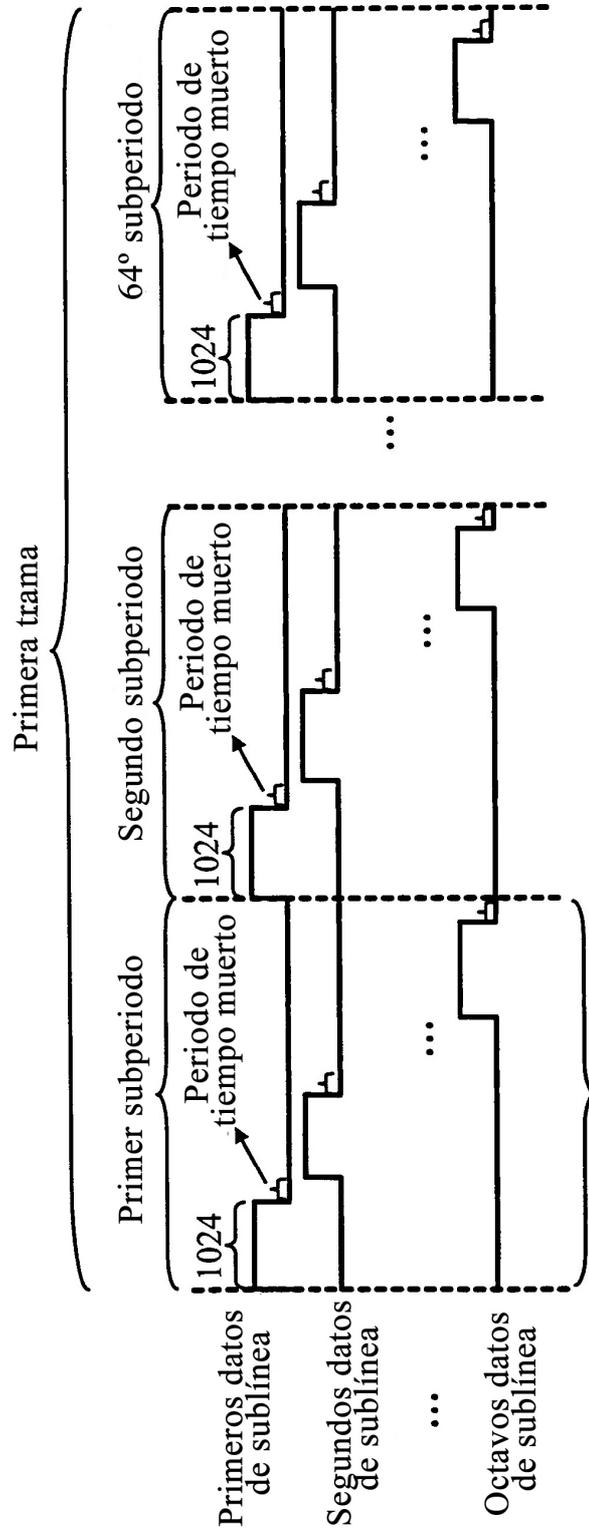


FIG. 3B

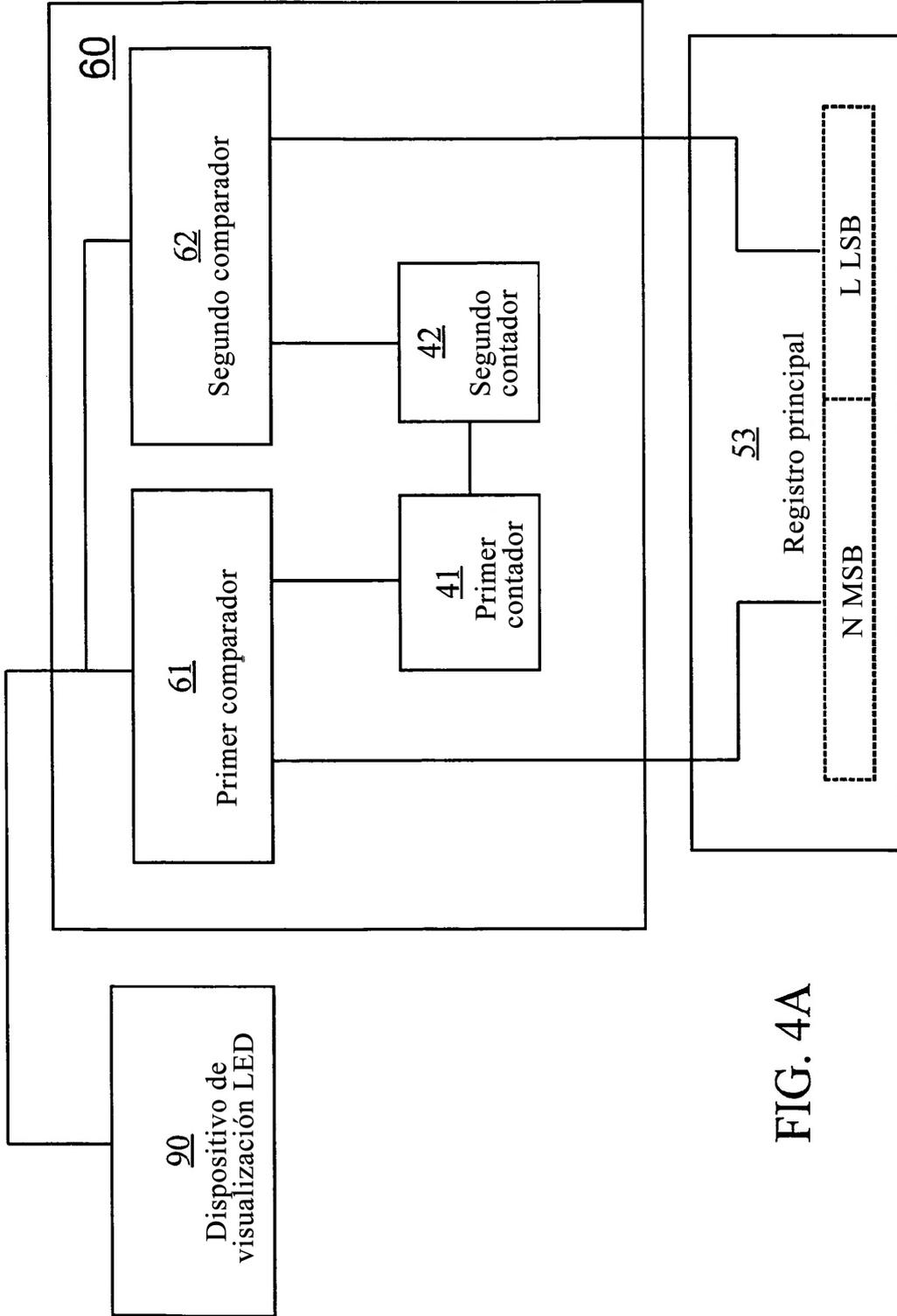


FIG. 4A

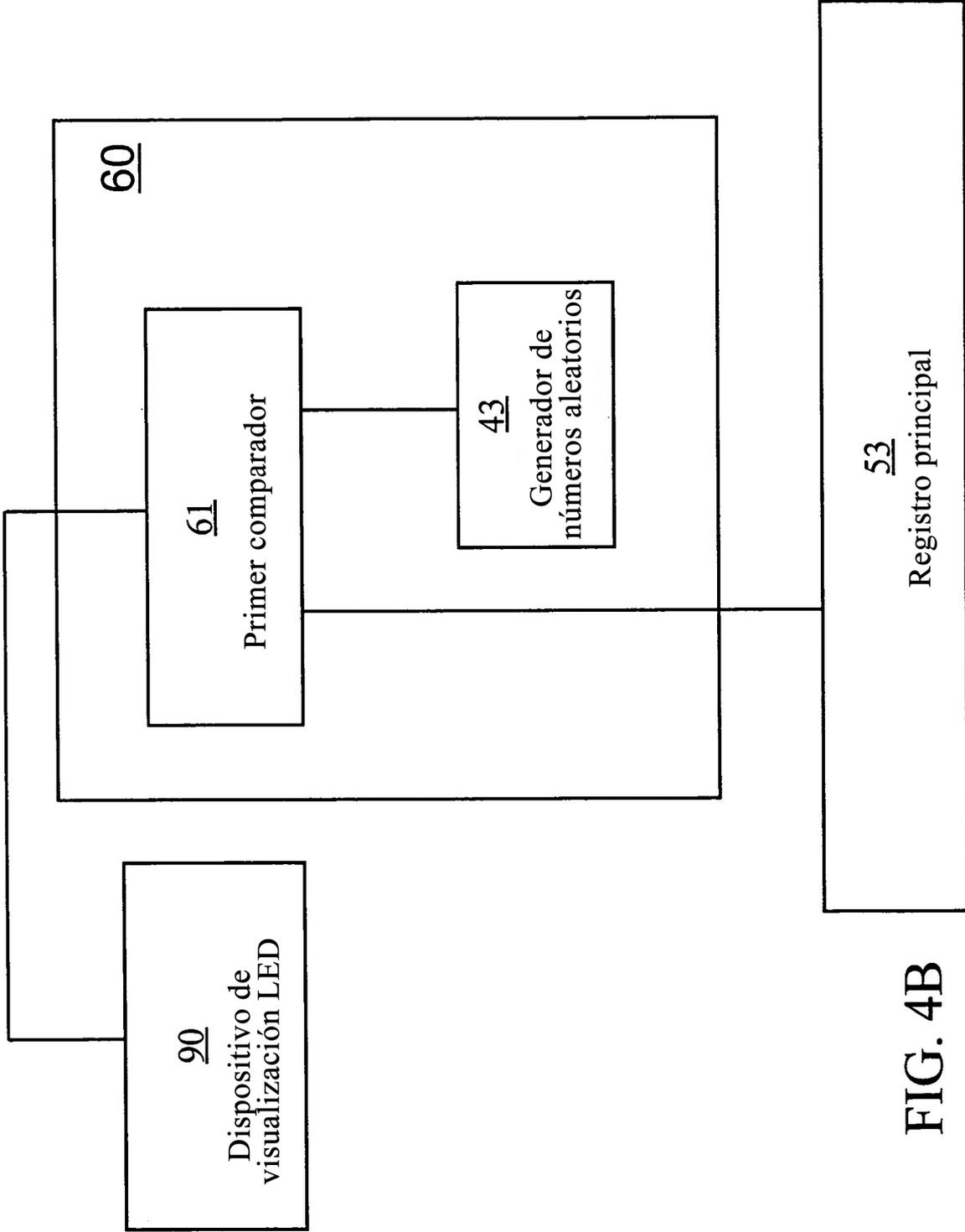


FIG. 4B

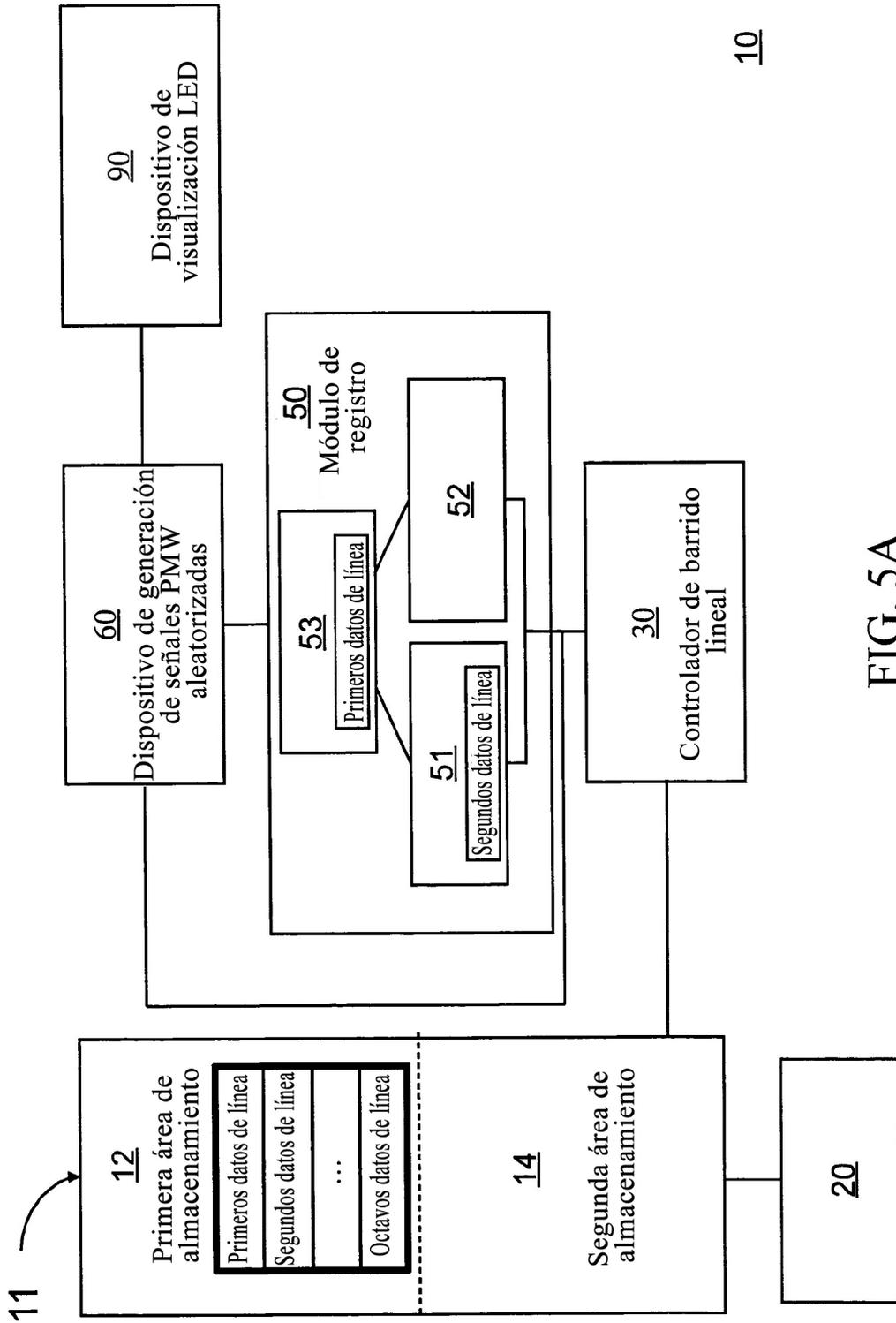


FIG. 5A

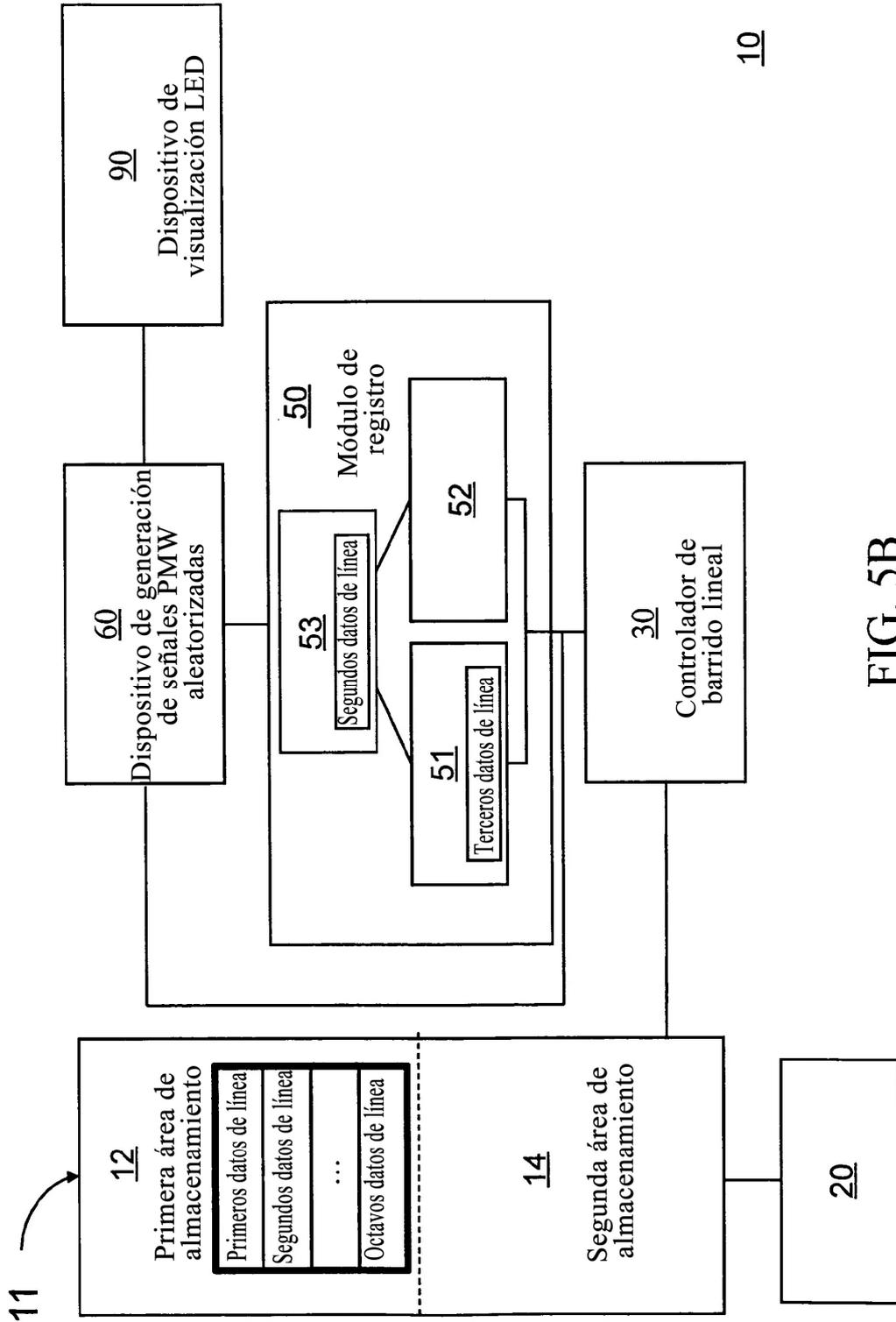


FIG. 5B

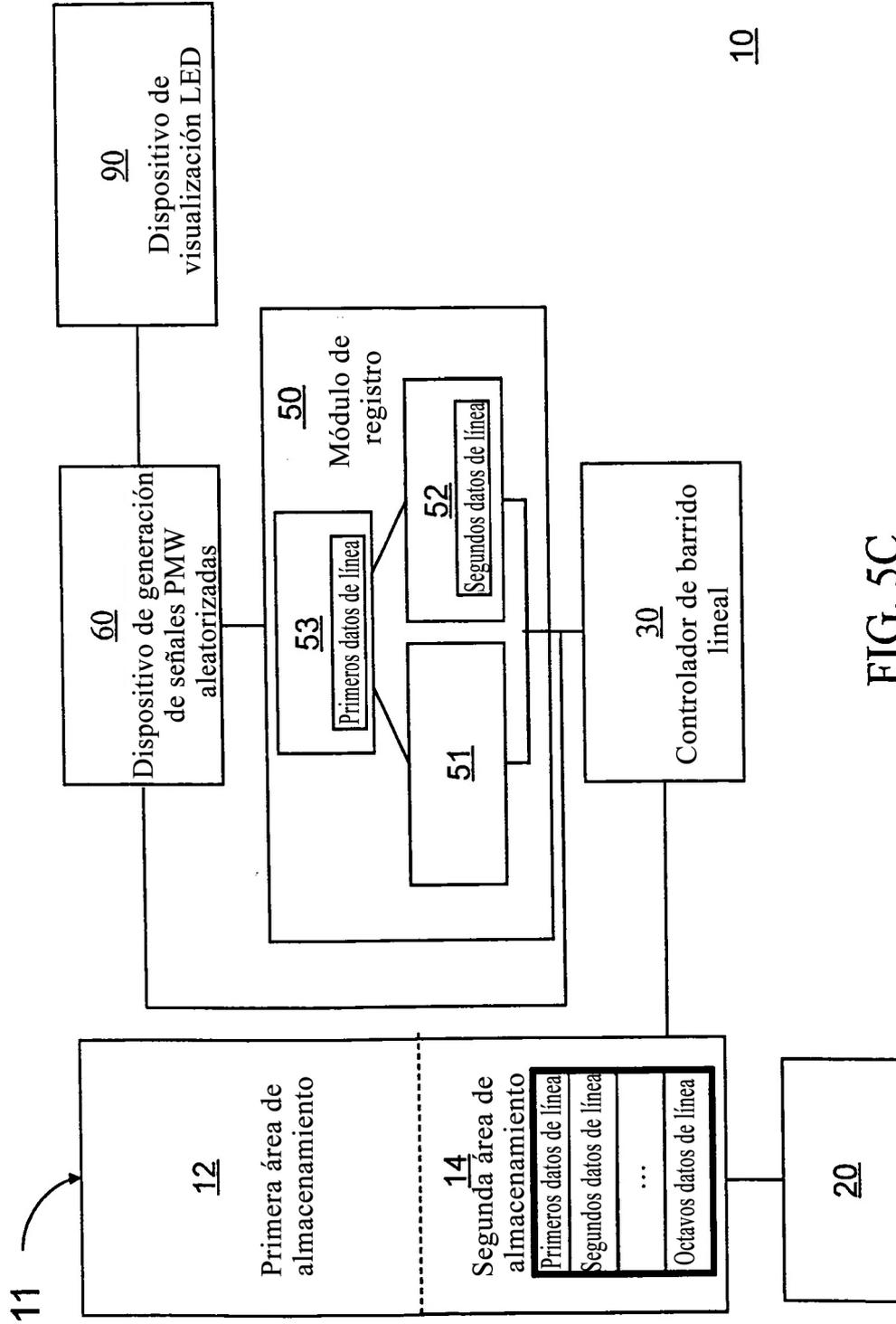


FIG. 5C

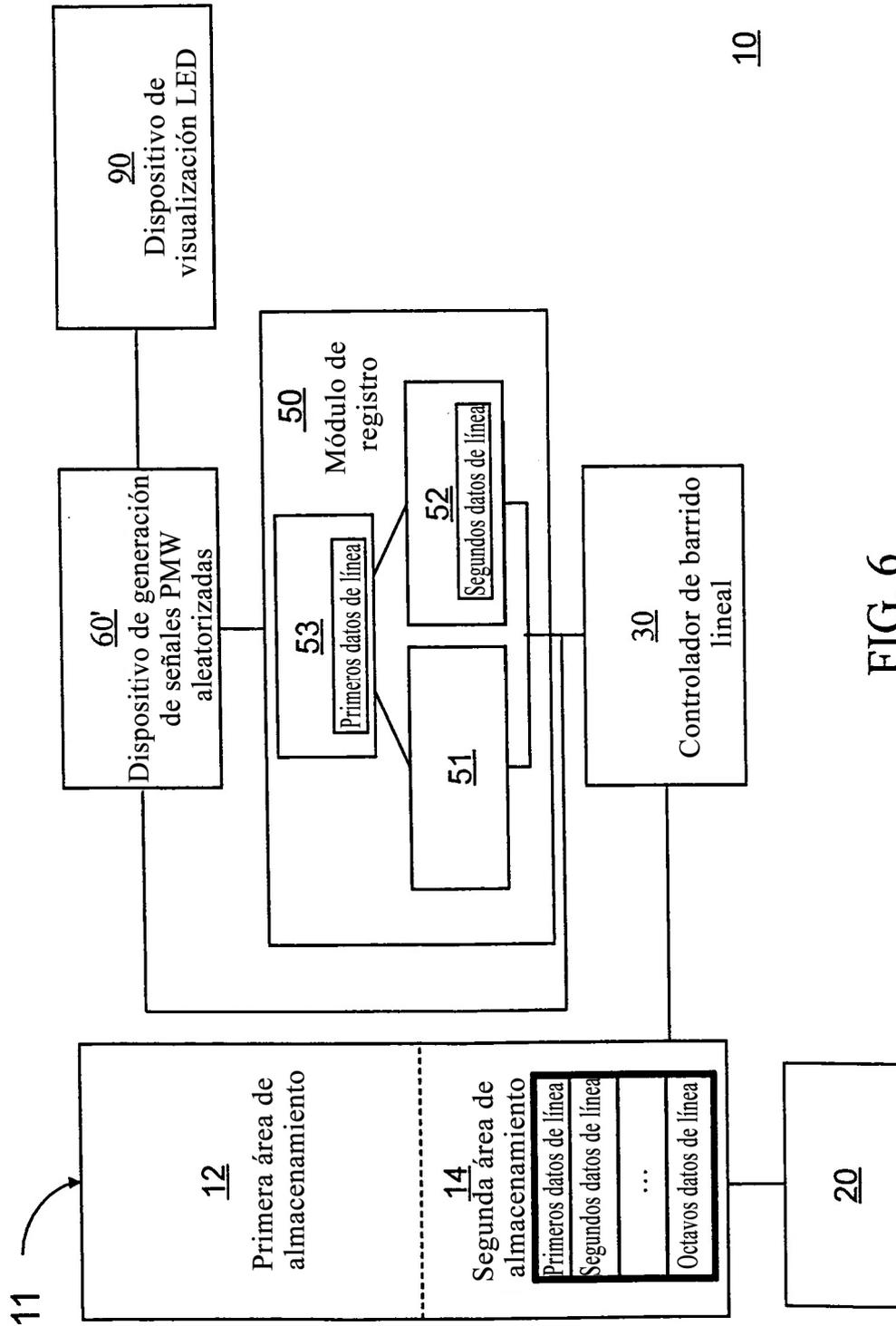


FIG. 6