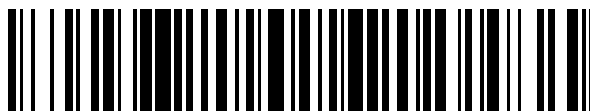


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 685 262**

51 Int. Cl.:

G11C 7/12 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **15.12.2008 PCT/US2008/086829**

87 Fecha y número de publicación internacional: **25.06.2009 WO09079455**

96 Fecha de presentación y número de la solicitud europea: **15.12.2008 E 08862363 (2)**

97 Fecha y número de publicación de la concesión europea: **06.06.2018 EP 2243140**

54 Título: **Mejora de estabilidad de lectura de memoria usando precarga selectiva de secciones de línea de bits**

30 Prioridad:

**15.12.2007 US 14038
15.12.2008 US 334817**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
08.10.2018

73 Titular/es:

**QUALCOMM INCORPORATED (100.0%)
Attn: International IP Administration 5775
Morehouse Drive
San Diego, CA 92121, US**

72 Inventor/es:

**ABU-RAHMA, MOHAMED H.;
CHABA, RITU;
CHEN, NAN y
YOON, SEI SEUNG**

74 Agente/Representante:

FORTEA LAGUNA, Juan José

ES 2 685 262 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Mejora de estabilidad de lectura de memoria usando precarga selectiva de secciones de línea de bits

5 **REFERENCIA CRUZADA A SOLICITUD RELACIONADA**

[0001] Esta solicitud reclama el beneficio de la solicitud estadounidense US20080334817.

10 **CAMPO TÉCNICO**

[0002] Esta divulgación generalmente se refiere a circuitos integrados (IC). Más específicamente, esta divulgación se refiere a dispositivos de memoria.

15 **ANTECEDENTES**

[0003] Un dispositivo de memoria, o memoria, generalmente puede describirse como hardware que puede almacenar datos para su posterior recuperación. Algunos dispositivos de memoria incluyen un conjunto de transistores utilizados para almacenar datos (representados, por ejemplo, por una carga eléctrica) y un conjunto de transistores utilizados para controlar el acceso al almacén de datos. Los tamaños de los transistores se han encogido hasta 45 nm y pronto alcanzarán los 32 nm. A medida que los tamaños han disminuido, el margen de errores aceptable durante la fabricación ha disminuido. Como resultado, los transistores fabricados exhiben una mayor variabilidad durante el funcionamiento.

[0004] El gran aumento en la variabilidad de las tecnologías de transistores ha afectado negativamente a los dispositivos de memoria y a su estabilidad de lectura. La estabilidad de lectura es la capacidad del dispositivo de memoria para retener los datos correctos cuando se accede a ellos en presencia de ruido. Comúnmente, la estabilidad de lectura se mide usando el margen de ruido estático (SNM). Las grandes variaciones en los transistores fabricados provocan una reducción en el margen de ruido estático del dispositivo de memoria. Esta reducción en el margen de ruido estático disminuye la robustez y la tolerancia de la célula de bits frente al ruido, y por lo tanto, reduce el rendimiento de la memoria debido a fallos incrementados.

[0005] Reducir ligeramente el voltaje de línea de bits de un dispositivo de memoria en comparación con el voltaje de suministro mejora significativamente el margen de ruido estático del dispositivo de memoria. Sin embargo, en los diseños de memoria, la línea de bits generalmente está precargada hasta un voltaje de suministro antes de acceder a la memoria. Ha habido varios intentos de reducir el voltaje de la línea de bits para mejorar la estabilidad de lectura. Los intentos anteriores han mostrado una gran sensibilidad a las variaciones de proceso, temperatura y voltaje durante la fabricación, que pueden limitar su efectividad para mejorar la estabilidad de lectura. Algunos de estos intentos incluyen el esquema de línea de bits pulsada, los voltajes de suministro dual y la polarización celular dinámica.

[0006] En un esquema de línea de bits pulsada, un dispositivo reductor está conectado a la línea de bits. Después de precargar la línea de bits hasta el voltaje de suministro, se aplica un pulso estrecho en el dispositivo reductor, que reduce el voltaje de la línea de bits y mejora la estabilidad de lectura. Esta técnica es muy sensible a la generación de este pulso estrecho, especialmente porque el ancho del pulso variará con las variaciones de proceso, voltaje y temperatura durante la fabricación de los transistores y las variaciones ambientales.

[0007] Otro intento utiliza dos voltajes de suministro, uno para la célula de bits, y otro para la línea de bits, donde el voltaje de la línea de bits es menor que el voltaje de la célula de bits. Agregar voltajes de suministro adicionales es una tarea difícil y complica el diseño físico y la verificación del chip.

[0008] Otro intento más para reducir el voltaje de la línea de bits incluye el uso de un dispositivo de NMOS para precargar la línea de bits, para reducir el voltaje de la línea de bits en el voltaje de umbral del dispositivo de NMOS. En este caso, se usa un dispositivo de NMOS de bajo voltaje de umbral, lo que aumenta la complejidad y el coste del proceso, por ejemplo, al requerir máscaras adicionales. Además, el voltaje de umbral tiene una fuerte dependencia de las variaciones de proceso, voltaje y temperatura.

[0009] Estos tres intentos para mejorar la estabilidad de lectura de memoria son sensibles a las variaciones de fabricación y, como tales, son difíciles de implementar y su implementación es costosa. Tal coste se incrementa aún más cuando se implementan múltiples voltajes de suministro o un dispositivo de NMOS en los circuitos de precarga. Por lo tanto, existe la necesidad de una estabilidad de lectura mejorada en diseños de memoria que disminuyan la sensibilidad a las variaciones de fabricación sin incurrir en un coste adicional. El documento US 2004/0141362 describe que un aparato que tiene una línea de bits ficticia para disminuir una corriente aparente obtiene capacidad de un transistor de acceso y aumenta el margen de ruido estático. La patente japonesa JP03102698, publicada el 30-04-1991, divulga una SRAM con compartición de carga entre una línea de bits de una célula de bits y una línea de datos común, en donde la línea de datos común está precargada hasta el potencial de tierra y conectada a la línea de bits de la célula de bits en una operación de acceso de lectura.

BREVE RESUMEN

5 [0010] De acuerdo a la invención, se proporciona un dispositivo de memoria de acuerdo a la reivindicación 1; y un procedimiento para hacer funcionar una memoria de acuerdo a la reivindicación 8. De acuerdo a un aspecto de esta divulgación, un dispositivo de memoria incluye una línea de bits que tiene una primera sección y una segunda sección. El dispositivo de memoria también incluye un circuito de compartición de carga acoplado selectivamente a la primera sección y a la segunda sección, en donde el circuito de compartición de carga está configurado para acoplar y desacoplar la primera sección a la segunda sección.

10 [0011] De acuerdo a otro aspecto de esta divulgación, un procedimiento de operación de un dispositivo de memoria incluye precargar una primera sección de una línea de bits hasta un primer voltaje y precargar una segunda sección de la línea de bits hasta un segundo voltaje. El segundo voltaje es diferente al primer voltaje. El procedimiento también incluye compartir carga entre la primera sección de la línea de bits y la segunda sección de la línea de bits.

15 [0012] De acuerdo a otro aspecto más de esta divulgación, un dispositivo de memoria incluye medios para precargar una primera sección de una línea de bits hasta un primer voltaje. El dispositivo de memoria también incluye medios para precargar una segunda sección de la línea de bits hasta un segundo voltaje. El dispositivo de memoria incluye además medios para compartir carga entre la primera sección de la línea de bits y la segunda sección de la línea de bits.

20 [0013] De acuerdo a un aspecto adicional de la divulgación, un procedimiento para operar un dispositivo de memoria, que tiene una línea de bits que incluye una primera sección y una segunda sección, incluye la etapa de precargar una primera sección de una línea de bits hasta un primer voltaje. El procedimiento incluye además la etapa de precargar la segunda sección de la línea de bits hasta un segundo voltaje, que difiere del primer voltaje. El procedimiento también incluye la etapa de compartir carga entre la primera sección de la línea de bits y la segunda sección de la línea de bits, para obtener un nivel de voltaje entre el primer voltaje y el segundo voltaje.

25 [0014] Esto ha esbozado, algo vagamente, las características y las ventajas técnicas de la presente divulgación con el fin de que pueda entenderse mejor la siguiente descripción detallada. A continuación se describirán características y ventajas adicionales de la divulgación. Debería ser apreciado por los expertos en la técnica que esta divulgación puede utilizarse inmediatamente como base para modificar o diseñar otras estructuras para llevar a cabo los mismos propósitos de la presente divulgación. Los expertos en la técnica también deberían darse cuenta de que dichas estructuras equivalentes no se apartan de las enseñanzas de la divulgación, según se expone en las reivindicaciones adjuntas. Los rasgos novedosos, que se cree que son característicos de la divulgación, tanto en lo que respecta a su organización como al procedimiento de funcionamiento, junto con los objetos y ventajas adicionales, se comprenderán mejor a partir de la siguiente descripción cuando se considere en relación con las figuras adjuntas. No obstante, debe comprenderse expresamente que cada una de las figuras se proporciona solo con fines de ilustración y descripción, y no pretende ser una definición de los límites de la presente divulgación.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

30 [0015] Para una comprensión más completa de la divulgación en la presente solicitud, ahora se hace referencia a las siguientes descripciones tomadas conjuntamente con los dibujos adjuntos.

35 La Figura 1 es una ilustración de un sistema de comunicación inalámbrica ejemplar en el que se puede emplear ventajosamente una realización de la divulgación.

40 La Figura 2A es un esquema de circuito que ilustra un esquema convencional de línea de bits pulsada, para una estabilidad de SRAM mejorada.

45 La Figura 2B es un diagrama de temporización que ilustra un esquema convencional de línea de bits pulsada, para una estabilidad de SRAM mejorada.

50 La Figura 3 es un diagrama de circuito que ilustra la operación de precarga inicial en la técnica de precarga selectiva ejemplar, de acuerdo a una realización de la divulgación.

55 La Figura 4 es un diagrama de circuito que ilustra la operación de compartición de carga en la técnica de precarga selectiva ejemplar, de acuerdo a una realización de la divulgación.

60 La Figura 5 es un diagrama de circuito que ilustra la selección de una célula de bits para una operación de lectura o escritura, de acuerdo a una realización de la divulgación.

65 La Figura 6 es un diagrama de circuito que ilustra la precarga de líneas de bits hasta diferentes voltajes, en la técnica de precarga selectiva ejemplar, de acuerdo a una realización de la divulgación.

La Figura 7 es un diagrama de temporización que ilustra la operación de precarga selectiva ejemplar, de acuerdo a una realización de la divulgación.

5 La Figura 8 es un esquema de circuito de un circuito para implementar la técnica ejemplar de precarga selectiva, de acuerdo a una realización de la divulgación.

La Figura 9 es un diagrama de bloques que ilustra una estación de trabajo de diseño, utilizada para el diseño de circuitos, disposición y lógica del circuito integrado semiconductor divulgado.

10 **DESCRIPCIÓN DETALLADA**

15 **[0016]** La Figura 1 muestra un sistema de comunicación inalámbrica ejemplar 100 en el que se puede emplear ventajosamente una realización de la divulgación. Con fines ilustrativos, la figura 1 muestra tres unidades remotas 120, 130 y 150 y dos estaciones base 140. Se reconocerá que los típicos sistemas de comunicación inalámbrica pueden tener muchas más unidades remotas y estaciones base. Las unidades remotas 120, 130 y 150 incluyen dispositivos de memoria 125A, 125B y 125C, creados de acuerdo a una realización de la divulgación. La Figura 1 muestra las señales de enlace directo 180 desde las estaciones base 140 y las unidades remotas 120, 130 y 150, y las señales de enlace inverso 190 desde las unidades remotas 120, 130 y 150 a las estaciones base 140.

20 **[0017]** En la figura 1, la unidad remota 120 se muestra como un teléfono móvil, la unidad remota 130 se muestra como un ordenador portátil y la unidad remota 150 se muestra como una unidad remota de ubicación fija en un sistema de bucle local inalámbrico. Por ejemplo, las unidades remotas pueden ser teléfonos celulares, unidades manuales de sistemas de comunicación personal (PCS), unidades de datos portátiles, tales como asistentes de datos personales, o unidades de datos de ubicación fija, tales como equipos de lectura de contadores. Aunque la figura 1 ilustra unidades remotas de acuerdo a las enseñanzas de la divulgación, la divulgación no está limitada a estas unidades ejemplares ilustradas. La divulgación puede emplearse adecuadamente en cualquier dispositivo que incluya dispositivos de memoria fabricados de acuerdo a las enseñanzas de la divulgación.

30 **[0018]** La figura 2A es un esquema de circuito que ilustra un esquema convencional de línea de bits pulsada para una estabilidad de memoria mejorada. Un circuito 20 incluye una célula de bits 21 configurada para almacenar datos y está acoplada a circuitos adicionales para controlar el comportamiento de lectura y escritura del circuito 20. La célula de bits 21 puede ser una célula de almacenamiento de seis transistores. Una señal de precarga, PCH, está acoplada a un circuito de precarga 22. El circuito de precarga 22 incluye un transistor 221 acoplado a una línea de bits, BL, un transistor 222 acoplado a una línea de bits inversa, BLB, y un transistor 223 acoplado tanto a la línea de bits, BL, como a la línea de bits inversa, BLB. Una señal de pulso, PULSE, está acoplada a un circuito reductor 23. El circuito reductor 23 incluye un transistor 231 acoplado a la línea de bits, BL, un transistor 232 acoplado a la línea de bits inversa, BLB, y un transistor 233 acoplado tanto a la línea de bits, BL, como a la línea de bits inversa, BLB.

40 **[0019]** Con fines ilustrativos, se describirá ahora el funcionamiento del esquema convencional de línea de bits pulsada. La Figura 2B es un diagrama de temporización que ilustra un esquema convencional de línea de bits pulsada, para mejorar la estabilidad de la memoria. El circuito 20 comienza en un momento 251 cuando la señal de precarga, PCH, es baja y el transistor 221 levanta la línea de bits, BL, hasta un voltaje de alimentación, V_{DD} , y el transistor 222 levanta la línea de bits inversa, BLB, hasta el voltaje de alimentación, V_{DD} . En un momento 252, la señal de precarga, PCH, está activada, apagando el transistor 221, el transistor 222 y el transistor 223 para desconectar la línea de bits, BL, y la línea de bits inversa, BLB, del voltaje de alimentación, V_{DD} . En el momento 252, se genera un pulso positivo estrecho en la señal de pulso, PULSE. La señal de pulso, PULSE, enciende el transistor 231 y el transistor 232 para acoplar la línea de bits, BL, y la línea de bits inversa, BLB, a una descarga a tierra 206. El transistor 233 se apaga para desconectar la línea de bits, BL, de la línea de bits inversa, BLB. Se produce una reducción de voltaje en la línea de bit, BL, y en la línea de bits inversa, BLB. En un momento 253, la señal de pulso, PULSE, vuelve a ser baja, por lo que la línea de bits, BL, y la línea de bits inverso, BLB, detienen la reducción de voltaje. Aunque esta técnica reduce el voltaje de la línea de bits para mejorar la estabilidad de lectura, esta técnica es muy sensible a la generación del pulso estrecho, especialmente porque el ancho del pulso variará fuertemente con las variaciones de proceso, voltaje y temperatura durante la fabricación de los transistores.

55 **[0020]** Con referencia ahora a la figura 3, la figura 4 y la figura 5, ahora se describirá una técnica ejemplar de precarga selectiva mejorada. La técnica de precarga selectiva reduce el voltaje de la línea de bits, para mejorar la estabilidad de lectura, sin ser tan sensible a las variaciones de proceso, voltaje y temperatura. El voltaje de la línea de bits se reduce compartiendo la carga entre las secciones de la línea de bits que se acoplan selectivamente para permitir la compartición durante las operaciones de lectura y escritura. Aunque se describirán dispositivos de memoria SRAM, la técnica de precarga selectiva se puede aplicar a cualquier diseño de memoria, incluyendo, pero sin limitarse a, SRAM, DRAM o MRAM.

65 **[0021]** Las diferentes partes de la línea de bits se precargan hasta diferentes voltajes (por ejemplo, V_{DD} y GND) y, mediante la compartición de carga, se logra el valor final requerido del voltaje de línea de bits. En una realización, la operación de compartición de carga está dividida en tres partes. Primero, como se ilustra en la Figura 3, la parte superior de la línea de bits se precarga hasta V_{DD} mientras que la parte inferior de la línea de bits se precarga hasta

GND. A continuación, como se ilustra en la Figura 4, los interruptores de compartición de carga se activan para permitir la compartición de carga entre las partes superior o inferior de las líneas de bits. Por lo tanto, el voltaje final de la línea de bits estará determinado por la razón de capacitancia entre C_{BL} y C_2 . Finalmente, según lo ilustrado por la Figura 5, la compartición de carga se desactiva para todas las columnas, mientras que el interruptor permanece encendido para una columna seleccionada para una operación de lectura o escritura.

[0022] La Figura 3 es un diagrama de bloques que ilustra la operación de precarga inicial en la técnica ejemplar de precarga selectiva. Un diagrama de bloques 30 incluye una línea de bits superior 31 junto con la capacitancia asociada, ilustrada por un condensador 311, con un valor C_{BL} . Una línea de bits inferior 33 tiene asociada la capacitancia ilustrada por un condensador 331, con el valor de C_2 . La línea de bits superior 31 y la línea de bits inferior 33 están acopladas a un conmutador de multiplexado 32. En el diagrama de bloques 30, el conmutador de multiplexado 32 está abierto durante la precarga inicial para permitir que la línea de bits superior 31 se precargue hasta un voltaje de alimentación, V_{DD} , y que la línea de bits inferior 33 se precargue hasta una descarga a tierra, GND. Adicionalmente, las células de bits 34 se acoplan a la línea de bits superior 31. En otra realización, las células de bits 34 pueden acoplarse a la línea de bits inferior 33.

[0023] La Figura 4 es un diagrama de bloques que ilustra la operación de compartición de carga en la técnica ejemplar de precarga selectiva. Un diagrama de bloques 40 incluye la línea de bits superior 31, la capacitancia representada por el condensador 311, la línea de bits inferior 33, la capacitancia representada por el condensador 331 y el conmutador de multiplexado 32. La operación de compartición de carga se produce cerrando el conmutador de multiplexado 32 para acoplar la línea de bits superior 31 a la línea de bits inferior 33. Un voltaje final, V_{BL} , en la combinación de la línea de bits superior 31 y la línea de bits inferior 33, es una función del voltaje inicial en la línea de bits superior 31, el voltaje inicial en la línea de bits inferior 33, el condensador 311 y el condensador 331, como se indica,

$$V_{BL} = \frac{V_{DD} * (N * C_{BL})}{N * C_{BL} + C_2} = \frac{V_{DD}}{1 + 1/N * C_2 / C_{BL}},$$

donde N es el número de pares de líneas de bits conectados al conmutador de multiplexado 32.

[0024] La Figura 5 es un diagrama de bloques que ilustra la desactivación de la compartición de carga en la técnica ejemplar de precarga selectiva. Un diagrama de bloques 50 incluye la línea de bits superior 31, la capacitancia representada por el condensador 311, la línea de bits inferior 33, la capacitancia representada por el condensador 331 y el conmutador de multiplexado 32. El conmutador de multiplexado 32 se abre para desconectar la línea de bits superior 31 de la línea de bits inferior 33 después de que se haya completado la compartición de carga. Esta apertura inhabilita la operación de compartición de carga para que los datos puedan leerse o escribirse en la célula de bits 34. Un conmutador de multiplexado 52 permanece cerrado debido a que se ha seleccionado una célula de bits 54 para una operación de lectura o escritura.

[0025] La Figura 6 es un diagrama de bloques que ilustra la precarga de líneas de bits hasta diferentes voltajes en la técnica ejemplar de precarga selectiva, según otra realización de la divulgación. En esta realización, no todas las líneas de bits superiores están cargadas hasta el voltaje de suministro, V_{DD} . Un diagrama de bloques 60 incluye la línea de bits superior 31, la capacitancia representada por el condensador 311, la línea de bits inferior 33, la capacitancia representada por el condensador 331 y el conmutador de multiplexado 32. La línea de bits superior 31 está precargada hasta el voltaje de alimentación, V_{DD} , y la línea de bits inferior 33 está precargada hasta la descarga a tierra, GND. En esta realización, cada línea de bits superior puede precargarse hasta un voltaje diferente. Por ejemplo, una línea de bits superior 61 está precargada hasta la descarga a tierra, GND. Por lo tanto, cuando se produce la compartición de carga, las líneas de bits superiores y las líneas de bits superiores inversas tendrán un voltaje final inferior en comparación con cuando todas las líneas de bits superiores están precargadas hasta el voltaje de alimentación, V_{DD} . Se pueden cargar líneas de bits adicionales hasta la descarga a tierra, GND, el voltaje de alimentación, V_{DD} , u otros voltajes de alimentación (no mostrados) para obtener un voltaje final adecuado.

[0026] La Figura 7 es un diagrama de temporización que ilustra la operación de precarga selectiva. El funcionamiento de la precarga selectiva en una línea de bits superior, BL_U , una línea de bits superior inversa, BL_{BU} , una línea de bits inferior, BL_L y una línea de bits inferior inversa, BL_{BL} es controlado por una señal de precarga, PRECHG, una señal de multiplexado, MUX_STATE, y una señal de compartición de carga, CH_SH. Una señal de línea de palabras, WL, permite el acceso a la línea de bits superior, BL_U , la línea de bits superior inversa, BL_{BU} , la línea de bits inferior, BL_L y la línea de bits inferior inversa, BL_{BL} . Un estado inicial del circuito está en un momento 711 cuando la señal de precarga, PRECHG, la señal de multiplexado, MUX_STATE, la señal de compartición de carga, CH_SH, y la línea de palabras, WL, están bajas. La línea de bits inferior, BL_L y la línea de bits inferior inversa, BL_{BL} se predescargan a tierra, y la línea de bits superior, BL_U , y la línea de bits superior inversa, BL_{BU} , se precargan hasta un voltaje de alimentación, V_{DD} . El nivel de voltaje de suministro se indica mediante la línea discontinua punteada.

[0027] Después de que la señal de precarga, PRECHG, quedó alta (desactivando un circuito de precarga), la

compartición de carga se habilita cuando la señal de multiplexado, MUX_STATE, está baja. Como resultado, en un momento 712, la señal de compartición de carga, CH_SH, queda alta. La línea de bits superior, BL_U, y la línea de bits superior inversa, BLB_U, reducen el voltaje hacia tierra, GND, en respuesta a la compartición de carga. Además, la línea de bits inferior, BL_L, y la línea de bits inferior inversa, BLB_L, aumentan el voltaje hacia el voltaje de alimentación, V_{DD}. La señal de multiplexado, MUX_STATE, queda alta poco antes de un momento 713 que indica el final de una operación de compartición de carga. Como resultado, la señal de compartición de carga, CH_SH, queda baja en el momento 713, completando la operación de compartición de carga. Los voltajes de la línea de bits superior, BL_U, la línea de bits superior inversa, BLB_U, la línea de bits inferior, BL_L, y la línea de bits inferior inversa, BLB_L, se estabilizan en el momento 713 cuando finaliza la operación de compartición de carga. Las reducciones en los voltajes de la línea de bits superior, BL_U, y la línea de bits superior inversa, BLB_U, aumentan la estabilidad de lectura de la memoria.

[0028] En un momento 714, la línea de palabras, WL, queda alta, indicando que se ha iniciado una operación de lectura. El voltaje en la línea de bits superior, BL_U, la línea de bits inversa superior, BLB_U, la línea de bits inferior, BL_L, y la línea de bits inversa inferior, BLB_L, descargan hacia tierra, GND. En un momento 715 después de que la operación de lectura se haya completado y que la línea de palabras, WL, se haya quedado baja, la señal de precarga, PRECHG, queda baja. Como resultado, la línea de bits superior, BL_U, y la línea de bits superior inversa, BLB_U, se precargan hasta el voltaje de alimentación, V_{DD}, y la línea de bits inferior, BL_L, y la línea de bits inferior inversa, BLB_L, son predescargadas a tierra, GND. Poco antes de un momento 716, la señal de multiplexado, MUX_STATE, quedó baja, devolviendo todas las señales a su estado inicial en el momento 716.

[0029] La Figura 8 es un esquema de circuito de un circuito para implementar la técnica ejemplar de precarga selectiva, de acuerdo a una realización de la divulgación. Un circuito 80 incluye una línea de bits superior 85, BL_U, y una línea de bits superior inversa 87, BLB_U, configurada para acceder a las células de bits 84. Adicionalmente, el circuito 80 incluye una línea de bits inferior 86, BL_L, y una línea de bits inferior inversa 88, BLB_L. Aunque las células de bits 84 se muestran conectadas a las líneas de bits superiores 85, 87, las células de bits 84 también se podrían conectar a las líneas de bits inferiores 86, 88. Un circuito de habilitación de compartición de carga 81, configurado para activar la compartición de carga, está acoplado a la señal de multiplexado, MUX_STATE, y a la señal de precarga, PRECHRG, y emite una señal de compartición de carga, CH_SH. El circuito habilitador de compartición de carga 81 incluye un inversor 812 acoplado a la señal de multiplexado, MUX_STATE, una compuerta NAND 814 acoplada a la salida del inversor 812 y a la señal de precarga, PRECHRG, y un inversor 816 acoplado a la salida de la compuerta NAND 814. El circuito de habilitación de compartición de carga 81 ilustrado es solo una combinación posible de compuertas lógicas capaces de activar la compartición de carga. Un circuito de precarga 891 está acoplado a las líneas de bits superiores 85, 87 y un circuito de reducción 892 está acoplado a las líneas de bits inferiores 86, 88. El circuito de precarga 891 y el circuito de reducción 892 pueden controlarse mediante la señal de precarga, PRECHRG.

[0030] La señal de compartición de carga, CH_SH, y una señal de selección, SEL_n, son entradas a una compuerta NOR 82, para controlar un circuito de compartición de carga 83. El circuito de compartición de carga 83 está activo cuando la señal de compartición de carga, CH_SH, está alta. Cuando el circuito de compartición de carga está activo, la línea de bits superior 85 está acoplada a la línea de bits inferior 86 y la línea de bits superior 87 está acoplada a la línea de bits inferior 88. La señal de selección, SEL_n, se usa para seleccionar células de bits para operaciones de lectura o escritura. Aunque solo se muestran una señal de selección, SEL_n, una línea de bits superior, BL_U, una línea de bits superior inversa, BLB_U, una línea de bits inferior, BL_L y una línea de bits inferior inversa, BLB_L, se pueden incorporar muchas más en el circuito 80. Además, se pueden incorporar muchas más células de bits en el circuito 80.

[0031] El funcionamiento del circuito 80 se describirá ahora junto con el diagrama de temporización 70. En el momento 711, la señal de precarga, PRECHG, está baja y la señal de multiplexado, MUX_STATE, está baja. La salida del circuito de habilitación de compartición de carga 81, CH_SH, estará baja. Las líneas de bits superiores 85, 87 se precargan hasta el voltaje de alimentación, V_{DD}, y las líneas de bits inferiores 86, 88 se precargan hasta la descarga a tierra. En el momento 712 después de que la señal de precarga, PRECHG, queda alta (desactivando los circuitos de precarga) mientras que la señal de multiplexado, MUX_STATE, permanece baja, la salida del circuito de habilitación de compartición de carga 81, CH_SH, queda alta. Esto hace que la compuerta NOR 82 controle los circuitos de compartición de carga 83 para acoplar las líneas de bits superiores 85, 87 a las líneas de bits inferiores 86, 88, lo que lleva a una reducción del voltaje en la línea de bits superior, BL_U, y en la línea de bits superior inversa, BLB_U. En el momento 713, después de que la señal de multiplexado, MUX_STATE, queda alta, la salida del circuito de habilitación de compartición de carga 81, CH_SH, queda baja. Este cambio hace que los circuitos de compartición de carga 83 desacoplen las líneas de bits superiores 85, 87 de las líneas de bits inferiores 86, 88, terminando la compartición de carga. En el momento 714, se accede a las células de bits 84 (en respuesta a la señal de línea de escritura, WL) y se produce una operación de lectura o escritura.

[0032] La técnica de compartición de carga, según lo descrito por esta divulgación, mejora la estabilidad de lectura de la memoria reduciendo el voltaje de la línea de bits desde el voltaje de suministro. El voltaje de la línea de bits se reduce precargando una sección de la línea de bits hasta un primer voltaje y una segunda sección de la línea de bits hasta un segundo voltaje. Un circuito de compartición de carga acopla luego selectivamente las dos secciones para

alcanzar un voltaje de línea de bits entre los voltajes primero y segundo. El voltaje final depende, en parte, de la capacitancia relativa de las dos secciones de la línea de bits; por lo tanto, cualquier variación de fabricación en los dispositivos no afecta el funcionamiento de la compartición de carga. En una realización, la primera sección es la línea de bits superior y la segunda sección es la línea de bits inferior.

[0033] Una ventaja de esta divulgación es la estabilidad de lectura mejorada al reducir el voltaje de la línea de bits. Se puede elegir un nivel de voltaje preciso para las líneas de bits. Como se ha mencionado anteriormente, una reducción en el voltaje de la línea de bits mejora el margen de ruido estático (SNM) del dispositivo de memoria. Tanto las células de bits accedidas como las células de bits semi-seleccionadas mejoran, porque todas las líneas de bits ven un voltaje más bajo en comparación con el voltaje de suministro de la célula de bits. Las células de bits semi-seleccionadas son células seleccionadas por una línea de palabras activada, pero no seleccionadas por sus líneas de bits.

[0034] Una segunda ventaja de esta divulgación es la robustez de diseño superior. La divulgación no depende del voltaje de umbral del transistor y de la temporización de una señal crítica.

[0035] Una tercera ventaja de esta divulgación es la tolerancia a la variación del proceso. La solución propuesta depende de los valores de capacitancia relativa que no cambian con la variación del proceso, del voltaje y de la temperatura. El voltaje de la línea de bits será independiente de las condiciones del proceso

[0036] Una cuarta ventaja de esta divulgación es la flexibilidad del diseño. El valor del voltaje de la línea de bits se puede cambiar seleccionando qué segmentos de línea de bits precargar hasta V_{DD} y qué segmentos de línea de bit precargar a tierra. Por ejemplo, precargar una línea de bits, o más, a tierra puede permitir mayores valores de delta (el cambio de la línea de bits desde V_{DD}). Por ejemplo, si el voltaje de suministro es 1,125 voltios y las secciones superiores son de 1,125 voltios y las secciones inferiores son de 1,125 voltios, entonces el voltaje final puede ser de 1,125 voltios si todas las líneas de bits están precargadas hasta V_{DD} . El delta sería de 0 milivoltios en este caso. Sin embargo, en el mismo caso, si una de las líneas de bits se predescarga a tierra, entonces el voltaje final sería de 1,00 voltios. El delta sería de 125 milivoltios en este caso. Por lo tanto, existe un alto grado de flexibilidad con respecto a los voltajes hasta los que pueden precargarse las secciones de línea de bits.

[0037] Una quinta ventaja de esta divulgación es que solo se usa un voltaje de suministro. Esto simplifica el diseño físico de nivel superior y la verificación de la memoria.

[0038] El dispositivo de memoria, según lo divulgado, se puede acoplar a un microprocesador o a otro dispositivo micro-electrónico. El dispositivo de memoria puede estar empaquetado con el microprocesador y además incorporado en un dispositivo de comunicaciones. Por ejemplo, la memoria puede estar incluida en un teléfono móvil o una estación base de comunicaciones.

[0039] La figura 9 es un diagrama de bloques que ilustra una estación de trabajo de diseño, utilizada para el diseño de circuitos, disposición y lógica del circuito integrado semiconductor divulgado. Una estación de trabajo de diseño 900 incluye un disco duro 901 que contiene software de sistema operativo, ficheros de soporte y software de diseño, tal como Cadence u OrCAD. La estación de trabajo de diseño 900 también incluye una pantalla para facilitar el diseño de un diseño de circuito 910. El diseño de circuito 910 puede ser el circuito de memoria como se ha divulgado anteriormente. Se proporciona un medio de almacenamiento 904 para almacenar de forma tangible el diseño de circuito 910. El diseño de circuito 910 puede almacenarse en el medio de almacenamiento 904 en un formato de fichero tal como GDSII o GERBER. El medio de almacenamiento 904 puede ser un CD-ROM, DVD, disco duro, memoria flash u otro dispositivo apropiado. Además, la estación de trabajo de diseño 900 incluye un aparato de accionamiento 903 para aceptar entrada desde, o escribir salida en, el medio de almacenamiento 904.

[0040] Los datos grabados en el medio de almacenamiento 904 pueden especificar configuraciones de circuito lógico, datos de patrón para máscaras de fotolitografía o datos de patrón de máscara para herramientas de escritura en serie, tales como litografía de haz de electrones. Los datos pueden incluir además datos de verificación lógica tales como diagramas de temporización o circuitos de red asociados a simulaciones lógicas. Proporcionar datos en el medio de almacenamiento 904 facilita el diseño del diseño de circuito 910 al disminuir el número de procesos para diseñar circuitos integrados semiconductores.

[0041] Aunque la presente divulgación y sus ventajas se han descrito en detalle, debería entenderse que pueden realizarse diversos cambios, sustituciones y alteraciones en la presente memoria sin apartarse del alcance de la divulgación, tal como se define en las reivindicaciones adjuntas. Por ejemplo, aunque se han descrito dispositivos de memoria SRAM, la técnica de precarga selectiva se puede aplicar a cualquier diseño de memoria, incluyendo, pero sin limitarse a, SRAM, DRAM o MRAM. Además, el alcance de la presente solicitud no pretende limitarse a las realizaciones particulares del proceso, la máquina, la fabricación, la composición de la materia, los medios, los procedimientos y las etapas descritos en la memoria descriptiva. Como alguien medianamente experto en la técnica apreciará inmediatamente a partir de la divulgación de la presente divulgación, se pueden utilizar procesos, máquinas, fabricación, composiciones de materia, medios, procedimientos o etapas, actualmente existentes o a desarrollar posteriormente, que realizan esencialmente la misma función o logran esencialmente el mismo resultado

que las realizaciones correspondientes descritas en la presente memoria, de acuerdo a la presente divulgación. Por consiguiente, la invención solo está limitada por las reivindicaciones adjuntas.

REIVINDICACIONES

1. Un dispositivo de memoria que comprende:

5 medios para precargar una primera sección (33) de una primera línea de bits de una primera célula de bits (34) de una primera columna hasta un primer voltaje;

medios para precargar una segunda sección (31) de la primera línea de bits de una primera célula de bits (34) de una primera columna hasta un segundo voltaje,

10 en el que un segundo voltaje es diferente al primer voltaje;

medios para precargar una primera sección de una segunda línea de bits de una segunda célula de bits de una segunda columna hasta el primer voltaje;

15 medios para precargar una segunda sección (61) de la segunda línea de bits de la segunda célula de bits de la segunda columna hasta el primer voltaje, en donde la primera sección de la segunda línea de bits está acoplada a la primera sección de la primera línea de bits; y

20 medios para compartir carga entre la primera sección de la primera línea de bits, la segunda sección de la primera línea de bits, la primera sección de la segunda línea de bits y la segunda sección de la segunda línea de bits, en donde los medios para compartir la carga se configuran adicionalmente para

25 acoplar la primera sección de la primera línea de bits a la segunda sección de la primera línea de bits durante una operación de lectura o escritura cuando se selecciona la primera célula de bit para la operación de lectura o escritura.

2. El dispositivo de memoria de la reivindicación 1, en el que los medios para compartir comprenden:

30 un circuito de compartición de carga acoplado selectivamente a la primera sección de la primera línea de bits y a la segunda sección de la primera línea de bits, en donde el circuito de compartición de carga está configurado para acoplar y desacoplar la primera sección de la primera línea de bits a la segunda sección de la primera línea de bits.

35 3. El dispositivo de memoria de la reivindicación 1, en el que la primera sección de la primera línea de bits está predescargada a tierra y la segunda sección de la primera línea de bits está precargada hasta un voltaje de suministro.

40 4. El dispositivo de memoria de la reivindicación 1, que comprende además un circuito de habilitación de compartición de carga, configurado para activar el circuito de compartición de carga cuando un circuito de precarga está inactivo y una señal de multiplexado indica la compartición de carga.

45 5. El dispositivo de memoria de la reivindicación 1, en el que la primera célula de bits (34) está acoplada a la segunda sección de la primera línea de bits.

50 6. El dispositivo de memoria de la reivindicación 2, en el que el circuito de compartición de carga está acoplado selectivamente a la primera sección de la segunda línea de bits y a la segunda sección de la segunda línea de bits, y está configurado para acoplar y desacoplar la primera sección de la segunda línea de bits a la segunda sección de la segunda línea de bits.

7. El dispositivo de memoria de la reivindicación 1, en el que el dispositivo de memoria está acoplado a un microprocesador; y en el que el dispositivo de memoria y el microprocesador se integran en un dispositivo de comunicaciones.

55 8. Un procedimiento para hacer funcionar un dispositivo de memoria que tiene una pluralidad de líneas de bits, incluyendo una primera sección y una segunda sección que comprende:

60 precargar la primera sección (33) de una primera línea de bits de una primera célula de bits (34) de una primera columna hasta un primer voltaje;

precargar la segunda sección (31) de la primera línea de bits de la primera célula de bits de la primera columna hasta un segundo voltaje, siendo el segundo voltaje diferente al primer voltaje;

65 precargar una primera sección de una segunda línea de bits de una segunda célula de bits de una segunda columna hasta el primer voltaje;

5 precargar una segunda sección (61) de la segunda línea de bits de la segunda célula de bits de la segunda columna hasta el primer voltaje, en donde la primera sección de la segunda línea de bits está acoplada a la primera sección de la primera línea de bits; compartir carga entre la primera sección de la primera línea de bits, la segunda sección de la primera línea de bits, la primera sección de la segunda línea de bits y la segunda sección de la segunda línea de bits, para obtener un voltaje final entre el primer voltaje y el segundo voltaje; y

10 acoplar la primera sección de la primera línea de bits a la segunda sección de la primera línea de bits durante una operación de lectura o escritura cuando se selecciona la primera célula de bits para la operación de lectura o escritura.

15 **9.** El procedimiento de la reivindicación 8, en el que el voltaje final se determina, al menos en parte, por una capacitancia de la primera sección de la primera línea de bits y una capacitancia de la segunda sección de la primera línea de bits.

20 **10.** El procedimiento de la reivindicación 8, en el que precargar la primera sección de la primera línea de bits comprende precargar la primera sección de la primera línea de bits hasta un voltaje de tierra y precargar la segunda sección de la primera línea de bits comprende precargar la segunda sección de la primera línea de bits hasta un voltaje de suministro.

11. El procedimiento de la reivindicación 8, que comprende además: precargar una primera sección de una segunda línea de bits y una segunda sección de una segunda línea de bits hasta el primer voltaje.

25 **12.** El procedimiento de la reivindicación 8, en el que la compartición de carga se produce de acuerdo a una señal de estado de multiplexado (MUX_STATE) cuando un circuito de precarga está inactivo.

13. El procedimiento de la reivindicación 8, que comprende además: almacenar en el dispositivo de memoria los datos relacionados con las comunicaciones.

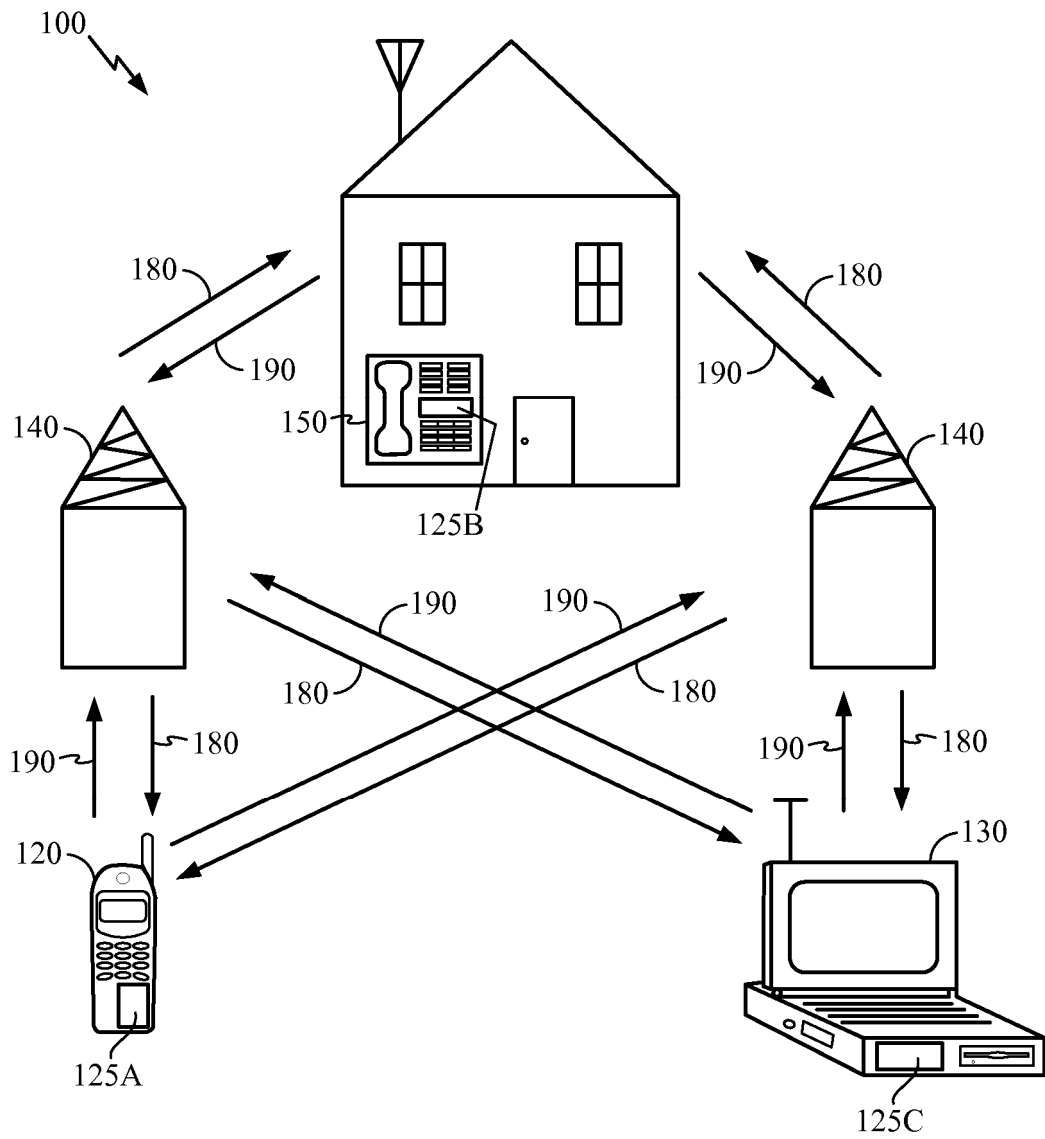


FIG. 1

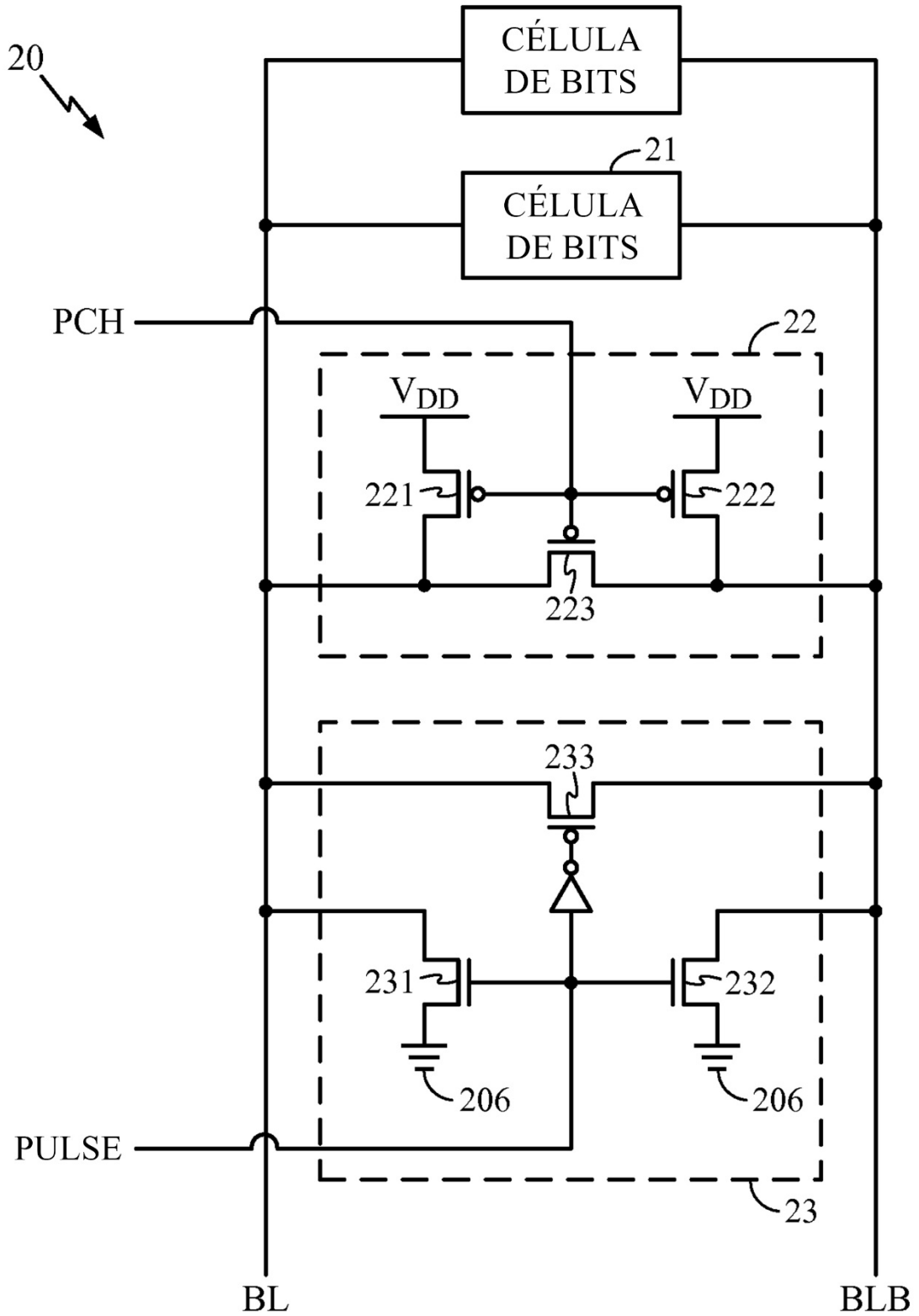


FIG. 2A

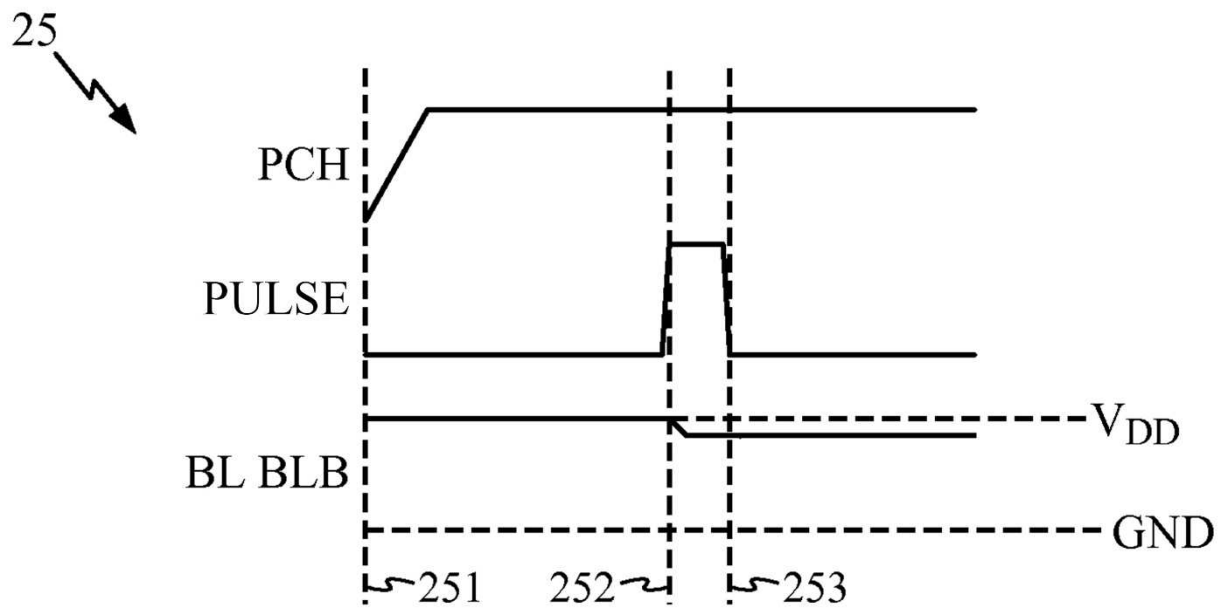
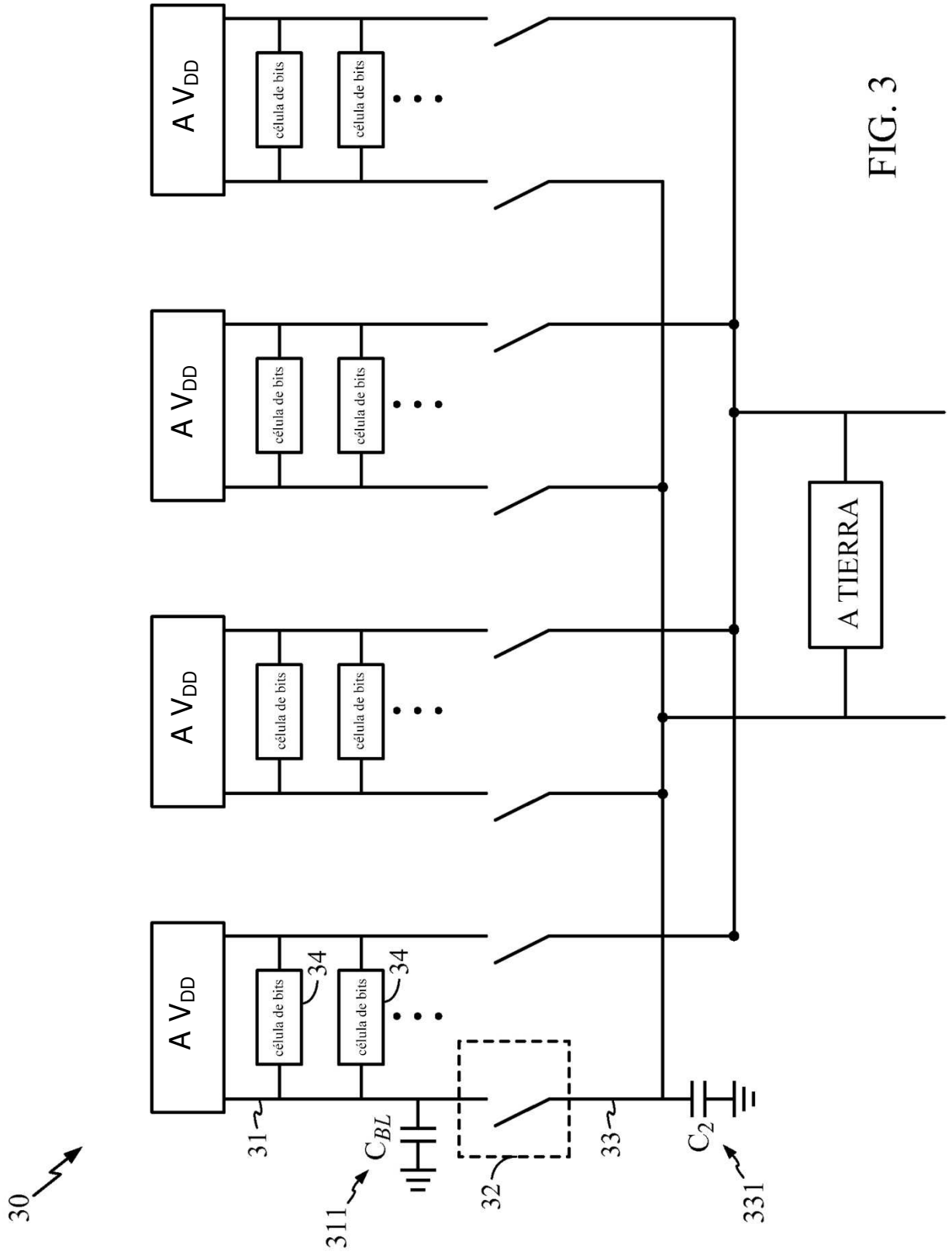


FIG. 2B



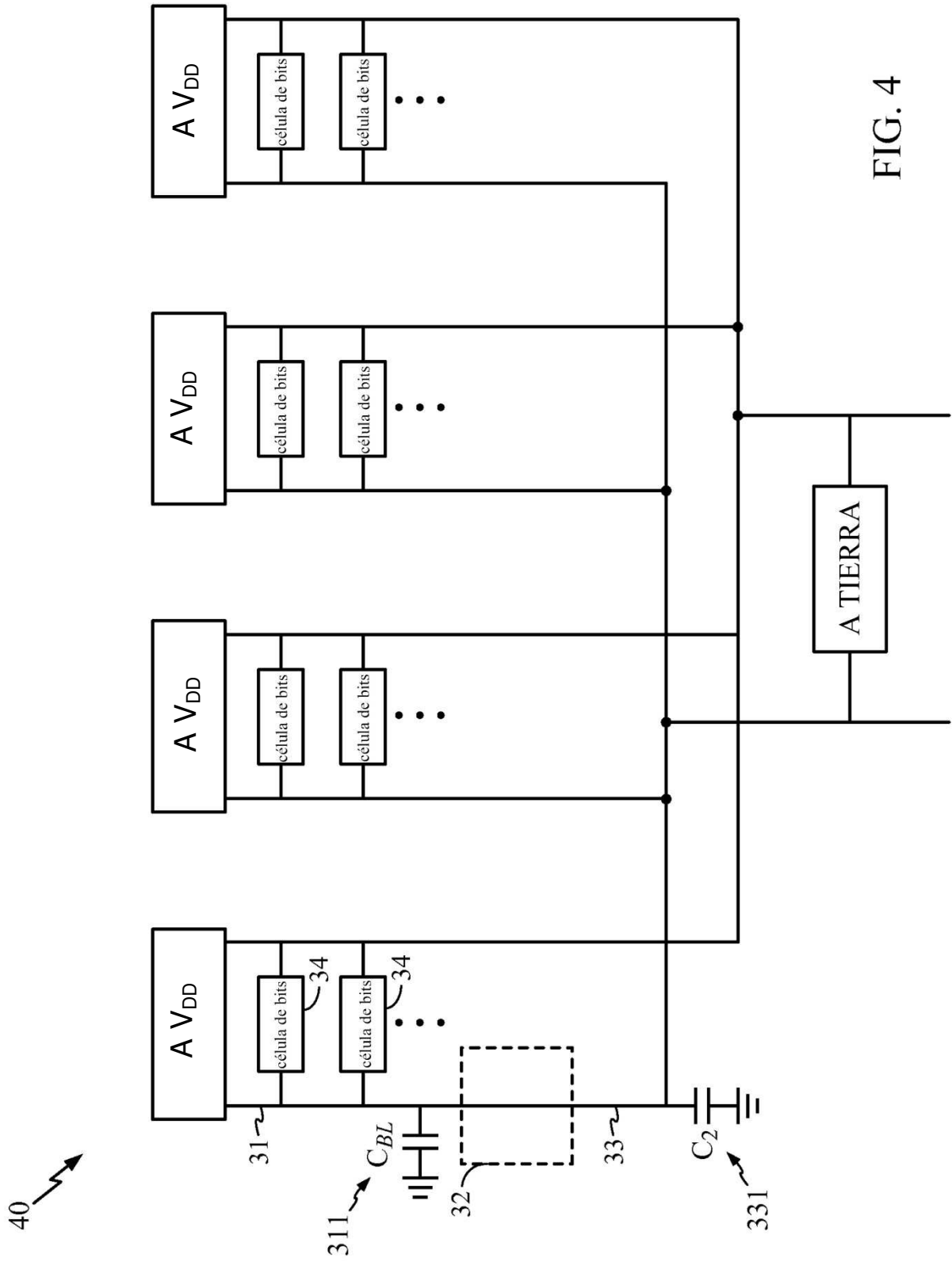


FIG. 4

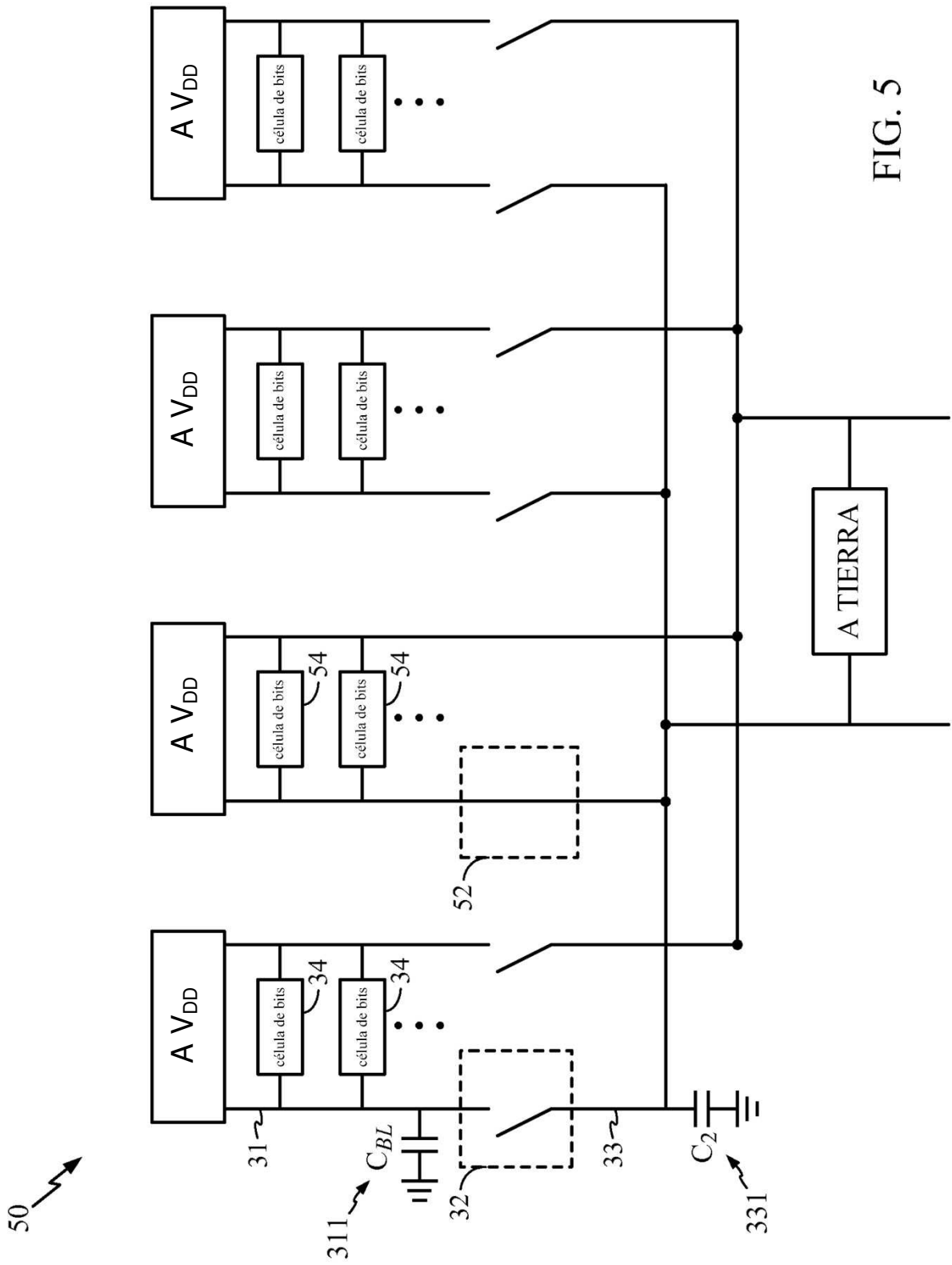


FIG. 5

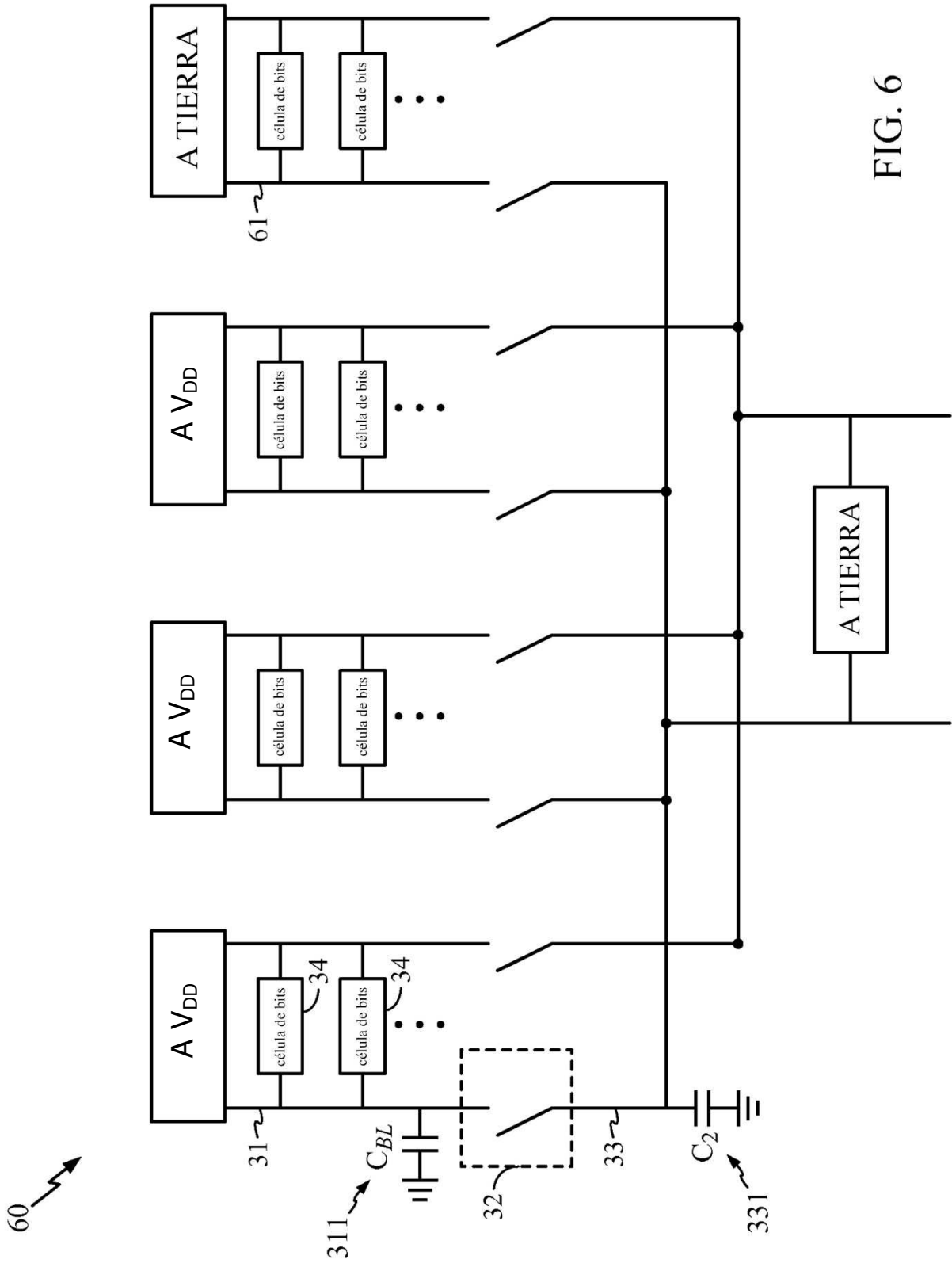


FIG. 6

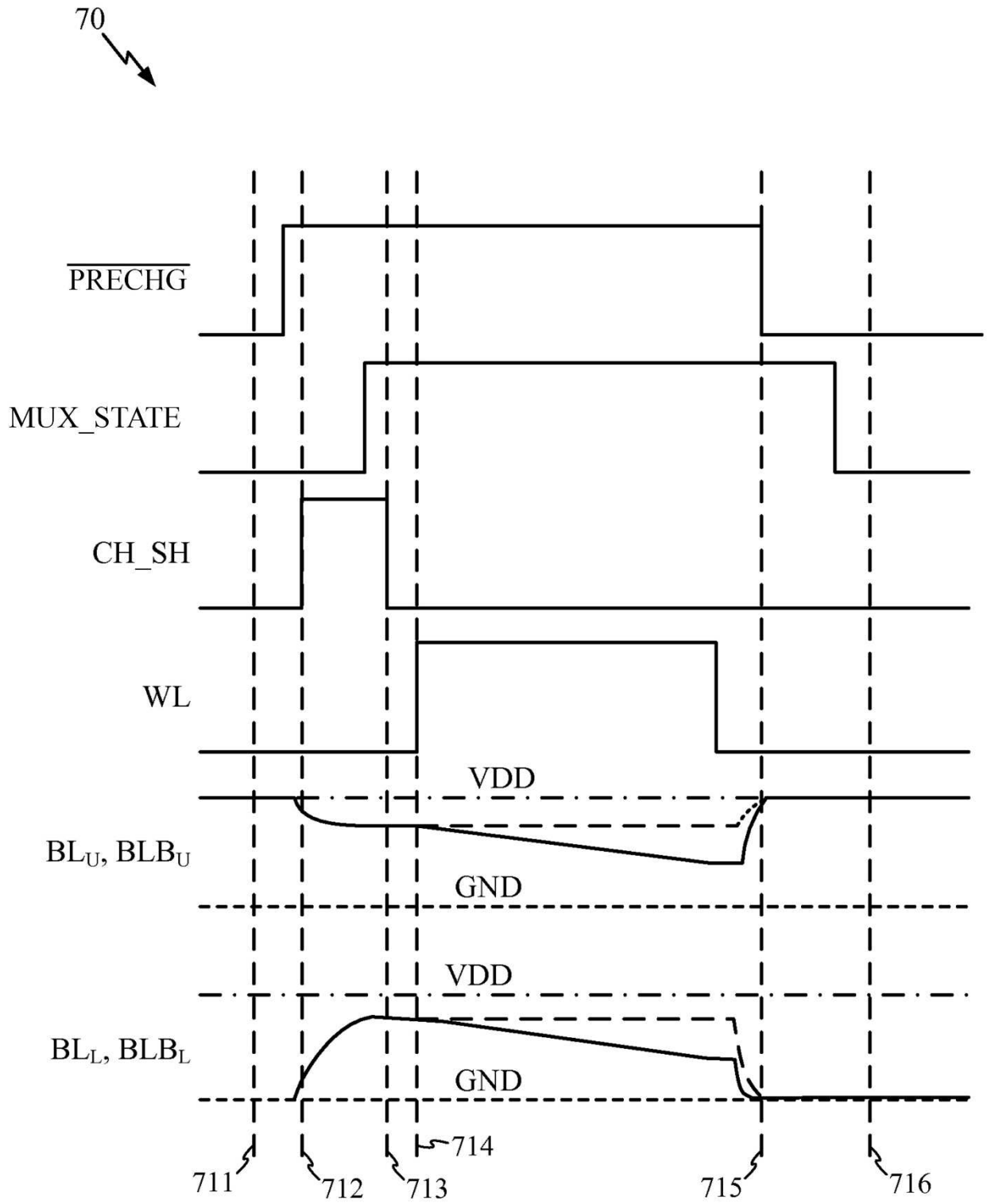


FIG. 7

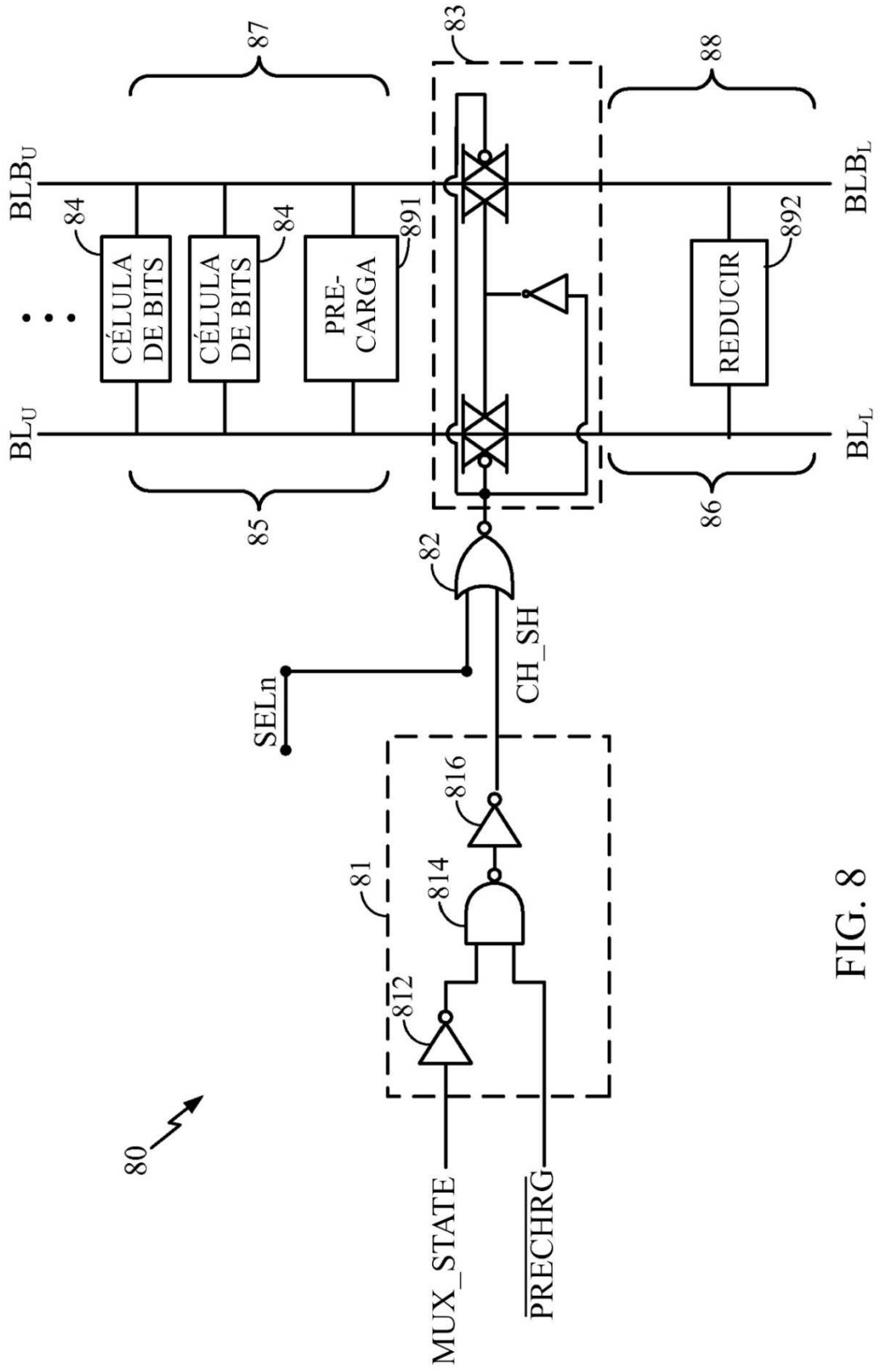


FIG. 8

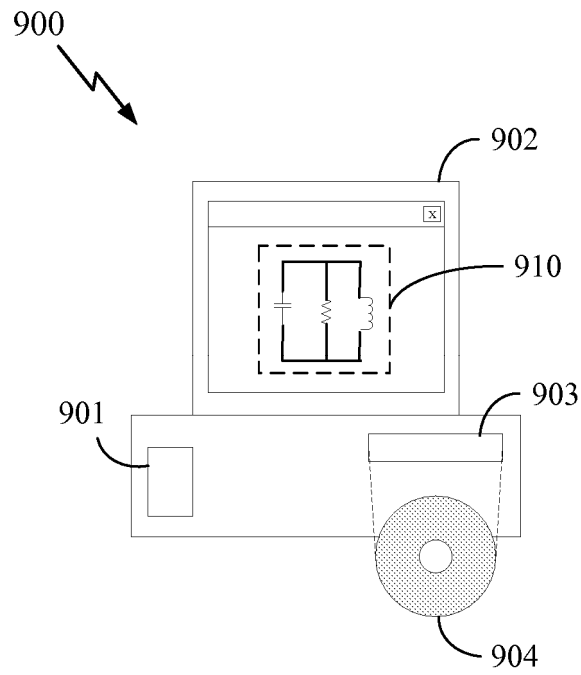


FIG. 9