

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 685 405**

51 Int. Cl.:

**H02J 3/18** (2006.01)

**G01R 21/00** (2006.01)

**G01R 21/06** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **31.03.2014 PCT/CN2014/074477**

87 Fecha y número de publicación internacional: **09.10.2014 WO14161459**

96 Fecha de presentación y número de la solicitud europea: **31.03.2014 E 14780066 (8)**

97 Fecha y número de publicación de la concesión europea: **30.05.2018 EP 2979344**

54 Título: **Algoritmo para método de compensación pasiva de factor de potencia con cambio de condensador diferencial y ruido transitorio de línea reducido**

30 Prioridad:

**30.03.2013 US 201361806868 P**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**08.10.2018**

73 Titular/es:

**EDGE ELECTRONICS LIMITED (100.0%)  
Suite 2, 1st Floor, Shun Kwong Commercial  
Building 8 Des Voeux Road West  
Hong Kong, HK**

72 Inventor/es:

**STEWART, NEAL GEORGE**

74 Agente/Representante:

**ELZABURU, S.L.P**

ES 2 685 405 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Algoritmo para método de compensación pasiva de factor de potencia con cambio de condensador diferencial y ruido transitorio de línea reducido

5 Esta solicitud reivindica prioridad a la solicitud de patente provisional de los Estados Unidos n.º 61/806.868, presentada el 30 de marzo de 2013.

**Campo de la invención**

La presente invención está relacionada generalmente con generación y distribución de energía eléctrica. Particularmente, la presente invención está relacionada con métodos y sistemas de compensación de calidad de energía eléctrica.

10 **Antecedentes**

La calidad de la energía es un problema creciente en los sistemas de distribución de redes eléctricas con la adición de muchos aparatos eléctricos y dispositivos electrónicos modernos diferentes. En un sistema de red eléctrica de Corriente Alterna (CA), hay una onda de tensión sinusoidal alternante positiva y negativa, a frecuencias ya sea de 50 o 60 Hz, dependiendo del país. En un sistema de CA, la corriente también tiene una forma de onda sinusoidal, pero  
15 tiene un ángulo de fase particular en relación a la forma de onda de tensión. Se sabe bien que conforme se conectan cargas inductivas al sistema eléctrico, la corriente empieza a retrasar la forma de onda de tensión debido a la reactancia de la carga inductiva. La diferencia de fase entre la tensión y la corriente está relacionada como factor de potencia (FP). Cuando tensión y corriente están correctamente en fase, el FP es igual a uno (FP = 1). Conforme se añaden cargas inductivas, el FP cae conforme la corriente empieza a retrasar la forma de onda de tensión. Esto  
20 provoca consecuencias graves desde el punto de vista de coste de electricidad, y penalizaciones que pueden imponerse por un FP bajo, que se añade a los costes de generación y transmisión eléctricas. Por ejemplo, con FP < 0,7, los gravámenes pesados y cargos adicionales pueden empezar a pasar a la facturación a usuarios finales.

Hay dispositivos de compensación pasiva de calidad de potencia que dependen de conectar diversos condensadores de línea en las fases de sistema eléctrico que compensan las cargas inductivas, y corrigen el FP  
25 nuevamente a altos niveles más cercanos a 1, por tanto restauran la calidad de potencia. Con estos dispositivos de compensación pasiva de calidad de potencia, primero, se mide el FP; segundo, se calcula la cantidad de la capacitancia requerida por diversos medios, tales como derivar de una tabla de consulta, límites mínimo y máximo, etc.; entonces finalmente se conecta la cantidad de capacitancia.

**Compendio**

30 Un objetivo de la invención reivindicada actualmente es proporcionar un algoritmo de control implementable en ordenador para compensación pasiva de factor de potencia sobre la base de cambio de condensador diferencial. Un objetivo adicional de la invención reivindicada actualmente es proporcionar dicho algoritmo que pueda reducir el ruido transitorio de línea durante el cambio de condensador diferencial.

Según diversas realizaciones, la presente invención utiliza un algoritmo de control implementable en ordenador que mide: 1) la potencia reactiva; 2) el FP; 3) la tensión; y 4) la frecuencia de línea. El algoritmo de control implementable  
35 en ordenador calcula la capacitancia de compensación diferencial que es positiva (se tiene que añadir capacitancia) o negativa (se tiene que retirar capacitancia). También examina los límites de la capacitancia diferencial necesaria, y si está dentro de los límites mínimos, entonces el algoritmo no procederá a cambiar la capacitancia, y esta parte del algoritmo limita la frecuencia de conmutación de los condensadores.

Una vez se determina la capacitancia de compensación diferencial requerida, ya sea positiva (se tiene que añadir capacitancia) o negativa (se tiene que retirar capacitancia), y también está fuera de límites mínimos, se calcula la nueva capacitancia de compensación a partir de la suma o diferencia de la capacitancia de compensación diferencial y la capacitancia de compensación actual. El algoritmo compara el patrón de bits de condensador de conmutación para la capacitancia de compensación actual y el patrón de bits de condensador de conmutación para la nueva  
40 capacitancia de compensación, y selecciona en consecuencia un mapa de bits de condensador de conmutación. La combinación de conmutadores de condensador para la nueva capacitancia de compensación se conmuta crecientemente según el mapa de bits de condensador de conmutación. Para alcanzar la combinación seleccionada de conmutadores de condensador, se conmuta únicamente un conmutador de uno en uno para minimizar el ruido transitorio de línea. Esta parte del algoritmo continúa ejecutándose hasta que se corrige el FP, siendo los  
45 conmutadores de condensador encendidos/apagados de uno en uno cada uno retrasado un intervalo de milisegundo para minimizar el ruido transitorio de línea.

Cada 15 minutos el algoritmo mide de nuevo: 1) la potencia reactiva; 2) el FP; 3) la tensión; y 4) la frecuencia de línea. El algoritmo se ejecuta de nuevo a través de la rutina y examina los límites mínimos del valor de capacitancia diferencial, y la necesidad de entrar al cambio de patrón de condensadores.

55 Opcionalmente se puede monitorizar el cruce de tensión cero de la potencia de línea. El instante de encendido y

apagado de los relés será temporizado de manera que los contactos de relé estén abiertos o cerrados cuando la tensión instantánea de la línea eléctrica esté cerca de cero para reducir aún más las perturbaciones de conmutación.

onda de tensión sinusoidal alternante positiva y negativa, a frecuencias ya sea de 50 o 60 Hz, dependiendo del país. En un sistema de CA, la corriente también tiene una forma de onda sinusoidal, pero tiene un ángulo de fase particular en relación a la forma de onda de tensión. Se sabe bien que conforme se conectan cargas inductivas al sistema eléctrico, la corriente empieza a retrasar la forma de onda de tensión debido a la reactancia de la carga inductiva. La diferencia de fase entre la tensión y la corriente está relacionada como factor de potencia (FP). Cuando tensión y corriente están correctamente en fase, el FP es igual a uno ( $FP = 1$ ). Conforme se añaden cargas inductivas, el FP cae conforme la corriente empieza a retrasar la forma de onda de tensión. Esto provoca consecuencias graves desde el punto de vista de coste de electricidad, y penalizaciones que pueden imponerse por un FP bajo, que se añade a los costes de generación y transmisión eléctricas. Por ejemplo, con  $FP < 0,7$ , los gravámenes pesados y cargos adicionales pueden empezar a pasar a la facturación a usuarios finales.

Hay dispositivos de compensación pasiva de calidad de potencia que dependen de conectar diversos condensadores de línea en las fases de sistema eléctrico que compensan las cargas inductivas, y corrigen el FP nuevamente a altos niveles más cercanos a 1, por tanto restauran la calidad de potencia. Con estos dispositivos de compensación pasiva de calidad de potencia, primero, se mide el FP; segundo, se calcula la cantidad de la capacitancia requerida por diversos medios, tales como derivar de una tabla de consulta, límites mínimo y máximo, etc.; entonces finalmente se conecta la cantidad de capacitancia.

Y. V. Joshi et al., "Microprocessor Based Automatic Power Factor Control". Proceedings of the Region Ten Conference (Tencon). Beijing. 19-21 de octubre de 1993 describe un dispositivo que usa un microprocesador para controlar la conmutación de condensadores de línea. Sin embargo, no se ha tenido en consideración el ruido transitorio de línea durante el cambio de condensador diferencial.

### Compendio

Un objetivo de la invención reivindicada actualmente es proporcionar un algoritmo de control implementable en ordenador para compensación pasiva de factor de potencia sobre la base de cambio de condensador diferencial. Un objetivo adicional de la invención reivindicada actualmente es proporcionar dicho algoritmo que pueda reducir el ruido transitorio de línea durante el cambio de condensador diferencial.

Según diversas realizaciones, la presente invención utiliza un algoritmo de control implementable en ordenador que mide: 1) la potencia reactiva; 2) el FP; 3) la tensión; y 4) la frecuencia de línea. El algoritmo de control implementable en ordenador calcula la capacitancia de compensación diferencial que es positiva (se tiene que añadir capacitancia) o negativa (se tiene que retirar capacitancia). También examina los límites de la capacitancia diferencial necesaria, y si está dentro de los límites mínimos, entonces el algoritmo no procederá a cambiar la capacitancia, y esta parte del algoritmo limita la frecuencia de conmutación de los condensadores.

Una vez se determina la capacitancia de compensación diferencial requerida, ya sea positiva (se tiene que añadir capacitancia) o negativa (se tiene que retirar capacitancia), y también está fuera de límites mínimos, se calcula la nueva capacitancia de compensación a partir de la suma o diferencia de la capacitancia de compensación diferencial y la capacitancia de compensación actual. El algoritmo compara el patrón de bits de condensador de conmutación para la capacitancia de compensación actual y el patrón de bits de condensador de conmutación para la nueva capacitancia de compensación, y selecciona en consecuencia un mapa de bits de condensador de conmutación. La combinación de conmutadores de condensador para la nueva capacitancia de compensación se conmuta crecientemente según el mapa de bits de condensador de conmutación. Para alcanzar la combinación seleccionada de conmutadores de condensador, se conmuta únicamente un conmutador de uno en uno para minimizar el ruido transitorio de línea. Esta parte del algoritmo continúa ejecutándose hasta que se corrige el FP, siendo los conmutadores de condensador encendidos/apagados de uno en uno cada uno retrasado un intervalo de milisegundo para minimizar el ruido transitorio de línea.

Cada 15 minutos el algoritmo mide de nuevo: 1) la potencia reactiva; 2) el FP; 3) la tensión; y 4) la frecuencia de línea. El algoritmo se ejecuta de nuevo a través de la rutina y examina los límites mínimos del valor de capacitancia diferencial, y la necesidad de entrar al cambio de patrón de condensadores.

Opcionalmente se puede monitorizar el cruce de tensión cero de la potencia de línea. El instante de encendido y apagado de los relés será temporizado de manera que los contactos de relé estén abiertos o cerrados cuando la tensión instantánea de la línea eléctrica esté cerca de cero para reducir aún más las perturbaciones de conmutación.

En la siguiente descripción, se presentan como ejemplos preferidos métodos y sistemas que incorporan un algoritmo de control implementable en ordenador para compensación pasiva de factor de potencia sobre la base de cambio de condensador diferencial y similares. Será evidente para los expertos en la técnica que se pueden hacer modificaciones, incluidas adiciones y/o sustituciones, sin salir del alcance y espíritu de la invención. Se pueden omitir detalles específicos para no enturbiar la invención; sin embargo, la descripción se escribe para permitir a un experto en la técnica poner en práctica las enseñanzas de esta memoria sin experimentación indebida.

La figura 1 muestra un diagrama de circuito que ilustra una circuitería de energía eléctrica ejemplar incorporada con un algoritmo de control implementable en ordenador para compensación pasiva de factor de potencia sobre la base de cambio de condensador diferencial según una realización de la invención reivindicada actualmente. Esta circuitería de energía eléctrica es para un sistema trifásico; sin embargo, la configuración similar se puede aplicar a otros sistemas bifásicos. En esta circuitería de energía eléctrica, los tres condensadores  $C_1$  (106),  $C_2$  (105), y  $C_3$  (104) pueden ser encendidos o apagados individualmente por sus correspondientes conmutadores  $SW_{bit0}$  (103),  $SW_{bit1}$  (102) y  $SW_{bit2}$  (101) según la capacitancia de compensación determinada requerida para compensación de calidad de potencia. Adicionalmente, el módulo de medición (107) recoge los datos de calidad de línea eléctrica, incluida tensión, corriente, factor de potencia, potencia real y potencia reactiva.

- 5
- 10 Las posiciones y estados de los conmutadores se pueden representar en forma binaria en el algoritmo de control. Una realización ejemplar es de la siguiente manera:

Valores de bits y Capacitancia			
Switch <sub>bit</sub>	2 (MSB)	1	0 (LSB)
Capacitancia	50 uF	25 uF	12 uF

Tabla 1

Para minimizar el ruido transitorio de línea, para alcanzar la combinación seleccionada de conmutadores de condensador, se conmuta únicamente un conmutador de uno en uno. Haciendo referencia a la Tabla 2 siguiente. Por ejemplo, si la capacitancia de compensación requerida tiene que ser aumentada a 62 uF desde los 25 uF actuales, los cambios en los estados de los tres conmutadores tienen que ir a través de Estado 3, Estado 4, entonces finalmente Estado 5 en orden secuencial.

- 15

Estado	Switch <sub>bit</sub>			Capacitancia total (uF)
	bit2	bit1	bit0	
0	0	0	0	0
1	0	0	1	12
2	0	1	0	25
3	0	1	1	37
4	1	0	0	50
5	1	0	1	62
6	1	1	0	75
7	1	1	1	87

Tabla 2

El número de condensadores y sus valores se eligen como ejemplo con el propósito de ilustrar el principio de la invención reivindicada actualmente. Se puede adoptar cualquier número de condensadores y valores de capacitancia para la implementación de la invención reivindicada actualmente.

- 20

La figura 2A muestra un diagrama de circuito que ilustra otra circuitería de energía eléctrica ejemplar incorporada con el algoritmo de control implementable en ordenador. En esta circuitería de energía eléctrica, los conmutadores de condensador se implementado con relé de irrupción. La figura 2B representa un diagrama de flujo que ilustra el funcionamiento de conmutación de condensadores para esta implementación. Por ejemplo, para conectar el condensador  $C_3$ , primero se enciende el conmutador  $SW_{bit2a}$  (202), se espera un periodo de retraso (p. ej. 30 milisegundos), luego se enciende el conmutador  $SW_{bit2}$  (201); para desconectar el condensador  $C_3$ , primero se apaga el conmutador  $SW_{bit2}$  (201), se espera un periodo de retraso (p. ej. 30 milisegundos), luego se apaga el conmutador de  $SW_{bit2a}$  (202).

- 25

Para determinar la capacitancia de compensación requerida, se hace un cálculo sobre la base de los siguientes cálculos matemáticos:

- 30

Dado:

Vca Tensión de línea eléctrica de CA

fl Frecuencia de línea

FP Factor de potencia

P\_real Potencia real

P\_aparente Potencia aparente

P\_reactiva Potencia reactiva

$\Phi$  Ángulo de fase

I\_reactiva Corriente reactiva

Z\_conden Impedancia capacitiva

C\_pfc Capacitancia de PFC

Relaciones:  $P_{real} = P_{aparente} \cdot FP = P_{aparente} \cdot \cos(\Phi)$

$$\cos(\Phi)^2 + \sin(\Phi)^2 = 1 \quad FP^2 + \sin(\Phi)^2 = 1$$

$$P_{reactiva} = P_{aparente} \cdot \sin(\Phi) = P_{aparente} \cdot \sqrt{1 - FP^2}$$

$$P_{reactiva} = Vca \cdot I_{reactiva} = Vca \frac{Vca}{Z_{conden}} = \frac{Vca^2}{\frac{1}{2 \cdot \pi \cdot fl \cdot C_{pfc}}} = Vac^2 \cdot 2 \cdot \pi \cdot fl \cdot C_{pfc}$$

Medio conveniente para determinar la capacitancia de compensación

$$C_{pfc} = \frac{P_{reactiva}}{2 \cdot \pi \cdot fl \cdot Vac^2}$$

- 5 De acuerdo con diversas realizaciones de la invención reivindicada actualmente, el algoritmo de control implementable en ordenador depende de un módulo de medición para medir: tensión de línea: Vca, frecuencia de línea: fl, potencia reactiva: P\_reactiva, y signo de la potencia reactiva: +ve para retraso y -ve para avance (expresado como + o - factor de potencia).

- 10 Figura 3A, figura 3B, figura 3C y figura 3D representan un diagrama de flujo que ilustra las etapas de proceso del algoritmo de control implementable en ordenador para ajustar automáticamente la capacitancia de compensación. El diagrama de flujo en la figura 3A ilustra el proceso global, que comprende las siguientes etapas:

a. inicializar el valor de capacitancia existente C\_pfc a cero;

- 15 b. adquirir las mediciones en tiempo real, las mediciones comprenden: factor de potencia; tensión de línea; frecuencia de línea, que pueden ser datos medidos o constante predeterminada; potencia reactiva; signo de la potencia reactiva, que puede ser determinado a partir de parte de la medición de factor de potencia;

c. calcular la capacitancia de compensación requerida, como se muestra en detalles en la figura 3B, sobre la base de la ecuación:

$$C_{pfc} = \frac{P_{reactiva}}{2 \cdot \pi \cdot fl \cdot Vac^2}$$

- 20 el cálculo comprende: si el valor absoluto de C\_pfc es más grande que un valor límite predeterminado, preferiblemente igual o más grande que 1/2 de etapa de capacitancia mínima (esto es proporcionar una histéresis y prevenir la oscilación), entonces añadir (si el factor de potencia es positivo) o sustraer (si el factor de potencia es negativo) C\_pfc a (añadir) o de (sustraer) el valor de capacitancia existente;

d. decodificar la combinación de condensadores (o posiciones y estados de conmutadores en forma binaria) para la capacitancia de compensación requerida como se detalla en el diagrama de flujo mostrado en la figura 3C;

- 25 e. acoplar la recientemente descodificada combinación de condensadores empezando desde la actualmente acoplada combinación de condensadores como se detalla en el diagrama de flujo mostrado en la figura 3D; y

f. repetir las etapas a - e cada intervalo de tiempo predeterminado, típicamente quince minutos.

Según una realización, el acoplamiento de los condensadores de compensación adecuados sobre la base de nuevo valor de capacitancia existente comprende una serie de etapas como se representa en el diagrama de flujo mostrado en la figura 3D. Un ejemplo de tal acoplamiento con su correspondiente transición de patrón de bits de 101 a 110 se ilustra en la tabla mostrada en la figura 3E.

5 Según diversas realizaciones de la invención reivindicada actualmente, el algoritmo de control implementable en ordenador para ajustar automáticamente la capacitancia de compensación es implementado principalmente usando un microcontrolador (MCU). En esta implementación, en la etapa de acoplar la capacitancia de compensación adecuada comprende, se cargan valores de capacitancia de compensación en la MCU desde fuentes externas para proporcionar flexibilidad al adaptar el algoritmo a diferentes niveles de potencia. Por ejemplo, almacenamiento externo no volátil, tal como EEprom, Flash, etc. se usa para almacenar los valores y parámetros de capacitancia de compensación y leer en MCU a interfaz EO. Los valores y parámetros de capacitancia de compensación se cargan en el almacenamiento no volátil por medio de una interfaz con un protocolo predefinido tal como UART, I2C y USB. La rutina de firmware adicional se puede emplear para verificar la validez de almacenamiento externo no volátil y detener la ejecución en caso de que se encuentren datos corruptos. Una realización ejemplar de la estructura de datos para los valores y parámetros de capacitancia de compensación almacenados en almacenamiento externo no volátil se ilustra en la tabla mostrada en la figura 4.

Según diversas realizaciones de la invención reivindicada actualmente, se proporciona un registro de los datos de marca de tiempo de la información de calidad de línea eléctrica. Los datos comprenden: Información de línea eléctrica de registro de MCU en la memoria no volátil; tiempo; tensión; frecuencia de línea, potencia real; potencia reactiva; condensador acoplado o estado de conmutador; factor de potencia si la potencia reactiva no contiene signo; temperatura ambiente; y suma de verificación. La estructura de datos debe poder indicar el número de fase(s) del sistema eléctrico.

Las realizaciones descritas en este documento pueden ser implementadas usando dispositivos informáticos de finalidad general o especializados, dispositivos de comunicación móvil, procesadores de ordenador, o circuiterías electrónicas que incluyen pero sin limitación procesadores de señal digital (DSP), circuitos integrados específicos de aplicación (ASIC), distribuciones de puertas programables en campo (FPGA), y otros dispositivos lógicos programables configurados o programados según las enseñanzas de la presente descripción. Instrucciones o códigos de software informáticos que se ejecutan en los dispositivos informáticos de finalidad general o especializados, dispositivos de comunicación móvil, procesadores de ordenador, o dispositivos lógicos programables pueden ser preparados fácilmente por expertos en la técnica de software o electrónica sobre la base de las enseñanzas de la presente descripción.

En algunas realizaciones, la presente invención incluye medios de almacenamiento en ordenador que tienen instrucciones o códigos de software informáticos almacenados en los mismos que se pueden usar para programar ordenadores o microprocesadores para realizar cualquiera de los procesos de la presente invención. Los medios de almacenamiento pueden incluir, pero no se limitan a ellos, discos flexibles, discos ópticos, Blu-ray Disco, DVD, CD-ROM, y discos magneto-ópticos, ROM, RAM, dispositivos de memoria flash, o cualquier tipo de medios o dispositivos adecuados para almacenar instrucciones, códigos y/o datos.

La descripción anterior de la presente invención ha sido proporcionada para los propósitos de ilustración y descripción. No se pretende que sea exhaustiva o que limite la invención a la forma precisa descrita. Muchas modificaciones y variaciones serán evidentes para el experto en la técnica.

**REIVINDICACIONES**

1. Un método para realizar compensación pasiva de factor de potencia sobre la base de cambio de condensador diferencial, que comprende:
- 5 adquirir mediciones de circuito de energía eléctrica en tiempo real que comprende: factor de potencia, tensión de línea, frecuencia de línea, potencia reactiva, y signo de la potencia reactiva;
- determinar una capacitancia de compensación requerida;
- determinar los estados de cada uno de conmutadores de condensador para acoplar o desacoplar sus correspondientes condensadores para lograr la capacitancia total más cercana a la capacitancia de compensación requerida;
- 10 formar una nueva combinación de condensadores según los estados de cada uno de los conmutadores de condensador determinados para la capacitancia de compensación requerida caracterizado por que comprende además:
- en primer lugar desacoplar condensadores acoplados en ese momento en combinación de condensadores actual de uno en uno en orden ascendente empezando con el condensador con la capacitancia más baja y terminando con el condensador con la capacitancia más alta, y después de que todos los condensadores estén desacoplados, acoplar condensadores en la nueva combinación de condensadores de uno en uno en orden ascendente empezando con el condensador con la capacitancia más baja y terminando con el condensador con la capacitancia más alta para minimizar el ruido transitorio de línea; y
- 15 repetir las etapas anteriores cada intervalo de tiempo predeterminado.
- 20 2. El método de la reivindicación 1, en donde la determinación de la capacitancia de compensación requerida comprende:
- calcular
- $$C_{pfc} = \frac{P_{\text{reactiva}}}{2 \cdot \pi \cdot fl \cdot V_{ac}^2}$$
- donde C\_pfc es una capacitancia de compensación diferencial, P\_reactiva es la potencia reactiva medida, Vca es la tensión de línea medida, y fl es la frecuencia de línea medida; y
- 25 si un valor absoluto de la capacitancia de compensación diferencial es más grande que un valor límite predeterminado, entonces
- añadir, si el factor de potencia medido es positivo, o sustraer, si el factor de potencia medido es negativo, C\_pfc a o del valor de capacitancia existente, dando como resultado la capacitancia de compensación requerida.
- 30 3. El método de la reivindicación 1, en donde las posiciones y los estados de los conmutadores de condensador se representan en forma binaria;
- en donde los conmutadores de condensador se posicionan en orden descendente según sus correspondientes valores de capacitancia de condensador con el conmutador de condensador correspondiente al condensador con la capacitancia más alta posicionado en el bit más significativo (MSB) y el conmutador de condensador correspondiente al condensador con la capacitancia más baja posicionado en el bit menos significativo (LSB).
- 35 4. El método de la reivindicación 2, en donde el valor límite predeterminado es igual o mayor que ½ de etapa de capacitancia mínima.
5. El método de la reivindicación 1, en donde cada uno de acoplar y desacoplar de cada condensador es separado por un intervalo de tiempo de retraso.

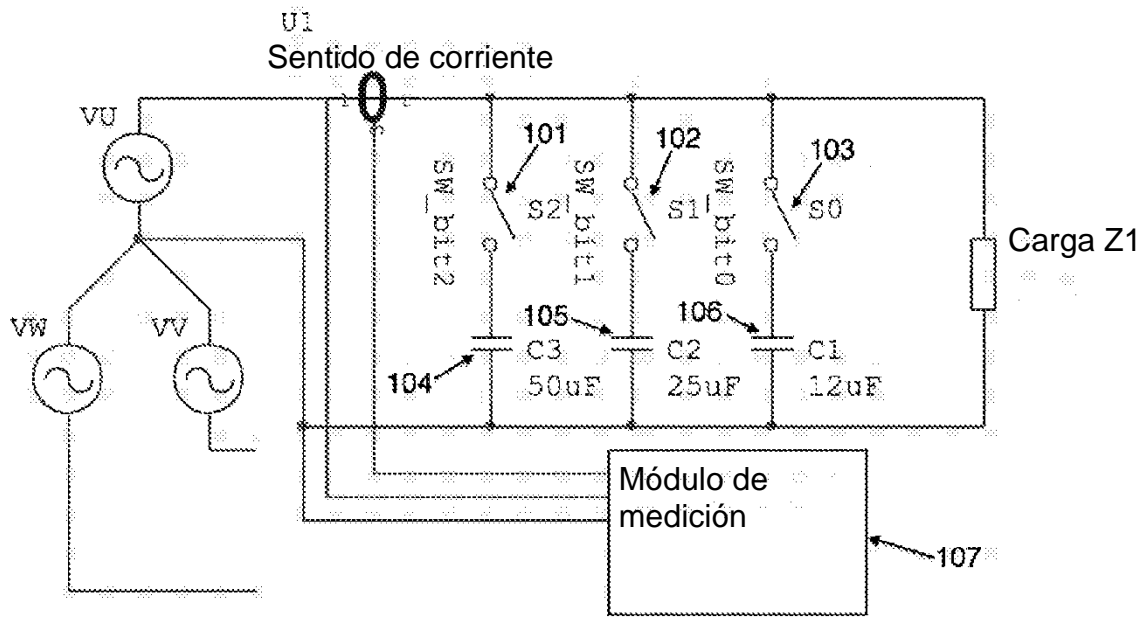


FIG. 1



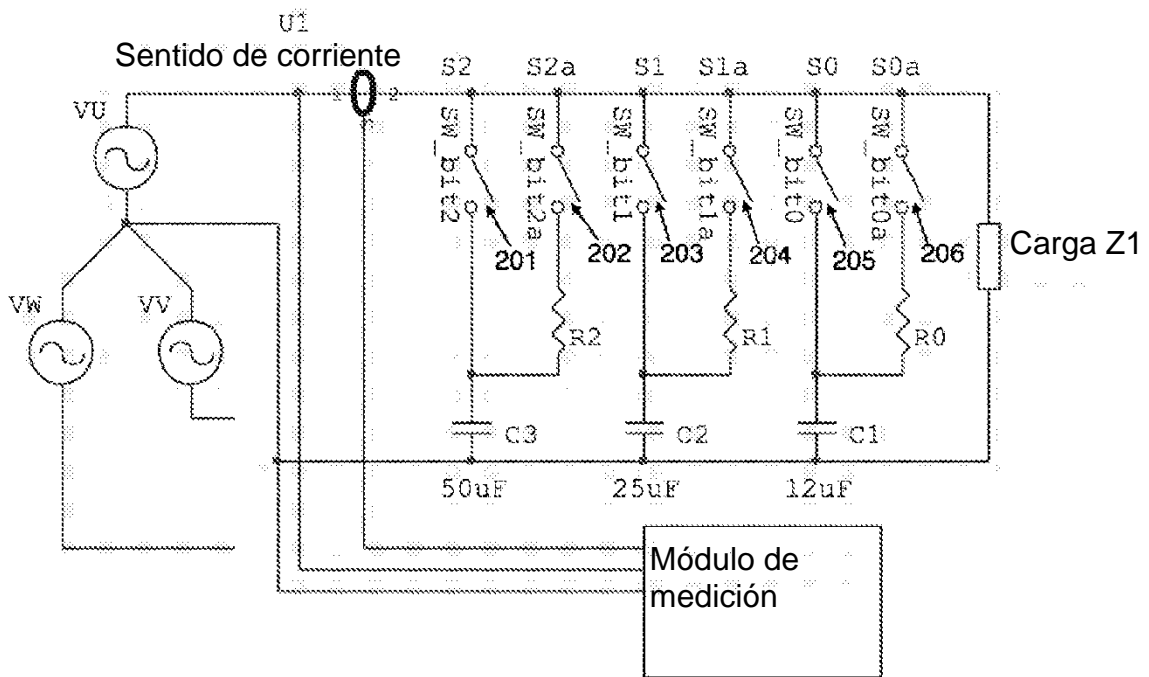


FIG. 2A

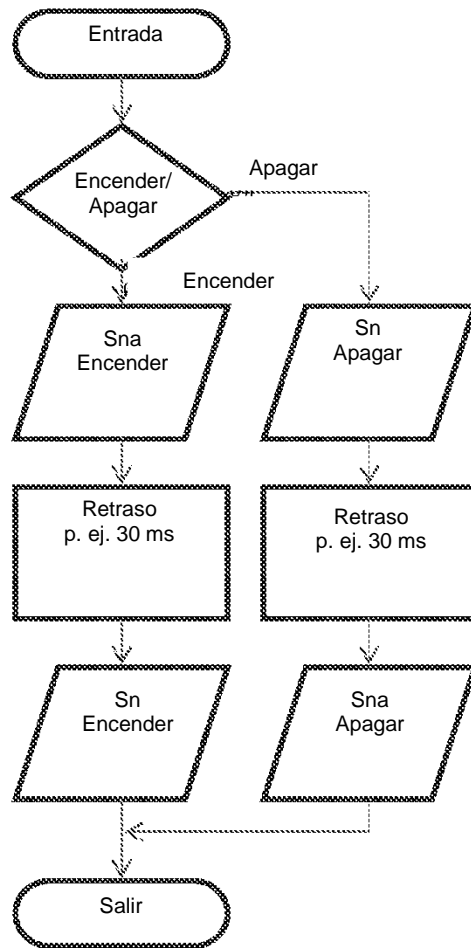
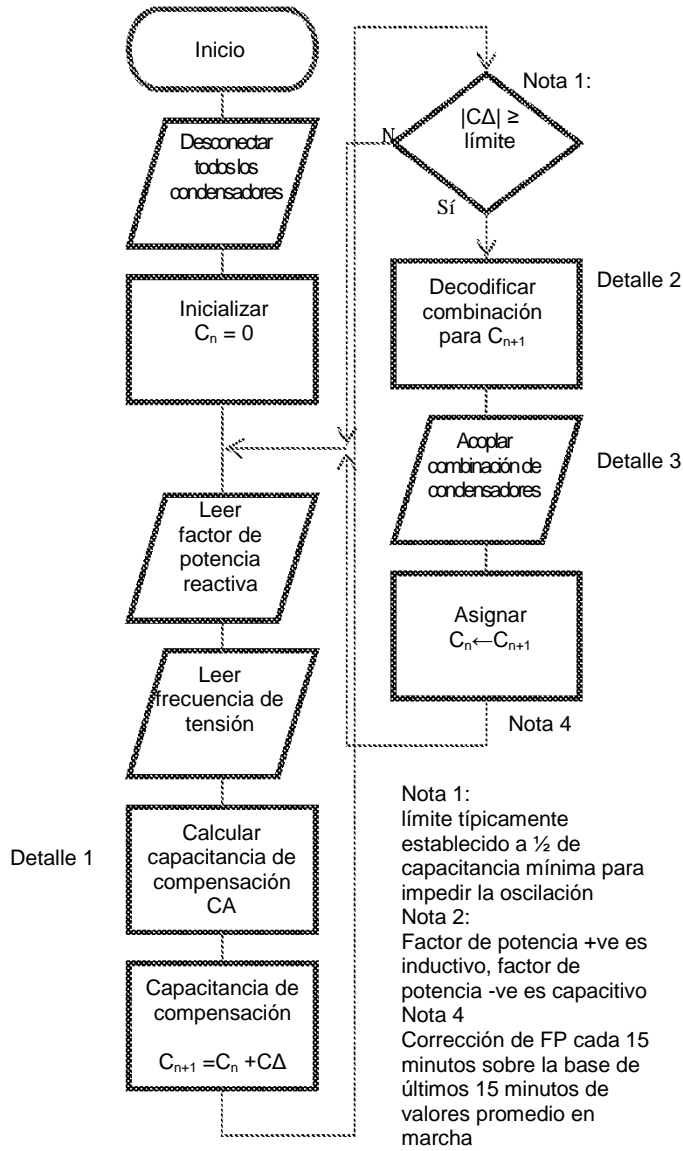


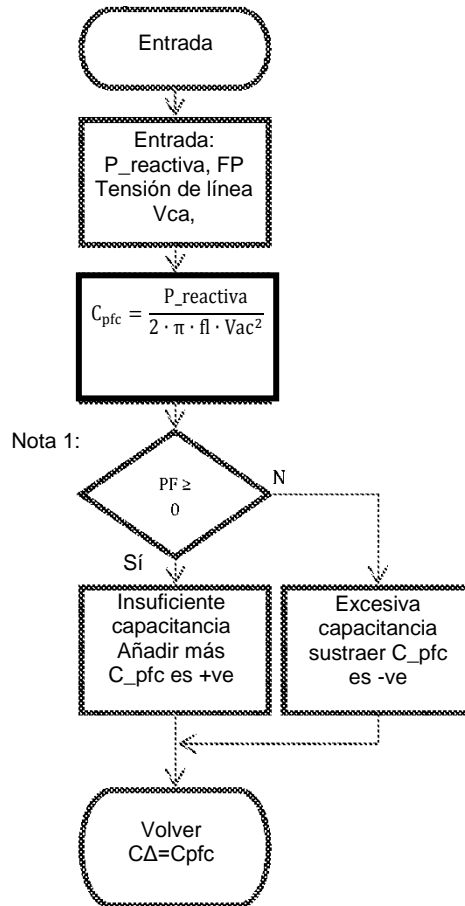
FIG. 2B

**Bucle principal**



**FIG. 3A**

**Calcular capacitancia de compensación (Detalle 1)**



**FIG. 3B**

Decodificar combinación de condensadores [Detalle 2]

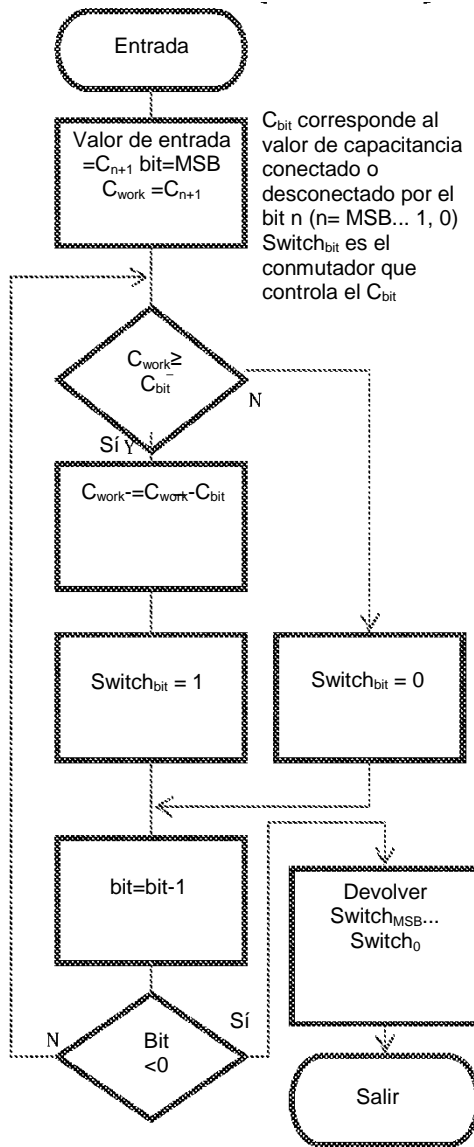
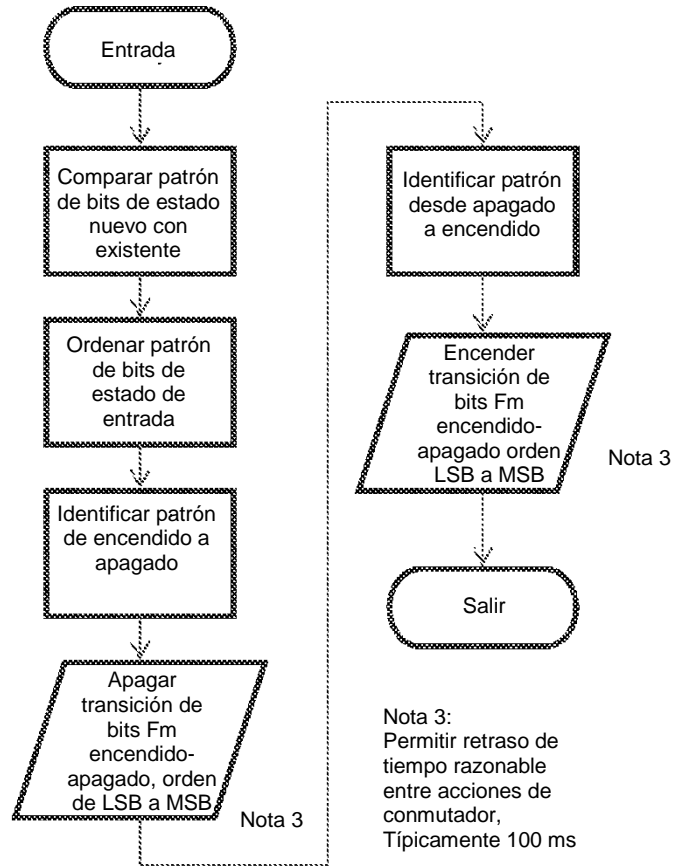


FIG. 3C

**Acoplar combinaciones de condensadores  
(Detalle 3)**



**FIG. 3D**

Ejemplo cuando transición de patrón de bits de 1 0 1 a 1 1 0

La secuencia de conmutación es:

Etapa	MSB		LSB	Observación
1	1	0	1	Estado inicial
2	1	0	0	Desacoplar condensador empezando desde LS3
3	0	0	0	Desacoplar siguiente condensador de bit más alto
4	0	1	0	Acoplar capacitancia empezando desde el bit más bajo
5	1	1	0	Completar transición

FIG. 3E

Entrada	Descripción	Bits de longitud de fecha	Codificación	Intervalo de número	Unidad
0	Longitud de fecha	16	Binario sin firmar	0-65535	
1	Número de condensador o número de bits para control de banco de condensadores	8	Binario sin firmar	1 a 5 Otros inválidos	
2	Capacitancia del condensador bit0	8	Binario sin firmar	0-255	uF
3	Capacitancia de condensador bit1	8	Binario sin firmar	0-255	uF
4	...	8	Binario sin firmar	0-255	uF
...	Capacitancia de bitn	8	Binario sin firmar	0-255	uF
Q	Suma de verificación	8	1 <sup>er</sup> complemento de suma aritmética de loc = a loc Q-1		

FIG. 4



Vca Nom VCA RMS	Frec. de línea (Hz)	# Fase	Potencia por fase (W)	FP mín. @Vnom	VAR máx.	C3 (uF)	C2 (uF)	C1 (uF)	C0 (uF)	Ctot (uF)
240	50	3	2500	0,776	1576	ND	50	25	12	87
240	50	3	1167	0,7452	942	ND	25	12	6	43
240	50	1	3500	0,700	2516	ND	82	39	18	139

FIG. 5A

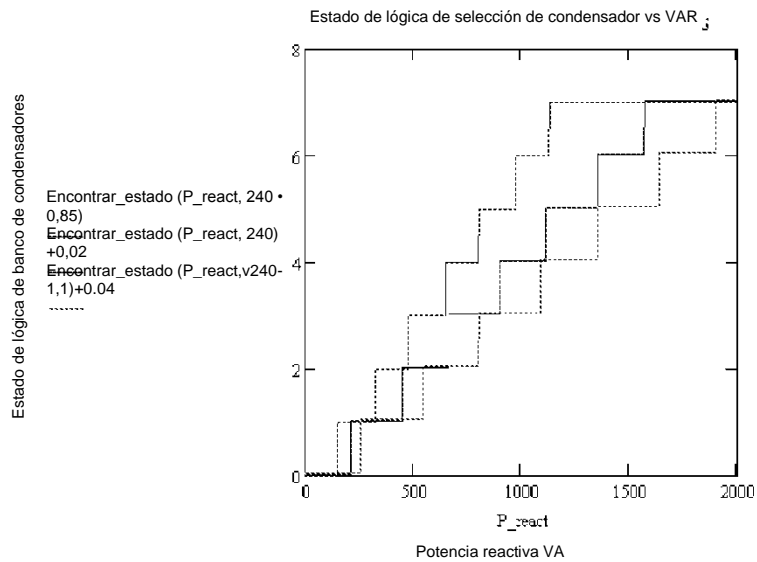


FIG. 5B