

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 685 807**

51 Int. Cl.:

G06F 13/38 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **22.10.2014** **E 14189871 (8)**

97 Fecha y número de publicación de la concesión europea: **11.07.2018** **EP 2866150**

54 Título: **Conjunto de dispositivo electrónico**

30 Prioridad:

22.10.2013 CN 201310498084

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

11.10.2018

73 Titular/es:

HON HAI PRECISION INDUSTRY CO., LTD.
(100.0%)
66 Chung Shan Road, Tu-Cheng District
New Taipei City , TW

72 Inventor/es:

LIN, CHING-CHUNG

74 Agente/Representante:

LEHMANN NOVO, María Isabel

ES 2 685 807 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Conjunto de dispositivo electrónico

CAMPO

La materia objeto en el presente documento se refiere, en general, a conjuntos de dispositivos electrónicos.

5 ANTECEDENTES

Los dispositivos maestros electrónicos, tales como el monitor, la computadora, etc., están acoplados a una pluralidad de dispositivos periféricos, tales como teléfonos móviles, buses seriales universales (USB), etc. La pluralidad de dispositivos periféricos está conectada en paralelo a los dispositivos electrónicos principales. El documento DE10147512 da a conocer la asignación de direcciones para dispositivos periféricos que detectan un voltaje superior a un voltaje umbral en una resistencia divisora.

RESUMEN

Un conjunto de dispositivo electrónico incluye un dispositivo maestro y una pluralidad de dispositivos periféricos. El dispositivo maestro incluye una unidad de lectura de señal, una unidad de identificación de capa, una unidad de selección y de control, y una resistencia de polarización positiva acoplada a una fuente de alimentación. La pluralidad de dispositivos periféricos está acoplada al dispositivo maestro y está conectada uno a uno en serie. Cada uno de los dispositivos periféricos incluye una resistencia divisora acoplada a la resistencia de polarización positiva y un módulo de conmutación acoplado entre la resistencia divisora y la tierra. El módulo de conmutación del último dispositivo periférico se enciende y cada uno de los módulos de conmutación de otros dispositivos periféricos se apaga, acoplando la resistencia de polarización positiva y cada una de las resistencias divisoras en serie. La unidad de lectura de señal está configurada para leer señales de capa desde la pluralidad de dispositivos periféricos, la unidad de identificación de capa está configurada para identificar una información de capa de la pluralidad de dispositivos periféricos de acuerdo con las señales de capa; y la unidad de selección y de control está configurada para seleccionar y controlar uno o más de la pluralidad de dispositivos electrónicos periféricos de acuerdo con la información de capa.

La invención es como se define en la reivindicación 1 independiente. Aspectos adicionales de la invención están definidos por las reivindicaciones dependientes.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

Ahora se describirán las implementaciones de la presente tecnología, solo a modo de ejemplo, con referencia a las figuras adjuntas.

La FIG. 1 es un diagrama de bloques de una realización de un conjunto de dispositivo electrónico.

La FIG. 2 es otro diagrama de bloques del conjunto de dispositivo electrónico de la FIG. 1, configurado para leer señales de capa de la pluralidad de dispositivos periféricos, la unidad de identificación de capa está configurada para identificar una información de capa de la pluralidad de dispositivos periféricos de acuerdo con las señales de capa; y la unidad de selección y de control está configurada para seleccionar y controlar uno o más de la pluralidad de dispositivos electrónicos periféricos de acuerdo con la información de capa.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

Ahora se describirán las implementaciones de la presente tecnología, solo a modo de ejemplo, con referencia a las figuras adjuntas.

La FIG. 1 es un diagrama de bloques de una realización de un conjunto de dispositivo electrónico.

La FIG. 2 es otro diagrama de bloques del conjunto de dispositivo electrónico de la FIG. 1.

La FIG. 3 es un diagrama de bloques de un dispositivo periférico de la FIG. 1.

DESCRIPCIÓN DETALLADA

Se apreciará, que por simplicidad y claridad de la ilustración, donde sea apropiado, se han repetido los números de referencia entre las diferentes figuras para indicar elementos correspondientes o análogos. Además, se exponen numerosos detalles específicos para proporcionar una comprensión completa de las realizaciones descritas en el

presente documento. Sin embargo, los expertos en la técnica entenderán que las realizaciones descritas en el presente documento pueden practicarse sin estos detalles específicos. En otros casos, métodos, procedimientos y componentes no se han descrito en detalle para no complicar la característica pertinente relacionada que se describe. Además, la descripción no se debe considerar como limitante del alcance de las realizaciones descritas en el presente documento. Los dibujos no son necesariamente a escala y las proporciones de ciertas partes se han exagerado para ilustrar mejor los detalles y las características de la presente divulgación.

Ahora, se presentarán varias definiciones que se aplican a lo largo de esta divulgación.

El término "acoplado" se define como conectado, ya sea directa o indirectamente a través de componentes intermedios, y no está necesariamente limitado a conexiones físicas. La conexión puede ser tal que los objetos estén permanentemente conectados o conectados de manera liberable. El término "que comprende", cuando se utiliza, significa "que incluye, pero no se limita necesariamente a"; indica específicamente la inclusión abierta o la membresía en la así descrita combinación, grupo, serie y similares.

La FIG. 1 ilustra un conjunto de dispositivo electrónico de acuerdo con una realización. El conjunto de dispositivo electrónico puede incluir un dispositivo 100 maestro y una pluralidad de dispositivos 200A-200C periféricos. Los dispositivos 200A-200C periféricos se pueden acoplar al dispositivo 100 maestro a través de un primer conector 50a y se pueden conectar uno a uno en serie. En al menos una realización, el dispositivo 100 maestro puede ser un monitor o una computadora, y la pluralidad de dispositivos 200A-200C periféricos puede ser tabletas, teléfonos móviles, decodificadores, fuentes de alimentación, discos duros, enrutadores, etc.

En esta realización, la pluralidad de dispositivos 200A-200C periféricos puede incluir un primer dispositivo 200A periférico, un segundo dispositivo 200B periférico y un tercer dispositivo 200C periférico. Un segundo conector 50b del primer dispositivo 200A periférico se puede acoplar al primer conector 50a, y un segundo conector 50c del primer dispositivo 200A periférico se puede acoplar a un segundo conector 50d del segundo dispositivo 200B periférico. Un segundo conector 50e del segundo dispositivo 200B periférico se puede acoplar a un segundo conector 50f del tercer dispositivo 200C periférico, y un segundo conector 50g del tercer dispositivo 200C periférico se puede acoplar a otro dispositivo periférico.

Cada uno de los primeros conectores 50a y de los segundos conectores 50b-50g puede tener diferentes tipos de interfaces o con el mismo tipo de interfaces. En al menos una realización, las interfaces pueden ser interfaces multimedia de alta definición (HDMI), buses universales en serie (USB) o accesorios de tecnología avanzada en serie externos (ESATA).

El dispositivo 100 maestro puede incluir una unidad 10 de lectura de señal de voltaje, una unidad de lectura de señal de circuito integrado (I2C), una unidad 30 de identificación de capa y una unidad 40 de selección y de control. La unidad 10 de lectura de señal de voltaje puede acoplarse eléctricamente al primer conector 50a y puede leer señales potenciales de la pluralidad de dispositivos 200A-200C periféricos acoplados al dispositivo 100 maestro. La unidad 30 de identificación de capa puede acoplarse eléctricamente a la unidad 10 de lectura de señal de voltaje y puede identificar información de capa de la pluralidad de dispositivos 200A-200C periféricos de acuerdo con las señales potenciales. La información de capa puede incluir una capa total y un número de capa de la pluralidad de dispositivos 200A-200C periféricos. La unidad 20 de lectura de señal I2C puede acoplarse al primer conector 50a y a la unidad 30 de identificación de capa, y la unidad 20 de lectura de señal I2C puede leer además señales I2C transmitidas por la pluralidad de dispositivos 200A-200C periféricos. La unidad 30 de identificación de capa puede identificar la información de capa de la pluralidad de dispositivos 200A-200C periféricos. La unidad 40 de selección y de control puede acoplarse al primer conector 50a y a la unidad 30 de identificación de capa. La unidad 40 de selección y de control puede enviar señales de control al primer conector 50a para seleccionar uno o más de la pluralidad de dispositivos 200A-200C periféricos de acuerdo con la información de capa identificada. En esta realización, el primer dispositivo 200A periférico es una primera capa, el segundo dispositivo 200B periférico es una segunda capa y el tercer dispositivo 200C periférico es una tercera capa. La unidad 30 de identificación de capa identifica tres capas. La unidad 40 de selección y de control puede comunicar y controlar selectivamente la primera capa y/o la segunda capa y/o la tercera capa. Por ejemplo, el dispositivo 100 maestro puede controlar un módulo de conmutación de potencia para encender/apagar, un brillo, un contraste, un sonido, etc. de la pluralidad de dispositivos 200A-200C periféricos.

La FIG. 2 ilustra que el dispositivo 100 maestro puede incluir una resistencia R0 de polarización positiva. Un primer terminal de la resistencia R0 de polarización positiva puede estar eléctricamente acoplado a una fuente VCC de alimentación, y un segundo terminal de la resistencia R0 de polarización positiva puede acoplarse al primer dispositivo 200A periférico. El primer dispositivo 200A periférico puede incluir una primera resistencia R1 divisora y un primer módulo 300a de conmutación. Un primer terminal de la primera resistencia R1 divisora está eléctricamente acoplado a la resistencia R0 de polarización positiva, y un segundo terminal de la primera resistencia R1 divisora está eléctricamente acoplado al primer módulo 300a de conmutación. El segundo dispositivo 200B periférico puede incluir una segunda resistencia R2 divisora y un segundo módulo 300b de conmutación. Un primer terminal de la

segunda resistencia R2 divisora puede estar eléctricamente acoplado al segundo terminal de la primera resistencia R1 divisora, y un segundo terminal de la segunda resistencia R2 divisora puede estar eléctricamente acoplado al segundo módulo 300b de conmutación. El tercer dispositivo periférico 300C puede incluir una tercera resistencia R3 divisora y un tercer módulo 300c de conmutación. Un primer terminal de la tercera resistencia R3 divisora puede estar eléctricamente acoplado al segundo terminal de la segunda resistencia R2 divisora, y un segundo terminal de la tercera resistencia R3 divisora puede estar eléctricamente acoplado al tercer módulo 300c de conmutación. En al menos una realización, el valor de la resistencia R0 de polarización positiva es igual a cada uno de los valores de la primera resistencia R1 divisora, de la segunda resistencia R2 divisora y de la tercera resistencia R3 divisora.

La FIG. 3 ilustra que cada uno de los primeros módulos 300a de conmutación, de los segundos módulos 300b de conmutación y de los terceros módulos 300c de conmutación puede incluir un primer transistor Q1 y un segundo transistor Q2. Un terminal base del primer transistor Q1 puede estar eléctricamente acoplado a un conmutador 60 de fuente de alimentación a través de una primera resistencia R10. Un terminal colector del primer transistor Q1 puede estar eléctricamente acoplado a un terminal base del segundo transistor Q2. Un terminal emisor del primer transistor Q1 está conectado a tierra. Un terminal base del segundo transistor Q2 puede estar eléctricamente acoplado a la fuente VCC de alimentación a través de una segunda resistencia R11. Un terminal colector del segundo transistor Q2 puede estar eléctricamente acoplado al segundo terminal de la primera resistencia R1 divisora. Un terminal emisor del segundo transistor Q2 está conectado a tierra. En al menos una realización, el primer transistor Q1 y el segundo transistor Q2 son ambos transistores de tipo NPN.

Cuando el primer dispositivo 200A periférico está acoplado al dispositivo 100 maestro, se enciende el primer módulo 300a de conmutación. El potencial del nodo A es igual a la mitad de la fuente VCC de alimentación. La unidad 10 de lectura de voltaje puede obtener el potencial del nodo A, y la unidad 30 de identificación de capa puede identificar que hay una capa fuera del dispositivo 100 maestro.

Cuando el primer dispositivo 200A periférico y el segundo dispositivo 200B periférico están acoplados uno a uno en serie, y el primer dispositivo 200A periférico está acoplado al dispositivo 100 maestro, el primer módulo 300a de conmutación se apaga, y el segundo conmutador 300b se enciende. El potencial del nodo A es igual a dos tercios de la fuente VCC de alimentación, y el potencial del nodo B es igual a un tercio de la fuente VCC de alimentación. La unidad 10 de lectura de voltaje puede obtener los potenciales de los nodos A, B, y la unidad 30 de identificación de capa puede identificar que hay dos capas fuera del dispositivo 100 maestro. La unidad 30 de identificación de capa puede identificar adicionalmente que el primer dispositivo 200A periférico está ubicado en la primera capa y el segundo dispositivo 200B periférico está ubicado en la segunda capa.

Cuando el primer dispositivo 200A periférico, el segundo dispositivo 200B periférico y el tercer dispositivo 200C periférico están acoplados uno a uno en serie, y el primer dispositivo 200A periférico está acoplado al dispositivo 100 maestro, el primer módulo 300a de conmutación y el segundo módulo 300b de conmutación están apagados, y el tercer conmutador 300c está encendido. El potencial del nodo A es igual a tres cuartos de la fuente VCC de alimentación, el potencial del nodo B es igual a la mitad de la fuente VCC de alimentación y el potencial del nodo C es igual a un tercio de la fuente VCC de alimentación. La unidad 10 de lectura de voltaje puede obtener los potenciales de los nodos A, B, C, y la unidad 30 de identificación de capa puede identificar que hay tres capas fuera del dispositivo 100 maestro. La unidad 30 de identificación de capa puede identificar adicionalmente que el primer dispositivo 200A periférico está ubicado en la primera capa, el segundo dispositivo 200B periférico está ubicado en la segunda capa y el tercer dispositivo 200C periférico está ubicado en la tercera capa. La unidad 30 de identificación de capa puede identificar que hay tres capas fuera del dispositivo 100 maestro.

Las realizaciones mostradas y descritas anteriormente son solo ejemplos. Muchos detalles se encuentran a menudo en la técnica, tal como las otras características de un conjunto de dispositivo electrónico. Por lo tanto, muchos de esos detalles no se muestran ni se describen. Aunque en la descripción anterior se han expuesto numerosas características y ventajas de la presente tecnología, junto con detalles de la estructura y la función de la presente divulgación, la divulgación es solo ilustrativa, y se pueden hacer cambios en los detalles, incluso en asuntos de forma, tamaño y disposición de las partes dentro de los principios de la presente divulgación hasta, e incluyendo la extensión completa establecida por el significado general amplio de los términos usados en las reivindicaciones. Por lo tanto, se apreciará que las realizaciones descritas anteriormente pueden modificarse dentro del alcance de las reivindicaciones.

REIVINDICACIONES

1. Un conjunto de dispositivo electrónico que comprende:

un dispositivo (100) maestro que comprende una unidad (10) de lectura de señal, una unidad (30) de identificación de capa, una unidad (40) de selección y de control y una resistencia (R0) de polarización positiva acoplada a una fuente (VCC) de alimentación; y

una pluralidad de dispositivos (200A, 200B, 200C) periféricos conectados en serie y acoplados al dispositivo (100) maestro; cada uno de los dispositivos (200A/200B/200C) periféricos que comprende una resistencia (R1/R2/R3) divisora acoplada a la resistencia (R0) de polarización positiva y un módulo (300a/300b/300c) de conmutación acoplado entre la resistencia (R1/R2/R3) divisora y tierra;

en donde el módulo de conmutación del último dispositivo (300c) periférico está encendido y cada uno de los módulos de conmutación de otros dispositivos (300a, 300b) periféricos está apagado, acoplando la resistencia (R0) de polarización positiva y cada una de las resistencias (R1, R2, R3) divisoras en serie;

caracterizado por que

la unidad (10) de lectura de señal está configurada para leer señales de capa de la pluralidad de dispositivos periféricos de acuerdo con la pluralidad de resistencias (R1, R2, R3) divisoras;

la unidad (30) de identificación de capa está configurada para identificar una información de capa de la pluralidad de dispositivos periféricos de acuerdo con las señales de capa;

la unidad (40) de selección y de control está configurada para seleccionar y controlar uno o más de la pluralidad de dispositivos periféricos de acuerdo con la información de capa.

2. El conjunto de dispositivo electrónico de la reivindicación 1, en donde la pluralidad de dispositivos (200A, 200B, 200C) periféricos comprende un primer dispositivo (200A) periférico, un segundo dispositivo (200B) periférico y un tercer dispositivo (200C) periférico, el primer dispositivo (200A) periférico comprende una primera resistencia (R1) divisora, el segundo dispositivo (200B) periférico comprende una segunda resistencia (R2) divisora y el tercer dispositivo (200C) periférico comprende una tercera resistencia (R3) divisora; la primera resistencia (R1) divisora, la segunda resistencia (R2) divisora, la tercera resistencia (R3) divisora están eléctricamente acopladas en serie, y la primera resistencia (R1) divisora está eléctricamente acoplada a la resistencia (R0) de polarización positiva.

3. El conjunto de dispositivo electrónico de la reivindicación 2, en donde la unidad (10) de lectura de señal está configurada para leer una señal potencial de cada una de las primeras resistencias (R1) divisoras, de las segundas resistencias (R2) divisoras y de las terceras resistencias (R3) divisoras, la unidad (30) de identificación de capa está configurada para identificar una capa total de la pluralidad de dispositivos periféricos y un número de capa de cada uno de los dispositivos periféricos de acuerdo con las señales potenciales.

4. El conjunto de dispositivo electrónico de la reivindicación 2 o 3, en donde el valor de la resistencia (R0) de polarización positiva es igual al valor de cada una de las primeras resistencias (R1) divisoras, de las segundas resistencias (R2) divisoras y de las terceras resistencias (R3) divisoras.

5. El conjunto de dispositivo electrónico de la reivindicación 4, en donde un primer módulo (300a) de conmutación está eléctricamente acoplado a la primera resistencia (R1) divisora y a la segunda resistencia (R2) divisora, un segundo módulo (300b) de conmutación está eléctricamente acoplado a la segunda resistencia (R2) divisora y a la tercera resistencia (R3) divisora, y un tercer módulo (300c) de conmutación está eléctricamente acoplado a la tercera resistencia (R3) divisora; el primer módulo (300a) de conmutación y el segundo módulo (300b) de conmutación están apagados y el tercer módulo (300c) de conmutación está encendido.

6. El conjunto de dispositivo electrónico de la reivindicación 5, en donde cada uno de los primeros dispositivos (200A) periféricos, de los segundos dispositivos (200B) periféricos y de los terceros dispositivos (200C) periféricos comprende un conmutador (60) de fuente de alimentación, el conmutador (60) de fuente de alimentación del tercer dispositivo (200C) periférico está configurado para proporcionar una señal de bajo nivel al tercer módulo (300c) de conmutación, los conmutadores (60) de fuente de alimentación en el primer dispositivo (200A) periférico y en el segundo dispositivo (200B) periférico están configurados para proporcionar una señal de alto nivel para el primer módulo (300a) de conmutación y para el segundo módulo (300b) de conmutación.

7. El conjunto de dispositivo electrónico de la reivindicación 6, en donde cada uno de los primeros módulos (300a) de conmutación, de los segundos módulos (300b) de conmutación y de los terceros módulos (300c) de conmutación comprende un primer transistor y un segundo transistor (Q1), un terminal base del primer transistor (Q1) está eléctricamente acoplado al conmutador (60) de fuente de alimentación, un terminal colector del primer transistor está eléctricamente acoplado a un terminal base del segundo transistor (Q2), un terminal emisor del segundo transistor (Q2) está conectado a tierra; el terminal base del segundo transistor (Q2) está eléctricamente acoplado a una fuente

(VCC) de alimentación a través de una cuarta resistencia (R11), un terminal colector del segundo transistor (Q2) está acoplado eléctricamente a la primera resistencia (R1) divisora y un terminal emisor del segundo transistor (Q2) está conectado a tierra.

5 8. El conjunto de dispositivo electrónico de la reivindicación 7, en donde el primer transistor (Q1) y el segundo transistor (Q2) son transistores de tipo NPN.

9. El conjunto de dispositivo electrónico de la reivindicación 1, en donde el dispositivo (100) maestro está eléctricamente acoplado a la pluralidad de dispositivos periféricos a través de un circuito inter-integrado, la unidad (10) de lectura de señal está configurada para identificar una capa total de la pluralidad de dispositivos periféricos y un número de capa de cada uno de los dispositivos periféricos.

10 10. El conjunto de dispositivo electrónico de la reivindicación 9, en donde el dispositivo maestro comprende un primer conector (50a), cada uno de los dispositivos periféricos comprende dos segundos conectores (50b, 50c), la pluralidad de dispositivos está acoplada al dispositivo maestro a través del primer conector (50a), y cada uno de los dispositivos periféricos está acoplado a otro dispositivo periférico a través de al menos uno de los segundos conectores (50b, 50c), conectando así la serie de dispositivos periféricos uno a uno en serie.

15

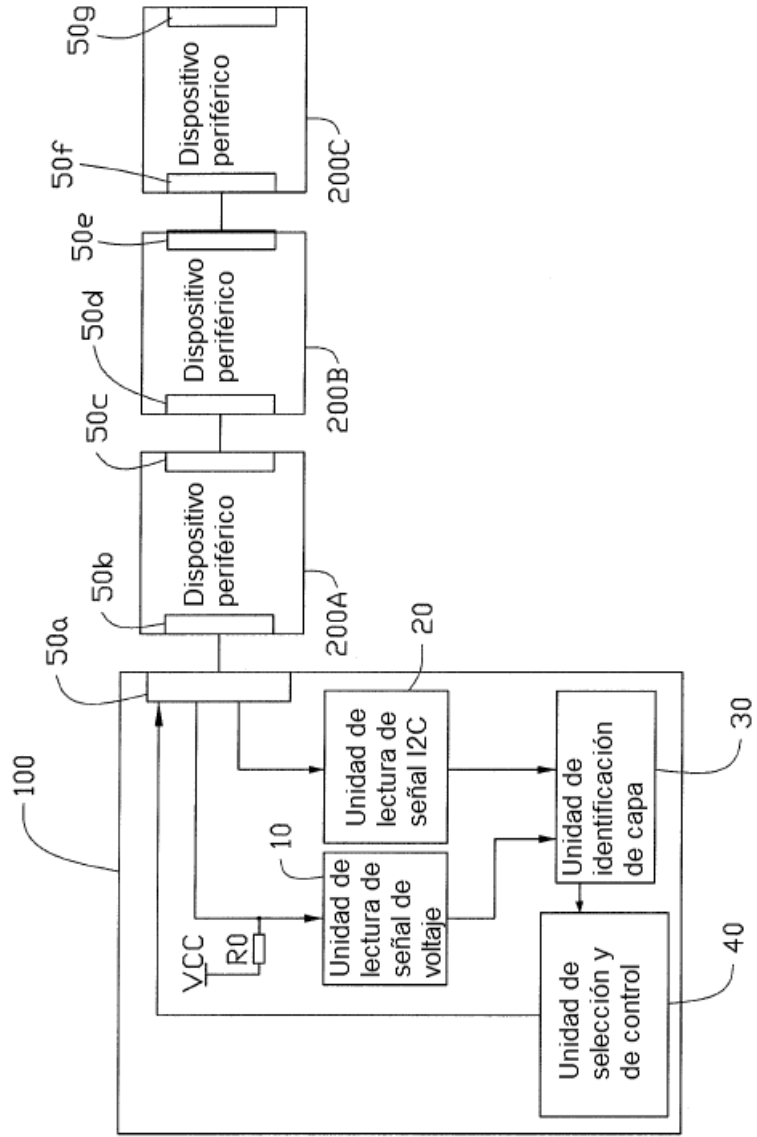


FIG. 1

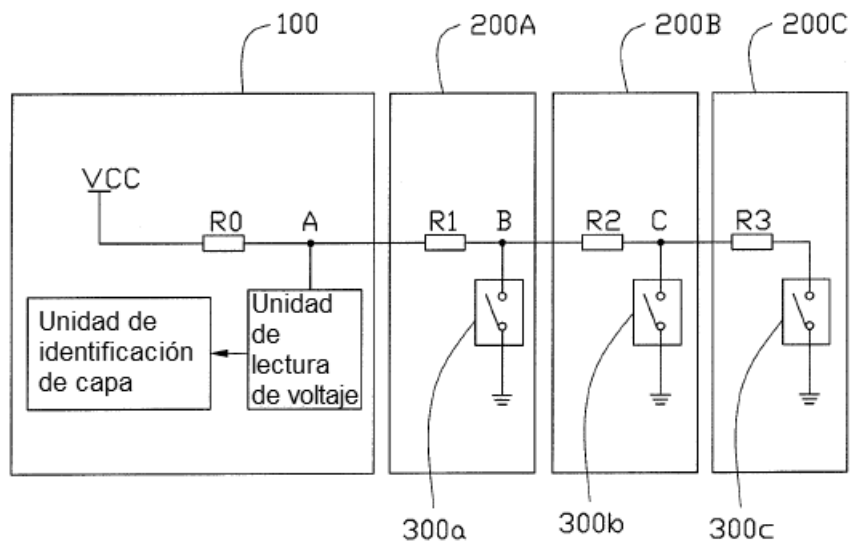


FIG. 2

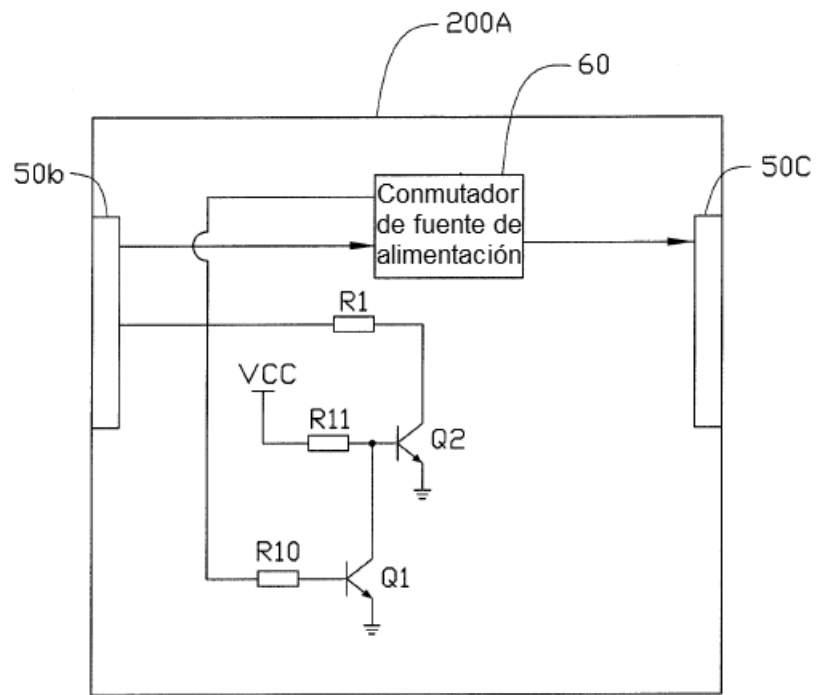


FIG. 3