

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 687 454**

51 Int. Cl.:

H01L 27/146 (2006.01)

H01L 25/16 (2006.01)

H01L 25/04 (2014.01)

H01L 23/544 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **17.02.2010 PCT/IB2010/000301**

87 Fecha y número de publicación internacional: **14.10.2010 WO10116218**

96 Fecha de presentación y número de la solicitud europea: **17.02.2010 E 10708364 (4)**

97 Fecha y número de publicación de la concesión europea: **11.07.2018 EP 2417630**

54 Título: **Método para fabricar un panel de formación de imágenes por radiación que comprende mosaicos de imágenes**

30 Prioridad:

07.04.2009 US 419528

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

25.10.2018

73 Titular/es:

**OY AJAT LTD. (100.0%)
Tekniikantie 4B
02150 Espoo, FI**

72 Inventor/es:

**SPARTIOTIS, KONSTANTINOS y
LAUKKA, PASI**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 687 454 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Método para fabricar un panel de formación de imágenes por radiación que comprende mosaicos de imágenes

Antecedentes de la invención

5 La presente invención se refiere al campo de la fabricación de paneles de formación de imágenes por radiación (por ejemplo, panel de formación de imágenes de rayos X para radiación de energía de 5 keV o más). Más específicamente, la presente invención se refiere a métodos para fabricar paneles de formación de imágenes de rayos X y rayos gamma hechos de híbridos de formación de imágenes de CdTe o CdZnTe. Un híbrido de formación de imágenes de CdTe o CdZnTe es un dispositivo de formación de imágenes de rayos X o rayos gamma que comprende un sustrato semiconductor para convertir rayos X/rayos gamma en una señal electrónica y un sustrato de lectura (típicamente, un CMOS u otro circuito integrado de aplicación específica; "ASIC"). La construcción de una matriz que comprende tales híbridos es una tarea compleja e implica métodos de mosaico que pretenden a reducir la separación o el área inactiva entre los híbridos (mosaicos). En cualquier caso, hasta la fecha, tales métodos de fabricación implican un enfoque manual para posicionar y fijar los híbridos en una placa base.

Descripción de la técnica relacionada

15 CdTe y CdZnTe son bien conocidos por ser detectores de formación de imágenes de rayos X de alta sensibilidad, que convierten directamente los rayos X (o rayos gamma) en señal electrónica. Bajo la influencia de un campo eléctrico, la señal electrónica se recoge en electrodos de píxel que están dispuestos en una cara de los detectores de CdTe (o CdZnTe). Por lo general, los detectores están unidos a un circuito de lectura que puede fabricarse utilizando un proceso CMOS convencional u otros procesos ASIC (Circuito integrado específico de la aplicación: "ASIC"). La técnica de unión es unión flip-chip o, en otras palabras, unión de tope. Esta estructura de CdTe-ASIC (o CdZnTe-ASIC) se conoce como híbrida, ya que sirve como detector (CdTe, CdZnTe) y como lectura (ASIC). Estos dispositivos híbridos de formación de imágenes tienen excelentes capacidades de formación de imágenes por rayos X y exhiben alta sensibilidad, alta velocidad y alta resolución. Un área activa típica, o campo de visión, de estos dispositivos híbridos está limitada por los detectores semiconductores de CdTe o CdZnTe y también por el proceso ASIC. Típicamente, los híbridos de CdTe-CMOS o CdZnTe-CMOS tienen un área activa de pocos mm² y hasta pocos cm². En un ejemplo de híbridos, la lectura del CMOS tiene almohadillas de contacto de salida que están destinadas a ser cableadas unidas a una placa base, conectando así el híbrido eléctricamente a la placa base. Estos híbridos se denominan como panelables de tres lados, porque generalmente el espacio necesario para unir los cables es de varios milímetros. En otro ejemplo, el CMOS tiene vías de acceso que encaminan las señales principales del CMOS desde la cara del píxel a la cara opuesta del CMOS. Estos híbridos se denominan como panelables de cuatro lados porque las almohadillas de cables están conectadas a la placa base a través de la parte posterior del CMOS (por ejemplo, híbridos como se divulgan en el documento EP1554760). En los diversos campos de aplicaciones, se necesitan áreas activas más grandes o áreas activas de diferentes formas. Por lo tanto, varios híbridos (de cualquier tipo) deben combinarse utilizando técnicas de mosaico. Este mosaico puede ser tan simple como colocar los híbridos uno al lado del otro en una placa de circuito impreso madre ("pcb"), o en una cerámica, o algún intercalador que luego se monta en una placa base o métodos de mosaico más complejos que apuntan a minimizar la separación entre los mosaicos o minimizar el espacio muerto creado por las almohadillas de unión de cables que conectan cada híbrido con la PCB (en el caso de híbridos panelables de tres lados). Dichos métodos de mosaico se describen en los documentos US6.163.028, US 10/532.119, US6.703.617, WO2004/038810, WO0065376, US5.464.984, US5.635.718, EP0933650, US4.891.522, US5.065.245, US5.391.881, US5.436.458, US5.635.718, JP2007155565.

La tecnología híbrida de CdTe-CMOS (ya sea panelable de tres o cuatro lados) es bastante nueva y apenas ha entrado en el mercado. Hasta ahora, y en cada caso, el montaje de los híbridos de CdTe-CMOS o CdZnTe-CMOS en una placa base u otra superficie de montaje (incluido el intercalador) se realiza, en el caso de híbridos panelables de tres lados, manualmente, típicamente con un posicionamiento de ingeniero y montando los híbridos en la placa base bajo un microscopio. En el caso de híbridos panelables de cuatro lados, el montaje se realiza mediante un adhesivo de tipo flip-chip que coloca los híbridos uno por uno y conecta los contactos de salida en la parte posterior del CMOS a los contactos correspondientes en la placa base o intercalador. En cualquiera de los casos (manualmente o usando un adhesivo de tipo flip-chip) los híbridos se alinean entre sí y el espacio entre los bordes de los detectores de CdTe (o CdZnTe) se minimiza de acuerdo con el pensamiento general de que la separación mínima entre los detectores de CdTe (o CdZnTe) mejoraría la calidad de la imagen. Además, la precisión de corte del CdTe (o CdZnTe) no es tan buena como la del CMOS (u otros ASIC), lo que requería que el ojo humano observara los bordes tanto del CdTe/CdZnTe como de los bordes del chip de lectura CMOS y de la alineación entre los híbridos, durante el procedimiento de colocación.

55 Sin embargo, sería beneficioso reducir al mínimo el trabajo humano al fabricar estos paneles montados de CdTe-CMOS. Existe una necesidad de métodos de fabricación para montar los híbridos CdTe-CMOS (o CdZnTe-CMOS) (de cualquier tipo, es decir, híbridos panelables con tres lados y cuatro lados) a los paneles, que aumentarían los volúmenes fabricados y mantendrían el coste de producción bajo, además de mantener una buena fiabilidad de los paneles montados y tener resultados repetibles.

El documento WO 97/08751 divulga un soporte de formación de imágenes para detectores extraíbles. El soporte comprende orificios en los cuales unos pasadores de los detectores están adaptados para entrar para alinear los detectores con respecto al soporte.

5 El documento EP1986239 divulga un método para fabricar una matriz de detectores utilizando marcas de alineación en los detectores y un soporte para colocar cada detector.

El documento WO 2005/029126 divulga un detector para un sistema de formación de imágenes nuclear que comprende un soporte para elementos detectores individuales. Como en las dos anteriores, en esta solución también, cada uno de los elementos del detector está alineado con respecto al soporte.

10 También hay métodos para producir matrices de centelleo para fines de tomografía de ordenador. Este método se divulga, por ejemplo, en los documentos US 2005/0178971 y US 2002/0064252. También el documento US 2004/0120448 divulga una estructura de soporte para colocar detectores de CT en módulos de detectores. En los métodos descritos, el problema es alinear las unidades de centelleo con respecto a las unidades colimadoras.

Sumario de la invención

15 La presente invención es un método de fabricación automática o semiautomática de un panel de formación de imágenes digital de radiación según la reivindicación 1 o la reivindicación 10.

El panel puede ser una placa de circuito impreso ("PCB"), o un material cerámico o un sustrato de placa base/montaje.

20 La(s) marca(s) de alineación en cada ASIC pueden estar en el lado de los píxeles (principalmente el caso de híbridos panelables de tres lados) o en la parte trasera del ASIC, es decir, el lado orientado hacia la placa de montaje (en su mayoría el caso de los híbridos panelables con cuatro lados). Alternativamente, la(s) marca(s) de alineación para cada híbrido puede(n) proporcionarse en el detector de CdTe o CdZnTe en lugar del ASIC, pero no es un enfoque preferible, ya que la precisión lograda con el diseño y la fabricación del ASIC supera con creces la de los sustratos de CdTe o CdZnTe.

25 El presente método de fabricación de la invención preferiblemente tiene la etapa adicional de la elección de una separación predeterminada entre cada uno de los híbridos, midiéndose esta separación entre los bordes de los detectores de CdTe o CdZnTe o los bordes del ASIC. Durante el proceso de montaje (c, d, e), la distancia entre los bordes de los detectores de Cd(Zn)Te se mantiene no menos de 10 μm y no más de 2 píxeles de ancho, pero preferiblemente aproximadamente un píxel de ancho ($\pm 50 \mu\text{m}$). Esto asegura que los híbridos no entren en contacto entre sí, lo que puede causar un cortocircuito eléctrico o romper el sustrato semiconductor. Tener una separación en un panel de CdTe-CMOS o CdZnTe-CMOS de mosaico es inevitable. Sin embargo, de acuerdo con la presente invención, el método proporciona una separación entre los híbridos que, contrariamente al pensamiento instintivo, no es lo más pequeña posible, sino que es lo más cercana posible al tamaño de un píxel, que es el óptimo para interpolar tal separación sin causar distorsión de la imagen.

30 Las distancias predeterminadas (x_1, y_1), (x_2, y_2), ... (x_n, y_n) y/o ángulos $\theta_1, \theta_2, \dots, \theta_n$ están programados en la máquina automática antes de comenzar el proceso de fabricación y durante la fase de programación.

Breve descripción de los dibujos

La figura 1 muestra esquemáticamente un híbrido de Cd(Zn)Te-CMOS panelable con tres lados que incluye las marcas de alineación.

40 La figura 2 muestra esquemáticamente un panel que comprende una placa de montaje sobre la cual deben colocarse los híbridos por medio del método de fabricación inventado.

45 Las figuras 3a, b y d muestran esquemáticamente un primer híbrido colocado en una placa de circuito impreso madre (o sustrato de montaje o placa base equivalente de un material o tipo diferente) y un segundo híbrido e híbridos adicionales de acuerdo con dos realizaciones preferidas del método de fabricación automático o semiautomático divulgado. La figura 4 muestra esquemáticamente un detalle de híbridos colocados en una placa base de acuerdo con el método de fabricación automático o semiautomático de la invención.

La figura 4 muestra esquemáticamente un detalle de híbridos colocados en una placa base de acuerdo con el método de fabricación automático o semiautomático de la invención.

50 La figura 5 muestra un híbrido panelable de cuatro lados que tiene, de acuerdo con la invención actual, las marcas de alineamiento proporcionadas en la cara de entrada del sustrato detector de CdTe o CdZnTe o en la cara posterior del ASIC correspondiente.

La figura 6 muestra esquemáticamente los híbridos colocados de acuerdo con el método de fabricación automático o semiautomático actual en una configuración panelable de cuatro lados.

Descripción detallada de las realizaciones preferidas

La invención y las realizaciones preferidas se describen con referencia a los dibujos.

La figura 1 representa un híbrido de CdTe-CMOS o CdSnTe-CMOS panelable con tres lados (10). Dicho híbrido comprende el detector (11), que es CdTe o CdZnTe, siendo tal detector para recibir radiación entrante y convertir la radiación recibida directamente en una señal electrónica, y del chip de lectura del CMOS (12), para recoger, procesar y leer la señal electrónica desde cada píxel.

La colocación divulgada se consigue con un dispositivo controlado por ordenador y/o un dispositivo de recogida y colocación mecánica, por ejemplo, un mecanismo de robot o similar para evitar el enfoque manual de la técnica anterior y para lograr la precisión deseada.

Volviendo a la figura 1, el CMOS de lectura (12) está provisto de marcas de alineación o de referencia (13) y también tiene ordinariamente almohadillas de unión de cables (14), líneas de energía (15), etc. Estos elementos (13), (14) se usarán para alinear con precisión el CMOS de lectura con respecto a la placa de montaje con referencias a las siguientes etapas del método de fabricación del panel. Las marcas y las referencias que se pueden usar para alinear con precisión el híbrido se pueden elegir a partir de varias estructuras en el CMOS, algunas de las cuales pueden ser estructuras funcionales tales como las líneas eléctricas (15), almohadillas de unión de cables (14) o cualquier otra estructura que esté posicionada con precisión y sea repetible en cada híbrido que se utilizará para formar el panel de formación de imágenes. Preferiblemente, la precisión de tales marcas o estructuras debería ser de 10 μm o mejor, incluso más preferiblemente de 5 μm o mejor, y aún más preferiblemente de 1 μm o mejor. En cualquier caso, la precisión de las marcas o estructuras de alineación debe ser mejor que la precisión deseada de la ubicación del híbrido en el panel de formación de imágenes.

La figura 2 representa la placa base sobre la cual se montarán los híbridos (es decir, mosaicos de formación de imágenes) por medio del método de fabricación automático descrito. La placa base (20) es típicamente una placa de circuito impreso, más comúnmente una PCB "FR4". Otras placas madre pueden estar hechas de materiales cerámicos u otros materiales adecuados sobre los que se pueden colocar mosaicos de formación de imágenes. La placa base está provista de correspondientes almohadillas de unión de cables (22) que conectarán eléctricamente los circuitos y los componentes electrónicos de la PCB a los CMOS de lectura (12) de la figura 1. Adicionalmente, la PCB (20) tiene marcas de alineación (21) que se usarán para alinear primero la PCB en un sistema de coordenadas absolutas de la máquina automática, y, en consecuencia, se usará para proporcionar alineación con respecto a los mosaicos.

Estas marcas de alineación (21) no necesitan ser implementadas con el fin específico de alineación, pero pueden ser cualquier estructura exacta de la PCB (o placa base en general). Por ejemplo, como marcas de alineación, se pueden usar algunos componentes en la PCB, algunas líneas, algunas líneas eléctricas, algunos bordes o partes metálicas, etc. Básicamente cualquier estructura, geometría o parte en la PCB (o placa base) que pueda ser reconocido y utilizado como una marca de alineación se puede utilizar para este propósito, pero aquí para mayor comodidad a la marca el dibujo la hemos indicado con una cruz (21).

El procedimiento de alineación de la PCB con respecto al sistema de coordenadas de la máquina de colocación automática de híbridos, así como el procedimiento de alineación del híbrido con respecto a la PCB se basa en la visión y el reconocimiento de patrones basado en ordenador. Esto significa que las marcas de alineación de la PCB (o placa base) son inspeccionadas por una cámara o sistema de lentes de algún tipo en la máquina, y luego el software de reconocimiento de patrones disponible comercialmente identificará que estas son efectivamente las marcas de alineación seleccionadas por el usuario, y luego comparará las coordenadas de las marcas de alineación visualmente reconocidas para el sistema de coordenadas de la máquina. A continuación, la corrección automática se realizará en el plano horizontal X, Y, de modo que la PCB tenga una posición absoluta con respecto al sistema de coordenadas de la máquina de colocación automática de híbridos. Una vez que la PCB se alinea y coloca con precisión dentro de la máquina, los híbridos (mosaicos de imágenes) se pueden colocar también utilizando el mismo software de reconocimiento de patrones que identifica las marcas específicas en el(los) híbrido(s) y los empareja con las marcas correspondientes en la PCB. Las marcas correspondientes en la PCB no necesitan tener la misma forma o tamaño.

Las figuras 3a, 3b, 3c, 3d explican cómo se realiza la colocación automática de los híbridos de Cd(Zn)Te-CMOS, es decir, el método mediante el cual automáticamente uno puede colocar mosaicos de imágenes en una placa base (o sustrato) y crear así un panel de imágenes. El beneficio de hacer este montaje automáticamente es que el rendimiento es mucho mejor de lo que se lograría mediante la colocación manual bajo el microscopio y, en segundo lugar, la precisión, repetibilidad y fiabilidad de las ubicaciones es mucho mejor de lo que se lograría mediante métodos manuales.

En la figura 3a, hay una placa base o un sustrato de algún tipo (por ejemplo, una placa base (20) como se muestra en la figura 2), sobre la que se colocan los híbridos de Cd(Zn)Te-CMOS. La placa base está provista de marca(s) de alineación (21). Sin embargo, como marcas de alineación, se debe entender cualquier estructura en la placa base que pueda usarse con fines de alineación, como almohadillas de cables, componentes electrónicos, áreas o bordes

dorados o platinados, líneas eléctricas, etc. La figura 3a también muestra a modo de ejemplo tres híbridos (30), (31), (32). Cada híbrido está provisto de marca(s) de alineación (13) correspondiente(s) a marcas de alineación (21) en la placa base (20). Las marcas de alineación se pueden proporcionar, como se puede ver, ya sea en el CMOS (chip de lectura) o en el detector. En caso de que uno use marcas de alineación en el CMOS, también podrían ser las almohadillas de cables, estructuras electrónicas, líneas eléctricas, etc.

En una realización preferida de la presente invención, un primer híbrido (30) se coloca automáticamente en la placa base mediante visión de máquina midiendo las distancias x_1 , y_1 entre las marcas de alineación sobre el híbrido y la placa base y también el ángulo θ_1 entre (33) y (34) que define el paralelismo del híbrido (30) con respecto a la posición de alineación de la placa base y el establecimiento de tales distancias a los valores predeterminados X_1 , Y_1 y el ángulo θ_1 al valor predeterminado Θ_1 . Por ejemplo, como se representa en la figura 3a, Θ_1 es igual a cero grados y la línea de puntos (33) es paralela a (34). El primer híbrido (también en las realizaciones de las figuras 3b, 3c) también se puede colocar utilizando un sistema de coordenadas absoluto de la máquina y ajustando x_1 , y_1 , θ_1 a ciertos valores predeterminados. La precisión que se puede lograr en el posicionamiento es mejor que 0,1 mm y puede ser tan buena o mejor que 0,01 mm. La figura 3d muestra un θ distinto de cero, en cuyo caso el mosaico no se alinearía correctamente.

En una segunda etapa, un segundo híbrido (31) se coloca mediante la medición de las distancias x_2 , y_2 y el ángulo θ_2 entre (35) y (36) de las segundas marcas de alineación del híbrido con respecto a las primeras marcas de alineación del híbrido. Estas distancias se establecen a valores predeterminados X_2 , Y_2 , el ángulo a un valor predeterminado Θ_2 (igual a cero en este ejemplo) y el híbrido (31) se coloca en esa ubicación. En una tercera etapa, se coloca un tercer híbrido (32) midiendo las distancias x_3 , y_3 y el ángulo θ_3 entre (37) y (38) de las marcas de alineación del tercer híbrido con respecto a las segundas marcas de alineación del híbrido, es decir, el híbrido previo. Estas distancias se establecen en valores predeterminados X_3 , Y_3 y Θ_3 (igual a cero en este ejemplo) y el híbrido se coloca en la ubicación. Se pueden colocar híbridos adicionales (4, 5, ... n) usando el mismo método, construyendo eventualmente una matriz de uno o dos tipos de mosaicos de formación de imágenes (híbridos) colocados en la placa base, o un sustrato.

En la figura 3b, hay una placa base o un sustrato de algún tipo (por ejemplo, una placa base (20) como se muestra en la figura 2), sobre la que se colocan los híbridos de Cd(Zn)Te-CMOS, de acuerdo con otro aspecto de la presente invención. La placa base está provista de marca(s) de alineación (21). Sin embargo, como marcas de alineación, se debe entender cualquier estructura en la placa base que pueda usarse con fines de alineación, como almohadillas de cables, componentes electrónicos, áreas o bordes dorados o platinados, líneas eléctricas, etc. La figura 3b también muestra a modo de ejemplo tres híbridos (30), (31), (32). Cada híbrido está provisto de marca(s) de alineación (13). Las marcas de alineación se pueden proporcionar, como se puede ver, ya sea en el CMOS (chip de lectura) o en el detector. En caso de que uno use marcas de alineación en el CMOS, también podrían ser las almohadillas de cables, estructuras electrónicas, líneas eléctricas, etc. En esta segunda realización preferida de la presente invención, se coloca automáticamente un primer híbrido (30) en la placa base usando visión de máquina midiendo las distancias x_1 , y_1 y el ángulo θ_1 (entre (39) y (40)) entre las marcas de alineación en el híbrido y la placa base y estableciendo tales distancias a valores predeterminados X_1 , Y_1 y Θ_1 (en este ejemplo, cero). La precisión que se puede lograr es mejor que 0,1 mm y puede ser tan buena o mejor que 0,01 mm.

En una segunda etapa, un segundo híbrido (31) se coloca mediante la medición de las distancias x_2 , y_2 y el ángulo θ_2 (entre (41) y (40)) de las segundas marcas de alineación del híbrido con respecto a las primeras marcas de alineación del híbrido. Estas distancias se establecen en valores predeterminados X_2 , Y_2 y ángulo Θ_2 (en este ejemplo, cero) y el híbrido (31) se coloca en esa ubicación. En una tercera etapa, se coloca un tercer híbrido (32) midiendo las distancias x_3 , y_3 y el ángulo θ_3 (entre (42) y (40)) de las marcas de alineación del tercer híbrido con respecto a las primeras marcas de alineación del híbrido, es decir, el híbrido inicial (30). Estas distancias se establecen en valores predeterminados X_3 , Y_3 y el ángulo Θ_3 (en este ejemplo cero) y el híbrido se coloca en la ubicación. Se pueden colocar híbridos adicionales (4, 5, ... n) usando el mismo método, construyendo eventualmente una matriz de uno o dos tipos de mosaicos de formación de imágenes (híbridos) colocados en la placa base, o un sustrato.

En todas las realizaciones anteriores, el ángulo θ_1 , θ_2 , ... θ_n puede usarse como un parámetro de alineación o no en función del programa automático se quiere lograr.

Como se ha mencionado, la exactitud se logra en la colocación automática híbrida con las realizaciones del método divulgado es muy buena y puede ser fácilmente de 0,1 mm o mejor, y si es necesario de 0,05 mm o mejor, o de 0,01 mm o mejor, y en los casos en que se necesita una precisión extrema de 0,001 mm. La repetibilidad y la fiabilidad también son excelentes y no pueden compararse con las técnicas de montaje manual de mosaico de formación de imágenes utilizadas en la técnica anterior hasta la fecha. Un dispositivo controlado por ordenador y/o un dispositivo mecánico de recogida y colocación, por ejemplo, un mecanismo de robot o similar, se utiliza para recoger y colocar los híbridos en estas ubicaciones. Antes de recoger y colocar, un brazo dispensador colocará gota(s) de pegamento en las ubicaciones donde se montarán los híbridos correspondientes.

De acuerdo, por lo tanto, con estas realizaciones preferidas, los híbridos están siendo colocados en la placa base o sustrato de montaje de forma automática, mediante la medición de las distancias de marca(s) de alineación

proporcionada(s) o que está(n) presente(s) en cada híbrido con respecto a la(s) correspondiente(s) marca(s) de alineación en a) el híbrido anterior cada vez, o b) el primer híbrido o inicial, o c) la placa base (o sustrato de montaje) y las distancias de ajuste a los valores predeterminados que se han programado en la máquina.

5 Utilizando el método descrito de fabricación de paneles de formación de imágenes de radiación, el rendimiento se mejora considerablemente en los métodos manuales de recogida y colocación de los mosaicos de formación de imágenes bajo un microscopio, y la fiabilidad y repetibilidad se mejoran en gran medida, mientras que el coste de producción se reduce significativamente. La figura 4 muestra esquemáticamente los híbridos de CdTe-CMOS montados de acuerdo con el método de montaje automático actual en una placa base, o sustrato de montaje. De importancia en la figura 4, es que, en contra de la intuición, hay una separación "Z" (43) entre los bordes de híbridos adyacentes. Intuitivamente, uno querría minimizar esa separación, de modo que se pierda información mínima durante la generación de imágenes debido a la separación. Sin embargo, los inventores del método de montaje actual han reconocido que si se minimiza dicha separación "Z" (43) y, de hecho, los bordes de los híbridos de CdTe-CMOS entran en contacto, entonces el rendimiento del conjunto de formación de imágenes se degrada. Esto se debe a que: a) CdTe es frágil y cualquier contacto podría dañar los bordes, b) tocar los bordes crearía un circuito de clasificación eléctrica que podría dañar el CMOS u otros componentes electrónicos, c) la uniformidad del campo eléctrico se verá afectada. Por lo tanto, de acuerdo con otro aspecto de la invención actual del método automático de montaje de mosaicos de formación de imágenes en un panel de formato de formación de imágenes de una o dos dimensiones, la separación física "Z" (43) entre los bordes de los elementos del detector activo (ya sea CdTe, CdZnTe, fósforos, centelladores u otros detectores) deben ser de al menos 1/20 del tamaño de píxel y la separación máxima no debe ser mayor de 1,2 x tamaño de píxel, es decir, la separación máxima no debe exceder el tamaño de píxel más un 20 %.

El tamaño del píxel es el tamaño del píxel(es) en el mosaico de formación de imágenes. Un tamaño de píxel es la distancia de centro a centro o de borde a borde de los elementos individuales de detección o formación de imágenes en el mosaico de formación de imágenes o el híbrido de formación de imágenes. Actualmente, el tamaño del píxel es de entre 0,025 mm y 0,5 mm (es decir, de 25 micrómetros a medio milímetro). La invención, sin embargo, se aplica a píxeles de cualquier tamaño. La invención proporciona la separación en el intervalo de 1/20 el píxel a 1,2 x tamaño de píxel, asegurando así la separación adecuada de los mosaicos individuales de formación de imágenes.

La figura 5 muestra esquemáticamente un híbrido de CdTe-CMOS (o CdZnTe-CMOS) sin las almohadillas de unión de cables (14) de la figura 1, pero en su lugar puntos de conexión eléctrica (76) proporcionados en la parte posterior (74) del CMOS (75). Estas conexiones se pueden proporcionar en el CMOS por medio de la tecnología "vía" que conecta eléctricamente los elementos del circuito en el lado frontal del CMOS a la parte posterior (74). El detector de CdTe (73) está unido a presión al CMOS o unido mediante adhesivo conductivo. El híbrido (50) está provisto de marcas de alineación (71) que, como puede verse en la figura 5, pueden estar en el lado frontal (72) del detector (73) o en la parte posterior (74) del CMOS (75). Dichas marcas de alineación pueden ser de diferentes formas y también pueden ser estructuras que están disponibles en las superficies (72) o (74), tales como anillos de protección, líneas eléctricas, puntos de contacto/conexión eléctrica, etc.

La figura 6 muestra esquemáticamente el montaje de los híbridos panelables de cuatro lados (50) de la figura 5 sobre la placa base (20), utilizando el método de montaje automático o semiautomático descrito anteriormente con referencia a las figuras 3(a-c). En la figura 6, la separación "Z" entre híbridos adyacentes también se muestra y se ejemplifica y tal como se describió anteriormente, debería ser distinta de cero y preferiblemente en el intervalo de 1/20 a 1,2x el tamaño de píxel, más preferiblemente a través de aproximadamente el tamaño de un píxel (1,0 x el tamaño del píxel).

REIVINDICACIONES

1. Un método de fabricación automática o semiautomática de un panel de formación de imágenes digitales por radiación, comprendiendo dicho panel mosaicos de formación de imágenes por radiación (10, 30, 31, 32), comprendiendo el método las etapas de:
- 5 a. proporcionar mosaicos de formación de imágenes por radiación (10, 30, 31, 32) con estructuras designadas para servir como marcas de alineación (13), comprendiendo cada uno de los mosaicos de formación de imágenes por radiación (10, 30, 31, 32) un híbrido de CdTe-CMOS o CdZnTe-CMOS que comprende un detector de CdTe o CdZnTe (11) configurado para convertir la radiación entrante directamente a una señal electrónica, y un chip de lectura de CMOS (12) configurado para recoger, procesar y leer la señal electrónica desde el detector, en el que se proporcionan las marcas de alineación el chip de lectura de CMOS y/o en el detector;
- 10 b. usar un dispositivo mecánico de recogida y colocación, colocando un primer mosaico de formación de imágenes por radiación (30) en un panel (20), estableciendo una primera distancia de dirección (x_1), una segunda distancia de dirección (y_1) y un ángulo (θ_1) de dichas marcas de alineación (13) en el mosaico de formación de imágenes por radiación (30) con respecto a las correspondientes marcas de alineación (21) en el panel (20) en respectivos valores predeterminados (X_1 , Y_1 y/o θ_1), **caracterizado por**
- 15 c. utilizar el dispositivo mecánico de recogida y colocación, colocando en el panel (20) mosaicos de formación de imágenes por radiación adicionales (31, 32) ajustando la primera y la segunda distancias y los ángulos (x_2 , y_2 , θ_2), (x_3 , y_3 , θ_3), ... (x_n , y_n , θ_n) de dichas marcas de alineación de mosaicos de formación de imágenes con respecto a correspondientes marcas de alineación (13) en al menos uno de i) un mosaico de formación de imágenes (30, 31) previamente colocado y ii) el mosaico de formación de imágenes (30) colocado en primer lugar, utilizando las marcas de alineación correspondientes, para valores adicionales predeterminados respectivos (X_2 , Y_2 , θ_2), (X_3 , Y_3 , θ_3), ... (X_n , Y_n , θ_n).
2. El método de la reivindicación 1, en el que dicho panel (20) comprende uno de una placa de circuito impreso, una cerámica y un sustrato de montaje.
- 25 3. El método de la reivindicación 1, en el que dichas marcas de alineación (13) en cada mosaico de formación de imágenes por radiación (30) están en el chip de lectura de CMOS (12) del mosaico de formación de imágenes por radiación.
4. El método de la reivindicación 3, en el que una distancia " z_n ", entre los bordes más cercanos de los mosaicos de formación de imágenes de radiación (10, 30, 31, 32) adyacentes se establece por el dispositivo mecánico de recogida y colocación a un valor predeterminado distinto de cero " Z_n ".
- 30 5. El método de la reivindicación 4, en el que el valor distinto de cero " Z_n " es de 1/20 a un 120 % de un tamaño de píxel de los píxeles en el mosaico de formación de imágenes por radiación.
6. Un método de la reivindicación 1, en el que el dispositivo mecánico de recogida y colocación hace referencia a una primera marca de alineación de mosaicos (13) en un primer mosaico de formación de imágenes por radiación a una primera marca de alineación de placas (21) en una placa base, y el método comprende las etapas de:
- 35 ajustar el dispositivo mecánico de recogida y colocación del primer mosaico de formación de imágenes por radiación (30) en la placa base con la primera marca de alineación de mosaicos (13) desplazada desde la primera marca de alineación de placas (21) mediante una primera distancia predeterminada en una primera dirección (x_1) y mediante una primera distancia predeterminada en una segunda dirección (y_1),
- 40 ajustar el dispositivo mecánico de recogida y colocación de un segundo mosaico de formación de imágenes por radiación (31) con una segunda marca de alineación de mosaicos (13) en la placa base mediante el dispositivo mecánico de recogida y colocación del segundo mosaico de formación de imágenes por radiación (31) con la segunda marca de alineación de mosaicos (13) desplazada de una marca de alineación de referencia (13) situada en el primer mosaico de formación de imágenes por radiación mediante una segunda distancia predeterminada en la primera dirección (x_2) y mediante una segunda distancia predeterminada en la segunda dirección (y_2).
- 45 7. El método de la reivindicación 6, que comprende la etapa adicional del dispositivo mecánico de recogida y colocación de un tercer mosaico de formación de imágenes por radiación (32) con una tercera marca de alineación de mosaicos (13) en la placa base mediante el dispositivo mecánico de recogida y colocación del tercer mosaico de formación de imágenes por radiación (32) con la tercera marca de alineación de mosaicos (13) fuera de otra marca de alineación de referencia en el segundo mosaico de formación de imágenes por radiación o en el primer mosaico de formación de imágenes por radiación mediante una tercera distancia predeterminada en la primera dirección (x_3) y mediante una tercera distancia predeterminada en la segunda dirección (y_3).
- 50 8. El método de la reivindicación 6, en el que la placa base comprende una de una placa de circuito impreso, un sustrato cerámico y un sustrato de montaje.

9. El método de la reivindicación 6, en el que el dispositivo mecánico de recogida y colocación separa adicionalmente el segundo mosaico de formación de imágenes por radiación (31) desplazado del primer mosaico de formación de imágenes por radiación (30) mediante una primera distancia de separación no cero (z_n) entre bordes adyacentes más cercanos del primer y segundo mosaicos de formación de imágenes por radiación (30, 31), siendo la distancia de separación distinta de cero de 1/20 a un 120 % de un tamaño de píxel de los píxeles en el mosaico de formación de imágenes por radiación.
10. Un método de fabricación automática o semiautomática de un panel de formación de imágenes digitales por radiación, comprendiendo dicho panel mosaicos de formación de imágenes por radiación (10, 30, 31, 32), comprendiendo el método las etapas de:
- 10 a. proporcionar mosaicos de formación de imágenes por radiación (10, 30, 31, 32) con estructuras designadas para servir como marcas de alineación (13), comprendiendo cada uno de los mosaicos de formación de imágenes por radiación (10, 30, 31, 32) un híbrido de CdTe-CMOS o CdZnTe-CMOS que comprende un detector de CdTe o CdZnTe (11) configurado para convertir la radiación entrante directamente a una señal electrónica, y un chip de lectura de CMOS (12) configurado para recoger, procesar y leer la señal electrónica desde el detector, en el que se proporcionan las marcas de alineación el chip de lectura de CMOS y/o en el detector;
- 15 b. usar un dispositivo mecánico de recogida y colocación, colocando un primer mosaico de formación de imágenes por radiación (30) en un panel (20), estableciendo una primera distancia de dirección (X_1), una segunda distancia de dirección (y_1) y un ángulo (θ_1) de dichas marcas de alineación (13) en el mosaico de formación de imágenes por radiación (30) con respecto a una referencia de sistema de coordenadas absolutas en el panel (20), en respectivos valores predeterminados (X_1 , Y_1 y/o θ_1); y **caracterizado por**
- 20 c. utilizar el dispositivo mecánico de recogida y colocación, colocando en el panel mosaicos de formación de imágenes por radiación adicionales (31, 32) ajustando la primera y la segunda distancias y el ángulo (x_2 , y_2 , θ_2), (s_3 , θ_3), ... (x_n , y_n , θ_n) de dichas marcas de alineación de mosaicos de formación de imágenes (13) con respecto a correspondientes marcas de alineación (13) en al menos uno de i) un mosaico de formación de imágenes (30, 31) previo y ii) el mosaico de formación de imágenes (30) colocado en primer lugar, utilizando las marcas de alineación correspondientes, para valores adicionales predeterminados respectivos (X_2 , Y_2 , θ_2), (X_3 , Y_3 , θ_3), ... (X_n , Y_n , θ_n).
11. El método de la reivindicación 10, en el que un mecanismo de robot establece además una distancia de separación entre los bordes más cercanos de mosaicos adyacentes (30, 31, 32) a una distancia predeterminada entre 1/20 y un 120 % de un tamaño de píxel de los píxeles en el mosaico de formación de imágenes por radiación.
- 30

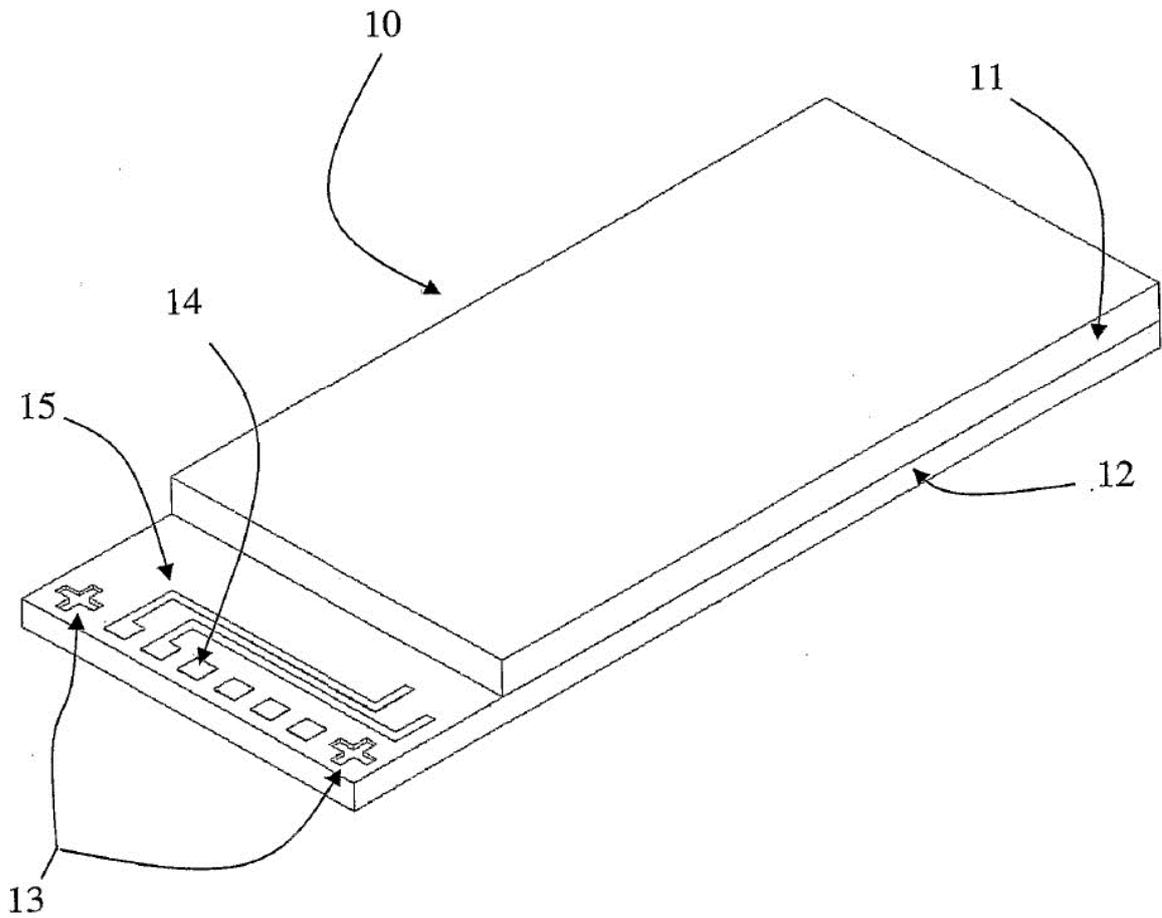


Figura 1

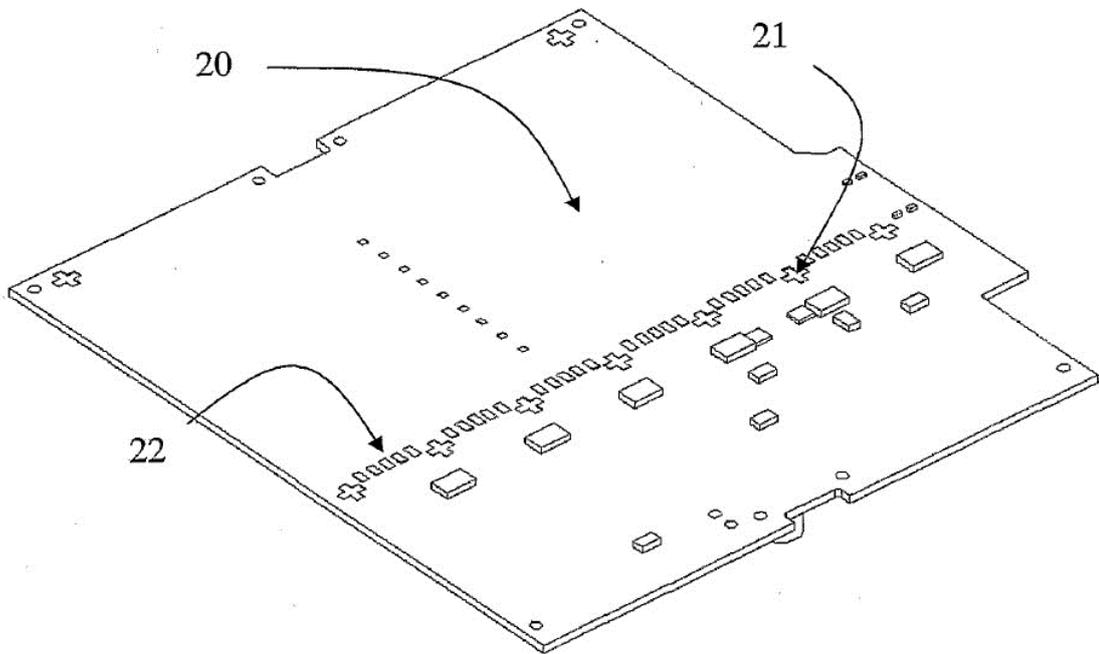


Figura 2

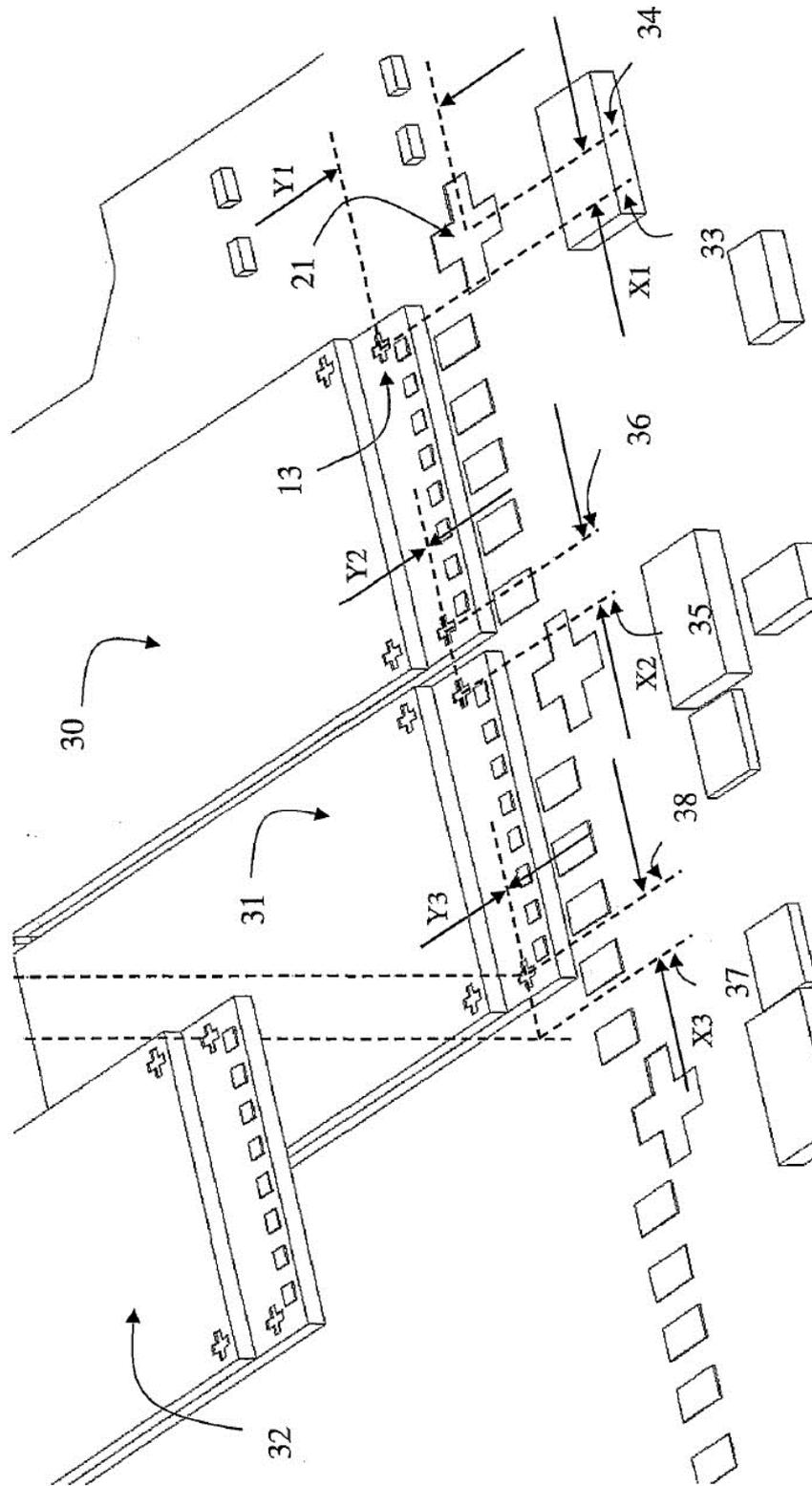


Figura 3a

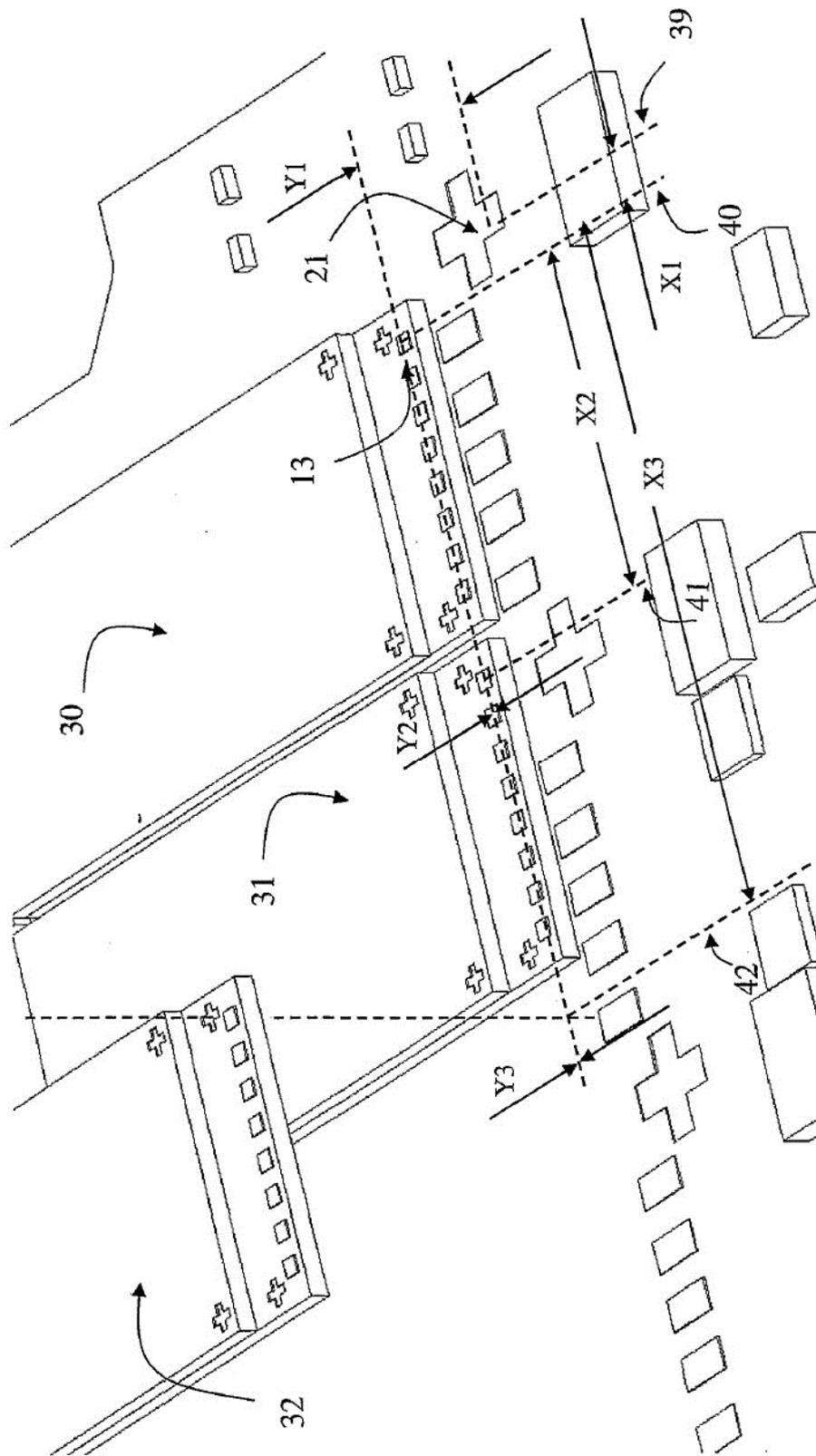


Figura 3b

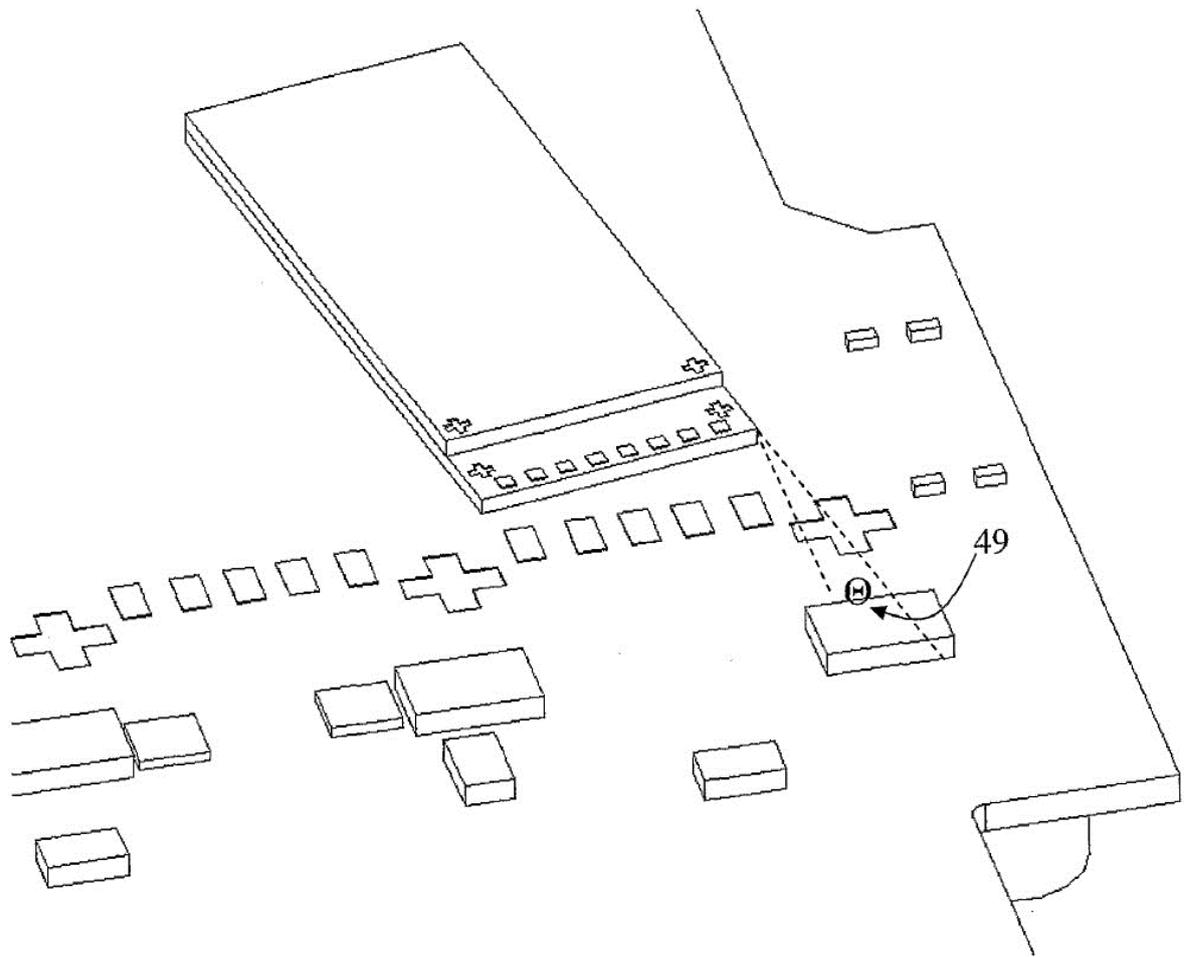


Figura 3d

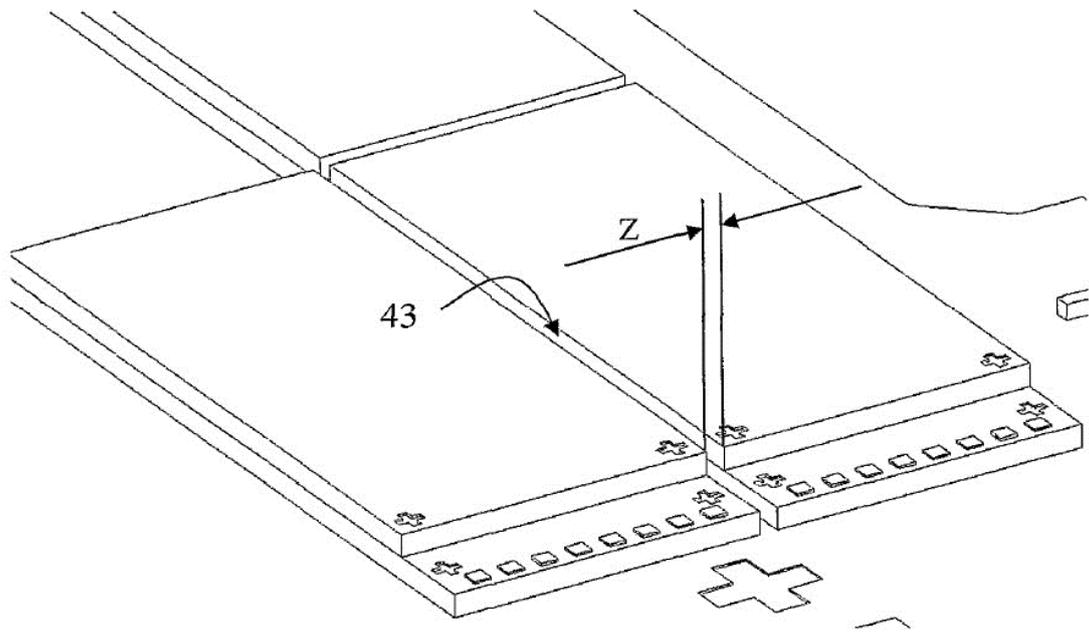


Figura 4

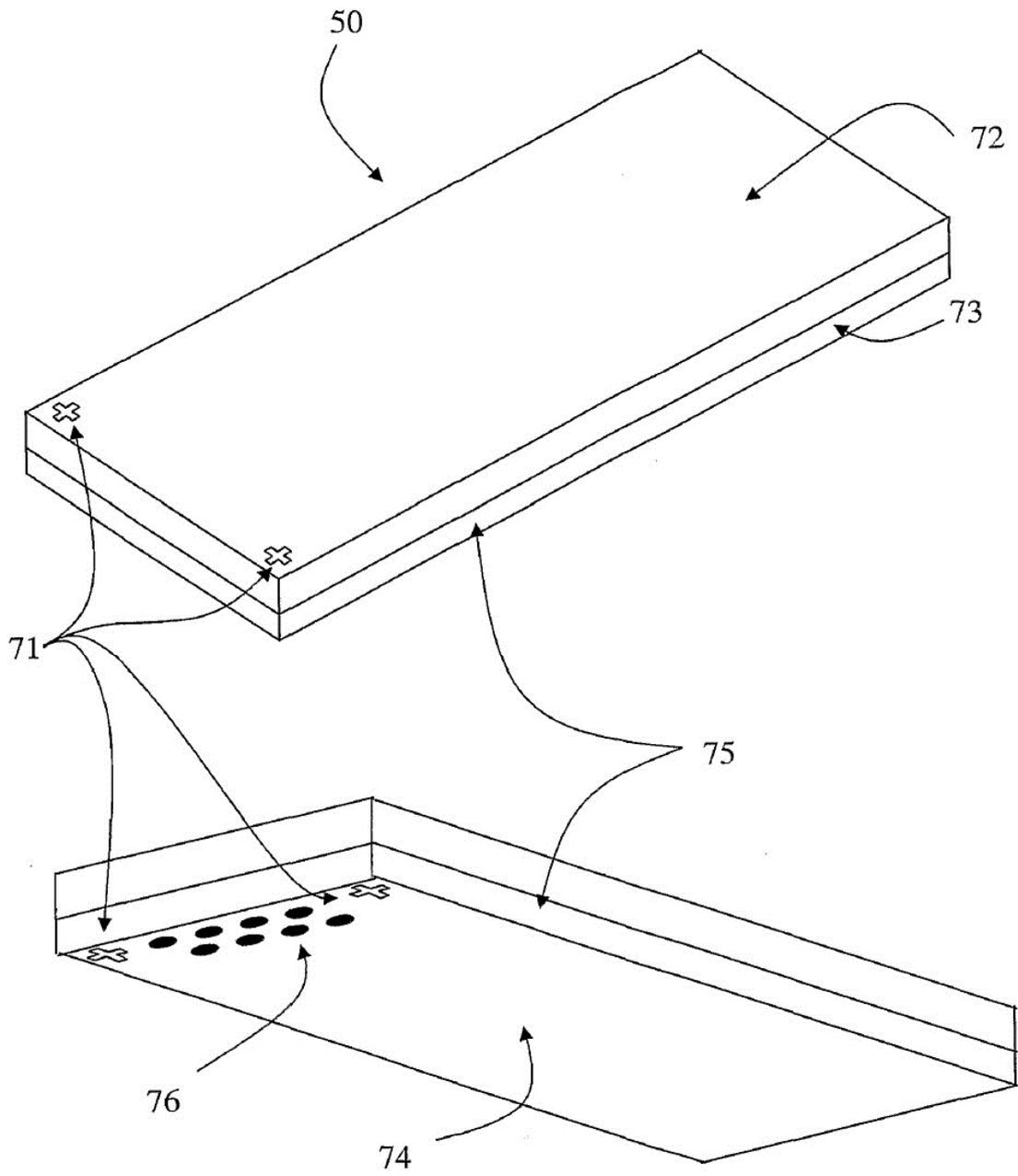


Figura 5

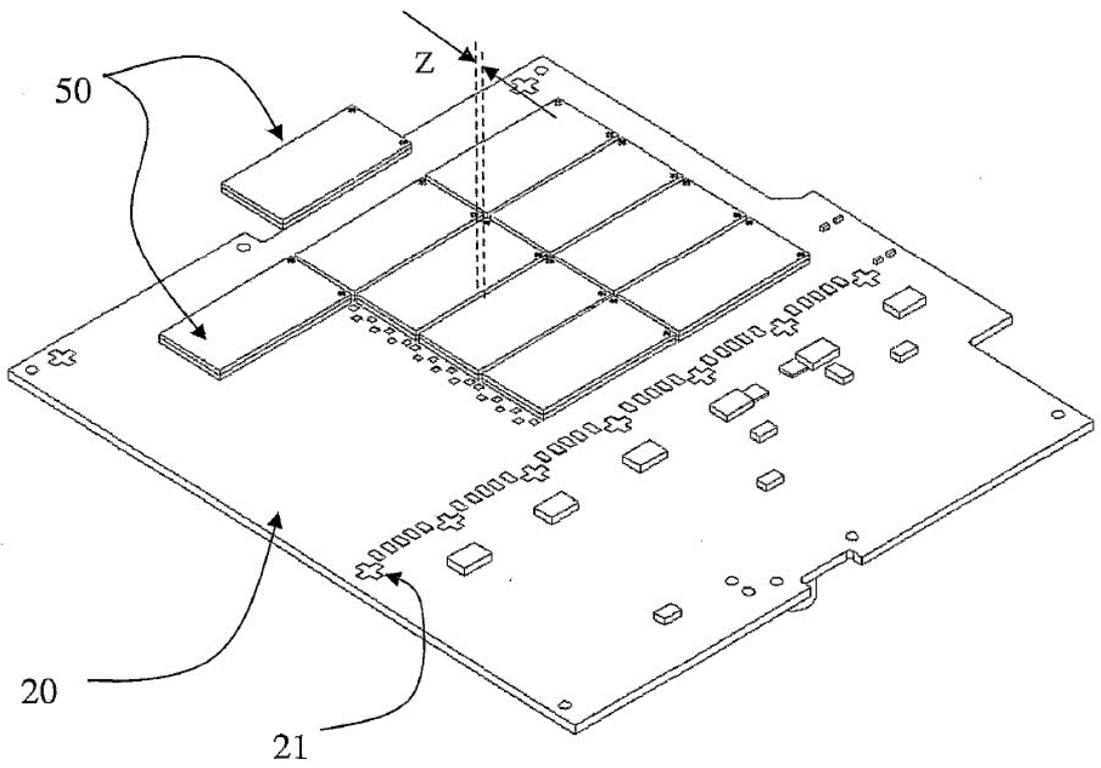


Figura 6