

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 690 586**

51 Int. Cl.:

**H03H 17/06** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **10.05.2013 E 13002481 (3)**

97 Fecha y número de publicación de la concesión europea: **18.07.2018 EP 2667509**

54 Título: **Filtro digital**

30 Prioridad:

**24.05.2012 DE 102012010229**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**21.11.2018**

73 Titular/es:

**MBDA DEUTSCHLAND GMBH (100.0%)  
Hagenauer Forst 27  
86529 Schrobenhausen, DE**

72 Inventor/es:

**SEDLAK, GERHARD**

74 Agente/Representante:

**SALVÀ FERRER, Joan**

**ES 2 690 586 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Filtro digital

5 **ÁMBITO DE LA INVENCION**

**[0001]** La invención se refiere a un filtro digital y a un método para reducir una frecuencia de muestreo de una señal de entrada y un sensor de radar para un misil.

10 **ANTECEDENTES DE LA INVENCION**

**[0002]** En el procesamiento de señales digitales, especialmente con anchos de banda de frecuencia de muestreo estrechos, se utilizan a menudo filtros CIC (Cascaded-Integrator-Comb-Filter, Combination-Integrator-Comb-Filter o Integrator-Differentiator-Filter en cascada), que son sencillos y de bajo costo. En muchos filtros digitales, los filtros CIC también se usan en combinación con los filtros de FIR para el antialiasing de la señal.

**[0003]** El documento US 2004 0093366 A1 da a conocer un filtro digital (filtro "Infite Impulse Response") que puede funcionar con señales de muestra paralelizadas y puede usarse como integrador en un filtro CIC.

20 **[0004]** El documento EP 0 707 380 B1 describe un filtro con entradas paralelas con pares de peine de integrador en cascada.

**RESUMEN DE LA INVENCION**

25 **[0005]** El algoritmo estándar para filtros CIC generalmente no es aplicable si las muestras posteriores a un convertidor analógico / digital en paralelo deben procesarse adicionalmente, por ejemplo, si la frecuencia de muestreo es demasiado alta para el hardware de procesamiento de señales.

30 **[0006]** Por el contrario, un objeto de la invención es generar la misma señal intermedia a partir de señales en bruto paralelas a partir del bloque de integración combinado con el bloque de reducción de un filtro CLC convencional.

35 **[0007]** Este objeto se resuelve por el objeto de las reivindicaciones independientes. Otras realizaciones de la invención serán evidentes a partir de las reivindicaciones dependientes y de la siguiente descripción.

40 **[0008]** Un aspecto de la invención se refiere a un filtro digital para reducir una frecuencia de muestreo de una señal, por ejemplo, una señal de entrada, generada por un convertidor analógico / digital a una velocidad de muestreo alta. El filtro genera una señal de salida que tiene una tasa de muestreo más baja (por ejemplo, una frecuencia de muestreo inferior en al menos un factor de 4) que se alimenta a una función digital que puede operar a la tasa de muestreo más baja.

45 **[0009]** Debe entenderse que la señal de entrada, la señal de salida y todas las señales mencionadas a continuación son señales digitales, es decir, que solo pueden tener niveles de señal discretos. Una velocidad de muestreo puede definirse por el hecho de que el nivel de señal discreta solo puede cambiar después de un paso de tiempo discreto predefinido (el inverso de la frecuencia de muestreo).

50 **[0010]** Según una realización de la invención, el filtro digital comprende un bloque de paralelización para dividir la señal de entrada en al menos dos señales en bruto paralelas, al menos un bloque de integración para convertir las señales en bruto paralelas en una señal intermedia y al menos un bloque de diferenciación para generar una señal de salida diferenciando la señal intermedia. El bloque de integración comprende un bloque lógico diseñado para generar dos señales de suma paralelas al sumar operaciones de las señales en bruto paralelas. El bloque de integración comprende además un bloque de recursividad configurado para generar recursivamente la señal intermedia a partir de las señales de suma paralelas.

55 **[0011]** En lugar de procesar una señal en serie con un filtro CIC convencional, por ejemplo, se generan 4 señales en paralelo a partir de la señal de entrada en serie, que luego se convierten en una señal intermedia mediante el bloque de integración, diseñado para ejecutar un algoritmo de recursividad, que igualmente podría generarse desde un filtro CIC convencional (función antes del bloque de diferenciación). De esta forma, el efecto de filtrado de CIC puede lograrse para, por ejemplo, muestras paralelizadas cuatro veces.

**[0012]** El filtro se puede utilizar en circuitos digitales con una velocidad de muestreo muy alta, en la que puede requerirse una paralelización de las muestras en el hardware para su posterior procesamiento. Como el bloque de integración y el bloque de diferenciación pueden funcionar a una velocidad de muestreo inferior, el filtro  
5 puede realizarse con un esfuerzo relativamente pequeño.

**[0013]** De acuerdo con una realización de la invención, las señales de suma paralela se generan en un tiempo de muestreo a partir de las señales en bruto paralelas en la misma temporización de muestreo. Por lo tanto, el bloque lógico puede engancharse sin señales y / o realizar una recursividad, generando estas señales de suma  
10 paralelas.

**[0014]** De acuerdo con la invención, el bloque lógico está diseñado para generar (exactamente) dos señales de suma paralelas S0 y S1, en particular de acuerdo con

$$S_0(i) = \sum_{e=0}^{E-1} u_e(i), i = 1, 2, \dots$$

15

y

$$S_1(i) = E \cdot u_0(i) + \dots + 2 \cdot u_{E-2}(i) + u_{E-1}(i), i = 1, 2, \dots,$$

20

donde  $u_e(i)$  son las señales en bruto paralelas y E es el número de señales en bruto paralelas. Como se explicará con más detalle a continuación, una señal intermedia que corresponde a la señal intermedia correspondiente de un filtro CLC convencional antes del bloque de diferenciación puede generarse a partir de estas dos señales de suma por medio de recursividad.

25

**[0015]** De acuerdo con una realización de la invención, el bloque de recursividad está adaptado para generar la señal intermedia en un instante de muestreo de las señales de suma paralelas en ese instante de muestreo y al menos un instante de muestreo previo. En otras palabras, el bloque de recursividad puede almacenar señales de recursividad o señales derivadas de ellas.

30

**[0016]** Según una realización de la invención, el bloque de recursividad está adaptado para generar la señal intermedia en un instante de muestreo a partir de las señales de suma paralelas en el instante de muestreo y (únicamente) a partir de las señales de suma paralelas que se han retrasado en una o dos unidades de tiempo. De esta forma, mediante un cálculo relativamente simple, que se gestiona con solo unas pocas operaciones lógicas  
35 (como sumar, restar y almacenar temporalmente), se puede generar la señal intermedia.

**[0017]** De acuerdo con la invención, el bloque de recursividad está adaptado a generar la señal intermedia SR de acuerdo con

$$S_R(i) = S_R(i-1) + S_1(i) + E \cdot S_0(i-2) + E \cdot S_0(i-1), i = 3, 4, \dots$$

40

donde S0 y S1 son las señales de suma y E el número de señales en bruto paralelas. Esta fórmula de recursividad se deriva a continuación. Por lo tanto, el bloque de recursividad puede generar la señal intermedia con solo doble buffer. Además, solo son necesarias multiplicaciones con un escalar y, como máximo, cuatro adiciones.

45

**[0018]** De acuerdo con una realización de la invención, el bloque de paralelización está diseñado para dividir la señal de entrada en al menos cuatro, por ejemplo, exactamente cuatro, señales en bruto paralelas. De esta forma, la lógica subsiguiente puede operar solo a un cuarto de la frecuencia de muestreo original.

**[0019]** De acuerdo con una realización de la invención, el bloque de diferenciación comprende dos etapas de diferenciación dispuestas en serie que están diseñadas para sustraer la señal intermedia retardada por un número  
50

predefinido de unidades de tiempo de la señal intermedia no retardada. Esto corresponde a un bloque de diferenciación de un filtro CIC convencional al que se suministra la señal intermedia.

5 **[0020]** De acuerdo con una realización de la invención, las etapas de diferenciación están diseñadas para retrasar la señal intermedia en 4 u 8 unidades de tiempo.

**[0021]** De acuerdo con una realización de la invención, el filtro se implementa en hardware, por ejemplo, por medio de un FPGA. Dado que el hardware puede funcionar a una velocidad de muestreo inferior a la de la señal de entrada, aquí se puede usar un hardware estándar de bajo costo. Todos o una parte de los bloques o la lógica del  
10 filtro digital se pueden implementar como bloques de operación del FPGA.

**[0022]** Un aspecto adicional de la invención se refiere al sensor de radar para un misil, por ejemplo un misil de dirección o un misil militar.

15 **[0023]** De acuerdo con una realización de la invención, el misil comprende un receptor de radar, un convertidor A / D para convertir una señal analógica del receptor de radar en una señal digital, y un procesamiento de señal digital. El procesamiento digital de la señal, que puede ser un dispositivo electrónico, incluye un filtro digital para reducir la frecuencia de muestreo de la señal digital como se describió anteriormente y más adelante. El misil puede detectar un objetivo potencial por medio del sensor de radar y luego dirigirse al objetivo con las señales  
20 evaluadas.

**[0024]** Otro aspecto de la invención se refiere a métodos para reducir una frecuencia de muestreo de una señal de entrada. Por ejemplo, el método se puede realizar con el filtro digital.

25 **[0025]** De acuerdo con una realización de la invención, el método comprende los pasos de: dividir la señal de entrada en al menos dos señales en bruto paralelas; sumar las señales en bruto paralelas en dos señales de suma paralelas; generar recursivamente una señal intermedia a partir de las señales de suma paralelas; y generar una señal de salida diferenciando la señal intermedia.

30 **[0026]** Debe entenderse que las características del filtro digital y el misil pueden ser características del método y viceversa.

**[0027]** A continuación, las realizaciones de la invención se describirán en detalle con referencia a los dibujos adjuntos.

35 **BREVE DESCRIPCIÓN DE LAS FIGURAS**

**[0028]**

La Fig. 1 muestra esquemáticamente la estructura de un filtro de CIC.

40 La figura 2 muestra una función de transferencia para un filtro digital de acuerdo con una realización de la invención. La figura 3 muestra esquemáticamente la estructura de un filtro digital de acuerdo con una realización de la invención.

La figura 4 muestra esquemáticamente un bloque de integración de acuerdo con una realización de la invención.

La figura 5 muestra una vista esquemática de un misil de acuerdo con una realización de la invención.

45 **[0029]** En principio, se proporcionan partes idénticas o similares con los mismos números de referencia.

**DESCRIPCIÓN DETALLADA DE LAS FORMAS DE REALIZACIÓN**

50 **[0030]** La Fig. 1 muestra un filtro de CIC convencional 10 que comprende dos etapas 12a, 12b. La primera etapa (interna) (12a) comprende un primer bloque de integración (14a) y un primer bloque de diferenciación (16a). La segunda etapa (externa) 12b incluye un segundo bloque de integración 14b y un segundo bloque de diferenciación 16b. Las dos etapas 12a, 12b están anidadas una en otra. Se debe entender que el filtro de CIC 10 también puede incluir más de dos etapas 12a, 12b, que luego se anidan en consecuencia.

55 **[0031]** Entre el primer bloque de integración 14a y el primer bloque de diferenciación 16b, está dispuesto un bloque de reducción 18 para reducir la tasa de muestreo. Una señal de entrada  $s(n)$  ( $n$  es un instante discreto) pasa a través de los bloques de integración 14b, 14a, el bloque de reducción 18 y los bloques de diferenciación 16a, 16b, produciendo una señal de salida  $y(n)$  por el filtro CIC 10.

**[0032]** Los bloques de integración 14a, 14b incluyen un bloque de adición 20 y un bloque de retardo de tiempo 22. De esta manera, por ejemplo, en el segundo bloque de integración 148, la señal de entrada  $x(n)$  se agrega a la señal de entrada  $x(n-1)$  un paso de tiempo discreto anterior.

5

**[0033]** Cada uno de los bloques de diferenciación 16a, 16b incluye un enclavamiento diferencial 24 y una pluralidad de bloques de retardo de tiempo 22 dispuestos en serie. En el ejemplo D que se muestra (por ejemplo) 8 piezas. De esta manera, por ejemplo, a partir de la señal intermedia  $SR(n)$ , que abandona el bloque de reducción 18, en el primer bloque de diferenciación, se resta la señal intermedia  $SR(nD)$ , que se generó previamente D pasos de tiempo discretos.

10

**[0034]** Si el bloque de reducción 18 no se tiene en cuenta, la transformación  $z$  es una etapa CIC (por ejemplo, la primera etapa CIC 12a)

$$H(z) = \frac{Y(z)}{X(z)} = \frac{1 - z^{-D}}{1 - z^{-1}} = \sum_{k=0}^{D-1} z^{-k}$$

15

Con  $z = e^{j2\pi f}$ , la función de transferencia  $H(f)$  se representa como

$$H(f) = H(z) \Big|_{z=e^{j2\pi f}} = \frac{1 - e^{-j2\pi f D}}{1 - e^{-j2\pi f}} = \frac{e^{-j2\pi f D/2} (e^{j2\pi f D/2} - e^{-j2\pi f D/2})}{e^{-j2\pi f /2} (e^{j2\pi f /2} - e^{-j2\pi f /2})} = e^{-j2\pi f (D-1)/2} \frac{\sin(\pi f D)}{\sin(\pi f)}$$

20

**[0035]** El entrelazado de las etapas McC 12a, 12b conduce a la función de transferencia  $H(f)$ .

**[0036]** La figura 2 muestra la función de transferencia 26 para un filtro de CIC 10 con dos etapas 12a, 12b y  $D = 8$  ( $R = 1$ ). En el diagrama de la figura 2, a la derecha está la frecuencia (la escala corresponde a la frecuencia de muestreo) y en la parte superior, la atenuación se traza en dB. Como es evidente a partir de la Fig. 2, la función de transferencia 26 tiene forma de peine y atenúa porciones periódicas de una señal. Una reducción de la velocidad de muestreo por, por ejemplo, un factor  $R = 4$  da como resultado una repetición periódica del espectro en los intervalos definidos por  $m \cdot f_s / 4$ ;  $m = 1, 2$ , donde  $f_s$  es la tasa de muestreo. Mediante una elección apropiada del filtro CIC 10, por lo tanto, los componentes espectrales periódicos no deseados pueden eliminarse o al menos atenuarse en gran medida.

30

**[0037]** De esta forma, los componentes espectrales que se plegarán cambiando la velocidad de muestreo en la banda de paso del filtro digital 10 (por ejemplo, el rango de frecuencias menor que 0,02) se atenuaron suficientemente, pudiendo lograr así un suficiente antialiasing. Además, la atenuación en la banda de paso del filtro de CIC 10 es baja, por lo que no es necesaria ninguna compensación.

35

**[0038]** La figura 3 muestra un filtro de reducción digital 30, con el que se puede conseguir una atenuación análoga a la figura 2, pero a diferencia del filtro 10 comprende un bloque de paralelización 32, con el cual la señal de entrada  $s(k)$  está dividida en una pluralidad de señales brutas paralelas  $u_k(i)$ ,  $k = 0, E-1$ , cuya frecuencia de muestreo es menor por el factor correspondiente.

40

**[0039]** Por ejemplo, mediante el bloque de paralelización 32 de la señal de entrada en serie  $s(k)$  se generan cuatro (generalmente  $E$ ) señales sin procesar  $u_k(i)$ , cuya tasa de muestreo es menor en el factor 4 (o  $E$ ). Antes del bloque de paralelización 32, la señal tiene una tasa de muestreo de  $f_s$ , y las señales a continuación tienen una tasa de muestreo de  $f_s / E$ .

45

**[0040]** De esta forma, los componentes restantes del filtro 30 pueden realizarse con un hardware que está diseñado únicamente para procesar una frecuencia de muestreo  $f_s / E$  que es menor por este factor  $E$  que la velocidad de muestreo  $f_s$  de la señal de entrada  $s(k)$ . Por ejemplo, la señal de entrada  $s(k)$  puede tener una velocidad de muestreo de aproximadamente 1 GHz y las señales en bruto  $u_k(i)$  pueden tener una frecuencia de

50

muestreo inferior a 300 MHz o inferior a 200 MHz. Dichas velocidades de muestreo pueden procesarse, por ejemplo, mediante un FPGA convencional.

5 **[0041]** De esta forma, el filtro de reducción 30 está diseñado para procesar incluso altas velocidades de muestreo como señal de entrada  $s(k)$ .

**[0042]** Al igual que el filtro 10, el filtro 30 comprende dos bloques de diferenciación 16a y 16b que están contruidos de forma idéntica. Sin embargo, los dos bloques de integración 14a y 14b y el bloque de reducción 18 son reemplazados por el bloque de paralelización 32 y un bloque de integración 34.

10 **[0043]** El bloque de integración 34 para el caso  $E = 4$  se muestra en la figura 4. Las cuatro señales en bruto  $uk(i)$  se alimentan a un bloque de lógica 36, que genera de las cuatro señales en bruto  $uk(i)$  dos señales de suma  $S_0$  y  $S_1$ , que son conducidas a un bloque de recursividad. Todos los componentes del bloque de integración 34 operan a una tasa de muestreo de  $f_s / 4$ .

15 **[0044]** La señal de suma  $S_0$  se multiplica por 4, y luego se suministra a un bloque de suma 38'. La señal del bloque de adición 38' se agrega a la señal original con una señal retardada desde un bloque de retardo de tiempo 40 que la retrasa en una unidad de tiempo.

20 **[0045]** Análogamente, la señal de suma 31 se suministra a un bloque de adición 42. La señal intermedia  $SR$  del bloque de adición 42 se agrega a la señal original con una señal retardada desde un bloque de retardo de tiempo 44 que la retrasa en una unidad de tiempo. El bloque de adición 42 también se suministra con la señal del bloque de retardo de tiempo 40 en base a la señal de suma  $S_0$ .

25 **[0046]** El bloque de integración 34 está ahora construido para generar la misma señal intermedia  $SR$  a partir de las señales en bruto en paralelo  $ue(i)$  como los componentes 14a, 14b y 18 del filtro 10. Esto se puede derivar de la siguiente manera:

En general, estos componentes producen la siguiente señal

30

$$S_R(i) = \sum_{n=0}^{Ei-1} \sum_{k=0}^n s(k).$$

**[0047]** La integración o suma de los primeros  $E$  muestras paralelas  $s(k)$  da

$$\sum_{k=0}^{E-1} s(k) = S_0(1).$$

35

**[0048]** Esta fórmula define  $S_0(1)$ .

40 **[0049]** La integración doble de los primeros resultados de las muestras  $E$  da

$$S_R(1) = \sum_{n=0}^{E-1} \sum_{k=0}^n s(k) = S_1(1)$$

**[0050]** Esta es la definición de  $S_1(1)$ . Como se verá más adelante, la señal intermedia  $SR(i)$  puede calcularse recursivamente a partir de estas dos señales  $S_0, S_1$ .

45

**[0051]** Por razones de claridad, los siguientes cálculos se realizan solo para el caso  $E = 4$ . **[0049]** La integración doble de los primeros resultados de las muestras  $E$  da

$$S_R(2) = \sum_{n=0}^7 \sum_{k=0}^n s(k) = S_R(1) + \sum_{n=4}^7 \left( \sum_{k=0}^3 s(k) + \sum_{k=4}^n s(k) \right) = S_1(1) + 4 \cdot \sum_{k=0}^3 s(k) + \sum_{n=4}^7 \sum_{k=4}^n s(k)$$

$$S_R(2) = S_R(1) + 4 \cdot S_0(1) + \sum_{n=4}^7 \sum_{k=4}^n s(k) = S_R(1) + 4 \cdot S_0(1) + S_1(2)$$

[0052] La integración doble de los 12 primeros resultados de las muestras E da

5

$$S_R(3) = \sum_{n=0}^{11} \sum_{k=0}^n s(k) = S_R(2) + \sum_{n=8}^{11} \left( \sum_{k=8}^n s(k) + \sum_{k=0}^3 s(k) + \sum_{k=4}^7 s(k) \right) = S_R(2) + S_1(3) + 4 \cdot S_0(1) + 4 \cdot S_0(2)$$

[0053] En base a estas fórmulas, se puede definir un procesamiento recursivo de las señales definidas previamente (de nuevo generalmente para las señales en bruto E).

10

$$S_R(1) = S_1(1);$$

$$S_R(2) = S_R(1) + E \cdot S_0(1) + S_1(2);$$

$$S_R(i) = S_R(i-1) + S_1(i) + E \cdot S_0(i-2) + E \cdot S_0(i-1), i = 3, 4, \dots$$

donde

$$S_0(i) = \sum_{e=0}^{E-1} u_e(i), i = 1, 2, \dots$$

$$S_1(i) = E \cdot u_0(i) + \dots + 2 \cdot u_{E-2}(i) + u_{E-1}(i), i = 1, 2, \dots$$

15

[0054] las  $u_e(i)$ ,  $e = 0, E-1$  son las señales de entrada E paralelas para el bloque lógico para el i-ésimo tiempo de muestreo  $f_s / E$ .

20 [0055] La figura 5 muestra el sensor de radar de un cuerpo de dirección 50 en el que puede usarse el filtro 30. El misil 50 incluye un sensor de radar 51 que incluye un receptor de radar 52, un convertidor A / D 54, un procesador de señal digital 58 y electrónica de control 56.

25 [0056] El receptor de radar 52 genera una señal analógica que se convierte mediante el convertidor de A/D 54 en una señal digital. Esta señal digital se aplica al procesador de señal digital 58, que incluye el filtro 30, que convierte por contracción la señal  $s(k)$  a  $1/4$  de la frecuencia de muestreo, por ejemplo, y la convierte en la señal  $y(i)$ . La señal de salida del procesamiento de señal digital 58 puede procesarse adicionalmente en la electrónica de control 56 del misil guiado 50.

REIVINDICACIONES

1. Un filtro digital (30) para reducir una frecuencia de muestreo de una o más señales de entrada que comprenden filtros digitales (30):

5 un bloque de paralelización (32) para dividir la (s) señal (es) de entrada en al menos dos señales en bruto paralelas (u).

un bloque de integración (34) para convertir las señales en bruto paralelas (us) en una señal intermedia (SR), y

10 un bloque de diferenciación (16a, 16b) para generar una señal de salida (y) diferenciando la señal intermedia (SR),

comprendiendo el bloque de integración (34) un bloque lógico (36) diseñado para generar dos señales de suma paralelas S0 y S1 mediante operaciones de suma de las señales en bruto paralelas (u), **caracterizado porque** el  
15 bloque lógico (36) comprende las dos señales de suma paralelas S0 y S1 de acuerdo a

$$S_0(i) = \sum_{c=0}^{E-1} u_c(i), i = 1, 2, \dots$$

y

$$S_1(i) = E \cdot u_0(i) + \dots + 2 \cdot u_{E-2}(i) + u_{E-1}(i), i = 1, 2, \dots$$

20

donde  $u_e(i)$  es las señales en bruto paralelas y E es el número de señales en bruto paralelas, y que el bloque de integración (34) comprende un bloque de recursividad (38) configurado para generar a partir de las señales de suma paralelas (S0, S1) la señal intermedia (SR) recursivamente, donde la señal intermedia SR se genera según

25

$$S_R(i) = S_R(i-1) + S_1(i) + E \cdot S_0(i-2) + E \cdot S_0(i-1), i = 3, 4, \dots$$

2. Filtro (30) según la reivindicación 1,

30 en el que las señales de suma en paralelo (S0, S1) se generan en un tiempo de muestreo a partir de las señales en bruto paralelas en la misma temporización de muestreo.

3. Un filtro (30) según una cualquiera de las reivindicaciones precedentes, donde el bloque de recursividad (38) está adaptado para generar la señal intermedia (SR) en un instante de muestreo de las señales de suma paralelas (S0, S1) en ese instante de muestreo y al menos un instante de muestreo previo.

35

4. Un filtro (30) según una cualquiera de las reivindicaciones anteriores, donde el bloque de recursividad (38) está adaptado para recibir la señal intermedia (SR) en un instante de muestreo de las señales de suma paralelas (S0, S1) en el instante de muestreo y de las señales de suma paralelas (S0, S1) que fueron retrasados por una y dos unidades de tiempo.

40

5. Un filtro (30) de acuerdo con una cualquiera de las reivindicaciones precedentes, en el que el bloque de paralelización (32) está adaptado para dividir la (s) señal (es) de entrada en al menos cuatro señales en bruto paralelas (ua).

45

6. Un filtro (30) según una cualquiera de las reivindicaciones precedentes, donde el bloque de diferenciación comprende dos etapas de diferenciación dispuestas en serie (16a, 16b) adaptadas para restar la señal intermedia (SR) retardada por un número predefinido de unidades de la señal intermedia no retardada (SR).

7. Un filtro (30) de acuerdo con la reivindicación 6, en el que las etapas de diferenciación (16a, 16b) están adaptadas para retrasar la señal intermedia (SR) en 4 u 8 unidades de tiempo.

50

8. Un filtro (30) de acuerdo con una cualquiera de las reivindicaciones precedentes, en el que el filtro (30)

se implementa en hardware.

9. Un sensor de radar para un misil (50) que comprende:

- 5 un receptor de radar (52),  
 un convertidor A / D (54) para convertir una señal analógica del receptor de radar en una señal digital,  
 un procesamiento de señal digital que comprende un filtro digital (30) de acuerdo con una cualquiera de las reivindicaciones 1 a 10 para reducir la tasa de muestreo de la señal digital.

10

10. Un método para reducir una tasa de muestreo de una señal o señales de entrada, comprendiendo el método los pasos de:

Dividir la (s) señal (es) de entrada en al menos dos señales en bruto paralelas (us);

15 Sumar las señales en bruto paralelas (ua) en dos señales de suma paralelas S0 y S1;

Generar una señal intermedia (SR) a partir de las señales de suma paralelas (S0, S1);

Generar una señal de salida (y) diferenciando la señal intermedia (SR),

**caracterizado porque** las dos señales de suma paralelas So y S1 según

$$S_0(i) = \sum_{e=0}^{E-1} u_e(i), i = 1, 2, \dots$$

20

y

$$S_1(i) = E \cdot u_0(i) + \dots + 2 \cdot u_{E-2}(i) + u_{E-1}(i), i = 1, 2, \dots$$

25

donde  $u_e(i)$  son las señales en bruto paralelas y E el número de señales en bruto paralelas, y que la señal intermedia (SR) se genera recursivamente a partir de las señales de suma paralela (S0, S1), la señal intermedia SR según

$$S_R(i) = S_R(i-1) + S_1(i) + E \cdot S_0(i-2) + E \cdot S_0(i-1), i = 3, 4, \dots$$

30

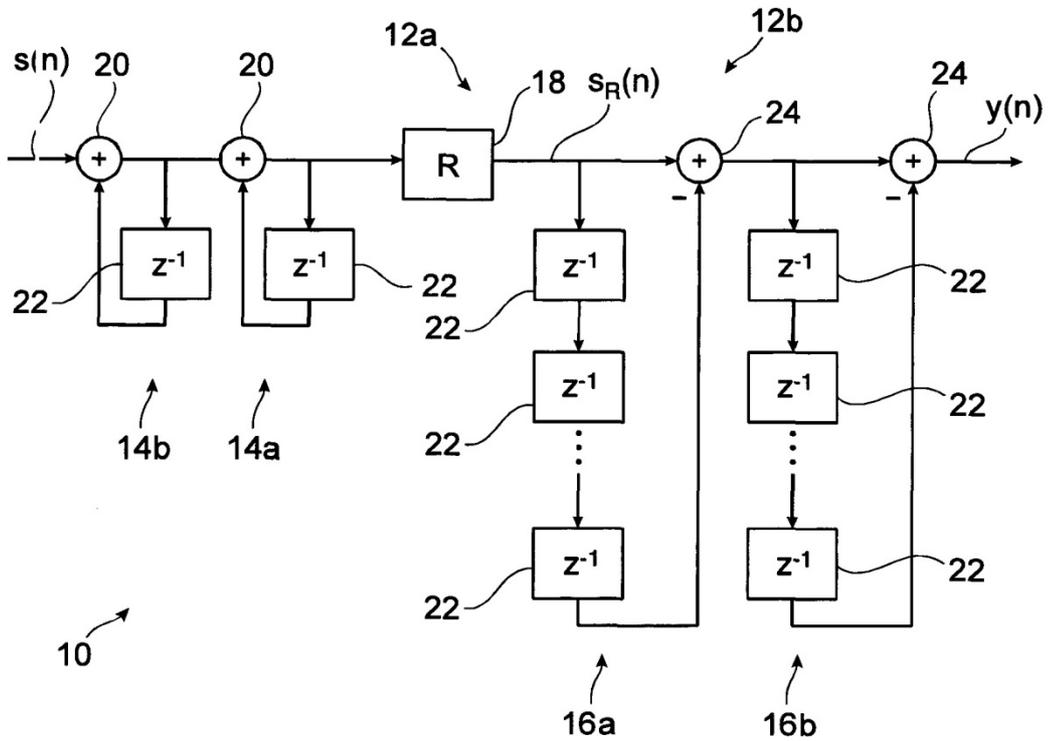


Fig. 1 (estado de la técnica)

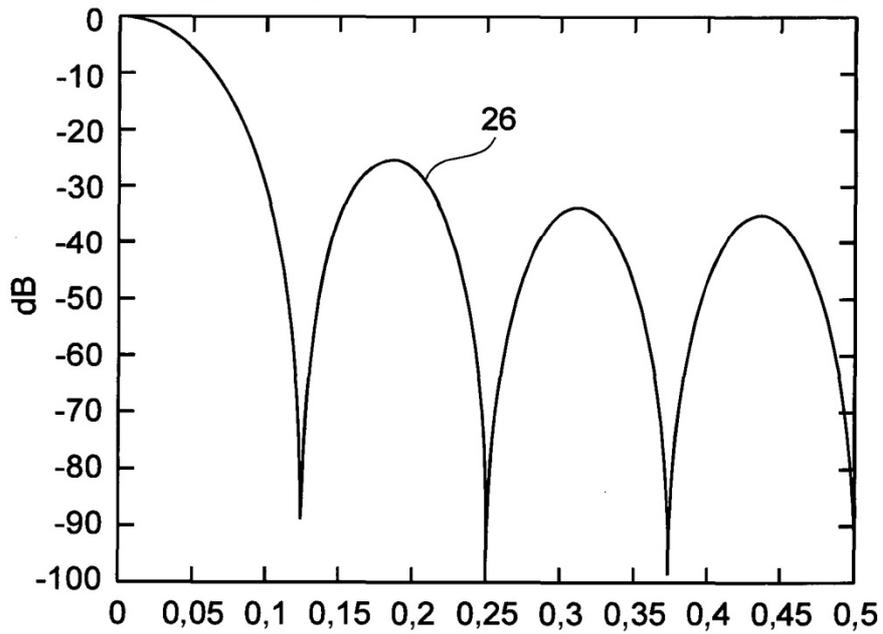


Fig. 2

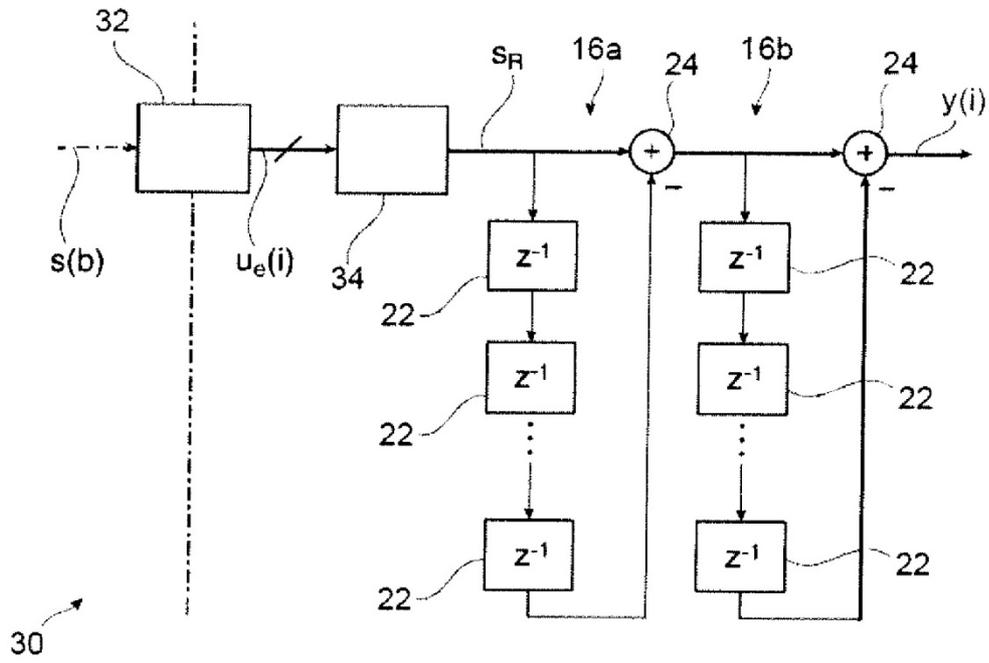


Fig. 3

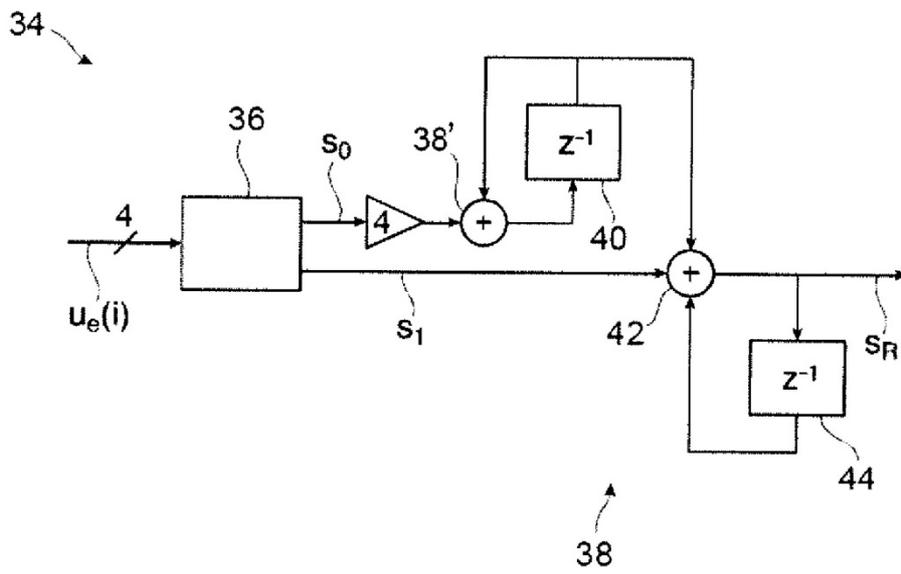


Fig. 4

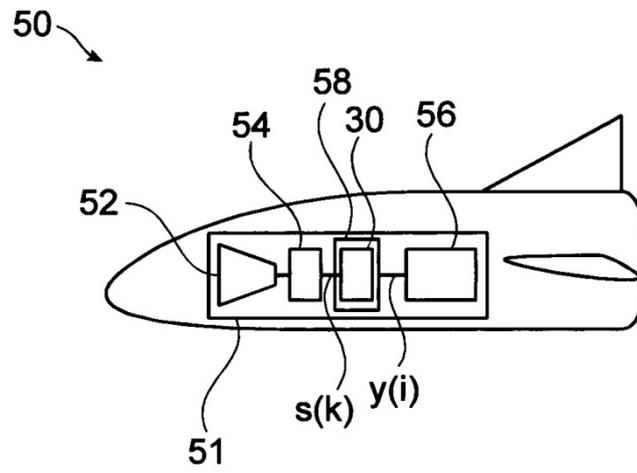


Fig. 5